(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-103988
(P2007-103988A)
(43)公開日　平成19年4月19日(2007.4.19)

(51)Int.Cl.	F I		テーマコード（参考）
H04L 27/18 (2006.01)	H04L 27/18	Z	5K004

審査請求 未請求　請求項の数 7　ＯＬ　（全 13 頁）

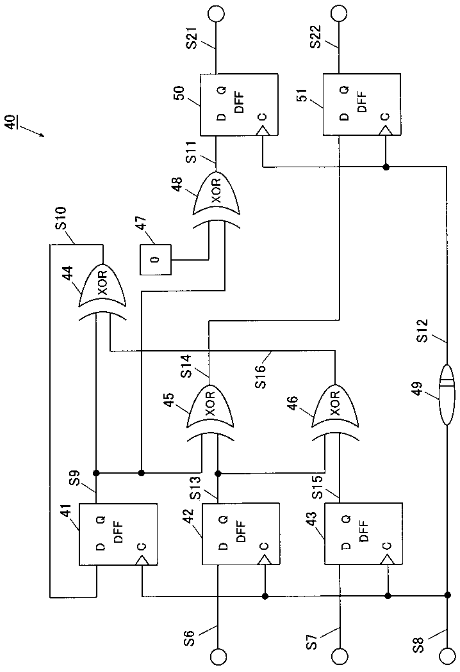
(21)出願番号　特願2005-287213 (P2005-287213)
(22)出願日　平成17年9月30日 (2005.9.30)

(71)出願人　000006507
横河電機株式会社
東京都武蔵野市中町２丁目９番３２号
(74)代理人　100090033
弁理士　荒船　博司
(74)代理人　100093045
弁理士　荒船　良男
(72)発明者　内田　賢治
東京都武蔵野市中町２丁目９番３２号　横河電機株式会社内

Ｆターム(参考)　5K004 AA05　FF02

(54)【発明の名称】コーディング回路及びコーディング装置

(57)【要約】
【課題】光のＤＰＳＫ等の変調において、高いビットレートの信号のプリコーディングを安定に行うことである。
【解決手段】信号Ｓ１０を保持し、コーディング用のデータが並列且つ交互に分割されたデータをそれぞれ有する信号Ｓ６，Ｓ７の入力に同期して、保持した信号Ｓ１０を信号Ｓ９として出力するＤＦＦ回路４１と、信号Ｓ６（Ｓ１３）及びＳ９を排他的論理和演算して信号Ｓ１４として出力するＸＯＲ回路４５と、信号Ｓ１３及びＳ７（Ｓ１５）を排他的論理和演算して信号Ｓ１６として出力するＸＯＲ回路４６と、信号Ｓ９及びＳ１６を排他的論理和演算してＤＦＦ回路４１へ入力する信号Ｓ１０として出力するＸＯＲ回路４４と、を備える。
【選択図】図３



【特許請求の範囲】
【請求項１】
第１の信号を保持し、コーディング用のデータが並列且つ交互に２分割されたデータをそれぞれ有する第２及び第３の信号の入力に同期して、前記保持した第１の信号を第４の信号として出力する保持手段と、
前記第２及び第４の信号を排他的論理和演算して第５の信号として出力する第１の排他的論理和手段と、
前記第２及び第３の信号を排他的論理和演算して演算結果信号として出力する第２の排他的論理和手段と、
前記第４の信号及び前記演算結果信号を排他的論理和演算して前記保持手段に入力する前記第１の信号として出力する第３の排他的論理和手段と、
を備えることを特徴とするコーディング回路。
【請求項２】
第１の信号を保持し、コーディング用のデータが並列且つ交互に２分割されたデータをそれぞれ有する第２及び第３の信号の入力に同期して、前記保持した第１の信号を第４の信号として出力する保持手段と、
前記第２及び第４の信号を排他的論理和演算して第５の信号として出力する第１の排他的論理和手段と、
前記第３及び第５の信号を排他的論理和演算して前記保持手段に入力する前記第１の信号として出力する第２の排他的論理和手段と、を備えることを特徴とするコーディング回路。
【請求項３】
前記第５の信号に同期させる遅延量を前記第４の信号に与える第１の遅延手段を備えることを特徴とする請求項１又は２に記載のコーディング回路。
【請求項４】
前記第２及び第３の信号のビットレートと同じ周波数のクロック信号の入力に同期して当該第２及び第３の信号を同期させる第１の同期手段を備え、
前記保持手段は、前記クロック信号の入力に同期して前記第１の信号を前記第４の信号として出力することを特徴とする請求項１から３のいずれか一項に記載のコーディング回路。
【請求項５】
前記クロック信号の入力に同期して前記第４及び第５の信号を同期させる第２の同期手段を備えることを特徴とする請求項４に記載のコーディング回路。
【請求項６】
所定量の遅延を前記クロック信号に与える第２の遅延手段を備え、
前記第２の同期手段は、前記第２の遅延手段により遅延されたクロック信号の入力に同期して前記第４及び第５の信号を同期させることを特徴とする請求項５に記載のコーディング回路。
【請求項７】
請求項１から６のいずれか一項に記載のコーディング回路と、
前記第２の信号のデータが並列且つ交互に２分割されたデータをそれぞれ有する第６及び第７の信号を切り替えて当該第６及び第７の信号のデータを有し且つ当該第６及び第７の信号の２倍のビットレートを有する前記第２の信号として出力する第１の切り替え手段と、
前記第３の信号のデータが並列且つ交互に２分割されたデータをそれぞれ有する第８及び第９の信号を切り替えて当該第８及び第９の信号のデータを有し且つ当該第８及び第９の信号の２倍のビットレートを有する前記第３の信号として出力する第２の切り替え手段と、
前記第４及び第５の信号を切り替えて当該第４及び第５の信号のデータを有し且つ当該第４及び第５の信号の２倍のビットレートを有する第１０の信号を出力する第３の切り替

え手段と、を備えることを特徴とするコーディング装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、光通信におけるコーディング回路及びコーディング装置に関する。

【背景技術】

【０００２】

従来、光通信の高速通信網の送信機において、光源から出力されたレーザ光に、送信すべきデジタルデータに対応して変調をかけて光信号として出力する光変調器が設けられ、その変調がかけられた光信号が増幅されて、光ファイバ等を介して受信先に送信される。光変調器の変調方式の一つとして、レーザ光の位相を位相変調する位相変調方式が実施されている。光は、次式（１）で表わされる。

$y = A\sin(\omega t + \phi)$ …（１）

但し、ｙ：光の振幅、Ａ：振幅の最大値、ω：角周波数、ｔ：時間、φ：位相である。位相変調方式では、位相変調により、位相φ＝０，π［rad］をとるものとする。

【０００３】

位相変調方式としては、送信すべきデータを有する信号の０と１の信号に対し、それぞれ０，πの位相を割り当てるＰＳＫ（Phase Shift Keying）方式があるが、位相変調後の光信号のみからでは０，１のどちらであるかを特定できないという特徴がある。この特徴を改善するため、位相変調方式としてＤＰＳＫ（Differential PSK）方式が考えられている。

【０００４】

図５に、光位相空間におけるＤＰＳＫ方式による位相変換の状態遷移を示す。図５において、縦軸に虚数部（Imaginary Part）が示され、横軸に実数部（Real Part）が示される。図５に示すように、ＤＰＳＫ方式では、送信すべきデータを有する信号が０の場合に位相をそのまま保持し、送信すべきデータを有する信号が１の場合に位相をπ［rad］変化する。ＤＰＳＫ方式によれば、位相変調後の光信号のみからデータの値（０または１）が分かる。ＤＰＳＫ方式の位相変調は、光変調器としてのＬＮ（$LiNbO_3$）変調器に、プリコーディングした制御電圧を与えることで容易に実現できる。この制御電圧の生成を一つの排他的論理和素子（ＸＯＲ）により実現する構成が考えられている（例えば、特許文献１参照）。

【０００５】

図６に、従来のコーディング回路８０の構成を示す。図６に示すように、コーディング回路８０は、ＸＯＲ回路８１と、遅延素子８２と、を備える。コーディング回路８０において、送信すべきデータを有する信号としての信号Ｓ３１がＸＯＲ回路８１に入力され、ＸＯＲ回路８１から出力される信号Ｓ１が遅延素子８２により１ビット遅延されて信号Ｓ３２としてＸＯＲ回路８１に入力される。ＸＯＲ回路８１において、信号Ｓ３１及びＳ３２が排他的論理和されて制御電圧としての信号Ｓ１として出力される。排他的論理和の真理値表を次表１に示す。つまり、前述のＤＰＳＫ方式の変調規則を満たしている。

【表１】

信号S31	信号S32	信号S1
0	0	0 (0[rad])
0	1	1 (π[rad])
1	0	1 (π[rad])
1	1	0 (0[rad])

但し、表１中の０，π［rad］は、ＬＮ変調器で入力光に与える位相である。

【０００６】

数学的には、(+)を排他的論理和の記号とすると、信号Ｓ１が次式（２）で表わされる

。

$$(S1)_{i} = (S31)_{i} (+) (S1)_{i-1} = (S31)_{i} (+) (S31)_{i-1} (+) (S1)_{i-2} = \cdots = (S31)_{i} (+) (S31)_{i-1} (+) \cdots (+) (S31)_{1} (+) (S1)_{0} \quad \cdots (2)$$

【特許文献１】特開２００２－６４５７４号公報

【発明の開示】

【発明が解決しようとする課題】

【０００７】

光通信技術は、年々高速化を求められており、近年では、４３［Ｇｂ／ｓ］程度のビットレートの実現が求められている。４３［Ｇｂ／ｓ］では、１ビットの伝送に要する時間が約２３［ｐｓ］であり、コーディング回路８０において、ＸＯＲ回路８１の応答速度を１５［ｐｓ］程度とすると、遅延素子８２の遅延時間Ｔは、約８［ｐｓ］と計算される。この８［ｐｓ］の遅延は短すぎて、ＦＦ（FlipFlop）のようなクロック信号と同期する回路は使用できない。従って、８［ｐｓ］は伝送線路やインバータのような簡単な回路で実現するしかなかった。

【０００８】

しかし、クロック信号に同期しないと、送信すべきデータを有する信号に１が続いていた場合にエラーを起こしていた。即ち、１が連続すると、ＸＯＲ回路８１及び遅延素子８２の合計で定まる時間に従って、信号Ｓ１が発振する。もし、この発振周期が１ビット伝送に要する時間（２３［ｐｓ］）に対して１［ｐｓ］ずれたとすると、１が１１個ほど連続した場合には、論理が反転するといった結果を生じる。実システムでは、遅延の誤差を１［ｐｓ］以内に押さえ込むことは困難であった。つまり、４３［Ｇｂ／ｓ］の送信すべきデータを有する信号をコーディング回路８０により直接プリコーディングすることは、電気的な回路動作がネックとなり実現が難しかった。

【０００９】

また、高いビットレートで送信すべき一連のデータの信号列は一般にビットレートの小さい信号を多重化（Multiplexing）して得られる。

【００１０】

図７に、従来のコーディング装置２００の構成を示す。図７に示すように、コーディング装置２００は、２：１マルチプレクサ（ＭＵＸ）２０，３０，７０と、コーディング回路８０と、を備える。送信すべきデータを分割したコーディング用の信号Ｓ２，Ｓ３は、マルチプレクサ２０により合成された信号Ｓ２，Ｓ３のデータを有し２倍のビットレート（半周期）の信号Ｓ６として出力される。同じくコーディング用の信号Ｓ４，Ｓ５は、２：１マルチプレクサ３０により合成された信号Ｓ４，Ｓ５のデータを有し２倍のビットレートの信号Ｓ７として出力される。信号Ｓ６，Ｓ７は、２：１マルチプレクサ７０により、合成された半周期の信号Ｓ３１として出力される。信号Ｓ２，Ｓ３，Ｓ４，Ｓ５は、信号Ｓ３１の１／４倍のビットレートとなるが、コーディング回路８０に入力される信号Ｓ３１は（相変わらず）上記高いのビットレートのものが要求されるため、コーディングの実現が困難であった。

【００１１】

本発明の課題は、光のＤＰＳＫ等の変調において、高いビットレートの信号のプリコーディングを安定に行うことである。

【課題を解決するための手段】

【００１２】

上記課題を解決するため、請求項１に記載の発明のコーディング回路は、

第１の信号を保持し、コーディング用のデータが並列且つ交互に２分割されたデータをそれぞれ有する第２及び第３の信号の入力に同期して、前記保持した第１の信号を第４の信号として出力する保持手段と、

前記第２及び第４の信号を排他的論理和演算して第５の信号として出力する第１の排他的論理和手段と、

前記第２及び第３の信号を排他的論理和演算して演算結果信号として出力する第２の排

他的論理和手段と、

前記第４の信号及び前記演算結果信号を排他的論理和演算して前記保持手段に入力する前記第１の信号として出力する第３の排他的論理和手段と、

を備えることを特徴とする。

【００１３】

請求項２に記載の発明のコーディング回路は、

第１の信号を保持し、コーディング用のデータが並列且つ交互に２分割されたデータをそれぞれ有する第２及び第３の信号の入力に同期して、前記保持した第１の信号を第４の信号として出力する保持手段と、

前記第１及び第２の信号を排他的論理和演算して第５の信号として出力する第１の排他的論理和手段と、

前記第３及び第５の信号を排他的論理和演算して前記保持手段に入力する前記第１の信号として出力する第２の排他的論理和手段と、を備えることを特徴とする。

【００１４】

請求項３に記載の発明は、請求項１又は２に記載のコーディング回路において、

前記第５の信号に同期させる遅延量を前記第４の信号に与える第１の遅延手段を備えることを特徴とする。

【００１５】

請求項４に記載の発明は、請求項１から３のいずれか一項に記載のコーディング回路において、

前記第２及び第３の信号のビットレートと同じ周波数のクロック信号の入力に同期して当該第２及び第３の信号を同期させる第１の同期手段を備え、

前記保持手段は、前記クロック信号の入力に同期して前記第１の信号を前記第４の信号として出力することを特徴とする。

【００１６】

請求項５に記載の発明は、請求項４に記載のコーディング回路において、

前記クロック信号の入力に同期して前記第４及び第５の信号を同期させる第２の同期手段を備えることを特徴とする。

【００１７】

請求項６に記載の発明は、請求項５に記載のコーディング回路において、

所定量の遅延を前記クロック信号に与える第２の遅延手段を備え、

前記第２の同期手段は、前記第２の遅延手段により遅延されたクロック信号の入力に同期して前記第４及び第５の信号を同期させることを特徴とする。

【００１８】

請求項７に記載の発明のコーディング装置は、

請求項１から６のいずれか一項に記載のコーディング回路と、

前記第２の信号のデータが並列且つ交互に２分割されたデータをそれぞれ有する第６及び第７の信号を切り替えて当該第６及び第７の信号のデータを有し且つ当該第６及び第７の信号の２倍のビットレートを有する前記第２の信号として出力する第１の切り替え手段と、

前記第３の信号のデータが並列且つ交互に２分割されたデータをそれぞれ有する第８及び第９の信号を切り替えて当該第８及び第９の信号のデータを有し且つ当該第８及び第９の信号の２倍のビットレートを有する前記第３の信号として出力する第２の切り替え手段と、

前記第４及び第５の信号を切り替えて当該第４及び第５の信号のデータを有し且つ当該第４及び第５の信号の２倍のビットレートを有する第１０の信号を出力する第３の切り替え手段と、を備えることを特徴とする。

【発明の効果】

【００１９】

請求項１に記載の発明によれば、ＤＰＳＫ方式等の光の位相変調において、第２及び第

３の信号をコーディングして第４及び第５の信号として出力でき、第４及び第５の信号のビットレートを２倍にして合成することで、高いビットレートの信号のプリコーディングを安定に行うことができるとともに、保持手段を含むフィードバックのループが第１の排他的論理和手段のみを介することができ、保持手段の動作時間を十分にとることができる。

【００２０】

請求項２に記載の発明によれば、ＤＰＳＫ方式等の光の位相変調において、第２及び第３の信号をコーディングして第４及び第５の信号として出力でき、第４及び第５の信号のビットレートを２倍にして合成することで、高いビットレートの信号のプリコーディングを安定に行うことができるとともに、保持手段からの出力数を第４の信号の出力及び第１の排他的論理和手段の２つにでき、保持手段の信号出力負担を低減できる。

【００２１】

請求項３に記載の発明によれば、第４及び第５の信号の同期をとることができる。

【００２２】

請求項４に記載の発明によれば、クロック信号に基づいて第２及び第３の信号の同期をとることができ、第２又は第３の信号に同じ値のビット列が任意の長さ続いても論理エラーの発生を防ぐことができる。

【００２３】

請求項５に記載の発明によれば、クロック信号に基づいて第４及び第５の信号の同期をとることができる。

【００２４】

請求項６に記載の発明によれば、第２の同期手段の動作マージンを広げることができる。

【００２５】

請求項７に記載の発明によれば、第６，第７，第８，第９の信号をプレコーディングしてビットレートが４倍の第１０の信号として出力でき、高いビットレートの信号のプリコーディングを安定に行うことができる。

【発明を実施するための最良の形態】

【００２６】

以下、添付図面を参照して本発明に係る実施の形態を詳細に説明する。ただし、発明の範囲は、図示例に限定されない。

【００２７】

先ず、図１～図３を参照して、本実施の形態の装置構成を説明する。但し、従来の技術で述べた構成要素と同じものには、同じ符号を付与し、その説明を省略する。図１に、ＬＮ変調器１０の構成を示す。図２に、本実施の形態のコーディング装置１００の構成を示す。図３に、本実施の形態のコーディング回路４０の構成を示す。

【００２８】

図１に示すように、図示しない光の送信機にＬＮ変調器１０が設けられる。ＬＮ変調器１０において、レーザ光の光信号Ｏ１が入力され、後述するコーディング装置１００から出力される送信すべきデータに対応するコーディング用の制御電圧としての信号Ｓ１に基づいて、光信号Ｏ１が位相変調されて送信すべきデータを含む光信号Ｏ２として出力される。光信号Ｏ１は、図示しない光源から出力され位相が常に０［rad］に調整された搬送波としてのレーザ光である。光信号Ｏ２は、図示しない光増幅器等で増幅され、光ファイバ等による媒体内を伝送され、受信機等の受信先に送信される。具体的には、ＬＮ変調器１０は、信号Ｓ１が０の場合に光信号Ｏ１を０［rad］とし、信号Ｓ１が１の場合に光信号Ｏ１をπ［rad］として、光信号Ｏ２として出力する。

【００２９】

図２に示すように、ＤＰＳＫ方式による位相変換を行うコーディング装置１００は、第１の切り替え手段としての２：１マルチプレクサ２０と、第２の切り替え手段としての２：１マルチプレクサ３０と、第３の切り替え手段としての２：１マルチプレクサ６０と、

コーディング回路４０と、を備える。

【００３０】

コーディング装置１００は、ＤＰＳＫ方式による位相変換のコーディング用であり送信すべきデータを有する信号（信号Ｓ０とする）をコーディングしてＬＮ変調器１０用の制御電圧としての信号Ｓ１を出力する。コーディング回路４０の論理演算は、図６に示したコーディング回路８０と同様である。具体的には、例えば、信号Ｓ０の信号列と、コーディング回路４０によるコーディング後の信号列とが、次表２の関係にあるものである。表２中、信号（列）は時間が左から右に進むものとし、他の表でも同様とする。また、コーディング後の信号列の初期値は、たまたま０であったものとする。

【表２】

信号S0の信号列		1	0	0	0	1	0	0	1	1	0	1	0	1	1	1	1 …
コーディング後の信号列	0	1	1	1	1	0	0	0	1	0	0	1	1	0	1	0	1 …

【００３１】

２：１マルチプレクサ２０，３０，６０は、２つの入力信号を切り替えて（選択して）出力することにより、２つの入力信号のデータを時間的に直列に交互に有し且つビットレートが２倍の出力信号を出力する。２：１マルチプレクサ２０は、第６，第７の信号としての信号Ｓ２，Ｓ３が入力されて、信号Ｓ２，Ｓ３のデータを有しビットレートが２倍の第２の信号としての信号Ｓ６を出力する。２：１マルチプレクサ３０は、第８，第９の信号としての信号Ｓ４，Ｓ５が入力されて、信号Ｓ４，Ｓ５のデータを有しビットレートが２倍の第３の信号としての信号Ｓ７を出力する。

【００３２】

信号Ｓ２，Ｓ３，Ｓ４，Ｓ５は、マルチプレクシングされることにより送信すべき信号Ｓ０となる。具体的には、例えば、上記表２の信号Ｓ０の信号列に対応して、次表３に示す信号Ｓ２，Ｓ３，Ｓ４，Ｓ５の信号列に分割される。

【表３】

信号S2	1 1 1 1 …
信号S3	0 0 0 1 …
信号S4	0 0 1 1 …
信号S5	0 1 0 1 …

【００３３】

また、上記表３の信号Ｓ２，Ｓ３，Ｓ４，Ｓ５の信号列に対応して、次表４に示す信号Ｓ６（＝後述する信号Ｓ１３），Ｓ７（＝後述される信号Ｓ１５）の信号列が出力される。

【表４】

信号S6(S13)	1 0 1 0 1 1 1 1 …
信号S7(S15)	0 0 0 1 0 0 1 1 …

【００３４】

コーディング回路４０は、信号Ｓ６，Ｓ７，Ｓ８が入力されて、クロック信号としての信号Ｓ８に基づいて、信号Ｓ６，Ｓ７をプリコーディングして第４，第５の信号としての信号Ｓ２１，Ｓ２２として出力する。信号Ｓ８は、図示しないクロック信号生成部により生成される。

【００３５】

２：１マルチプレクサ６０は、信号Ｓ２１，Ｓ２２が入力されて、それらデジタルデータを有しビットレートが２倍の第１０の信号としての信号Ｓ１を出力する。信号Ｓ１は、信号Ｓ６，Ｓ７，Ｓ２１，Ｓ２２のビットレートの２倍のビットレートを有し、信号Ｓ２，Ｓ３，Ｓ４，Ｓ５のビットレートの４倍のビットレートとなる。例えば、信号Ｓ１を４０［Ｇｂ／ｓ］とし、Ｓ６，Ｓ７，Ｓ２１，Ｓ２２を２０［Ｇｂ／ｓ］とし、信号Ｓ２，Ｓ３，Ｓ４，Ｓ５を１０［Ｇｂ／ｓ］とする。この場合、信号Ｓ８は、２０［Ｇｂ／ｓ］に対応する周波数となる。

【００３６】

図３に示すように、コーディング回路４０は、保持手段としてのＤＦＦ（Delay FlipFlop）回路４１と、第１の同期手段としてのＤＦＦ回路４２，４３と、第１の排他的論理和手段としてのＸＯＲ回路４４と、第２の排他的論理和手段としてのＸＯＲ回路４５と、第３の排他的論理和手段としてのＸＯＲ回路４６と、信号源４７と、第１の遅延手段としてのＸＯＲ回路４８と、第２の遅延手段としての遅延素子４９と、第２の同期手段としてのＤＦＦ５０，５１と、を備えて構成される。

【００３７】

ＤＦＦ回路は、入力されるクロック信号の立ち上がりに対応して入力信号を保持し、次のクロック信号の立ち上がりまで保持している入力信号を出力信号として出力する。ＤＦＦ回路４１は、信号Ｓ８がクロック端子に入力されるとともに、第１の信号としての信号Ｓ１０がデータ端子に入力されて、信号Ｓ１０を保持し、信号Ｓ８に基づいて、保持する信号Ｓ１０を第４の信号としての信号Ｓ９として出力端子から出力する。ＤＦＦ回路４２は、信号Ｓ８がクロック端子に入力されるとともに、信号Ｓ６がデータ端子に入力されて、信号Ｓ６を保持し、信号Ｓ８に基づいて、保持する信号Ｓ６を信号Ｓ１３として出力端子から出力する。ＤＦＦ回路４３は、信号Ｓ８がクロック端子に入力されるとともに、信号Ｓ７がデータ端子に入力されて、信号Ｓ７を保持し、信号Ｓ８に基づいて、保持する信号Ｓ７を信号Ｓ１５として出力端子から出力する。ＤＦＦ回路４１，４２，４３により、信号Ｓ６，Ｓ７，Ｓ１０の同期（信号Ｓ９，Ｓ１３，Ｓ１５の同期）をとることができる。

【００３８】

ＸＯＲ回路４４は、信号Ｓ９，演算結果信号としてのＳ１６が入力され、信号Ｓ９，Ｓ１６を排他的論理和演算して信号Ｓ１０として出力する。ＸＯＲ回路４５は、信号Ｓ９，Ｓ１３が入力され、信号Ｓ９，Ｓ１３を排他的論理和演算して第５の信号としての信号Ｓ１４として出力する。ＸＯＲ回路４６は、信号Ｓ１３，Ｓ１５が入力され、信号Ｓ１３，Ｓ１５を排他的論理和演算して信号Ｓ１６として出力する。

【００３９】

信号源４７は、常に値が０の信号を出力する。ＸＯＲ回路４８は、信号源４７からの０の信号及び信号Ｓ９が入力され、０の信号及び信号Ｓ９を排他的論理和演算して信号Ｓ１１として出力する。つまり、信号Ｓ９は、信号Ｓ１１として値を変化することなく出力される。信号源４７及びＸＯＲ回路４８は、入力信号に遅延を与えて出力させるために設けるが、この構成に限定されるものではなく、信号源４７及びＸＯＲ回路４８に代えて、遅延線、能動素子のゲート遅延を利用する構成としてもよい。

【００４０】

遅延素子４９は、信号Ｓ８に遅延を与えて信号Ｓ１２として出力する。遅延素子４９の遅延時間は、ＸＯＲ回路一段分とする。遅延素子４９は、遅延線として構成するものとするが、これに限定されるものではなく、能動素子のゲート遅延、０の信号が入力されるＸＯＲ回路による遅延を利用する構成としてもよい。

【００４１】

ＤＦＦ回路５０は、信号Ｓ１２がクロック端子に入力されるとともに、信号Ｓ１１がデータ端子に入力されて、信号Ｓ１１を保持し、信号Ｓ１２に基づいて、保持する信号Ｓ１１を信号Ｓ２１として出力端子から出力する。ＤＦＦ回路５１は、信号Ｓ１２がクロック端子に入力されるとともに、信号Ｓ１４がデータ端子に入力されて、信号Ｓ１４を保持し

、信号Ｓ１２に基づいて、保持する信号Ｓ１４を信号Ｓ２２として出力端子から出力する。ＤＦＦ回路５０，５１により、信号Ｓ１１，Ｓ１４の同期（信号Ｓ２１，Ｓ２２の同期）をとることができる。

【００４２】

信号Ｓ２１，Ｓ２２は、同時に出力することが望ましいため、信号Ｓ１１，Ｓ１４も同時に用意されることが望ましい。信号Ｓ１４は、信号Ｓ９が変化してからＸＯＲ回路４５一段分だけ遅れて出力される。このため、信号Ｓ９と信号Ｓ１４との間に、ＸＯＲ回路４８を設けて、遅延時間調整をしている。

【００４３】

なお、信号Ｓ９を出力するＤＦＦ回路４１の入力の信号Ｓ１０は、信号Ｓ９から少なくとも一つ以上のＸＯＲ回路を通って生成される。また、信号Ｓ１０が落ち着くまでは、次の信号Ｓ８を入力することができない。さらに、信号Ｓ１１，Ｓ１４は、ＤＦＦ回路４１からただ一つのＸＯＲ回路４５又は４８を通った信号である。このため、信号Ｓ８，Ｓ１２の間の遅延素子４９は、設けなくてもコーディング回路４０は動作する。ただし、遅延素子４９を入れておいたほうが、信号Ｓ２１、Ｓ２２を出力するＤＦＦ回路５０，５１の動作マージンが広がるため、実用的には好ましい。

【００４４】

次いで、コーディング回路４０の動作を説明する。コーディング回路４０において、３つの動作を繰り返す。第１の動作は、ＤＦＦ回路４１において現在（位相状態を）保持している値を信号Ｓ９として、ＸＯＲ回路４８及びＤＦＦ５０を介して信号Ｓ２１として出力する。

【００４５】

第２の動作は、ＸＯＲ回路４５において、次の信号Ｓ１３の値が０の場合に、信号Ｓ９をそのまま信号Ｓ１４とし、ＤＦＦ５１を介して信号Ｓ２２として出力し、信号Ｓ１３の値が１の場合に、信号Ｓ９を反転して信号Ｓ１４とし、ＤＦＦ５１を介して信号Ｓ２２として出力する。つまり、図６のコーディング回路８０と同様に、一つ前の信号Ｓ２１（Ｓ１１）と、次の信号Ｓ１３とを排他的論理和して信号Ｓ２２とする。

【００４６】

第３の動作は、ＸＯＲ回路４６において、次の信号Ｓ１３，Ｓ１５を排他的論理和して信号Ｓ１６とし、ＸＯＲ回路４４において、ＤＦＦ回路４１において現在保持している信号Ｓ９と、次の信号Ｓ１６とを排他的論理和して信号Ｓ１０として出力し、ＤＦＦ回路４１に入力させる。この動作では、図６のコーディング回路８０と同様に、一つ前の信号Ｓ１４（Ｓ２２）と、次の信号Ｓ１５とを排他的論理和して信号Ｓ１０としてＤＦＦ回路４１に入力して保持させたいのであるが、次式（３）により、信号Ｓ１０が計算される。なお、排他的論理和の記号を(+)とする。

Ｓ１０＝Ｓ１４(+)Ｓ１５＝（Ｓ９(+)Ｓ１３）(+)Ｓ１５＝Ｓ９(+)（Ｓ１３(+)Ｓ１５）＝Ｓ９(+)Ｓ１６ …（３）

よって、信号Ｓ９，Ｓ１６の排他的論理和により、信号Ｓ１０が得られる。

【００４７】

コーディング回路４０において、上記第１～第３の動作を繰り返すことにより、信号Ｓ２１，Ｓ２２の信号列が得られる。例えば、上記表４の信号Ｓ６，Ｓ７の信号列に対応して、コーディング回路４０における上記第１～第３の動作により、次表５に示す信号Ｓ２１（＝Ｓ９，Ｓ１１），Ｓ２２（＝Ｓ１４）の信号列が出力される。

【表５】

信号S21(S9, S11)	0 1 1 0 1 0 1 1 …
信号S22(S14)	1 1 0 0 0 1 0 0 …

【００４８】

また、上記表５の信号Ｓ２１，Ｓ２２の信号列の入力により、２：１マルチプレクサ６０において、次表６に示す信号Ｓ１の信号列が出力される。表６に示す信号Ｓ１の信号列

は、上記表２に示す信号Ｓ０のコーディング後の信号列と同じであることが分かる。

【表６】

信号S1の信号列	0 1 1 1 1 0 0 0 1 0 0 1 1 0 1 0 1 …

【００４９】

以上、本実施の形態によれば、ＤＰＳＫ方式の光の位相変調において、コーディング回路４０により、信号Ｓ６，Ｓ７をコーディングして信号Ｓ２１，Ｓ２２として出力でき、信号Ｓ２１，Ｓ２２のビットレートを２倍にして合成することで、高いビットレートの信号のプリコーディングを安定に行うことができる。

【００５０】

また、ＤＦＦ回路４１を含むフィードバックのループが、（信号Ｓ９、）ＸＯＲ回路４４（、信号Ｓ１０）のみを介するものとでき、ＤＦＦ回路４１に十分動作可能な時間を確保できる。

【００５１】

具体的には、高速性のネックとなるのは、フィードバックが構成される場所、即ち、信号Ｓ９、ＸＯＲ回路４４、信号Ｓ１０に対応する部分である。４３［Ｇｂ／ｓ］の半分のビットレート２７［Ｇｂ／ｓ］を信号Ｓ６，Ｓ７が有するものとすると、１ビットの伝搬に要する時間が４６［ｐｓ］である。ＤＦＦ回路４１で信号Ｓ９が出力されてからＸＯＲ回路４４で信号Ｓ１０が出力される時間（ＸＯＲ回路４４の応答時間）を１５［ｐｓ］程度とすると、ＤＦＦ回路４１のセットアップ時間及びホールド時間に約３１［ｐｓ］を割り当てることができ、ＤＦＦ回路４１に十分動作可能な時間を確保できる。

【００５２】

また、ＸＯＲ回路４８により、信号Ｓ２１，Ｓ２２の同期をとることができる。

【００５３】

また、ＤＦＦ回路４２，４３により、クロック信号に基づいて信号Ｓ６，Ｓ７の同期をとることができ、信号Ｓ６，Ｓ７に同じ値のビット列が任意の長さ続いても論理エラーの発生を防ぐことができる。

【００５４】

また、ＤＦＦ回路５０，５１により、クロック信号に基づいて信号Ｓ２１，Ｓ２２の同期をとることができる。また、遅延素子４９により、ＤＦＦ回路５０，５１の動作マージンを広げることができる。

【００５５】

また、コーディング装置１００により、信号Ｓ２，Ｓ３，Ｓ４，Ｓ５をプレコーディングしてビットレートが４倍の信号Ｓ１として出力でき、高いビットレートの信号のプリコーディングを行うことができる。

【００５６】

（変形例）

図４を参照して、上記実施の形態の変形例を説明する。図４に、本変形例のコーディング回路４０Ａの構成を示す。本変形例では、上記実施の形態と異なる部分を主として説明する。

【００５７】

本変形例では、上記実施の形態のコーディング装置１００において、コーディング回路４０に代えて、コーディング回路４０Ａを設けるものとする。図４に示すように、コーディング回路４０Ａは、ＤＦＦ回路４１，４２，４３と、ＸＯＲ回路４５と、信号源４７と、ＸＯＲ回路４８と、遅延素子４９と、ＤＦＦ回路５０，５１と、第２の排他的論理和手段としてのＸＯＲ回路５２と、を備えて構成される。

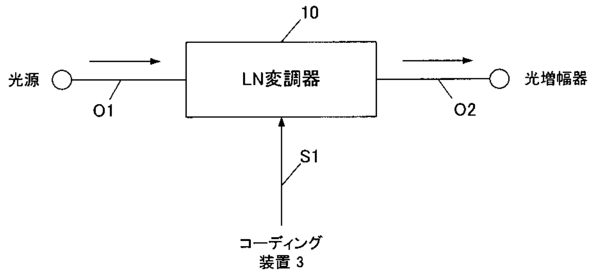
【００５８】

ＸＯＲ回路５２は、信号Ｓ１４，Ｓ１５が入力され、信号Ｓ１４，Ｓ１５を排他的論理和演算して信号Ｓ１０として出力する。また、コーディング回路４０と同様に、遅延素子４９を設けないものとしてもよい。

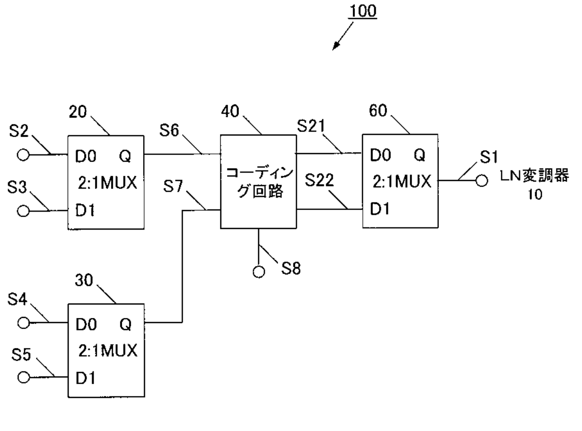
【００５９】
　コーディング回路４０Ａの動作としては、上記実施の形態のコーディング回路４０の第１及び第２の動作を同様に行う。第３の動作は、上記実施の形態では、コーディング回路４０において信号Ｓ９，Ｓ１６の排他的論理和により信号Ｓ１０を得ていたが、本変形例では、ＸＯＲ回路５２において、信号Ｓ１４，Ｓ１５を直接排他的論理加算することにより信号Ｓ１０が得られ、その信号Ｓ１０がＤＦＦ回路４１に入力される。
【００６０】
　本変形例によれば、上記実施形態と同様に、ＤＰＳＫ方式の光の位相変調において、コーディング回路４０Ａにより、信号Ｓ６，Ｓ７をコーディングして信号Ｓ２１，Ｓ２２として出力でき、信号Ｓ２１，Ｓ２２のビットレートを２倍にして合成することで、高いビットレートの信号のプリコーディングを安定に行うことができる。
【００６１】
　また、上記実施の形態では、ＤＦＦ回路４１のfan out（出力先）数がＸＯＲ回路４４、４５，４８の３つであったが、本変形例では、ＤＦＦ回路４１のfan out数をＸＯＲ回路４８、５２の２つにでき、ＤＦＦ回路４１の信号の出力負担を低減できる。
【００６２】
　ただし、上記実施の形態では、ＤＦＦ回路４１を含むフィードバックのループが、（信号Ｓ９、）ＸＯＲ回路４４（、信号Ｓ１０）のみを順に介する構成であったが、本変形例では、ＤＦＦ回路４１を含むフィードバックのループが、（信号Ｓ９、）ＸＯＲ回路４５（、信号Ｓ１４）、ＸＯＲ回路５２（、信号Ｓ１０）を順に介する構成となる。このため、例えば、上記実施の形態の具体例で述べたように、１ビットの伝搬に要する時間を４６［ｐｓ］とし、ＸＯＲ回路の応答時間を１５［ｐｓ］とすると、ＤＦＦ回路４１で使える時間（セットアップ時間及びホールド時間）が、４６－２×１５＝１６［ｐｓ］しかなくなり、ＤＦＦ回路４１の動作が厳しくなる。しかし、ＤＦＦ回路４１で動作不可能な値の時間ではない。
【００６３】
　なお、上記実施の形態及び変形例における記述は、本発明に係るコーディング回路及びコーディング装置の一例であり、これに限定されるものではない。
【００６４】
　例えば、上記実施の形態及び変形例では、コーディング回路４０，４０Ａ及び２：１マルチプレクサ２０，３０，６０を別々に設けたコーディング装置１００を説明したが、これに限定されるものではなく、コーディング回路４０又は４０Ａと、２：１マルチプレクサ２０，３０，６０と、を一体的に設けたＩＣ（Integrated Circuit）チップ等として構成してもよい。
【００６５】
　また、上記実施の形態及び変形例では、ＤＰＳＫ方式の位相変調におけるプリコーディングを行うコーディング回路４０，４０Ａ及びコーディング装置１００を説明したが、これに限定されるものではなく、上記構成をデュオバイナリの変調方式のプリコーディングを行うコーディング回路の一部に適用する構成としてもよい。
【００６６】
　その他、上記実施の形態におけるコーディング回路及びコーディング装置の細部構成及び詳細動作に関しても、本発明の趣旨を逸脱しない範囲で適宜変更可能である。
【図面の簡単な説明】
【００６７】
【図１】ＬＮ変調器１０の構成を示すブロック図である。
【図２】本発明に係る実施の形態のコーディング装置１００の構成を示すブロック図である。
【図３】本発明に係る実施の形態のコーディング回路４０の構成を示す図である。
【図４】本発明に係る実施の形態の変形例のコーディング回路４０Ａの構成を示す図である。

【図５】光位相空間におけるＤＰＳＫ方式による位相変換の状態遷移図である。
【図６】従来のコーディング回路８０の構成を示す図である。
【図７】従来のコーディング装置２００の構成を示すブロック図である。
【符号の説明】
【００６８】
１００，２００　コーディング装置
１０　ＬＮ変調器
２０，３０，６０，７０　２：１マルチプレクサ
４０，４０Ａ，８０　コーディング回路
４１，４２，４３，５０，５１　ＤＦＦ回路
４４，４５，４６，４８，５２，８１　ＸＯＲ回路
４７　信号源
４９，８２　遅延素子

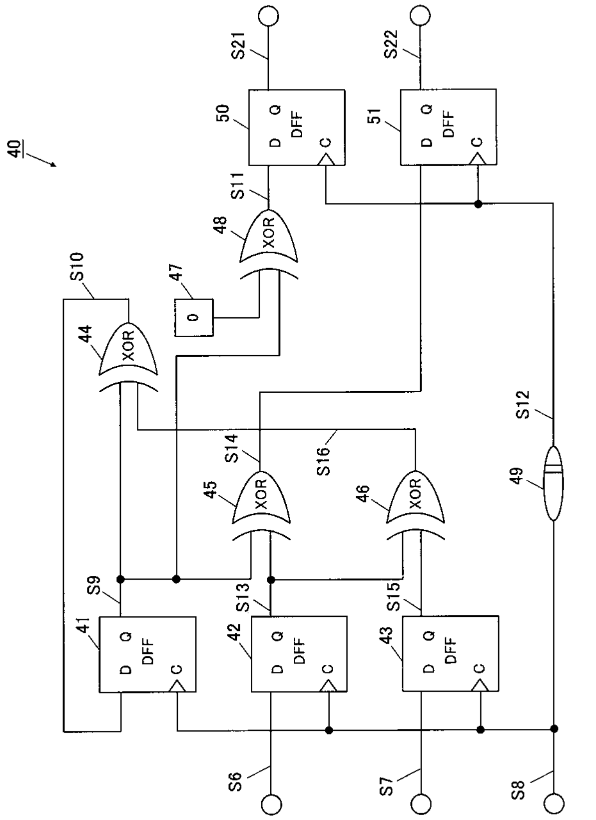
【図１】



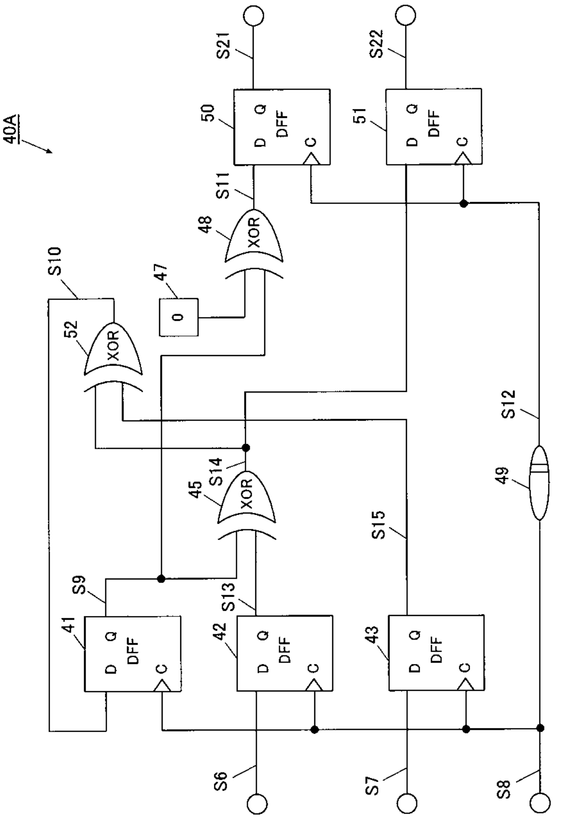
【図２】



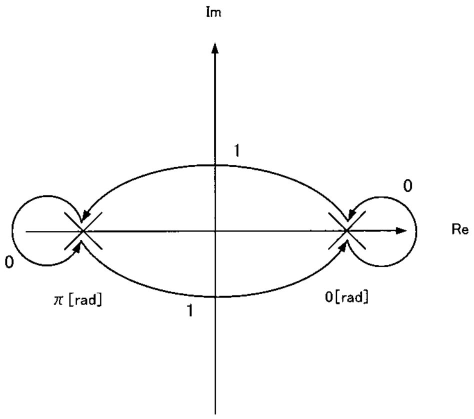
【図３】



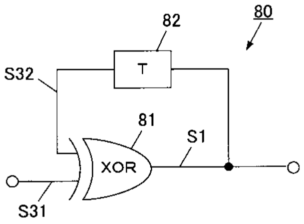
【図４】


40A
S21
S22
50
51
D Q DFF C
S11
48
XOR
47
0
S10
52
XOR
S12
49
S14
45
XOR
S15
S9
S13
41
42
43
S6
S7
S8

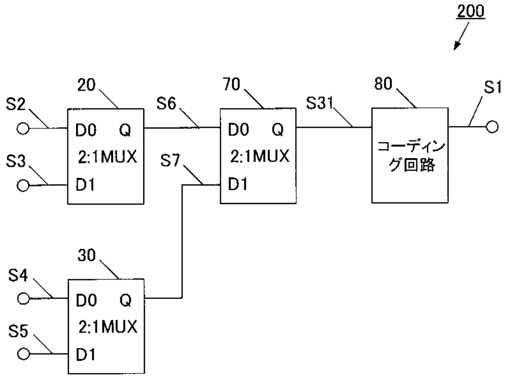
【図５】


Im
Re
1
0
0
1
π [rad]
0[rad]

【図６】


82
80
T
S32
81
XOR
S1
S31

【図７】


200
20
70
80
S2
S6
S31
S1
D0 Q
2:1MUX
D1
S3
S7
コーディング回路
30
S4
S5