

(12) 发明专利

(10) 授权公告号 CN 101727387 B

(45) 授权公告日 2012. 01. 11

(21) 申请号 200910004438. 6

US 2008/0126862 A1, 2008. 05. 29, 全文.

(22) 申请日 2009. 02. 25

审查员 金霞

(30) 优先权数据

12/252, 338 2008. 10. 15 US

(73) 专利权人 晶心科技股份有限公司

地址 中国台湾新竹市

(72) 发明人 施渊源 赖吉昌

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51) Int. Cl.

G06F 11/36 (2006. 01)

(56) 对比文件

CN 101034135 A, 2007. 09. 12, 全文.

US 5640542 A, 1997. 06. 17, 全文.

US 5132971 A, 1992. 07. 21, 全文.

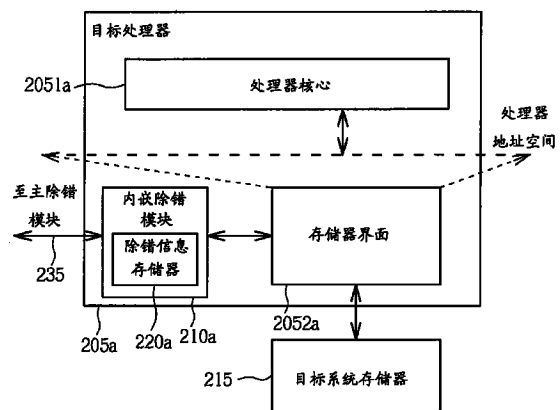
权利要求书 3 页 说明书 7 页 附图 8 页

(54) 发明名称

在线除错系统及其相关方法

(57) 摘要

本发明提供一种在线除错系统, 包含至少一个第一目标处理器、除错信息存储器、主除错端以及在线除错桥接器。该第一目标处理器具有内嵌除错模块, 且该第一目标处理器在正常模式中, 执行程序代码, 其中该第一内嵌除错模块在除错模式中, 控制该第一目标处理器。该除错信息存储器在除错模式中储存用以进行除错的信息。该主除错端具有除错软件, 利用除错信息, 对该程序代码进行除错。该在线除错桥接器具有主除错模块, 且该在线除错桥接器耦接于该第一目标处理器与该主除错端之间, 用以桥接该第一目标处理器与该主除错端间所传递的信息。



1. 一种在线除错系统,包含:

至少一个第一目标处理器,每个第一目标处理器具有第一内嵌除错模块,其中该第一目标处理器在正常模式中执行一程序代码,以及在除错模式中使用该第一内嵌除错模块来控制该第一目标处理器;

除错信息存储器,该除错信息存储器在该除错模式中,储存用以除错的除错信息,其中当该第一目标处理器运作于该正常模式中时,该除错信息存储器对该第一目标处理器而言为不可见;

主除错端,具有除错软件,该主除错端在该除错模式中利用该除错信息以对该程序代码进行除错;以及

在线除错桥接器,具有耦接至该第一内嵌除错模块的主除错模块,该在线除错桥接器耦接于该第一目标处理器与该主除错端之间,且用于桥接该第一目标处理器与该主除错端之间所传递的信息。

2. 如权利要求 1 所述的在线除错系统,还包含有:

目标系统存储器,附加于该第一目标处理器,在正常模式中该目标系统存储器用以储存该程序代码,其中,在该除错模式中,第一目标处理器的处理器地址空间的一部分被配置予该除错信息存储器,并且在离开该除错模式时,该第一目标处理器的处理器地址空间的该部分再被映像回该目标系统存储器。

3. 如权利要求 1 所述的在线除错系统,其中,在第一目标处理器处于所述除错模式时,该除错信息存储器被映像至对该第一目标处理器为可见的实体地址空间,并且该除错信息存储器仅用于指令撷取。

4. 如权利要求 1 所述的在线除错系统,其中,在第一目标处理器处于所述除错模式时,该除错信息存储器被映像至对该第一目标处理器为可见的实体地址空间,并且该除错信息存储器用于指令撷取与数据存取。

5. 如权利要求 1 所述的在线除错系统,其中,在第一目标处理器处于所述除错模式时,该除错信息存储器被映像至对该第一目标处理器系为可见的虚拟地址空间,并且该除错软件不需额外的地址转译即直接使用通过该虚拟地址空间存取的除错信息或直接对使用者空间程序代码进行除错。

6. 如权利要求 1 项所述的在线除错系统,另包含有:

至少一个第二目标处理器,每一第二目标处理器分别具有第二内嵌除错模块,该至少一个第二目标处理器通过在线除错链来耦接于该第一目标处理器与该主除错模块,其中该至少一个第二目标处理器用来在正常模式中执行该程序代码中的程序代码区段,并且每一第二目标处理器的该第二内嵌除错模块用来在该除错模式中控制该第二目标处理器;

其中该第一目标处理器与该第二目标处理器形成在线除错链;以及当该第一目标处理器处于该除错模式时,该第一目标处理器传输一通知至该至少一个第二目标处理器中的一个或多个第二目标处理器以使该一个或多个第二目标处理器处于该除错模式中。

7. 如权利要求 6 所述的在线除错系统,其中该主除错端传输该通知至该第一目标处理器以使该第一目标处理器处于该除错模式中。

8. 如权利要求 6 所述的在线除错系统,其中该第一目标处理器在进入该除错模式时、在除错模式中请求除错指令时、或者在被用来进行该第一目标处理器与该主除错端之间的

数据转移时,传输该通知至该主除错端。

9. 如权利要求 1 所述的在线除错系统,其中该主除错端开启该在线除错桥接器的该主除错模块以及该第一目标处理器的该第一内嵌除错模块之间的数据转移,以传输信息至附加于该第一目标处理器的目标系统存储器,并且该信息包含一特定尾缀的位型样,其用以决定是否该主除错端所传输的信息已被该第一目标处理器所接收。

10. 如权利要求 9 所述的在线除错系统,其中该第一目标处理器的该第一内嵌除错模块改变该特定尾缀的位型样的内容,并且当该主除错端所传输的信息已成功地被该第一目标处理器所接收时,回传修改后的特定尾缀的位型样至该主除错模块。

11. 如权利要求 9 所述的在线除错系统,其中该主除错端所传输的信息为一区块的数据,用以更新该目标系统存储器的至少一部分。

12. 如权利要求 1 所述的在线除错系统,其中该第一目标处理器另包含有至少一除错缓存器,以及在除错模式中,该除错缓存器对于该第一目标处理器而言为只读。

13. 一种在线除错方法,包含有:

提供至少一个第一目标处理器,每个第一目标处理器具有第一内嵌除错模块与用以于实体与虚拟地址之间转换地址的地址转译功能,其中,在正常模式中该第一目标处理器执行一程序代码,以及在除错模式中使用该第一内嵌除错模块来控制该第一目标处理器;

提供除错信息存储器,以在该除错模式中储存用以除错的除错信息,其中当该第一目标处理器运作于该正常模式中时,该除错信息存储器对该第一目标处理器而言为不可见;

利用主除错端的除错软件,并藉由使用该除错信息,在该除错模式中对该程序代码进行除错;以及

桥接该第一目标处理器与该主除错端之间所传递的信息。

14. 如权利要求 13 所述的在线除错方法,还包含有:

提供在该正常模式中用以储存该程序代码的目标系统存储器,其中,在该除错模式中,第一目标处理器的处理器地址空间的一部分被配置予该除错信息存储器,并且当离开该除错模式时,该第一目标处理器的处理器地址空间的该部分再被映像回该目标系统存储器。

15. 如权利要求 13 所述的在线除错方法,还包含有:

其中,在第一目标处理器处于所述除错模式时,映像该除错信息存储器至对该第一目标处理器为可见的实体地址空间,其中该除错信息存储器仅用于指令撷取。

16. 如权利要求 13 所述的在线除错方法,还包含有:

其中,在第一目标处理器处于所述除错模式时,映像该除错信息存储器至对该第一目标处理器为可见的实体地址空间,其中该除错信息存储器系用于指令撷取与数据存取。

17. 如权利要求 13 所述的在线除错方法,还包含有:

其中,在第一目标处理器处于所述除错模式时,映像该除错信息存储器至对该第一目标处理器为可见的虚拟地址空间;以及

不通过额外的地址转译来直接使用通过该虚拟存储器空间存取的除错信息或直接对使用者空间程序代码进行除错。

18. 如权利要求 13 所述的在线除错方法,还包含有:

提供至少一个第二目标处理器,每一第二目标处理器分别具有第二内嵌除错模块,其中该至少一个第二目标处理器在该正常模式中执行该程序代码中的程序代码区段,每一第

二目标处理器的该第二除错模块在该除错模式中控制该第二目标处理器,并且该第一目标处理器与该第二目标处理器通过在线除错链来耦接;以及

当该第一目标处理器处于该除错模式时,使用该第一目标处理器来传输一通知至该至少一个第二目标处理器中的一个或多个第二目标处理器以使该一个或多个第二目标处理器处于该除错模式中。

19. 如权利要求 18 所述的在线除错方法,还包含有:

利用该主除错端传输该通知至该第一目标处理器以使该第一目标处理器处于该除错模式中。

20. 如权利要求 18 所述的在线除错方法,还包含有:

利用该第一目标处理器在进入该除错模式时、在除错模式中请求除错指令时、或者在被用来进行该第一目标处理器与该主除错端之间的数据转移时,传输该通知至该主除错端。

21. 如权利要求 13 所述的在线除错方法,还包含有:

初始化一在线除错桥接器的主除错模块以及该第一目标处理器的该第一内嵌除错模块之间的数据转移,以传输信息至附加于该第一目标处理器的目标系统存储器,并且该信息包含一特定尾缀的位型样,其用于决定是否该主除错端所传输的该信息已被该第一目标处理器所接收。

22. 如权利要求 21 所述的在线除错方法,还包含有:

改变该特定尾缀的位型样的内容,并且当该主除错端所传输的该信息已成功地被该第一目标处理器所接收时,回传修改后的特定尾缀的位型样至该主除错模块。

23. 如权利要求 21 所述的在线除错方法,其中该主除错端所传输的该信息系为一区块的数据,用以更新该目标系统存储器的至少一部分。

24. 如权利要求 13 所述的在线除错方法,其中该第一目标处理器还包含有至少一个除错缓存器,以及于该除错模式中,该除错缓存器对于该第一目标处理器而言为只读。

## 在线除错系统及其相关方法

### 技术领域

[0001] 本发明涉及一种除错架构,尤指一种在线除错系统及相关方法,用以对运作于目标系统上的程序代码进行除错。

### 背景技术

[0002] 在线除错架构通常被用于开发芯片上的目标系统所运作的程序代码,并对其进行除错。请参考图 1,图 1 为一习知在线除错系统 10 的示意图。在线除错系统 10 包含有目标系统 15、主除错端 25 以及在线除错桥接器 30。目标系统 15 中具有中央处理器 20,且主除错端 25 具有除错软件。此外,内嵌除错模块 35 整合于该目标中央处理器 20 中,并且被用以于控制与观测目标中央处理器 20,以作除错之用。主除错模块 40 整合于在线除错桥接器 30 中,并供予主除错端 25 存取内嵌除错模块 35 的能力。在线除错桥接器 30 则用于除错模式中,在目标系统 15 与主除错端 25 之间传输信息。再者,内嵌除错模块 35 通过通信信道,如联合测试工作组 (Joint Test Action Group, JTAG) 接口,与主侦测模块 40 进行通信。程序设计者可通过在线除错桥接器 30、主除错模块 40 以及内嵌除错模块 35,使用主除错端 25 上的该除错软件来对运作于目标系统 15 上的程序代码进行除错。其中,主除错模块 40 与内嵌除错模块 35 通过 JTAG 接口来对彼此进行通信。JTAG 接口为本领域技术人员所明了,恕不多做说明以求说明书的简要。

[0003] 美国专利号为 5640542 的专利中记载了关于用来对目标系统中之处理器上所运作的程序代码进行除错的在线仿真器。依据这份专利的摘要所提示,一对在线仿真器模块内嵌于微处理器中,以作为在线仿真器系统的一部分。对第一在线仿真器模块而言,该在线仿真器存储器映像模块映像特定的实体地址予除错存储器。映像予该除错存储器的该实体地址由可程序化缓存器所设定。对第二在线仿真器模块而言,该在线仿真器断点 (breakpoint) 模块允许使用者设定一些状况,该些状况可导致处理器对特定总线事件进行辨识。该在线仿真器断点模块监测内部总线与内部总线控制器。使用者可以藉由写入该断点模块中的一组断点缓存器来设定特定总线事件状况。为使本说明书更为简扼,恕不多作细部描述。

### 发明内容

[0004] 本发明的目的在于提出一种创新的在线除错系统及其相关方法,用来对运作于目标处理器的程序代码进行除错。在除错模式中,主要通过将除错信息 (命令、除错指令或数据) 存入除错信息存储器以进行除错。当该目标处理器运作于正常模式时,该除错信息存储器对该目标处理器而言为不可见。通过结合该除错信息存储器与用来产生事件以进入除错模式的断点逻辑,内嵌除错模块得以通过目标处理器的观点,完整地对该目标系统进行控制与观测。

[0005] 依据本发明的一个实施例,其提供一种在线除错系统。该在线除错系统包含有至少一个第一目标处理器、除错信息存储器、主除错端以及在线除错桥接器。该第一目标处理

器具有内嵌式除错模块,其中该第一目标处理器于正常模式中执行程序代码,并且该第一内嵌式除错模块于除错模式中控制该第一目标处理器。该除错信息存储器于除错模式中,储存用以进行除错的除错信息,其中于该第一目标处理器运作于正常模式中时,该除错信息存储器对该第一目标处理器而言为不可见。该主除错端具有除错软件,该主除错端于该除错模式中利用该除错信息以对该程序代码进行除错。该在线除错桥接器具有耦接于该第一内嵌除错模块的主除错模块,且该在线除错桥接器系耦接于该第一目标处理器与该主除错端之间,且用以桥接该第一目标处理器与该主除错端之间所传递的信息。

[0006] 依据本发明的另一实施例,系提供一种在线除错方法,该方法包含有:提供至少一个第一目标处理器,其具有内嵌除错模块与用以于实体与虚拟地址之间转换地址的地址转译功能,其中,在正常模式中该第一目标处理器执行程序代码,以及在除错模式中使用该内嵌除错模块来控制该第一目标处理器;提供除错信息存储器,以于该除错模式中储存用以除错的除错信息,其中当该第一目标处理器运作于该正常模式中时,该除错信息存储器对该第一目标处理器而言为不可见;利用主除错端的除错软件,并藉由使用该除错信息,在该除错模式中对该程序代码进行除错;以及桥接该第一目标处理器与该主除错端之间所传递的信息。

#### 附图说明

[0007] 图 1 为习知在线除错系统的示意图。

[0008] 图 2A 为本发明在线除错系统的一实施例的示意图。

[0009] 图 2B 为将图 2A 所示运作于正常模式的目标处理器之处理器地址空间的地址映像的示意图。

[0010] 图 2C 为将图 2A 所示运作于除错模式的目标处理器之处理器地址空间的地址映像的示意图。

[0011] 图 3 为将图 2B 与图 2C 所示的除错信息存储器映像至实体地址空间来单独支持指令撷取的实施示意图。

[0012] 图 4 为将图 2B 与图 2C 所示的除错信息存储器映像至实体地址空间来同时支持指令撷取与数据存取的实施示意图。

[0013] 图 5 为将图 2B 与图 2C 所示的除错信息存储器映像至虚拟地址空间来同时支持指令撷取与数据存取的实施示意图。

[0014] 图 6 为通过硬件信号来进行双向除错通知功能操作的一个实施例的示意图。

[0015] 图 7 为通过数据信号上数据帧 (data frame) 来进行双向除错通知功能操作的一个实施例的示意图。

[0016] 图 8 为跨处理器除错功能的一实施例的操作示意图。

[0017] 主要组件符号说明

[0018]

10、200	在线除错系统
15	目标系统

20、205a ~ 205d、805a ~ 805c	中央处理器
25、225、825	主除错端
30、230、830	在线除错桥接器
35、210a ~ 210d、801a ~ 810c	内嵌除错模块
40、235、835	主除错模块
2051a ~ 2051d	处理器核心
2052a ~ 2052d	存储器接口
215	目标系统存储器
220a ~ 220d	除错信息存储器
305、405	弹出的实体地址空间
505	弹出的虚拟地址空间
310、410、510	原始实体地址空间
810	在线除错中继装置

### 具体实施方式

[0019] 在说明书及后续的权利要求书当中使用了某些词汇来指称特定的组件。所属领域中具有通常知识者应可理解，硬件制造商可能会用不同的名词来称呼同一个组件。本说明书及后续的权利要求书并不以名称的差异来作为区分组件的方式，而是以组件在功能上的差异来作为区分的准则。在通篇说明书及后续的权利要求当中所提及的“包含”为一开放式的用语，故应解释成“包含但不限于”。此外，“耦接”一词在此包含任何直接及间接的电气连接手段。因此，若文中描述第一装置耦接于第二装置，则代表该第一装置可直接电气连接于该第二装置，或通过其它装置或连接手段间接地电气连接至该第二装置。

[0020] 请参考图 2A，图 2A 为本发明在线除错 (In-circuit debugging) 系统 200 的一个实施例的示意图。在线除错系统 200 包含有：多个目标处理器，如目标处理器 205a、205b、205c 以及 205d (例如：这些目标处理器为中央处理器)；具有除错软件的主除错端 225；以及在线除错桥接器 230。其中，中央处理器 205a、205b、205c 以及 205d 分别具有内嵌除错模块 210a、210b、210c 以及 210d。在正常模式中，目标处理器 205a、205b、205c、205d 于同一时间，执行同一程序代码中不同区段。举例来说，该程序代码可能为一多线程程序 (multithread program)。在除错模式中，内嵌除错模块 210a、210b、210c 以及 210d 分别控制目标处理器 205a、205b、205c 以及 205d 以进行除错。请同时参考图 2B 与相关的图 2C。图 2B 为运作于正常模式中的目标处理器 (如目标处理器 205a) 之处理器地址空间的地址

映像的示意图。图 2C 为运作于除错模式中的目标处理器（如目标处理器 205a）之处理器地址空间的地址映像的示意图。目标处理器 205a 耦接于目标系统存储器 215，并且包含有处理器核心 2051a、存储器界面 2052a 以及内嵌除错模块 210a，其中内嵌除错模块 210a 包含有除错信息存储器 220a。

[0021] 如图 2B 与图 2C 所示，目标系统存储器 215 附加于目标处理器 205a，并且在正常模式中用以储存该程序代码。在除错模式中，处理器地址空间的一部分被配置予除错信息存储器 220a；且当目标处理器 205a 离开除错模式后，该处理器地址空间的该部分会再被映像回目标系统存储器 215。除错信息存储器 220a 用以在除错模式中，储存可用于除错的除错信息，其中该除错信息可为命令、除错指令或数据。当目标处理器 205a 运作于正常模式中，除错信息存储器 220a 对目标处理器 205a 而言为不可见。应当注意的是，目标处理器 205b ~ 205d 分别包含有处理器核心 2051b ~ 2051d、除错信息存储器 220b ~ 220d 以及耦接于目标系统存储器 215 的存储器接口 2052b ~ 2052d，为求说明书的简洁，图示中未绘制处理器核心 2051b ~ 2051d、除错信息存储器 220b ~ 220d 以及存储器接口 2052b ~ 2052d。主侦错端 225 具有除错软件，并于除错模式中藉由储存于除错信息存储器 220a 的除错信息与该除错软件，可供程序开发者对程序代码进行除错处理。

[0022] 通常，当在线除错功能被使能 (enable) 时，除错模式由一除错例外所触发。接着，当图 2C 所示的该部分处理器地址空间被配置予除错信息存储器 220a 后，用于除错的除错信息会被加载至除错信息存储器 220a。当目标处理器再次离开除错模式后，除错信息存储器 220a 会成为闲置的存储器空间。亦即，在除错模式中，除错信息存储器 220a 可被视为一弹出的 (pop-up) 存储器空间。由于目标处理器 205b ~ 205d 的操作相似于目标处理器 205a，在此为求说明书的简扼，故省略相关说明。

[0023] 在线除错桥接器 230 具有主除错模块 235，其耦接于内嵌除错模块 210a、210b、210c 以及 210d，且在线除错桥接器 230 亦耦接于目标处理器 205a、205b、205c 以及 205d 与主除错端 225 之间。在线除错桥接器 230 用来桥接目标处理器 205a、205b、205c 以及 205d 与主除错端 225 之间所传递的信息。再者，内嵌除错模块 210a、210b、210c 以及 210d 形成在线除错链 (In-circuit debugging chain)，该在线除错链用以提供主除错端 225 分别存取内嵌除错模块 210a、210b、210c 以及 210d 的能力。应注意的是，在本实施例中，目标处理器 210a 与 210b 整合于同一芯片，而目标处理器 210c 与 210d 整合于另一芯片。然而，目标处理器 210a、210b、210c、210d 亦可分别设置于不同的四个芯片，上述的变化皆属于本发明的范畴。

[0024] 以下的说明中，提供数种本发明的除错信息存储器 220a 的设计例，请参见如下。请参考图 3，图 3 为将图 2B 与图 2C 所示的除错信息存储器 220a 映像至实体地址空间来单独支持指令撷取的实施示意图。在本例中，除错信息存储器 220a 被映像至实体地址空间 305，对处于除错模式中的目标处理器 205a 而言，实体地址空间 305 为可见的并且仅用于指令撷取。以目标系统存储器 215 之处理器观点而言，用于除错的数据存取空间相同于该原始物理存储器空间 310。

[0025] 对一个全面的除错机制而言，必须提供该目标处理器 205a 与一部分的目标系统存储器 215 的状态的备份，以执行预计的除错功能。于此，除错机制可能需要用于数据存取的存储器空间。再者，一个相对简单的实现方式是用硬件机制将除错信息存储器 220a



映像至实体地址空间 305a, 然后通过主除错端 225 上的除错软件进行实体地址与虚拟地址之间的地址转译。此外, 离开除错模式的时间点为: 当一指令涉及除错信息存储器 220a 的空间之外; 或者, 一特定指令被执行, 此特定指令通常为一中断返回指令 (Interrupt return instruction, IRET instruction), 例如: 将一处理器的控制返回到当初中断发生以进入除错模式之处。再者, 在实作上为节省实体储存装置的大小, 通常通过滑动窗口 (sliding window), 来进行全部弹出的存储器地址空间关于除错信息存储器 220a 的映像, 因此除错信息存储器 220a 仅需一相对较小的储存装置空间。请注意, 在本例中, 除错信息存储器 220b ~ 220d 的设计与相同除错信息存储器 220a, 故在此省略相关说明以求说明书的简要。

[0026] 然而, 在另一例中, 除错信息存储器 220 的地址空间被映像至可同时支持指令撷取与数据存取的实体地址空间。请参阅图 4, 图 4 为将图 2B 与图 2C 所示的除错信息存储器 220a 映像至实体地址空间 405 来同时支持指令撷取与数据存取的实施示意图。简单而言, 此例的方式需要两个分离的基地址缓存器。此外, 为了节省除错信息存储器 220a 的储存装置大小, 因此以 2 个分离的小容量储存装置来实现除错信息存储器 220a, 并以滑动窗口 (sliding window) 的方式来将其映像至除错信息存储器 220a 的全部空间, 而该些储存装置分别用于指令撷取与数据存取。如此一来, 并不需完整备份储存于系统存储器 215 的原始实体地址 410 的信息, 而仅须对目标系统 200 的内部状态进行备份。故操作于除错信息存储器 220a 中的该除错软件可更全面, 并且具有更多资源来储存目标系统 200 的状态。对软件而言, 地址转译架构需要交互地转换实体地址与虚拟地址。请注意。本例中的除错信息存储器 220b ~ 220d 的设计均与除错信息存储器 220a 相同, 故在此省略相关说明。

[0027] 在上述的例子中, 除错信息存储器 220a 的地址空间被映像至实体地址空间, 对程序设计者而言, 是相当方便地来对运作于实体地址空间上的程序代码进行除错, 如: 核心程序代码。为了能对运作于虚拟地址空间的程序代码进行除错 (如: 使用者程序代码), 因此在其它例子中, 除错信息存储器 220a 的地址空间被映像至同时用于指令与数据的使用者虚空间, 而非映像至实体地址空间。于此, 该核心程序代码仅作为说明对运作于实体地址空间的程序代码进行除错的范例; 在一些特殊的系统中, 使用者程序代码可能运作于实体地址空间。此外, 该使用者程序代码仅作为说明对运作于虚拟地址空间的程序代码进行除错的范例; 在一些全面的系统中, 核心程序代码可能运作于虚拟地址空间。该使用者程序代码与该核心程序代码并非本发明于运用上的限制。

[0028] 请再参考图 5, 其为将图 2B 与图 2C 所示的除错信息存储器 220a 映像至虚拟地址空间 505 来同时支持目标处理器 205a 的指令撷取与数据存取的实施示意图。在除错模式中, 弹出的虚拟地址空间 505 对目标处理器 205a 而言为可见的。这样做的一个好处是让存有除错信息的除错信息存储器 220a 可以和储存在原始存储器地址空间 510 的除错目标程序 (例如: 使用者程序或核心程序) 呈现在同一个虚拟地址空间。由此, 该除错软件可以直接利用该虚拟地址存取除错信息或直接对使用者空间程序代码进行除错, 而不需额外的地址转译。请注意, 在此例中除错信息存储器 220b ~ 220d 的设计皆与除错信息存储器 220a 相同, 在此省略其说明以求说明书的简要。

[0029] 此外, 在本实施例中, 在线除错系统 200 支持一种除错通知功能。由于在线除错系统 200 包含 4 个目标处理器 205a ~ 205d, 且这些目标处理器形成在线除错链, 因此若目标

处理器 205a ~ 205d 中的达成一特定触发状况而进入除错模式或主除错端 225 必需初始化除错通知来停止至少一个目标处理器时,主除错端 225 需被除错通知所告知。举例来说,当目标处理器 205a ~ 205d 中的目标处理器,藉由启动该在线除错特征所导致的除错例外,而首先被捕捉于除错模式中,除错通知会从该目标处理器被传输至主除错端 225。除错通知可能从目标处理器所发送,如:当目标处理器 205a 在除错模式中请求补充更多的除错指令,或目标处理器 205a 已准备好与主除错端 225 进行数据转移,则除错通知将由目标处理器 205a 被发送至主除错端 225。换言之,程序设计者可以设定各种不同的触发状况来分别进入目标处理器 205a ~ 205d 的除错模式。当目标处理器满足特定触发状况时,该目标处理器发送除错通知来告知主除错端 225。当然,对主除错端 225 而言,当主除错端 225 即将停止目标处理器 205a 的操作并且使目标处理器 205a 处于除错模式时,除错通知可因使用者需求,由主除错端 225 来被发送至目标处理器 205a。承上所述,该除错通知功能为双向通知功能,可由两端中的任一端来发出除错通知。而双向通知功能中的除错通知可以两种不同型式来传输:专用硬件信号或数据信号上的数据帧(data frame),如图 6 与图 7 所示。应注意的是,包含有 4 个目标处理器 205a ~ 205d 的在线除错系统 200 仅为一说明例;事实上,在线除错链上的目标处理器的数目并非本发明的限制。此外,芯片中的目标处理器的数目亦非本发明的限制。

[0030] 在线除错系统 200 亦支持一种跨处理器(inter-processor)除错功能。该跨处理器除错系指运作于该主除错端 225 上的该除错软件可当一处理器已处于除错模式时,立即使另一处理器处于除错模式。在实作上,该除错软件单纯地藉由在线除错中继装置,将一目标处理器所发出的除错通知转换为一转换过后的除错通知予另一目标处理器。请参考图 8,其为跨处理器除错功能的一范例的示意图。在此范例中,在线除错链包含有 3 个目标处理器 805a、805b 以及 805c。当目标处理器 805a、805b 以及 805c 中的一个处于除错模式中,主除错端将会停止其它目标处理器的运作,并通过在线除错中继装置 810 使其它目标处理器处于除错模式。在线除错中继装置 810 经由在线除错连接方式(如:一在线除错桥接器 830)而由主除错端 825 所控制。亦即,主除错端 825 可发布命令至在线除错中继装置 810,来请求停止至少一个目标处理器的运作。然后,在线除错中继装置 810 会驱动对应于该命令的信号至一个或多个目标处理器,并且在处理器已被停止时,告知主除错端 825。换言之,通过在线除错中继装置 810,主除错端 825 可以选择性地停止一个或多个处理器,而不须同时停止全部之处理器。当然,主除错端所发布的通知亦可通过广播来传递至所有的目标处理器,来停止全部的目标处理器,以上的操作方式亦属本发明的范畴。举例来说,对图 2A 中所示的在线除错系统 200 而言,当目标处理器 205a 处于除错模式时,目标处理器 205a 可传输除错通知至其它的目标处理器 205b、205c 以及 205d 以使这些目标处理器处于除错模式。

[0031] 此外,本实施例中的在线除错系统 200 可达到“非侵入式除错”。非侵入式除错系强调完全分离了用于除错与正常模式的程序的信息与储存装置。在主除错端 225 上的除错软件可于任一目标处理器 205a ~ 205d 上设定任何触发状况,而不需改变目标处理器 205a ~ 205d 的状态。目标系统 200 关联于除错模式的状态可在不妨碍目标系统 200 的情况下被观察。在实作上,在进入除错模式时,存在于目标处理器 205a ~ 205d 中的除错缓存器会被转化成只让目标处理器中的程序只读而不能写入。这样的机制让一般无法控制(runaway)的程序也不能妨碍由除错缓存器于除错模式所控制的除错程序。而一无法控制

(runaway) 的程序不可妨碍由除错缓存器于除错模式所控制的除错程序。因此,利用除错信息存储器 220a 中的数据或指令来控制目标处理器 205a 的除错程序不需要目标系统存储器或缓存器来储存信息,故除错模式中的信息与储存装置与正常模式中的信息与储存装置已完全被分离,而不发生任何相互干扰。

[0032] 再者,在线系统 200 提供了快速转移区块数据的能力。由于主除错端 225 上运作的除错软件所需的工作频率不同于目标处理器 205a、205b、205c、205d 所需的工作频率,因此目标处理器 205a、205b、205c、205d 并非永远处于准备接收由主除错端 225 处所下载的数据的状态。因此,在线除错系统 200 中需要一种再传输架构。在本实施例中,主除错端 225 开启于在线除错桥接器 230 的主除错模块与该内嵌除错模块 210a、210b、210c、210d 间的快速区块数据传输,以传输信息(包含数笔数据)至附加于目标处理器 205a、205b、205c、205d 的目标系统存储器 215;该信息另包含一特定尾缀的位型样(suffixbit pattern),其用于当主除错模块 235 通过一通信信道(如 JTAG 链)与内嵌除错模块 210a ~ 210d 进行通信时,决定是否主除错端 225 所传输的该信息已成功地被欲传输的目标处理器所接收。鉴于 JTAG 接口的特性,该特定尾缀的位型样通过由内嵌除错模块 210a ~ 210d 所组成的在线除错链来被传输。当该信息成功地被欲传输的目标处理器中的内嵌除错模块所接收时(如目标处理器 205a 的内嵌除错模块 210a),内嵌除错模块 210a 改变该尾缀位型样的内容,并且将其回传至主除错模块 235。然后,借着检查该尾缀位型样,主除错模块 235 得以了解该信息已被欲传输的目标处理器所成功地接收。如此可减少再传输过程的往返时间。在此应加以注意的是,由主除错模块 225 所传输的信息为一区块的数据(以下简称为区块数据),用以更新目标系统存储器 215 的至少一部分。

[0033] 此外,由主除错端 225 所下载的数据通常用以修正该程序代码中的错误,在最糟的情况下,甚至可能需要下载一段新的程序代码以取代原本程序代码中错误的部分。在此种情形中,习知技术由主除错端下载相当大量的新程序代码至目标处理器的操作,便显得毫无效率。因此,在线除错系统 200 提供一种较有效率的机制来搬移大量的数据。尤其是,主除错端 225 每次传输一区块数据,其中该区块数据便对应于一连续的地址空间,并且包含有多个指令。如此,主除错端 225 不再需要每次都通知该目标处理器,关联于那一特定指令的数据需依据一特定地址来存取。主除错端 225 仅需通知该目标处理器使用一可程序化基地址缓存器来指出该区块数据的起始地址。在实际中,自动地址计数器被用来减少于 JTAG 接口上的数据传输所导致的工作负担。在另一范例中,主除错端 225 只要发送一命令至在线除错桥接器 230 以开启从一存储器进行快速数据搬移的操作,然后,在线除错桥接器 230 设法由该存储器取出一区块数据至主除错端 225,此亦属本发明的范畴。

[0034] 以上所述仅为本发明的较佳实施例,凡依本发明权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

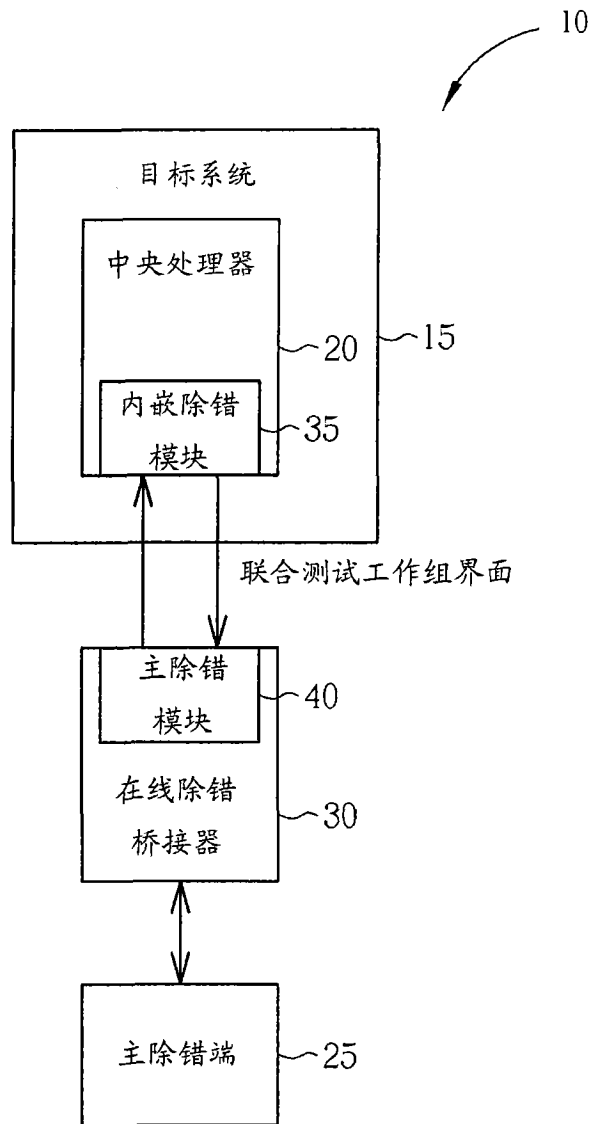


图 1

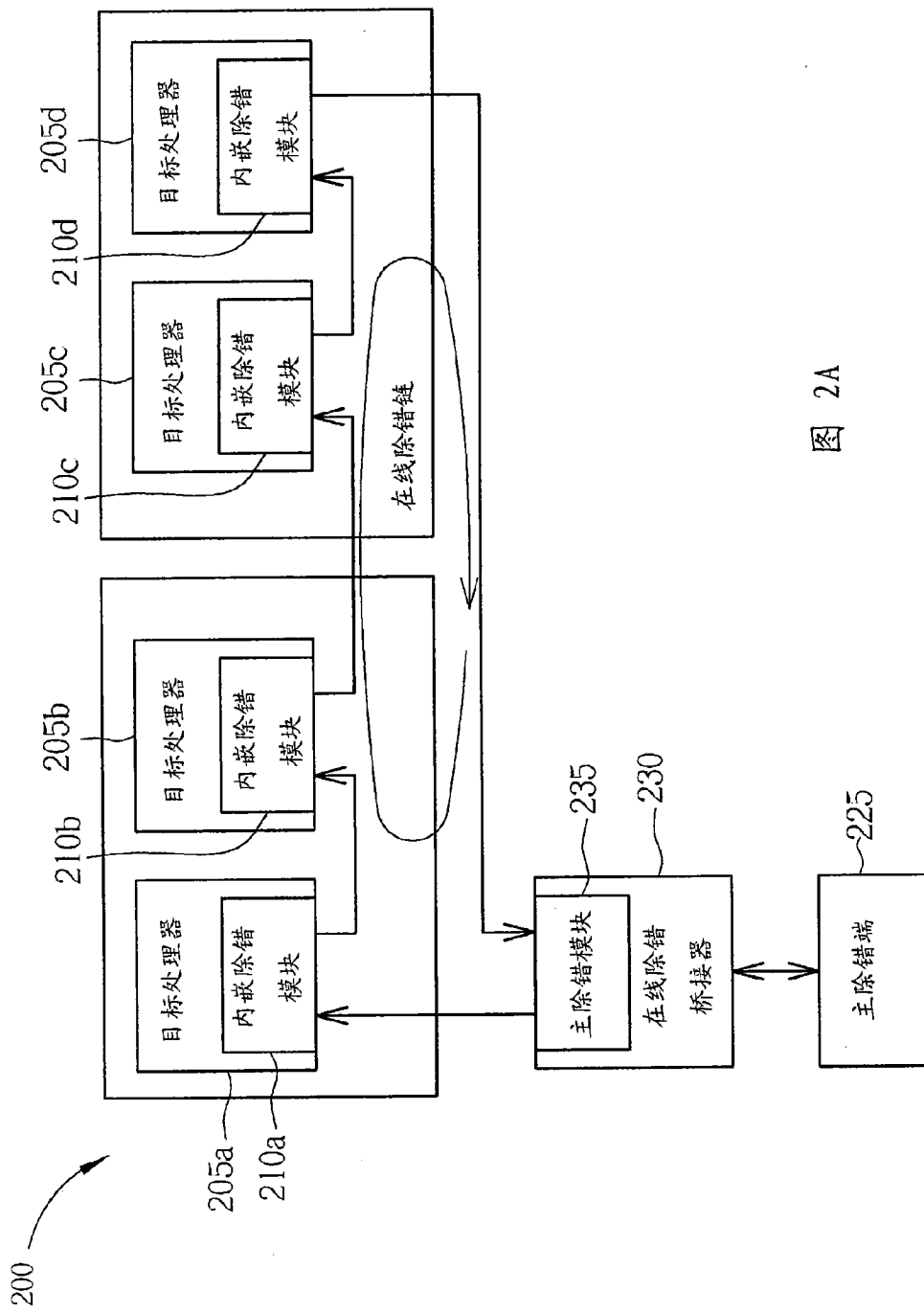


图 2A

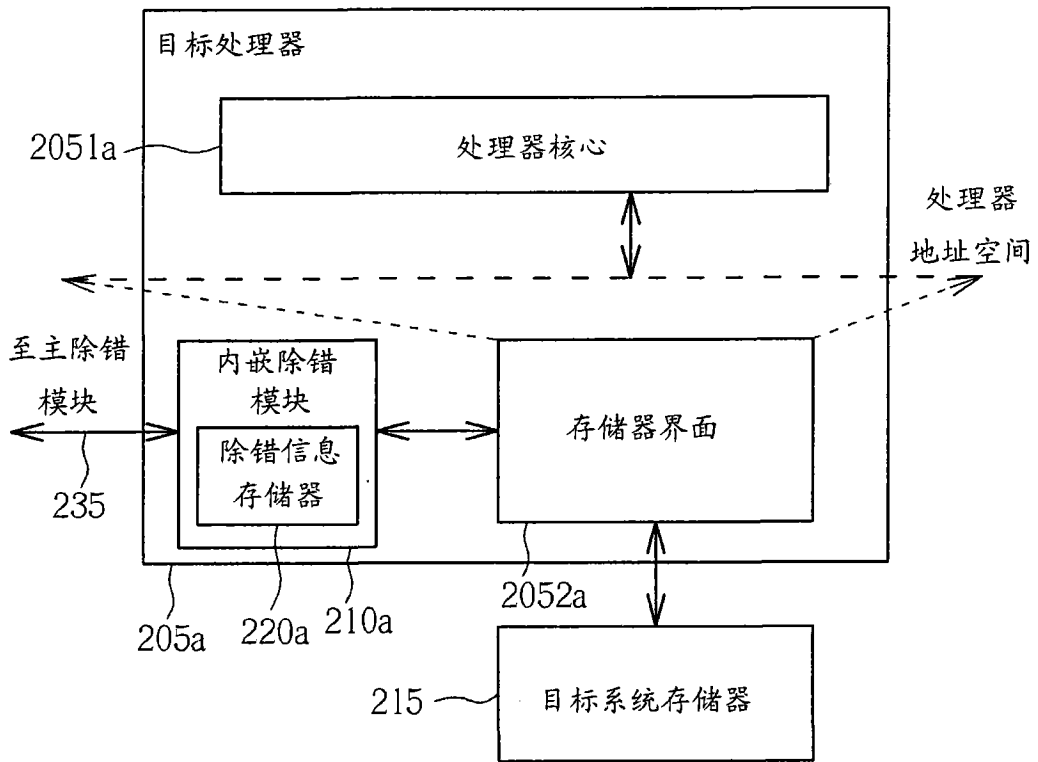


图 2B

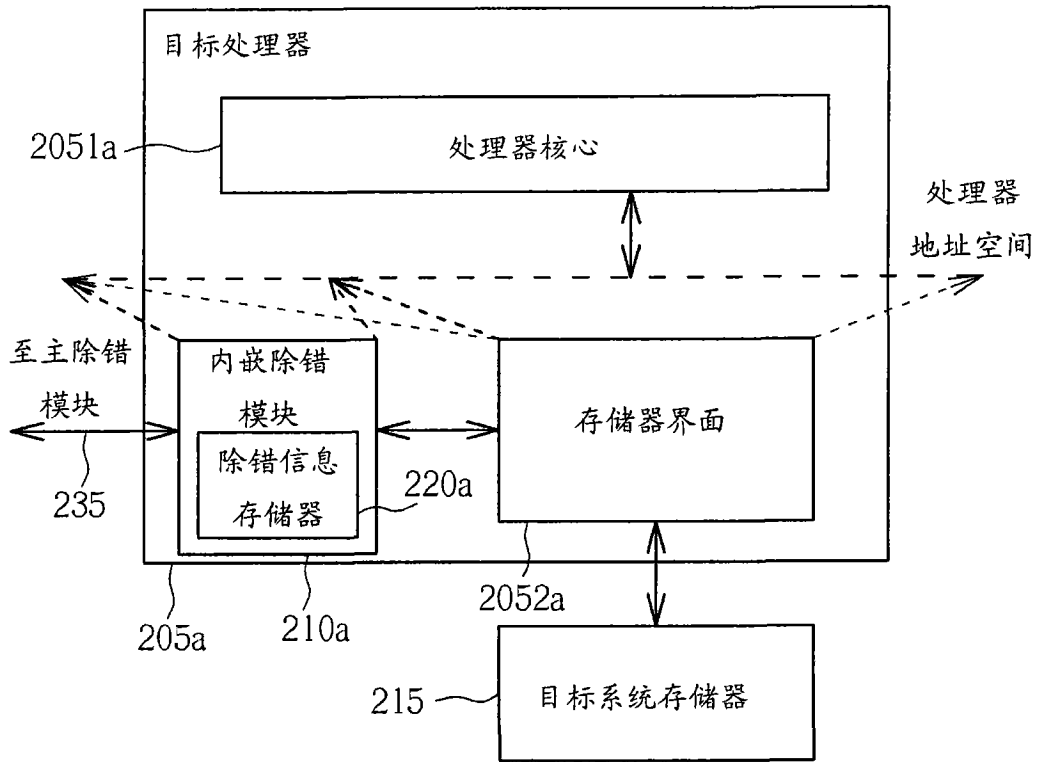


图 2C

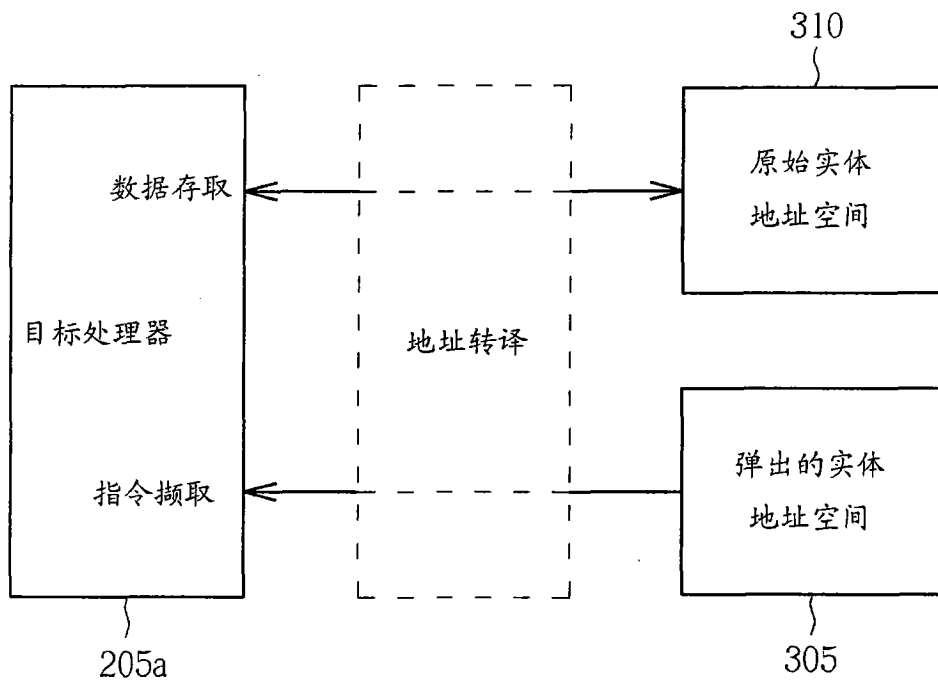


图 3

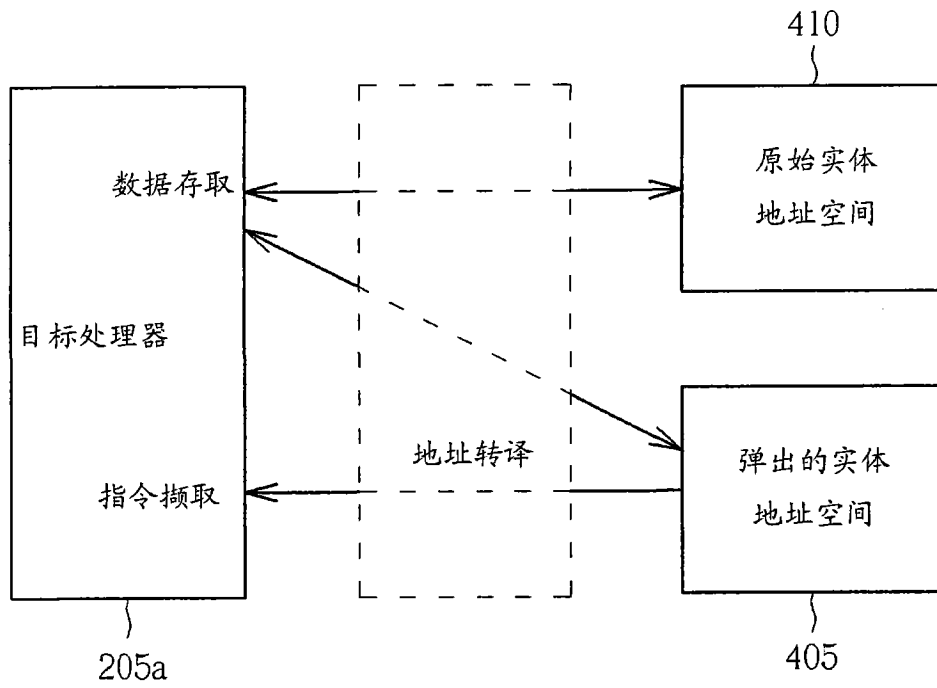


图 4

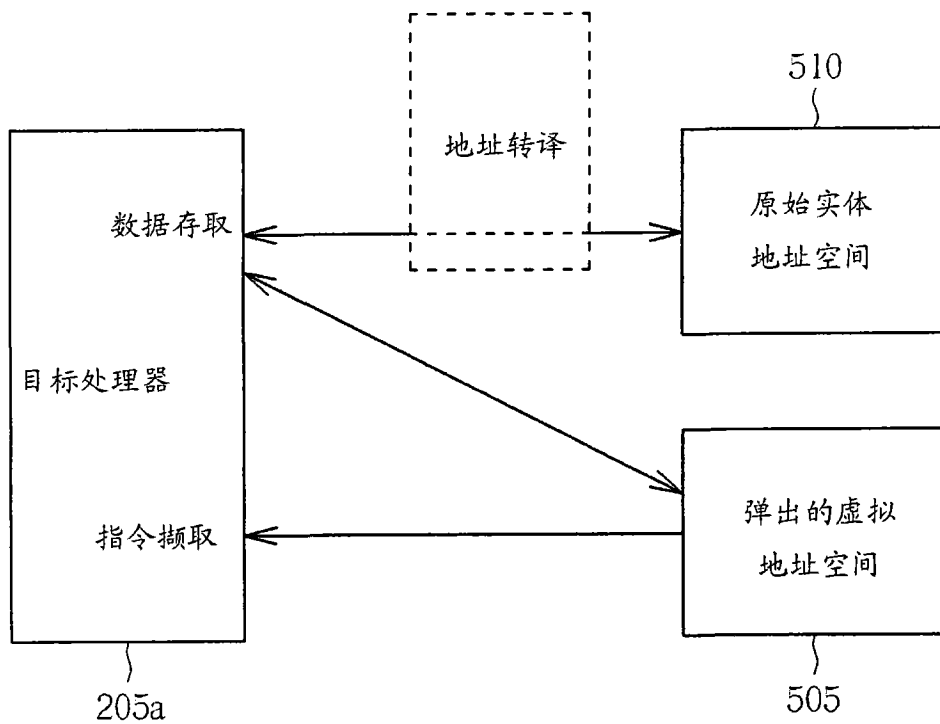


图 5



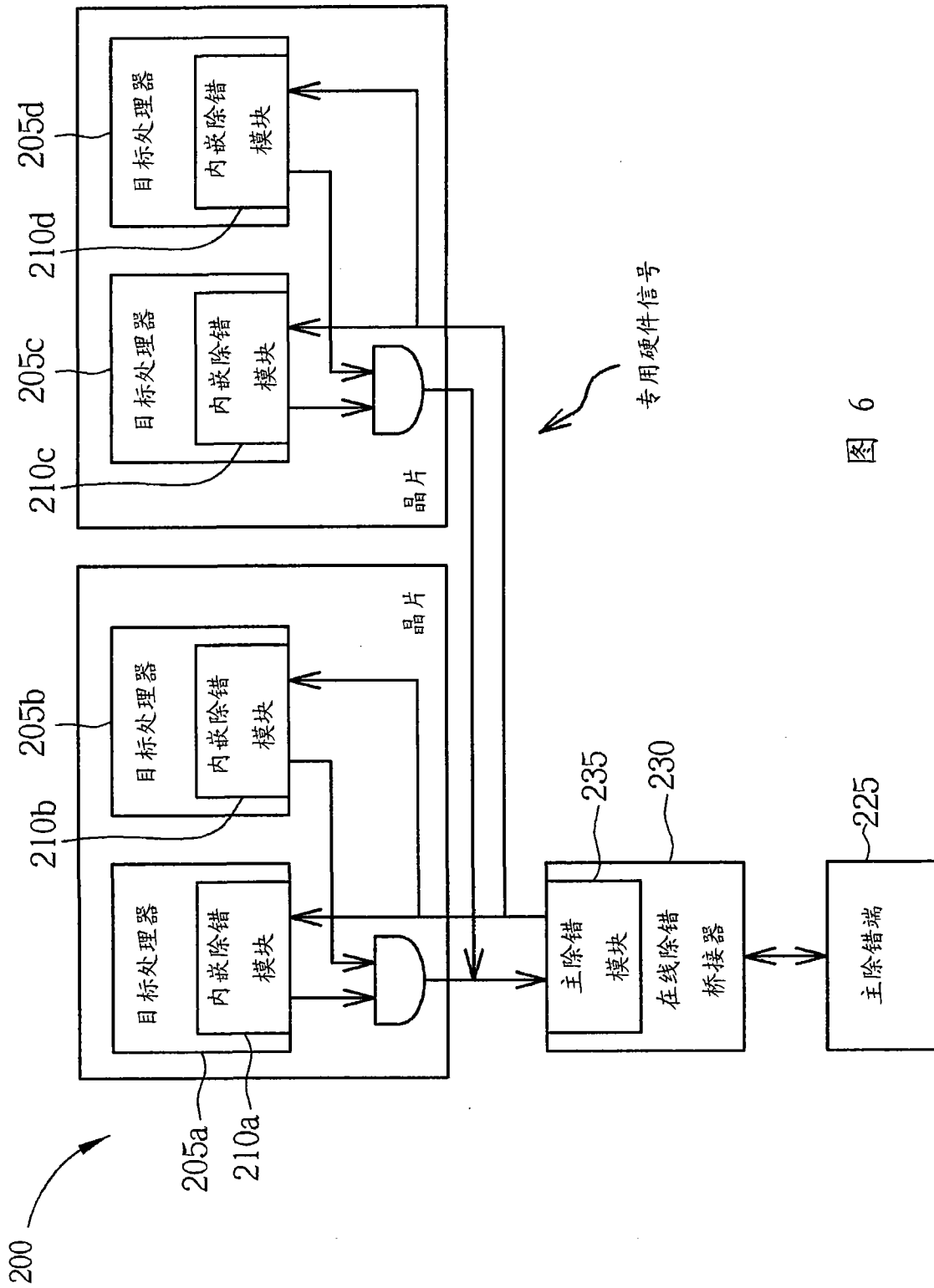


图 6

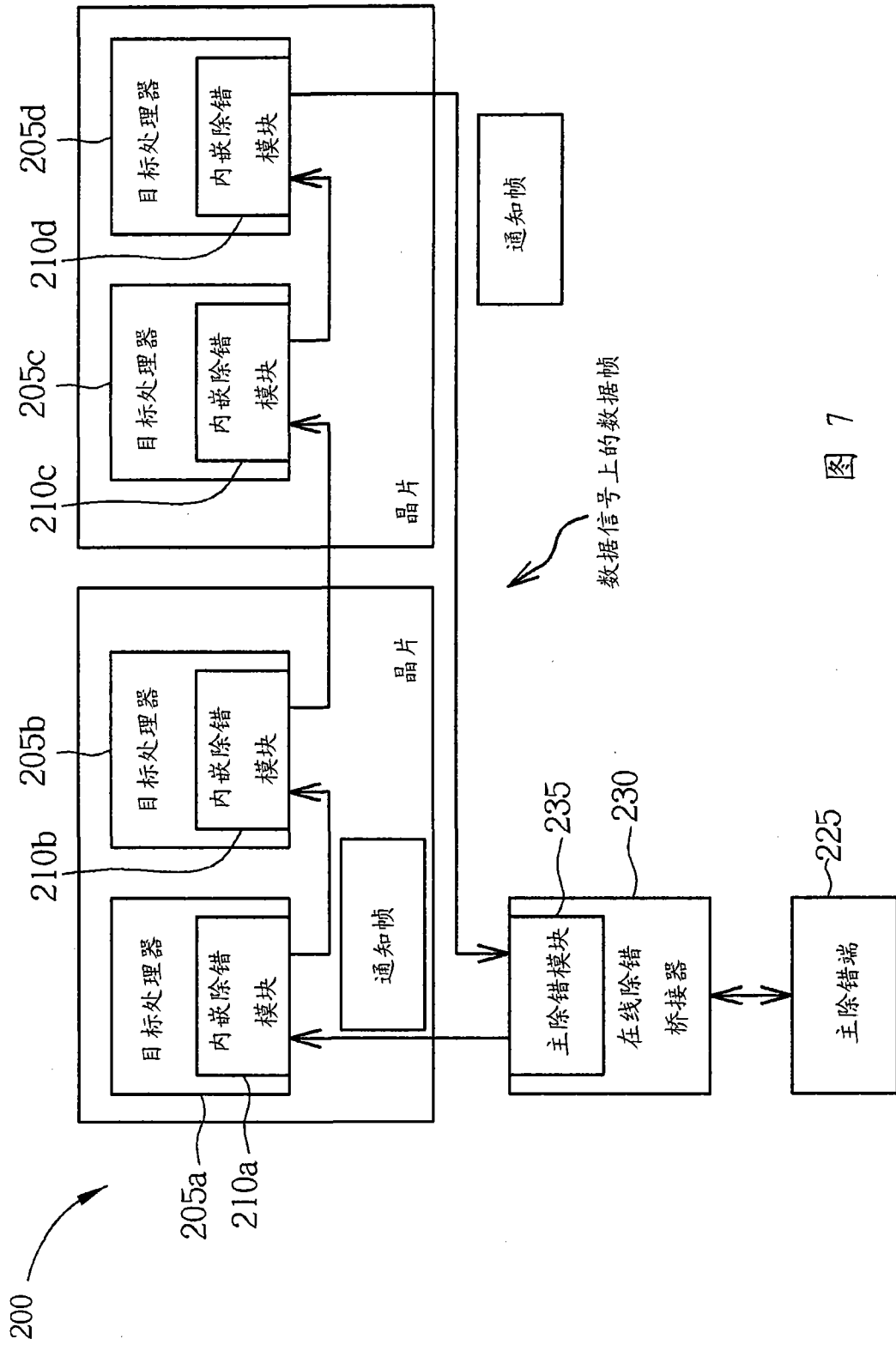


图 7

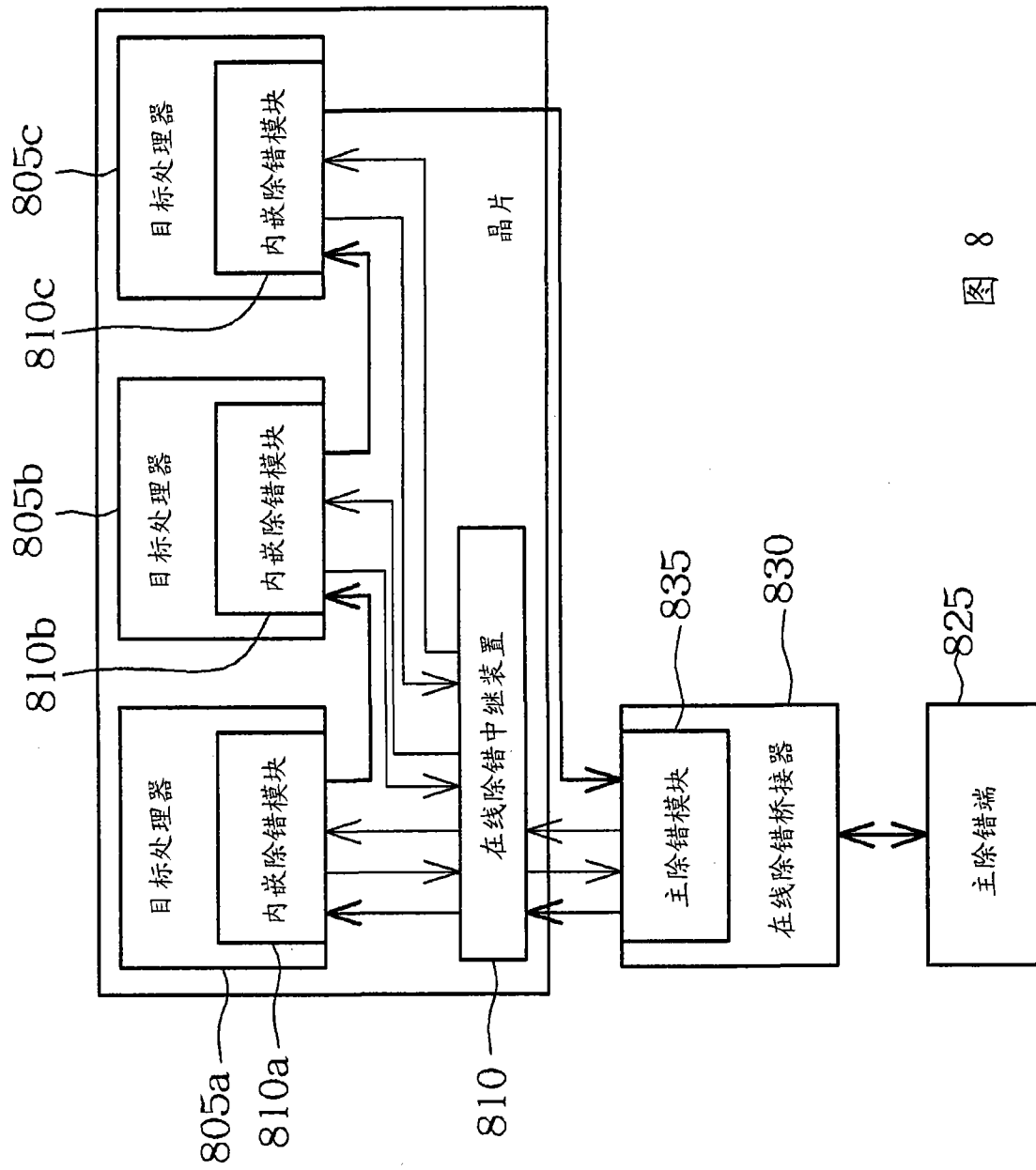


图 8