(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3624483号

(P3624483)

(45)発行日　平成17年3月2日(2005.3.2)　(24)登録日　平成16年12月10日(2004.12.10)

(51)Int.Cl.[7]	F I		
H04N 1/46	H04N	1/46	Z
G06T 1/20	G06T	1/20	Z
G06T 5/00	G06T	5/00	100
H04N 1/60	H04N	1/40	D

請求項の数 1　(全 12 頁)

(21)出願番号　特願平7-252475
(22)出願日　平成7年9月29日(1995.9.29)
(65)公開番号　特開平9-98296
(43)公開日　平成9年4月8日(1997.4.8)
審査請求日　平成13年10月15日(2001.10.15)

(73)特許権者　000005201
富士写真フイルム株式会社
神奈川県南足柄市中沼２１０番地
(74)代理人　100080159
弁理士　渡辺　望稔
(72)発明者　高　森　哲　弥
神奈川県足柄上郡開成町宮台７９８番地
富士写真フイルム株式会社内
審査官　渡辺　努

(56)参考文献　特開平０３－０９４５７９（ＪＰ，Ａ）
特開平０５－２４４４０４（ＪＰ，Ａ）
最終頁に続く

(54)【発明の名称】画像処理装置

(57)【特許請求の範囲】

【請求項１】

下記式（１）～（４）に従って、３原色の画像データの各色の画像データを階調変換するとともに前記３原色の画像データの各色の階調変換後の画像データと４行３列のマトリックスの各要素との乗算を行い、黒色の画像データを含む４色の画像データに変換する階調および色変換回路を有する画像処理装置であって、

$$OUT_1 = a_{11} \times F_1(IN_1) + a_{12} \times F_1(IN_2) + a_{13} \times F_1(IN_3) \quad \cdots (1)$$

$$OUT_2 = a_{21} \times F_2(IN_1) + a_{22} \times F_2(IN_2) + a_{23} \times F_2(IN_3) \quad \cdots (2)$$

$$OUT_3 = a_{31} \times F_3(IN_1) + a_{32} \times F_3(IN_2) + a_{33} \times F_3(IN_3) \quad \cdots (3)$$

$$OUT_4 = a_{41} \times F_4(IN_1) + a_{42} \times F_4(IN_2) + a_{43} \times F_4(IN_3) \quad \cdots (4)$$

（ここで、IN_x（ｘ＝１，２，３）は前記３原色の画像データの各色の画像データ、OUT_y（ｙ＝１，２，３，４）は前記４色の画像データの各色の画像データ、a_{ij}（ｉ＝１，２，３，４、ｊ＝１，２，３）は前記４行３列のマトリックスの各要素、F_z（ｚ＝１，２，３，４）は前記４色の画像データの各色の画像データに対応する非線型階調変換関数であって、$F_z(IN_x)$は前記３原色の画像データの各色の階調変換後の画像データを表す）

前記階調および色変換回路は、

上記式（１）～（４）の各項を構成する、前記マトリックスの各要素a_{ij}と前記３原色の

画像データの各色の階調変換後の画像データF_z（IN_x）との乗算値が、アドレス（α、β、γ）（αは前記４色の画像データの各色の画像データに対応する出力の色識別番号の値、βは前記３原色の画像データの各色の画像データに対応する入力の色識別番号の値、γは前記３原色の画像データの各色の画像データの値）に書き込まれたルックアップテーブルと、
各々の前記出力の色識別番号の値に対応する出力の色識別番号データの全ての値を順次変化させる毎に、各々の前記入力の色識別番号の値に対応する入力の色識別番号データの全ての値を順次変化させて、前記出力の色識別番号データおよび前記入力の色識別番号データの全ての組合せを順次生成し、入力される前記３原色の画像データの各色の画像データの値と各々の前記出力の色識別番号データの値および各々の前記入力の色識別番号データの値とを組合わせて、前記ルックアップテーブルを参照するためのアドレス信号を順次発生するアドレス信号発生手段と、
前記アドレス信号発生手段により、前記出力の色識別番号データの値が同一である間に前記入力の色識別番号データの全ての値が順次変化されることによって発生される３通りのアドレス信号に対応する前記ルックアップテーブルの３つのアドレスから順次出力される３つの前記乗算値を累積加算して前記４色の画像データのうちの１つの画像データを出力することを、前記アドレス信号発生手段により、前記出力の色識別番号データの全ての値が順次変化される４回繰り返し行い、前記４色の画像データの各色の画像データを順次出力する累積加算手段とを有することを特徴とする画像処理装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、例えば、原稿上の画像を読み取って、一定の画像処理を行った後、製版用のフイルムを作成するカラースキャナシステムに適用して、読み取られた画像信号の色処理やシャープネス処理の前処理などに用いられる、画像信号を階調変換および色マトリックス変換するための画像処理装置に関する。

【０００２】

【従来の技術】

従来、印刷、製版の分野において作業工程の合理化、画像品質の向上を目的として原稿に担持された画像情報を電気的に処理し、フィルム原版を作成する画像走査読取再生システムが広範に用いられている。

【０００３】

このシステムは入力機である画像読取装置と出力機である画像記録装置とから基本的に構成されており、この画像読取装置では、例えば副走査搬送される読取走査子（スキャナ）が用いられ、原稿に担持された画像情報がＣＣＤなどの固体撮像素子によって光電的に走査読取され電気信号に変換される。この後、画像読取装置で光電変換された画像情報は、その画像処理装置において、製版条件に応じて所定の画像処理が施された後、例えば、連続階調画像では、その濃淡を再現するために網掛処理が行われて網点画像に変換された後、画像記録装置においてレーザ光等の光信号に変換されフィルム等の感光材料からなる画像記録媒体上に記録される。ここで、前記画像記録媒体は所定の現像装置によって現像処理され、フィルム原板として印刷等に供される。

【０００４】

このような従来の画像走査読取再生システムにおいては、画像読取装置の画像処理装置において、３原色の画像信号、例えば赤（Ｒ）、緑（Ｇ）、青（Ｂ）の３色の画像信号を色処理してＹ，Ｍ，Ｃ，Ｋの４色の画像信号に変換し、次いで、順に解像度変換、輪郭（シャープネス）強調、階調変換などを行って、Ｙ，Ｍ，Ｃ，Ｋの４色の画像信号として画像記録装置に出力している。

【０００５】

ここで、画像の鮮鋭度や立体感を高めるために、画像データに対して輪郭強調処理（シャープネス処理またはエッジ強調処理ともいう。）を施す従来のシャープネス処理回路では

、単色画像データについて、原画像データから、先ず、アンシャープ信号データを作成する。次に、原画像データからアンシャープ信号データを差し引いたＵＳＭ（Ｕｎ　Ｓｈａｒｐ　Ｍａｓｋ　）信号データを作成する。最後に、原画像データとＵＳＭ信号データの定数倍のデータとを加算してシャープネス処理（後の）画像データを作成する。
従来、カラーの３原色の原画像データに対してシャープネス処理を施す場合には、３－４変換処理、カラー修正処理、階調変換処理等を行う色処理回路において、３色の原画像データをＫ（黒）色を含む４色の原画像データに変換してから上記のシャープネス処理回路においてシャープネス処理を行っている。

【０００６】

このような従来のカラー画像データのシャープネス処理に対し、本出願人は、Ｙ，Ｍ，Ｃ，Ｋの各色の濃度が自由に変えられ、各色の濃度に対してシャープネスの度合いを任意に調整可能とし、ノイズの少ない画像を形成するための画像データを得ることのできるシャープネス処理を行う画像処理方法およびその装置を特願平６－８０７３３号に提案した。

【０００７】

図５に、提案した画像処理装置８０を示す。同図に示す画像処理装置８０は、３原色、例えばＲ，Ｇ，Ｂの３色の１０ビットの画像データをＹ，Ｍ，Ｃの３色の８ビットの画像データに階調変換するためのルックアップテーブル（ＬＵＴ）を用いた階調変換回路８２と、４行３列のマトリックスに対して階調変換された３原色の画像データを列マトリックスとしてマトリックス乗算を行って４色、すなわちＹ，Ｍ，Ｃ，Ｋの４色の８ビット画像データに変換をするマトリックス演算回路８４と、前述の３原色の１０ビットの画像データを、３－４変換、カラー修正、階調変換などを含む色処理を行ってＹ，Ｍ，Ｃ，Ｋの４色の８ビットの画像データに変換する色処理変換回路８６と、マトリックス演算回路８４から出力される４色の画像データから各色についてＵＳＭ信号データを作成するＵＳＭ信号データ作成回路８８および４色のＵＳＭ信号データと色処理変換回路８６から出力される４色の画像データとを各色について加算する加算回路９０からなるシャープネス処理回路９２とを有する。

【０００８】

ここで、ＬＵＴ８２には、３原色、例えばＲ，Ｇ，Ｂの各色の１０ビットの画像データの全てＲｉ　（ｉ＝０～１０２３），Ｇｉ　（ｉ＝０～１０２３），Ｂｉ　（ｉ＝０～１０２３）に対して所定の階調変換を行って得られたＹ，Ｍ，Ｃの３色の各色の８ビットの画像データ、例えばＹｊ　（ｊ＝０～２５５），Ｍｊ　（ｊ＝０～２５５），Ｃｊ　（ｉ＝０～２５５）が書き込まれている。例えば、ＬＵＴ８２では、画像データＲｉ　（ｉ＝０～１０２３）に対応する階調変換画像データがアドレス（０，０）～（０，１０２３）に、Ｇｉ　（ｉ＝０～１０２３）に対応するデータがアドレス（１，０）～（１，１０２３）に、Ｂｉ　（ｉ＝０～１０２３）に対応するデータがアドレス（２，０）～（２，１０２３）に書き込まれており、１０ビットの入力画像データ（Ｒｉ　，Ｇｉ　，Ｂｉ　）に対して読み出された８ビットの階調変換画像データ（Ｙｊ　，Ｍｊ　，Ｃｊ　）が出力される。

【０００９】

次に、マトリックス演算回路８４では、下記式（Ｉ）に従って、入力画像データ（Ｙｉｎ，Ｍｉｎ，Ｃｉｎ）を列マトリックスとして、４行３列のマトリックスを用いてマトリックス乗算して、（Ｙｏｕｔ　，Ｍｏｕｔ　，Ｃｏｕｔ　，Ｋｏｕｔ　）を出力する。

【数１】

$$\begin{pmatrix} Yout \\ Mout \\ Cout \\ Kout \end{pmatrix} = \begin{pmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \\ a_{41} & a_{42} & a_{44} \end{pmatrix} \begin{pmatrix} Yin \\ Min \\ Cin \end{pmatrix} \qquad 式（I）$$

【００１０】

【発明が解決しようとする課題】
ところで、図５に示す画像処理装置８０においては、シャープネス処理の前処理として階調変換やマトリックス演算を行うために、階調変換用ＬＵＴ８２とマトリックス演算回路８４とがそれぞれ必要で、回路規模が大きくなるという問題があった。また、マトリックス演算回路８４は、乗算器が多数必要であり、高価であるという問題もある。
【００１１】
さらに、３原色の画像データを４色の画像データに変換する３－４変換を行う場合に、最初に１０ビットから８ビットへの階調変換を行っているので、４色目、すなわちＫ（黒）色の画像データは、３原色、例えばＹ，Ｍ，Ｃの階調変換画像データからマトリックス演算されることになり、３原色の階調変換画像データに依存し、独立にすることができない、すなわち４色目の黒色用の階調変換データを独立につくることができないという問題があった。
【００１２】
本発明の目的は、上記従来技術の問題点を解消し、回路規模が縮小され、なおかつＹ，Ｍ，Ｃ，Ｋの４色の各色に非線型変換を独立でかけた高精度の補正を行うことのできる、画像の階調および色変換を行う画像処理装置を提供することにある。
【００１３】
【課題を解決するための手段】
上記目的を達成するために、本発明は、下記式（１）～（４）に従って、３原色の画像データの各色の画像データを階調変換するとともに前記３原色の画像データの各色の階調変換後の画像データと４行３列のマトリックスの各要素との乗算を行い、黒色の画像データを含む４色の画像データに変換する階調および色変換回路を有する画像処理装置であって、

$$OUT_1 = a_{11} \times F_1(IN_1) + a_{12} \times F_1(IN_2) + a_{13} \times F_1(IN_3) \quad \cdots (1)$$
$$OUT_2 = a_{21} \times F_2(IN_1) + a_{22} \times F_2(IN_2) + a_{23} \times F_2(IN_3) \quad \cdots (2)$$
$$OUT_3 = a_{31} \times F_3(IN_1) + a_{32} \times F_3(IN_2) + a_{33} \times F_3(IN_3) \quad \cdots (3)$$
$$OUT_4 = a_{41} \times F_4(IN_1) + a_{42} \times F_4(IN_2) + a_{43} \times F_4(IN_3) \quad \cdots (4)$$

（ここで、IN_x（ｘ＝１，２，３）は前記３原色の画像データの各色の画像データ、OUT_y（ｙ＝１，２，３，４）は前記４色の画像データの各色の画像データ、a_{ij}（ｉ＝１，２，３，４、ｊ＝１，２，３）は前記４行３列のマトリックスの各要素、F_z（ｚ＝１，２，３，４）は前記４色の画像データの各色の画像データに対応する非線型階調変換関数であって、$F_z(IN_x)$は前記３原色の画像データの各色の階調変換後の画像データを表す）
前記階調および色変換回路は、
上記式（１）～（４）の各項を構成する、前記マトリックスの各要素a_{ij}と前記３原色の画像データの各色の階調変換後の画像データ$F_z(IN_x)$との乗算値が、アドレス（α、β、γ）（αは前記４色の画像データの各色の画像データに対応する出力の色識別番号の値、βは前記３原色の画像データの各色の画像データに対応する入力の色識別番号の値、γは前記３原色の画像データの各色の画像データの値）に書き込まれたルックアップテーブルと、
各々の前記出力の色識別番号の値に対応する出力の色識別番号データの全ての値を順次変化させる毎に、各々の前記入力の色識別番号の値に対応する入力の色識別番号データの全ての値を順次変化させて、前記出力の色識別番号データおよび前記入力の色識別番号データの全ての組合せを順次生成し、入力される前記３原色の画像データの各色の画像データの値と各々の前記出力の色識別番号データの値および各々の前記入力の色識別番号データの値とを組合わせて、前記ルックアップテーブルを参照するためのアドレス信号を順次発生するアドレス信号発生手段と、
前記アドレス信号発生手段により、前記出力の色識別番号データの値が同一である間に前

記入力の色識別番号データの全ての値が順次変化されることによって発生される３通りのアドレス信号に対応する前記ルックアップテーブルの３つのアドレスから順次出力される３つの前記乗算値を累積加算して前記４色の画像データのうちの１つの画像データを出力することを、前記アドレス信号発生手段により、前記出力の色識別番号データの全ての値が順次変化される４回繰り返し行い、前記４色の画像データの各色の画像データを順次出力する累積加算手段とを有することを特徴とする画像処理装置を提供するものである。

【００１４】

【発明の実施の形態】

本発明に係る画像処理装置を添付の図面に示す好適実施例に基づいて以下に詳細に説明する。

【００１５】

図１は、本発明の画像処理装置の一実施例のブロック図である。

同図に示すように、画像処理装置１０は、入力側のＳＣＳＩインターフェース（以下、ＳＣＳＩＩＦという）１２と、画像処理回路１４と、出力側の小容量の画像バッファである、例えば２ＭＢのＦＩＦＯメモリ１６と、出力側のＳＣＳＩＩＦ１８とを有している。またこの画像処理回路１４は、ＳＣＳＩＩＦ１２で受け取った画像信号を一時的に保持するアルタネートラインメモリ２０と、フォーマッタ２２と、バイパス回路２４と、色処理（カラーコレクション）回路２６と、プレシャープネス回路２８と、副走査遅れの補正回路３０と、倍率変換回路３２と、主走査遅れの補正回路３４と、シャープネス強調回路３６と、階調変換回路３８と、ラインワークバッファ（ＬＷＢｕｆｆ）４０と、ラインワーク（ＬＷ）付加回路４２と、ルックアップテーブル（％－ＱＬＬＵＴ）４４と、アルタネートラインメモリ４６とを有する。

【００１６】

ここで、入出力のアルタネートラインメモリ２０および４６は、トグルメモリであって、内部同期信号で常に処理を行うように構成され、入力側のラインメモリ２０は、例えば３２ＫＢ×４ラインのデュアルポートＲＡＭ（ＤＰＲＡＭ）で構成され、ＳＣＳＩＩＦ１２からのＲ，Ｇ，Ｂの３色の画像信号の１６ビットデータを８ビットデータに変換し、ラインの切り替えを倍率変換の前後で別々に制御することにより、直線補間による副走査変倍にも対応する。一方、出力側のラインメモリ４６は、例えば１２８ＫＢ×２ラインのＲＡＭで構成され、階調変換回路４４からのＹ，Ｍ，Ｃ，Ｋの４色の各々の画像信号の８ビットデータを１６ビットデータに変換し、かつ線点変換をも含み、ＦＩＦＯ１６へ書き込む。

【００１７】

フォーマッタ２２は、Ｒ，Ｇ，Ｂの３色の画像データもＹ，Ｍ，Ｃ，Ｋの４色の画像データも同じく内部フォーマットに変換するためのもので、ここでは、例えば３色および４色と８ビット、１６ビットおよび１０ビットとの組み合わせ信号をすべて、１０ビットＹ（Ｂ），Ｍ（Ｇ），Ｃ（Ｒ），Ｋの点順次信号に変換する。

【００１８】

次にバイパス回路２４は、入力データの上位８ビットをそのままの順序で倍率変換３２の前に送るものである。

色処理回路２６は、上位５ビットで３Ｄルックアップテーブル（ＬＵＴ）を使った３－４変換や階調変換などを含む色処理（カラーコレクション）を行って、Ｒ，Ｇ，Ｂの３色の画像データをＹ，Ｍ，Ｃ，Ｋの４色の画像データに変換する。

プレシャープネス回路２８は、本発明の最も特徴とする部分であって、１Ｄルックアップテーブル（ＬＵＴ）を使って階調変換と３色→４色変換のための演算とを行う回路である。このプレシャープネス回路２８については後述する。

【００１９】

副走査遅れ補正回路３０および主走査遅れ補正回路３４は、画像処理回路１４内の各回路がパイプライン処理を行うように構成されているので、遅れ段数が発生するため、それぞれシャープネスによる副走査および主走査遅れの補正を行う回路である。

次に倍率変換回路３２は、色処理を行った後の４色の画像データおよびプレシャープネス処理を行った４色の画像データ、ならびにバイパスしてきた４色の画像データに直線補間による主走査方向の変倍（倍率変換）や解像度変換をかけるもので、同時に主走査位置の移動および点順次信号を線順次信号に変換する点線変換も行う。

【００２０】

シャープネス処理回路３６は、輪郭強調するために、プレシャープネス回路２８からの４色の画像信号と、色処理回路２６またはバイパス回路２４からの４色の画像信号との２つの画像データを使って前述したように従来同様のシャープネス処理を行うものである。なお、シャープネス処理回路３６側では、入力画像データ信号のタイプ（３色か４色か）によって、色処理回路２６の出力と色処理回路２６を通らないバイパス回路２４の出力を選択する機能を有している。従って、入力フォーマット変換部であるフォーマッタ２２は４色入力機能を有しており、ここで色処理回路２６の出力とバイパス回路２４の出力を選択する機能を有しているので、Ｒ，Ｇ，Ｂの３色の画像データに加え、Ｙ，Ｍ，Ｃ，Ｋの４色の画像データも画像処理回路１４で所要の画像処理、例えば倍率・解像度変換、輪郭強調、階調変換、トンボ、コメント、ボーダーラインなどのラインワーク付加などの処理を行うことができ、画像記録装置に出力して色版フィルムを作製することができる。

【００２１】

階調変換回路３８は、８ビット入力８ビット出力のルックアップテーブル（％－％ＬＵＴ）を用いて、ネガポジの反転、ハイライト（ＨＬ）やシャドウ（ＳＤ）側を強くしたり弱く（つぶ）したりする階調変換を行うものである。

ラインワークバッファ（ＬＷＢｕｆｆ）４０は、２ＭＢのメモリで、トンボ、コメント、ボーダーラインなどのラインワーク情報を記憶しているバッファメモリである。ラインワーク付加回路４２は、ラインワーク情報を画像データから再生される画像に上から重ねるために画像信号と合成するものである。

【００２２】

階調変換回路４４は、所定ビット長、例えば８ビットの画像信号、従って０－２５５階調の画像信号を必要な階調、例えば０－１００階調に変換する回路である。このように得られた画像データをラインメモリ４６に入力し、ラインの切れ目のない連続したデータに変換して、ＦＩＦＯ１６に送り、バッファリングして、必要なタイミングで、ＳＣＳＩインターフェース１８を通して、網掛処理を施して画像記録装置に出力すめたの出力インターフェースユニットに送ることができる。

【００２３】

次にプレシャープネス回路２８は、本発明における画像の階調変換および色変換を同時に行うための回路であって、具体的には、１０ビットから８ビットへの変換と３色データ信号から４色のデータ信号を作り出す機能を持つものである。すなわち、プレシャープネス回路２８は、下記式（II）の演算を行い、１０ビットの３原色の画像データ信号（Ｙin，Ｍin，Ｃin）から８ビットの４色の画像データ信号（Ｙout，Ｍout，Ｃout，Ｋout）を生成する。

$$Yout = a_{11} \times Fy\ (Yin) + a_{12} \times Fy\ (Min) + a_{13} \times Fy\ (Cin)$$
$$Mout = a_{21} \times Fm\ (Yin) + a_{22} \times Fm\ (Min) + a_{23} \times Fm\ (Cin)$$
$$Cout = a_{31} \times Fc\ (Yin) + a_{32} \times Fc\ (Min) + a_{33} \times Fc\ (Cin)$$
$$Kout = a_{41} \times Fk\ (Yin) + a_{42} \times Fk\ (Min) + a_{43} \times Fk\ (Cin)$$

式（II）

【００２４】

ここでＦｙ（ｘ），Ｆｍ（ｘ），Ｆｃ（ｘ）およびＦｋ（ｘ）は、非線型階調変換関数を示し、例えば図４に示す非線型変換曲線に従って求められる階調変換値を得るためのものである。また、a_{11}，a_{12}，a_{13}，a_{21}，a_{22}，a_{23}，a_{31}，a

$_{32}$，a_{33}，a_{41}，a_{42}，a_{43}は下記マトリックス演算式（Ｉ）に用いられるマトリックスの要素である。

【数２】

$$\begin{pmatrix} Yout \\ Mout \\ Cout \\ Kout \end{pmatrix} = \begin{pmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \\ a_{41} & a_{42} & a_{44} \end{pmatrix} \begin{pmatrix} Yin \\ Min \\ Cin \end{pmatrix} \qquad 式（I）$$

【００２５】

図２は、プレシャープネス回路２８の一実施例のブロック図であり、図３は、本発明に用いられるＬＵＴの内部構成の一例を示す説明図である。同図に示すように、画像データ入力端子ＤＡＴＡ　ＩＮに入力される３原色、例えばＹ，Ｍ，Ｃの画像データのシリアル信号を各色Ｙ，Ｍ，Ｃ毎にパラレルに保持するレジスタ５２Ｙ，５２Ｍ，５２Ｃと、レジスタ５２Ｙ，５２Ｍ，５２Ｃを切り換えるセレクタ（Ｓｅｌ）５４と、セレクタ５４によって選択された画像データ信号に応じて読み出される、非線型階調変換画像データとマトリックスの係数との乗算値が記憶されるルックアップテーブル（以下、ＬＵＴとする）５６と、ＬＵＴ５６から読み出された乗算値を加算する加算器５８と、加算器５８によって加算された加算値を保持（ラッチ）するＤ型フリップフロップ（以下、ＤＦＦとする）６０と、ＤＦＦ６０から出力される画像データを一時的に保持し、画像データ出力端子ＤＡＴＡ　ＯＵＴから出力するためのＤＦＦ６２と、セレクタ５４の切り換えタイミングおよびＤＦＦ６０のクリア（消去）タイミングを発生させるためのカウンタＣＮＴ６４とデコーダＤＥＣ６６とを有する。

【００２６】

本発明においては、ＬＵＴ５６は図３に示す内部構成を有する。同図に示すように、ＬＵＴ５６は、その第１行目にマトリックスの要素a_{11}と１０ビットの全入力画像データＹin（０～１０２３）を非線型変換Ｆｙして得られる８ビットの階調変換後の画像データＦｙ（Ｙin）（０～２５５）との乗算値（積）a_{11}×Ｆｙ（Ｙin）がアドレス（０，０，０）～（０，０，１０２３）に書き込まれ、同様に第２行目のアドレス（０，１，０）～（０，１，１０２３）には乗算値a_{12}×Ｆｙ（Ｍin）が、第３行目のアドレス（０，２，０）～（０，２，１０２３）には乗算値a_{13}×Ｆｙ（Ｃin）が、第４行目の全アドレス（０，３，０）～（０，３，１０２３）にはすべて０が書き込まれている。次いで、第５行目のアドレス（１，０，０）～（１，０，１０２３）に乗算値a_{21}×Ｆｍが、第６行目、第７行目にはそれぞれ乗算値a_{22}×Ｆｍ，a_{23}×Ｆｍ、第８行目にはすべて０が書き込まれている。ＬＵＴ５６には、以下同様に乗算値a_{31}×Ｆｃ，a_{32}×Ｆｃ，a_{33}×Ｆｃ，０，a_{41}×Ｆｋ，a_{42}×Ｆｋ，a_{43}×Ｆｋ，０が書き込まれている。

ここで、アドレス（α，β，γ）のうち、αは出力の色識別番号であり、例えば０はＹ（イエロー）、１はＭ（マゼンタ）、２はＣ（シアン）、３はＫ（黒）を表し、βは入力の色識別番号を表し、０，１，２はそれぞれＹ，Ｍ，Ｃで、３は０であり、γは画像データそのものである。

【００２７】

ここで、ＬＵＴ５６内のアドレスと書き込まれているデータの関係の具体例を以下に示す。

・アドレスオフセット：画像データ（ｉ：０～１０２３の整数）

0x0000～0x03ff : Ydata[0][i]＝ {a_{11} × Fy[i]} ;
0x0400～0x07ff : Ydata[1][i]＝ {a_{12} × Fy[i]} ;
0x0800～0x0bff : Ydata[2][i]＝ {a_{13} × Fy[i]} ;
0x0c00～0x0fff : Ydata[3][i]＝ {0} ;
0x1000～0x13ff : Mdata[0][i]＝ {a_{21} × Fm[i]} ;
0x1400～0x17ff : Mdata[1][i]＝ {a_{22} × Fm[i]} ;
0x1800～0x1bff : Mdata[2][i]＝ {a_{23} × Fm[i]} ;
0x1c00～0x1fff : Mdata[3][i]＝ {0} ;
0x2000～0x23ff : Cdata[0][i]＝ {a_{31} × Fc[i]} ;
0x2400～0x27ff : Cdata[1][i]＝ {a_{32} × Fc[i]} ;
0x2800～0x2bff : Cdata[2][i]＝ {a_{33} × Fc[i]} ;
0x2c00～0x2fff : Cdata[3][i]＝ {0} ;
0x3000～0x33ff : Kdata[0][i]＝ {a_{41} × Fk[i]} ;
0x3400～0x37ff : Kdata[1][i]＝ {a_{42} × Fk[i]} ;
0x3800～0x3bff : Kdata[2][i]＝ {a_{43} × Fk[i]} ;
0x3c00～0x3fff : Kdata[3][i]＝ {0} ;

【００２８】

図示例のプレシャープネス回路２８においては、レジスタ５２Ｙ，５２Ｍ，５２Ｃは、周波数ｆのクロック（ＣＬＫ）で動作し、入力端子ＤＡＴＡＩＮから入力されるＹ，Ｍ，Ｃ、３色のシリアル画像データをそれぞれ保持する。

次いでセレクタ５４は、画像データの入力先を順次切り換え、レジスタ５２Ｙ，５２Ｍ，５２Ｃに保持されている画像データの１つを選択するとともに、選択された画像データとデコーダ６６で生成された出力および入力の色識別番号データとを合わせて、ＬＵＴ５６の読み出すべきアドレスを発生する。ここでは、レジスタ５２Ｙ，５２Ｍ，５２Ｃに保持されている入力データが（Ｙｘ　，Ｍｘ　，Ｃｘ　）であるとき、以下のようアドレス発生方式が行われる。

↓〔0, 0, Yx〕
↓〔0, 1, Mx〕
↓〔0, 2, Cx〕
↓〔0, 3, X〕　←累積終了
↓〔1, 0, Yx〕
・　　・
・　　・
・　　・
↓〔3, 2, Cx〕
↓〔3, 3, X〕　←累積終了

【００２９】
ここで、まず最初にセレクタ５４はレジスタ５２Ｙを選択し、アドレス（０，０，Ｙｘ）が発生されたとすると、このアドレス信号はＬＵＴ５６のＡ端子から入力され、ＬＵＴ５６は、アドレス（０，０，Ｙｘ）に記憶されているデータa_{11}×Ｆｙ（Ｙｘ）を読み出し、Ｄ端子から出力する。ＬＵＴ５６のＤ端子から出力されたデータa_{11}×Ｆｙ（Ｙｘ）は加算器５６に入力され、ＤＦＦ６０に保持されていたデータと加算される。この時、すなわち演算の開始に当たってはＤＦＦ６０はＤＥＣ６６からのクリア信号ＣＬＲによってクリアされているので、ＤＦＦ６０の保持データは存在しない、すなわち０である。従って加算器５８における加算値はa_{11}×Ｆｙ（Ｙｘ）となり、この加算値はＤＦＦ６０に出力され、保持される。

【００３０】
次に、セレクタ５４はレジスタ５２Ｍを選択し、アドレス信号（０，１，Ｍｘ）が発生され、ＬＵＴ５６ではa_{12}×Ｆｙ（Ｍｘ）が読み出され、加算器５８に出力される。加算器５８ではＬＵＴ５６から読み出されたデータa_{12}×Ｆｙ（Ｍｘ）とＤＦＦ６０に保持されているデータa_{11}×Ｆｙ（Ｙｘ）とが加算され、加算値a_{11}×Ｆｙ（Ｙｘ）＋a_{12}×Ｆｙ（Ｍｘ）が更新データとしてＤＦＦ６０に保持される。

【００３１】
次いで、同様にして、セレクタ５４によるレジスタ５２Ｃの選択により発生されるアドレス信号（０，２，Ｃｘ）によってＬＵＴ５６からa_{13}×Ｆｙ（Ｃｘ）が読み出され、加算器５８で先にＤＦＦ６０に保持されているデータa_{11}×Ｆｙ（Ｙｘ）＋a_{12}×Ｆｙ（Ｍｘ）と累積加算され、データa_{11}×Ｆｙ（Ｙｘ）＋a_{12}×Ｆｙ（Ｍｘ）＋a_{13}×Ｆｙ（Ｃｘ）が更新データとしてＤＦＦ６０に保持される。

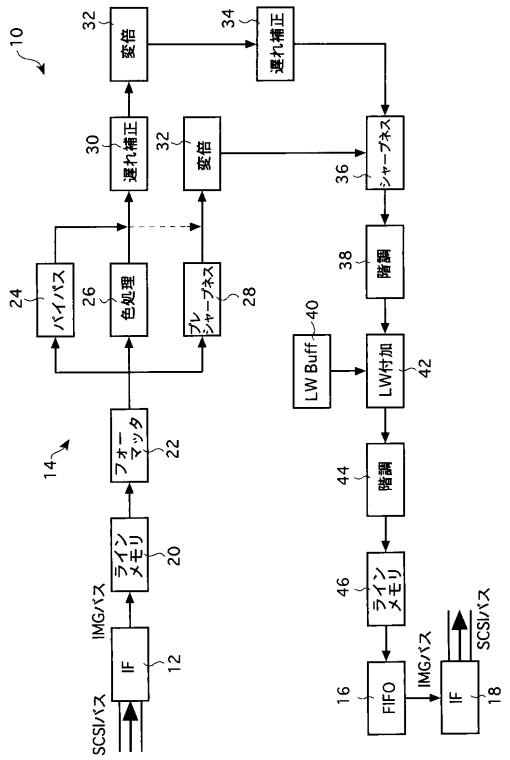
【００３２】
この後、セレクタ５４は、いずれのレジスタも選択せず、画像データ信号は選択されないので、デコーダ６６からの色識別番号データによってアドレス（０，３，Ｘ）（Ｘは任意の値）が発生される。ＬＵＴ５６のアドレス（０，３，０）～（０，３，１０２３）にはすべて０が書き込まれているので、ＬＵＴ５６から読み出されるデータは０であり、加算器５８は先にＤＦＦ６０に保持されていたデータをそのまま出力し、ＤＦＦ６０は更新データとしてその値を保持する。この時、ＤＦＦ６０の下流のＤＦＦ６２には周波数ｆのクロックが入力され、ＤＦＦ６０が保持しているデータa_{11}×Ｆｙ（Ｙｘ）＋a_{12}×Ｆｙ（Ｍｘ）＋a_{13}×Ｆｙ（Ｃｘ）を保持し、次のクロックでＹout データとして出力端子ＤＡＴＡＯＵＴから出力する。この時ＤＦＦ６０は、デコーダ６６からのクリア信号ＣＬＲでクリアされる。

【００３３】
こうして、１０ビットの入力画像データ（Ｙｘ，Ｍｘ，Ｃｘ）から８ビットの出力画像データＹout が出力されると、同様にして、８ビットの出力画像データＭout，Ｃout，Ｋout が出力され、１組の８ビット画像データ（Ｙout，Ｍout，Ｃout，Ｋout）の生成が終了し、３原色の画像データの階調および色変換を終了する。この後、同様にして、次の入力画像データ（Ｙin，Ｍin，Ｃin）の階調および色変換、すなわちプレシャープネス処理を行う。

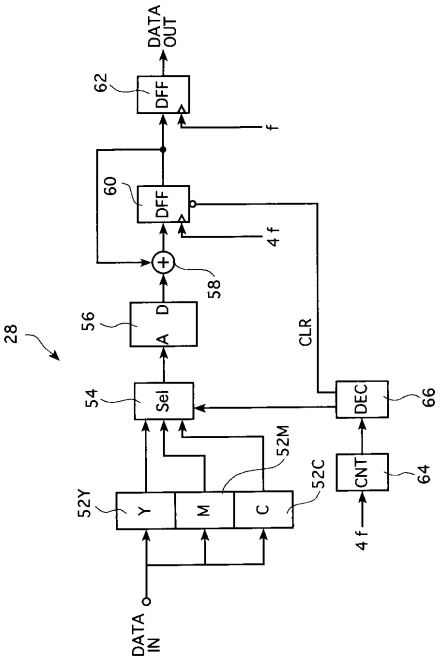
【００３４】
なお、ＤＦＦ６２が周波数ｆのクロックで駆動されるとすると、セレクタ５４，ＬＵＴ５６，加算器５８，ＤＦＦ６０の一連の処理は周波数４ｆの同期信号によって行われる。
なお、カウンタ６４には、周波数４ｆのクロック信号が入力され、周波数ｆのクロックを生成し、デコーダ６６に入力し、周波数ｆのＤＦＦ６０用クリア信号ＣＬＲを生成する。
また、デコーダ６６は、出力および入力の色識別番号データを生成し、セレクタ５４によって選択されたレジスタ５２Ｙ，５２Ｍ，５２Ｃのいずれか１つの画像データと合わせてアドレス信号を発生するとともに、ＤＦＦ６０用クリア信号ＣＬＲを生成するものである

。
【００３５】
以上、上述したように、本発明の特徴とする画像の階調および色変換回路をプレシャープネス回路に適用した例を代表例として本発明の画像処理装置を説明したが、本発明はこれに限定されず、階調変換および色変換もしくは３色－４色変換を同時に行う処理回路であれば、どのような回路に適用してもよい。
【００３６】
本発明に係る画像処理装置は基本的に以上のように構成されるが、本発明はこれに限定されるわけではなく、本発明の要旨を逸脱しない範囲において、改良および設計の変更が可能なことはもちろんである。
【００３７】
【発明の効果】
以上詳述したように、本発明によれば、回路規模が縮小され、４色すべての色の画像データに、すなわち例えばすべての色の製版フイルム（色版）に独立した処理を行うことができ、得られる画像の階調および色変換を自由に行うことができる。
【図面の簡単な説明】
【図１】本発明に係る画像処理装置の一実施例のブロック図である。
【図２】図１に示される画像処理装置に用いられるプレシャープネス回路の一実施例のブロック図である。
【図３】図２に示されるプレシャープネス回路に用いられるルックアップテーブルの内部構成の一例を説明するための構成図である。
【図４】図３に示すルックアップテーブルを構成するのに用いられる非線型変換曲線の一例を示すグラフである。
【図５】従来の画像処理回路のブロック図である。
【符号の説明】
１０　画像処理装置
１４　画像処理回路
２２　フォーマッタ
２４　バイパス回路
２６　色処理回路
２８　プレシャープネス回路
３２　倍率変換回路
３６　シャープネス強調回路
３８　階調変換回路
５２Ｙ，５２Ｍ，５２Ｃ　レジスタ
５４　セレクタ
５６　ルックアップテーブル（ＬＵＴ）
５８　加算器
６０，６２　Ｄ型フリップフロップ（ＤＦＦ）
６４　カウンタ
６６　デコーダ

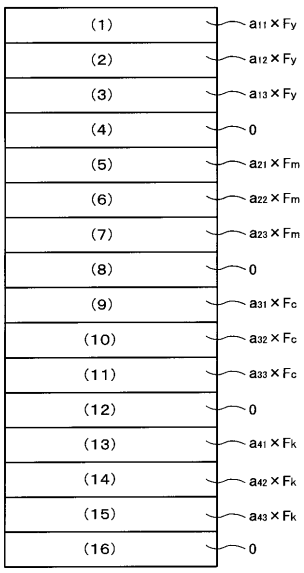
【図１】


10
32
変倍
34
遅れ補正
30
遅れ補正
32
変倍
36
シャープネス
38
階調
24
バイパス
26
色処理
28
プレシャープネス
40
LW Buff
LW付加
42
14
フォーマッタ
22
44
階調
ラインメモリ
20
46
ラインメモリ
IMGバス
IF
12
16
FIFO
IMGバス
IF
18
SCSIバス
SCSIバス

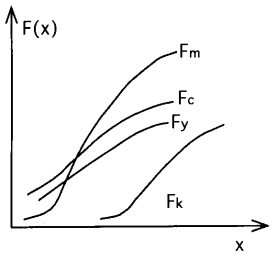
【図２】


DATA OUT
62
DFF
f
60
DFF
4f
58
28
56
D
A
CLR
54
Sel
DEC
66
52M
52Y
Y
M
C
52C
CNT
64
4f
DATA IN

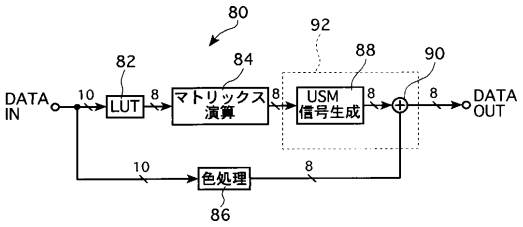
【図３】


(1) a11×Fy
(2) a12×Fy
(3) a13×Fy
(4) 0
(5) a21×Fm
(6) a22×Fm
(7) a23×Fm
(8) 0
(9) a31×Fc
(10) a32×Fc
(11) a33×Fc
(12) 0
(13) a41×Fk
(14) a42×Fk
(15) a43×Fk
(16) 0

【図４】


F(x)
Fm
Fc
Fy
Fk
x

【図５】


80
92
82
84
88
90
DATA IN
10
LUT
8
マトリックス演算
8
USM 信号生成
8
8
DATA OUT
10
色処理
8
86

フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H04N 1/40-1/409
H04N 1/46-1/64