

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-205101

(P2011-205101A)

(43) 公開日 平成23年10月13日(2011.10.13)

(51) Int.Cl.

F I

テーマコード (参考)

H O 1 L 27/11 (2006.01)

H O 1 L 27/10 3 8 1

5 F 0 8 3

H O 1 L 21/8244 (2006.01)

審査請求 未請求 請求項の数 59 O L (全 51 頁)

(21) 出願番号 特願2011-65756 (P2011-65756)  
 (22) 出願日 平成23年3月24日 (2011.3.24)  
 (31) 優先権主張番号 10-2010-0026406  
 (32) 優先日 平成22年3月24日 (2010.3.24)  
 (33) 優先権主張国 韓国 (KR)  
 (31) 優先権主張番号 10-2011-0001087  
 (32) 優先日 平成23年1月5日 (2011.1.5)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839  
 三星電子株式会社  
 Samsung Electronics  
 Co., Ltd.  
 大韓民国京畿道水原市靈通区梅灘洞416  
 416, Maetan-dong, Yeongtong-gu, Suwon-si,  
 Gyeonggi-do, Republic of Korea  
 (74) 代理人 100089037  
 弁理士 渡邊 隆  
 (74) 代理人 100110364  
 弁理士 実広 信哉

最終頁に続く

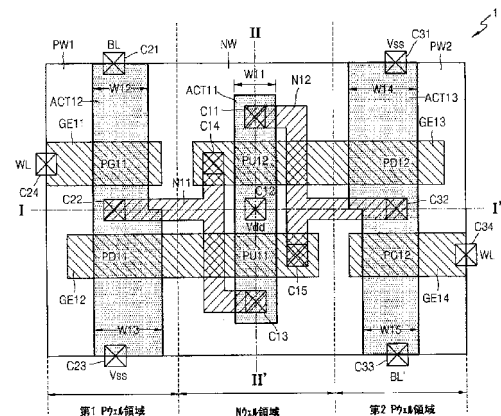
(54) 【発明の名称】 半導体メモリ装置及びその製造方法

## (57) 【要約】

【課題】半導体メモリ装置及びその製造方法を提供する。

【解決手段】第1ウェル領域、第2ウェル領域及び第3ウェル領域を含む基板であって、第1ウェル領域は、第2ウェル領域と第3ウェル領域との間に配され、第1ウェル領域は、第1タイプ導電体を含み、第2ウェル領域及び第3ウェル領域は、第2タイプ導電体をそれぞれ含む基板；第1ウェル領域に一行に形成され、電源端子を共有する第1プルアップ素子及び第2プルアップ素子；第2ウェル領域に第1プルアップ素子と隣接するように配される第1プルダウン素子；第3ウェル領域に第2プルアップ素子と隣接するように配される第2プルダウン素子；第2ウェル領域に第2プルアップ素子と隣接するように配される第1アクセス素子；第3ウェル領域に第1プルアップ素子と隣接するように形成される第2アクセス素子；を含む半導体メモリ装置である。

【選択図】図1



**【特許請求の範囲】****【請求項 1】**

第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域を含む基板であって、前記第 1 ウェル領域は、前記第 2 ウェル領域と前記第 3 ウェル領域との間に配され、前記第 1 ウェル領域は、第 1 タイプ導電体を含み、前記第 2 ウェル領域及び第 3 ウェル領域は、第 2 タイプ導電体をそれぞれ含む基板と、

前記第 1 ウェル領域に一系列に形成され、電源端子を共有する第 1 ブルアップ素子及び第 2 ブルアップ素子と、

前記第 2 ウェル領域に、前記第 1 ブルアップ素子と隣接するように配される第 1 ブルダウン素子と、

前記第 3 ウェル領域に、前記第 2 ブルアップ素子と隣接するように配される第 2 ブルダウン素子と、

前記第 2 ウェル領域に、前記第 2 ブルアップ素子と隣接するように配される第 1 アクセス素子と、

前記第 3 ウェル領域に、前記第 1 ブルアップ素子と隣接するように配される第 2 アクセス素子と、を含む半導体メモリ装置。

**【請求項 2】**

前記第 1 ブルアップ素子及び第 2 ブルアップ素子は、単一活性領域に配され、前記単一活性領域は、前記第 1 ウェル領域に含まれることを特徴とする請求項 1 に記載の半導体メモリ装置。

**【請求項 3】**

前記第 1 ブルアップ素子及び前記第 1 ブルダウン素子は、第 1 インバータを構成し、

前記第 2 ブルアップ素子及び前記第 2 ブルダウン素子は、第 2 インバータを構成することを特徴とする請求項 1 に記載の半導体メモリ装置。

**【請求項 4】**

前記第 1 アクセス素子は、前記第 2 インバータの入力端子と、前記第 1 インバータの出力端子と、に連結され、

前記第 2 アクセス素子は、前記第 1 インバータの入力端子と、前記第 2 インバータの出力端子と、に連結されることを特徴とする請求項 3 に記載の半導体メモリ装置。

**【請求項 5】**

前記第 1 アクセス素子は、ワードラインに印加される電圧によって制御され、1 対のビットラインのうち第 1 ビットラインを、前記第 2 インバータの入力端子と、前記第 1 インバータの出力端子と、に連結させる第 1 アクセス・トランジスタを含むことを特徴とする請求項 3 に記載の半導体メモリ装置。

**【請求項 6】**

前記第 2 アクセス素子は、前記ワードラインに印加される電圧によって制御され、前記 1 対のビットラインのうち第 2 ビットラインを、前記第 1 インバータの入力端子と、前記第 2 インバータの出力端子と、に連結させる第 2 アクセス・トランジスタを含むことを特徴とする請求項 5 に記載の半導体メモリ装置。

**【請求項 7】**

前記第 1 アクセス素子及び前記第 1 ブルダウン素子は、単一活性領域内に一系列に配され、前記単一活性領域は、前記第 2 ウェル領域に含まれることを特徴とする請求項 1 に記載の半導体メモリ装置。

**【請求項 8】**

前記第 2 アクセス素子及び前記第 2 ブルダウン素子は、単一活性領域内に一系列に配され、前記単一活性領域は、前記第 3 ウェル領域に含まれることを特徴とする請求項 1 に記載の半導体メモリ装置。

**【請求項 9】**

前記第 1 タイプ導電体は、N 型導電体であって、前記第 2 タイプ導電体は、P 型導電体であることを特徴とする請求項 1 に記載の半導体メモリ装置。

10

20

30

40

50

## 【請求項 10】

前記第 1 プルアップ素子は、前記電源端子に連結されるソースを有する P チャンネル・トランジスタを含み、

前記第 1 プルダウン素子は、前記 P チャンネル・トランジスタのドレインに連結されるドレイン、前記 P チャンネル・トランジスタのゲートに連結されるゲート、及び接地端子に連結されるソースを有する N チャンネル・トランジスタを含むことを特徴とする請求項 9 に記載の半導体メモリ装置。

## 【請求項 11】

前記第 2 プルアップ素子は、前記電源端子に連結されるソースを有する P チャンネル・トランジスタを含み、

前記第 2 プルダウン素子は、前記 P チャンネル・トランジスタのドレインに連結されるドレイン、前記 P チャンネル・トランジスタのゲートに連結されるゲート、及び接地端子に連結されるソースを有する N チャンネル・トランジスタを含むことを特徴とする請求項 9 に記載の半導体メモリ装置。

## 【請求項 12】

前記第 1 アクセス素子は、ワードラインに連結されるゲートを有する N チャンネル・トランジスタを含み、

前記第 2 アクセス素子は、前記ワードラインに連結されるゲートを有する N チャンネル・トランジスタを含むことを特徴とする請求項 9 に記載の半導体メモリ装置。

## 【請求項 13】

前記半導体メモリ装置は、電子システムに含まれ、

前記電子システムは、バスを介して互いに通信するメモリ部、プロセッサ及び入出力装置を含み、

前記プロセッサは、前記半導体メモリ装置を含む記憶装置を含むことを特徴とする請求項 1 に記載の半導体メモリ装置。

## 【請求項 14】

第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域を含む基板であって、前記第 1 ウェル領域は、前記第 2 ウェル領域と前記第 3 ウェル領域との間に配され、前記第 1 ウェル領域は、第 1 タイプ導電体を含み、前記第 2 ウェル領域及び第 3 ウェル領域は、第 2 タイプ導電体をそれぞれ含む基板と、

前記第 1 ウェル領域に含まれ、第 1 プルアップ素子及び第 2 プルアップ素子が一列に配される第 1 活性領域と、

前記第 2 ウェル領域に含まれ、前記第 2 プルアップ素子に隣接した第 1 アクセス素子、及び前記第 1 プルアップ素子に隣接した第 1 プルダウン素子が配される第 2 活性領域と、

前記第 3 ウェル領域に含まれ、前記第 1 プルアップ素子に隣接した第 2 アクセス素子、及び前記第 2 プルアップ素子に隣接した第 2 プルダウン素子が配される第 3 活性領域と、を含む半導体メモリ装置。

## 【請求項 15】

前記第 1 プルアップ素子及び第 2 プルアップ素子は、第 1 方向に沿って一列に配され、

前記第 1 プルアップ素子は、前記第 1 方向と垂直である第 2 方向に沿って、前記第 1 プルダウン素子及び前記第 2 アクセス素子と隣接するように配され、

前記第 2 プルアップ素子は、前記第 2 方向に沿って、前記第 2 プルダウン素子及び前記第 1 アクセス素子と隣接するように配されることを特徴とする請求項 14 に記載の半導体メモリ装置。

## 【請求項 16】

前記第 1 活性領域及び第 2 活性領域の上部を横切る方向に、前記基板の上部に形成される第 1 ゲート電極と、

前記第 1 活性領域及び第 3 活性領域の上部を横切る方向に、前記基板の上部に形成される第 2 ゲート電極と、をさらに含み、

前記第 1 プルアップ素子と前記第 1 プルダウン素子は、前記第 1 ゲート電極に共通して

10

20

30

40

50

連結されて第 1 インバータを構成し、前記第 2 ブルアップ素子と前記第 2 ブルダウン素子は、前記第 2 ゲート電極に共通して連結されて第 2 インバータを構成することを特徴とする請求項 1 4 に記載の半導体メモリ装置。

【請求項 1 7】

前記第 1 アクセス素子を、前記第 2 インバータの入力端子、及び前記第 1 インバータの出力端子に連結させる第 1 金属配線と、

前記第 2 アクセス素子を、前記第 1 インバータの入力端子、及び前記第 2 インバータの出力端子に連結させる第 2 金属配線と、をさらに含むことを特徴とする請求項 1 6 に記載の半導体メモリ装置。

【請求項 1 8】

前記第 1 金属配線及び前記第 2 金属配線は、同一層に配されることを特徴とする請求項 1 7 に記載の半導体メモリ装置。

【請求項 1 9】

前記第 1 金属配線及び前記第 2 金属配線は、互いに異なる層に配されることを特徴とする請求項 1 7 に記載の半導体メモリ装置。

【請求項 2 0】

前記第 2 活性領域の上部を横切る方向に、前記基板の上部に形成される第 3 ゲート電極と、

前記第 3 活性領域の上部を横切る方向に、前記基板の上部に形成される第 4 ゲート電極と、をさらに含むことを特徴とする請求項 1 6 に記載の半導体メモリ装置。

【請求項 2 1】

前記第 3 ゲート電極及び第 4 ゲート電極と平行な方向に伸張するように、前記基板の上部に形成され、前記第 3 ゲート電極及び第 4 ゲート電極に連結されるワードラインをさらに含むことを特徴とする請求項 2 0 に記載の半導体メモリ装置。

【請求項 2 2】

前記第 1 活性領域、第 2 活性領域及び第 3 活性領域と平行な方向に伸張するように、前記基板の上部に形成される 1 対のビットラインをさらに含み、

前記 1 対のビットラインのうち第 1 ビットラインは、前記第 1 アクセス素子に連結され、

前記 1 対のビットラインのうち第 2 ビットラインは、前記第 2 アクセス素子に連結されることを特徴とする請求項 1 4 に記載の半導体メモリ装置。

【請求項 2 3】

前記第 1 活性領域、第 2 活性領域及び第 3 活性領域と平行な方向に伸張するように、前記基板の上部に形成される電源電極ラインをさらに含み、

前記電源電極ラインは、前記第 1 ブルアップ素子と第 2 ブルアップ素子との間に形成されたコンタクトプラグを介して、前記第 1 ブルアップ素子及び第 2 ブルアップ素子に連結されることを特徴とする請求項 1 4 に記載の半導体メモリ装置。

【請求項 2 4】

前記第 1 タイプ導電体は、N 型導電体であって、前記第 2 タイプ導電体は、P 型導電体であることを特徴とする請求項 1 4 に記載の半導体メモリ装置。

【請求項 2 5】

第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域を含む基板を提供する段階であって、前記第 1 ウェル領域は、前記第 2 ウェル領域と前記第 3 ウェル領域との間に配され、前記第 1 ウェル領域は、第 1 タイプ導電体を含み、前記第 2 ウェル領域及び第 3 ウェル領域は、第 2 タイプ導電体をそれぞれ含む段階と、

前記第 1 ウェル領域上に含まれた第 1 活性領域に、第 1 ブルアップ素子及び第 2 ブルアップ素子を一列に形成する段階と、

前記第 2 ウェル領域上に含まれた第 2 活性領域に、前記第 1 ブルアップ素子と隣接した第 1 ブルダウン素子と、前記第 2 ブルアップ素子と隣接した第 1 アクセス素子と、を形成する段階と、

10

20

30

40

50

前記第 3 ウェル領域上に含まれた第 3 活性領域に、前記第 2 プルアップ素子と隣接した第 2 プルダウン素子と、前記第 1 プルアップ素子と隣接した第 2 アクセス素子と、を形成する段階と、を含む半導体メモリ装置の製造方法。

【請求項 26】

前記第 1 プルアップ素子及び第 2 プルアップ素子は、第 1 方向に沿って一列に形成され、  
前記第 1 プルアップ素子は、前記第 1 方向と垂直である第 2 方向に沿って、前記第 1 プルダウン素子及び前記第 2 アクセス素子と隣接するように配され、

前記第 2 プルアップ素子は、前記第 2 方向に沿って、前記第 2 プルダウン素子及び前記第 1 アクセス素子と隣接するように配されることを特徴とする請求項 25 に記載の半導体メモリ装置の製造方法。

10

【請求項 27】

前記第 1 活性領域、第 2 活性領域及び第 3 活性領域のうち少なくとも 1 つの領域の上部を横切る方向に、前記基板の上部に形成される複数の導電性パターンを形成する段階をさらに含み、

前記第 1 プルアップ素子と前記第 1 プルダウン素子は、前記複数の導電性パターンのうち一つに共通して連結されて第 1 インバータを構成し、

前記第 2 プルアップ素子と前記第 2 プルダウン素子は、前記複数の導電性パターンのうち他の一つに共通して連結されて第 2 インバータを構成することを特徴とする請求項 25 に記載の半導体メモリ装置の製造方法。

20

【請求項 28】

前記第 1 アクセス素子を、前記第 2 インバータの入力端子と、前記第 1 インバータの出力端子と、に連結させる第 1 金属配線；前記第 2 アクセス素子を、前記第 1 インバータの入力端子と、前記第 2 インバータの出力端子と、に連結させる第 2 金属配線；を形成する段階をさらに含むことを特徴とする請求項 27 に記載の半導体メモリ装置の製造方法。

【請求項 29】

前記第 1 金属配線及び第 2 金属配線を形成する段階は、

前記基板の上部に第 1 絶縁膜を形成する段階と、

前記第 1 絶縁膜の一部領域をエッチングして複数の第 1 コンタクトホールを形成し、前記複数の第 1 コンタクトホールに金属を充填して複数のコンタクトプラグを形成する段階と、

30

前記複数のコンタクトプラグが形成された前記第 1 絶縁膜上に、第 2 絶縁膜を形成する段階と、

前記第 2 絶縁膜の一部領域をエッチングして複数の第 2 コンタクトホールを形成し、前記複数の第 2 コンタクトホールに金属を充填し、前記第 1 金属配線及び第 2 金属配線を形成する段階と、を含み、

前記第 1 金属配線及び第 2 金属配線は、前記複数のコンタクトプラグを介して、前記第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域のうち少なくとも一つに連結されることを特徴とする請求項 28 に記載の半導体メモリ装置の製造方法。

【請求項 30】

40

前記第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域のうち少なくとも一つにシリサイド層を形成する段階をさらに含み、

前記複数のコンタクトプラグは、前記シリサイド層に連結されることを特徴とする請求項 29 に記載の半導体メモリ装置の製造方法。

【請求項 31】

第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域を含む基板であって、前記第 1 ウェル領域は、前記第 2 ウェル領域と前記第 3 ウェル領域との間に配され、前記第 1 ウェル領域は、第 1 タイプ導電体を含み、前記第 2 ウェル領域及び第 3 ウェル領域は、第 2 タイプ導電体をそれぞれ含む基板と、

前記第 1 ウェル領域に一列に形成されて接地端子を共有する第 1 プルダウン素子及び第

50

2 ブルダウン素子と、

前記第2ウェル領域に、前記第1ブルダウン素子と隣接するように配される第1ブルアップ素子と、

前記第3ウェル領域に、前記第2ブルダウン素子と隣接するように配される第2ブルアップ素子と、

前記第2ウェル領域に、前記第2ブルダウン素子と隣接するように配される第1アクセス素子と、

前記第3ウェル領域に、前記第1ブルダウン素子と隣接するように配される第2アクセス素子と、を含む半導体メモリ装置。

【請求項32】

10

前記第1ブルダウン素子及び第2ブルダウン素子は、単一活性領域に配され、前記単一活性領域は、前記第1ウェル領域に含まれることを特徴とする請求項31に記載の半導体メモリ装置。

【請求項33】

前記第1ブルダウン素子及び前記第1ブルアップ素子は、第1インバータを構成し、

前記第2ブルダウン素子及び前記第2ブルアップ素子は、第2インバータを構成することを特徴とする請求項31に記載の半導体メモリ装置。

【請求項34】

前記第1アクセス素子は、前記第2インバータの入力端子と、前記第1インバータの出力端子と、に連結され、

20

前記第2アクセス素子は、前記第1インバータの入力端子と、前記第2インバータの出力端子と、に連結されることを特徴とする請求項33に記載の半導体メモリ装置。

【請求項35】

前記第1アクセス素子は、ワードラインに印加される電圧によって制御され、1対のビットラインのうち第1ビットラインを、前記第2インバータの入力端子と、前記第1インバータの出力端子と、に連結させる第1アクセス・トランジスタを含むことを特徴とする請求項33に記載の半導体メモリ装置。

【請求項36】

前記第2アクセス素子は、前記ワードラインに印加される電圧によって制御され、前記1対のビットラインのうち第2ビットラインを、前記第1インバータの入力端子と、前記第2インバータの出力端子と、に連結させる第2アクセス・トランジスタを含むことを特徴とする請求項35に記載の半導体メモリ装置。

30

【請求項37】

前記第1アクセス素子及び前記第1ブルアップ素子は、単一活性領域内に一列に配され、前記単一活性領域は、前記第2ウェル領域に含まれることを特徴とする請求項31に記載の半導体メモリ装置。

【請求項38】

前記第2アクセス素子及び前記第2ブルアップ素子は、単一活性領域内に一列に配され、前記単一活性領域は、前記第2ウェル領域に含まれることを特徴とする請求項31に記載の半導体メモリ装置。

40

【請求項39】

前記第1タイプ導電体は、P型導電体であって、前記第2タイプ導電体は、N型導電体であることを特徴とする請求項31に記載の半導体メモリ装置。

【請求項40】

前記第1ブルダウン素子は、前記接地端子に連結されるソースを有するNチャネル・トランジスタを含み、

前記第1ブルアップ素子は、前記Nチャネル・トランジスタのドレインに連結されるドレイン、前記Nチャネル・トランジスタのゲートに連結されるゲート、及び電源端子に連結されるソースを有するPチャネル・トランジスタを含むことを特徴とする請求項39に記載の半導体メモリ装置。

50

## 【請求項 4 1】

前記第 2 ブルダウン素子は、前記接地端子に連結されるソースを有する N チャンネル・トランジスタを含み、

前記第 2 ブルアップ素子は、前記 N チャンネル・トランジスタのドレインに連結されるドレイン、前記 N チャンネル・トランジスタのゲートに連結されるゲート、及び電源端子に連結されるソースを有する P チャンネル・トランジスタを含むことを特徴とする請求項 3 9 に記載の半導体メモリ装置。

## 【請求項 4 2】

前記第 1 アクセス素子は、ワードラインに連結されるゲートを有する P チャンネル・トランジスタを含み、

前記第 2 アクセス素子は、前記ワードラインに連結されるゲートを有する P チャンネル・トランジスタを含むことを特徴とする請求項 3 9 に記載の半導体メモリ装置。

## 【請求項 4 3】

前記半導体メモリ装置は、電子システムに含まれ、

前記電子システムは、バスを介して互いに通信するメモリ部、プロセッサ及び入出力装置を含み、

前記プロセッサは、前記半導体メモリ装置を含む記憶装置を含むことを特徴とする請求項 3 1 に記載の半導体メモリ装置。

## 【請求項 4 4】

第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域を含む基板であって、前記第 1 ウェル領域は、前記第 2 ウェル領域と前記第 3 ウェル領域との間に配され、前記第 1 ウェル領域は、第 1 タイプ導電体を含み、前記第 2 ウェル領域及び第 3 ウェル領域は、第 2 タイプ導電体をそれぞれ含む基板と、

前記第 1 ウェル領域に含まれ、第 1 ブルダウン素子及び第 2 ブルダウン素子が一列に配される第 1 活性領域と、

前記第 2 ウェル領域に含まれ、前記第 2 ブルダウン素子に隣接した第 1 アクセス素子、及び前記第 1 ブルダウン素子に隣接した第 1 ブルアップ素子が配される第 2 活性領域と、

前記第 3 ウェル領域に含まれ、前記第 1 ブルダウン素子に隣接した第 2 アクセス素子、及び前記第 2 ブルダウン素子に隣接した第 2 ブルアップ素子が配される第 3 活性領域と、を含む半導体メモリ装置。

## 【請求項 4 5】

前記第 1 ブルダウン素子及び第 2 ブルダウン素子は、第 1 方向に沿って一列に配され、

前記第 1 ブルダウン素子は、前記第 1 方向と垂直である第 2 方向に沿って、前記第 1 ブルアップ素子及び前記第 2 アクセス素子と隣接するように配され、

前記第 2 ブルダウン素子は、前記第 2 方向に沿って、前記第 2 ブルアップ素子及び前記第 1 アクセス素子と隣接するように配されることを特徴とする請求項 4 4 に記載の半導体メモリ装置。

## 【請求項 4 6】

前記第 1 活性領域及び第 2 活性領域の上部を横切る方向に、前記基板の上部に形成される第 1 ゲート電極と、

前記第 1 活性領域及び第 3 活性領域の上部を横切る方向に、前記基板の上部に形成される第 2 ゲート電極と、をさらに含み、

前記第 1 ブルダウン素子と前記第 1 ブルアップ素子は、前記第 1 ゲート電極に共通して連結されて第 1 インバータを構成し、前記第 2 ブルダウン素子と前記第 2 ブルアップ素子は、前記第 2 ゲート電極に共通して連結されて第 2 インバータを構成することを特徴とする請求項 4 4 に記載の半導体メモリ装置。

## 【請求項 4 7】

前記第 1 アクセス素子を、前記第 2 インバータの入力端子、及び前記第 1 インバータの出力端子に連結させる第 1 金属配線と、

前記第 2 アクセス素子を、前記第 1 インバータの入力端子、及び前記第 2 インバータの

10

20

30

40

50

出力端子に連結させる第 2 金属配線と、をさらに含むことを特徴とする請求項 4 6 に記載の半導体メモリ装置。

【請求項 4 8】

前記第 1 金属配線及び前記第 2 金属配線は、同一層に配されることを特徴とする請求項 4 7 に記載の半導体メモリ装置。

【請求項 4 9】

前記第 1 金属配線及び前記第 2 金属配線は、互いに異なる層に配されることを特徴とする請求項 4 7 に記載の半導体メモリ装置。

【請求項 5 0】

前記第 2 活性領域の上部を横切る方向に、前記基板の上部に形成される第 3 ゲート電極と、

10

前記第 3 活性領域の上部を横切る方向に、前記基板の上部に形成される第 4 ゲート電極と、をさらに含むことを特徴とする請求項 4 6 に記載の半導体メモリ装置。

【請求項 5 1】

前記第 3 ゲート電極及び第 4 ゲート電極と平行な方向に伸張するように、前記基板の上部に形成され、前記第 3 ゲート電極及び第 4 ゲート電極に連結されるワードラインをさらに含むことを特徴とする請求項 5 0 に記載の半導体メモリ装置。

【請求項 5 2】

前記第 1 活性領域、第 2 活性領域及び第 3 活性領域と平行な方向に伸張するように、前記基板の上部に形成される 1 対のビットラインをさらに含み、

20

前記 1 対のビットラインのうち第 1 ビットラインは、前記第 1 アクセス素子の一端に連結され、

前記 1 対のビットラインのうち第 2 ビットラインは、前記第 2 アクセス素子の他端に連結されることを特徴とする請求項 4 4 に記載の半導体メモリ装置。

【請求項 5 3】

前記第 1 活性領域、第 2 活性領域及び第 3 活性領域と平行な方向に伸張するように、前記基板の上部に形成される接地電極ラインをさらに含み、

前記接地電極ラインは、前記第 1 ブルダウン素子と第 2 ブルダウン素子との間に形成されたコンタクトプラグを介して、前記第 1 ブルダウン素子及び第 2 ブルダウン素子に連結されることを特徴とする請求項 4 4 に記載の半導体メモリ装置。

30

【請求項 5 4】

前記第 1 タイプ導電体は、P 型導電体であって、前記第 2 タイプ導電体は、N 型導電体であることを特徴とする請求項 4 4 に記載の半導体メモリ装置。

【請求項 5 5】

第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域を含む基板を提供する段階であって、前記第 1 ウェル領域は、前記第 2 ウェル領域と前記第 3 ウェル領域との間に配され、前記第 1 ウェル領域は、第 1 タイプ導電体を含み、前記第 2 ウェル領域及び第 3 ウェル領域は、第 2 タイプ導電体をそれぞれ含む段階と、

前記第 1 ウェル領域上に含まれた第 1 活性領域に、第 1 ブルダウン素子及び第 2 ブルダウン素子を一列に形成する段階と、

40

前記第 2 ウェル領域上に含まれた第 2 活性領域に、前記第 1 ブルダウン素子と隣接した第 1 プルアップ素子及び前記第 2 ブルダウン素子と隣接した第 1 アクセス素子を形成する段階と、

前記第 3 ウェル領域上に含まれた第 3 活性領域に、前記第 2 ブルダウン素子と隣接した第 2 プルアップ素子と、前記第 1 ブルダウン素子と隣接した第 2 アクセス素子と、を形成する段階と、を含む半導体メモリ装置の製造方法。

【請求項 5 6】

前記第 1 ブルダウン素子及び第 2 ブルダウン素子は、第 1 方向に沿って一列に形成され、

前記第 1 ブルダウン素子は、前記第 1 方向と垂直である第 2 方向に沿って、前記第 1 プ

50



ルアップ素子及び前記第 2 アクセス素子と隣接するように配され、

前記第 2 プルダウン素子は、前記第 2 方向に沿って、前記第 2 プルアップ素子及び前記第 1 アクセス素子と隣接するように配されることを特徴とする請求項 5 5 に記載の半導体メモリ装置の製造方法。

【請求項 5 7】

前記第 1 活性領域、第 2 活性領域及び第 3 活性領域のうち少なくとも 1 つの領域の上部を横切る方向に、前記基板の上部に形成される複数の導電性パターンを形成する段階をさらに含み、

前記第 1 プルダウン素子と前記第 1 プルアップ素子は、前記複数の導電性パターンのうち一つに共通して連結されて第 1 インバータを構成し、

前記第 2 プルダウン素子と前記第 2 プルアップ素子は、前記複数の導電性パターンのうち他の一つに共通して連結されて第 2 インバータを構成することを特徴とする請求項 5 5 に記載の半導体メモリ装置の製造方法。

【請求項 5 8】

前記第 1 アクセス素子を、前記第 2 インバータの入力端子と、前記第 1 インバータの出力端子と、に連結させる第 1 金属配線；前記第 2 アクセス素子を、前記第 1 インバータの入力端子と、前記第 2 インバータの出力端子と、に連結させる第 2 金属配線；を形成する段階をさらに含むことを特徴とする請求項 5 7 に記載の半導体メモリ装置の製造方法。

【請求項 5 9】

第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域を含む基板であって、前記第 1 ウェル領域は、前記第 2 ウェル領域と前記第 3 ウェル領域との間に配され、前記第 1 ウェル領域は、第 1 タイプ導電体を含み、前記第 2 ウェル領域及び第 3 ウェル領域は、第 2 タイプ導電体をそれぞれ含む基板を含み、

前記第 1 ウェル領域は、第 1 積層構造を含み、前記第 1 積層構造は、第 1 単一活性層上に連続して積層された第 1 コンタクトプラグ、第 1 金属絶縁層、ビアプラグ、及び電源電圧または接地電圧ラインを含み、

前記第 2 ウェル領域は、第 2 積層構造を含み、前記第 2 積層構造は、第 2 単一活性層上に連続して積層された第 2 コンタクトプラグ及び第 2 金属絶縁層を含み、

前記第 3 ウェル領域は、第 3 積層構造を含み、前記第 3 積層構造は、第 3 単一活性層上に連続して積層された第 3 コンタクトプラグ及び第 3 金属絶縁層を含むことを特徴とする半導体メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に係り、さらに詳細には、半導体メモリ装置及び該半導体メモリ装置の製造方法に関する。

【背景技術】

【0002】

半導体メモリ素子は、記憶方式によって、DRAM (dynamic random access memory)、SRAM (static random access memory) のような揮発性メモリと、フラッシュメモリのような不揮発性メモリ (non volatile memory) とに分類される。このうち、SRAM は、高速特性、低電力消耗特性及び単純な動作方式などの長所を有する。また、SRAM は、DRAM と異なり、保存された情報を定期的にリフレッシュ (refresh) する必要があるために、設計が容易である。

【発明の概要】

【発明が解決しようとする課題】

【0003】

本発明の技術的思想が解決しようとする課題は、2 つのプルアップ (pull-up) 素子を形成するための活性領域を一つに併合することによって、半導体メモリ装置の集積

10

20

30

40

50

度を向上させることができる半導体メモリ装置及びその製造方法を提供するところにある。

【0004】

また、本発明の技術的思想が解決しようとする他の課題は、2つのプルダウン (pull-down) 素子を形成するための活性領域を一つに併合することによって、半導体メモリ装置の集積度を向上させることができる半導体メモリ装置及びその製造方法を提供するところにある。

【課題を解決するための手段】

【0005】

前記課題を解決するための本発明の技術的思想による半導体メモリ装置は、第1ウェル領域、第2ウェル領域及び第3ウェル領域を含む基板であって、前記第1ウェル領域は、前記第2ウェル領域と前記第3ウェル領域との間に配され、前記第1ウェル領域は、第1タイプ導電体を含み、前記第2ウェル領域及び第3ウェル領域は、第2タイプ導電体をそれぞれ含む基板；前記第1ウェル領域に一列に形成されて、電源端子を共有する第1プルアップ素子及び第2プルアップ素子；前記第2ウェル領域に、前記第1プルアップ素子と隣接するように配される第1プルダウン素子；前記第3ウェル領域に、前記第2プルアップ素子と隣接するように配される第2プルダウン素子；前記第2ウェル領域に、前記第2プルアップ素子と隣接するように配される第1アクセス素子；前記第3ウェル領域に、前記第1プルアップ素子と隣接するように配される第2アクセス素子；を含む。

10

【0006】

一部の実施形態において、前記第1プルアップ素子及び第2プルアップ素子は、単一活性領域に配され、前記単一活性領域は、前記第1ウェル領域に含まれる。

20

【0007】

一部の実施形態において、前記第1プルアップ素子及び前記第1プルダウン素子は、第1インバータを構成し、前記第2プルアップ素子及び前記第2プルダウン素子は、第2インバータを構成できる。

【0008】

一部の実施形態において、前記第1アクセス素子は、前記第2インバータの入力端子と、前記第1インバータの出力端子とに連結され、前記第2アクセス素子は、前記第1インバータの入力端子と、前記第2インバータの出力端子とに連結される。

30

【0009】

一部の実施形態において、前記第1アクセス素子は、ワードラインに印加される電圧によって制御され、1対のビットラインのうち第1ビットラインを、前記第2インバータの入力端子と、前記第1インバータの出力端子とに連結させる第1アクセス・トランジスタを含むことができる。一部の実施形態において、前記第2アクセス素子は、前記ワードラインに印加される電圧によって制御され、前記1対のビットラインのうち第2ビットラインを、前記第1インバータの入力端子と、前記第2インバータの出力端子とに連結させる第2アクセス・トランジスタを含むことができる。

【0010】

一部の実施形態において、前記第1アクセス素子及び前記第1プルダウン素子は、単一活性領域内に一列に配され、前記単一活性領域は、前記第2ウェル領域に含まれる。

40

【0011】

一部の実施形態において、前記第2アクセス素子及び前記第2プルダウン素子は、単一活性領域内に一列に配され、前記単一活性領域は、前記第3ウェル領域に含まれる。

【0012】

一部の実施形態において、前記第1タイプ導電体は、N型導電体であって、前記第2タイプ導電体は、P型導電体でありうる。

【0013】

一部の実施形態において、前記第1プルアップ素子は、前記電源端子に連結されるソースを有するPチャネル・トランジスタを含み、前記第1プルダウン素子は、前記Pチャネ

50

ル・トランジスタのドレインに連結されるドレイン、前記Pチャネル・トランジスタのゲートに連結されるゲート、及び接地端子に連結されるソースを有するNチャネル・トランジスタを含むことができる。

【0014】

一部の実施形態において、前記第2プルアップ素子は、前記電源端子に連結されるソースを有するPチャネル・トランジスタを含み、前記第2プルダウン素子は、前記Pチャネル・トランジスタのドレインに連結されるドレイン、前記Pチャネル・トランジスタのゲートに連結されるゲート、及び接地端子に連結されるソースを有するNチャネル・トランジスタを含むことができる。

【0015】

一部の実施形態において、前記第1アクセス素子は、ワードラインに連結されるゲートを有するNチャネル・トランジスタを含み、前記第2アクセス素子は、前記ワードラインに連結されるゲートを有するNチャネル・トランジスタを含むことができる。

【0016】

一部の実施形態において、前記半導体メモリ装置は、電子システムに含まれ、前記電子システムは、バスを介して互いに通信するメモリ部、プロセッサ及び入出力装置を含み、前記プロセッサは、前記半導体メモリ装置を含む記憶装置を含むことができる。

【0017】

また、前記課題を解決するための本発明の技術的思想による半導体メモリ装置は、第1ウェル領域、第2ウェル領域及び第3ウェル領域を含む基板であって、前記第1ウェル領域は、前記第2ウェル領域と前記第3ウェル領域との間に配され、前記第1ウェル領域は、第1タイプ導電体を含み、前記第2ウェル領域及び第3ウェル領域は、第2タイプ導電体をそれぞれ含む基板；前記第1ウェル領域に含まれ、第1プルアップ素子及び第2プルアップ素子が一列に配される第1活性領域；前記第2ウェル領域に含まれ、前記第2プルアップ素子に隣接した第1アクセス素子と、前記第1プルアップ素子に隣接した第1プルダウン素子とが配される第2活性領域；前記第3ウェル領域に含まれ、前記第1プルアップ素子に隣接した第2アクセス素子と、前記第2プルアップ素子に隣接した第2プルダウン素子とが配される第3活性領域；を含む。

【0018】

一部の実施形態において、前記第1プルアップ素子及び第2プルアップ素子は、第1方向に沿って一列に配され、前記第1プルアップ素子は、前記第1方向と垂直である第2方向に沿って、前記第1プルダウン素子及び前記第2アクセス素子と隣接するように配され、前記第2プルアップ素子は、前記第2方向に沿って、前記第2プルダウン素子及び前記第1アクセス素子と隣接するように配されうる。

【0019】

一部の実施形態において、前記半導体メモリ装置は、前記第1活性領域及び第2活性領域の上部を横切る方向に、前記基板の上部に形成される第1ゲート電極；前記第1活性領域及び第3活性領域の上部を横切る方向に、前記基板の上部に形成される第2ゲート電極をさらに含み、前記第1プルアップ素子と前記第1プルダウン素子は、前記第1ゲート電極に共通して連結されて第1インバータを構成し、前記第2プルアップ素子と前記第2プルダウン素子は、前記第2ゲート電極に共通して連結されて第2インバータを構成できる。

【0020】

一部の実施形態において、前記半導体メモリ装置は、前記第1アクセス素子を、前記第2インバータの入力端子と、前記第1インバータの出力端子とに連結させる第1金属配線；前記第2アクセス素子を、前記第1インバータの入力端子と、前記第2インバータの出力端子とに連結させる第2金属配線；をさらに含むことができる。

【0021】

一部の実施形態において、前記第1金属配線及び前記第2金属配線は、同一層に配されうる。一部の実施形態において、前記第1金属配線及び前記第2金属配線は、互いに異な

10

20

30

40

50

る層に配されうる。

【0022】

一部の実施形態において、前記半導体メモリ装置は、前記第2活性領域の上部を横切る方向に、前記基板の上部に形成される第3ゲート電極と、前記第3活性領域の上部を横切る方向に、前記基板の上部に形成される第4ゲート電極と、をさらに含むことができる。一部の実施形態において、前記半導体メモリ装置は、前記第3ゲート電極及び第4ゲート電極と平行な方向に伸張するように、前記基板の上部に形成され、前記第3ゲート電極及び第4ゲート電極に連結されるワードラインをさらに含むことができる。

【0023】

一部の実施形態において、前記半導体メモリ装置は、前記第1活性領域、第2活性領域及び第3活性領域と平行な方向に伸張するように、前記基板の上部に形成される1対のビットラインをさらに含み、前記1対のビットラインのうち第1ビットラインは、前記第1アクセス素子に連結され、前記1対のビットラインのうち第2ビットラインは、前記第2アクセス素子に連結されうる。

10

【0024】

一部の実施形態において、前記半導体メモリ装置は、前記第1活性領域、第2活性領域及び第3活性領域と平行な方向に伸張するように、前記基板の上部に形成される電源電極ラインをさらに含み、前記電源電極ラインは、前記第1プルアップ素子と第2プルアップ素子との間に形成されたコンタクトプラグを介して、前記第1プルアップ素子及び第2プルアップ素子に連結されうる。

20

【0025】

一部の実施形態において、前記第1タイプ導電体は、N型導電体であって、前記第2タイプ導電体は、P型導電体でありうる。

【0026】

また、前記課題を解決するための本発明の技術的思想による半導体メモリ装置の製造方法は、第1ウェル領域、第2ウェル領域及び第3ウェル領域を含む基板を提供する段階であって、前記第1ウェル領域は、前記第2ウェル領域と前記第3ウェル領域との間に配され、前記第1ウェル領域は、第1タイプ導電体を含み、前記第2ウェル領域及び第3ウェル領域は、第2タイプ導電体をそれぞれ含む段階と、前記第1ウェル領域上に含まれた第1活性領域に、第1プルアップ素子及び第2プルアップ素子を一列に形成する段階と、前記第2ウェル領域上に含まれた第2活性領域に、前記第1プルアップ素子と隣接した第1プルダウン素子と、前記第2プルアップ素子と隣接した第1アクセス素子とを形成する段階と、前記第3ウェル領域上に含まれた第3活性領域に、前記第2プルアップ素子と隣接した第2プルダウン素子と、前記第1プルアップ素子と隣接した第2アクセス素子とを形成する段階と、を含む。

30

【0027】

一部の実施形態において、前記第1プルアップ素子及び第2プルアップ素子は、第1方向に沿って一列に形成され、前記第1プルアップ素子は、前記第1方向と垂直である第2方向に沿って、前記第1プルダウン素子及び前記第2アクセス素子と隣接するように配され、前記第2プルアップ素子は、前記第2方向に沿って、前記第2プルダウン素子及び前記第1アクセス素子と隣接するように配されうる。

40

【0028】

一部の実施形態において、前記製造方法は、前記第1活性領域、第2活性領域及び第3活性領域のうち少なくとも1つの領域の上部を横切る方向に、前記基板の上部に形成される複数の導電性パターンを形成する段階をさらに含み、前記第1プルアップ素子と前記第1プルダウン素子は、前記複数の導電性パターンのうち一つに共通して連結されて第1インバータを構成し、前記第2プルアップ素子と前記第2プルダウン素子は、前記複数の導電性パターンのうち他の一つに共通して連結されて第2インバータを構成できる。

【0029】

一部の実施形態において、前記製造方法は、前記第1アクセス素子を、前記第2インバ

50

ータの入力端子と、前記第 1 インバータの出力端子とに連結させる第 1 金属配線；前記第 2 アクセス素子を、前記第 1 インバータの入力端子と、前記第 2 インバータの出力端子とに連結させる第 2 金属配線；を形成する段階をさらに含むことができる。

【0030】

一部の実施形態において、前記第 1 金属配線及び第 2 金属配線を形成する段階は、前記基板の上部に第 1 絶縁膜を形成する段階と、前記第 1 絶縁膜の一部領域をエッチングして複数の第 1 コンタクトホールを形成し、前記複数の第 1 コンタクトホールに金属を充填して複数のコンタクトプラグを形成する段階と、前記複数のコンタクトプラグが形成された前記第 1 絶縁膜上に第 2 絶縁膜を形成する段階と、前記第 2 絶縁膜の一部領域をエッチングして複数の第 2 コンタクトホールを形成し、前記複数の第 2 コンタクトホールに金属を充填し、前記第 1 金属配線及び第 2 金属配線を形成する段階と、を含み、前記第 1 金属配線及び第 2 金属配線は、前記複数のコンタクトプラグを介して、前記第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域のうち少なくとも一つに連結されうる。

10

【0031】

一部の実施形態において、前記製造方法は、前記第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域のうち少なくとも一つにシリサイド層を形成する段階をさらに含み、前記複数のコンタクトプラグは、前記シリサイド層に連結されうる。

【0032】

また、前記他の課題を解決するための本技術的思想による半導体メモリ装置は、第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域を含む基板であって、前記第 1 ウェル領域は、前記第 2 ウェル領域と前記第 3 ウェル領域との間に配され、前記第 1 ウェル領域は、第 1 タイプ導電体を含み、前記第 2 ウェル領域及び第 3 ウェル領域は、第 2 タイプ導電体をそれぞれ含む基板；前記第 1 ウェル領域に一列に形成されて接地端子を共有する第 1 ブルダウン素子及び第 2 ブルダウン素子；前記第 2 ウェル領域に、前記第 1 ブルダウン素子と隣接するように配される第 1 ブルアップ素子；前記第 3 ウェル領域に、前記第 2 ブルダウン素子と隣接するように配される第 2 ブルアップ素子；前記第 2 ウェル領域に、前記第 2 ブルダウン素子と隣接するように配される第 1 アクセス素子；前記第 3 ウェル領域に、前記第 1 ブルダウン素子と隣接するように配される第 2 アクセス素子；を含む。

20

【0033】

一部の実施形態において、前記第 1 ブルダウン素子及び第 2 ブルダウン素子は、単一活性領域に配され、前記単一活性領域は、前記第 1 ウェル領域に含まれうる。

30

【0034】

一部の実施形態において、前記第 1 ブルダウン素子及び前記第 1 ブルアップ素子は、第 1 インバータを構成し、前記第 2 ブルダウン素子及び前記第 2 ブルアップ素子は、第 2 インバータを構成できる。

【0035】

一部の実施形態において、前記第 1 アクセス素子は、前記第 2 インバータの入力端子と、前記第 1 インバータの出力端子とに連結され、前記第 2 アクセス素子は、前記第 1 インバータの入力端子と、前記第 2 インバータの出力端子とに連結されうる。

【0036】

40

一部の実施形態において、前記第 1 アクセス素子は、ワードラインに印加される電圧によって制御され、1 対のビットラインのうち第 1 ビットラインを、前記第 2 インバータの入力端子と、前記第 1 インバータの出力端子とに連結させる第 1 アクセス・トランジスタを含むことができる。

【0037】

一部の実施形態において、前記第 2 アクセス素子は、前記ワードラインに印加される電圧によって制御され、前記 1 対のビットラインのうち第 2 ビットラインを、前記第 1 インバータの入力端子と、前記第 2 インバータの出力端子とに連結させる第 2 アクセス・トランジスタを含むことができる。

【0038】

50

一部の実施形態において、前記第 1 アクセス素子及び前記第 1 ブルアップ素子は、単一活性領域内に一列に配され、前記単一活性領域は、前記第 2 ウェル領域に含まれる。

【0039】

一部の実施形態において、前記第 2 アクセス素子及び前記第 2 ブルアップ素子は、単一活性領域内に一列に配され、前記単一活性領域は、前記第 2 ウェル領域に含まれる。

【0040】

一部の実施形態において、前記第 1 タイプ導電体は、P 型導電体であって、前記第 2 タイプ導電体は、N 型導電体でありうる。

【0041】

一部の実施形態において、前記第 1 ブルダウン素子は、前記接地端子に連結されるソースを有する N チャンネル・トランジスタを含み、前記第 1 ブルアップ素子は、前記 N チャンネル・トランジスタのドレインに連結されるドレイン、前記 N チャンネル・トランジスタのゲートに連結されるゲート、及び電源端子に連結されるソースを有する P チャンネル・トランジスタを含むことができる。

10

【0042】

一部の実施形態において、前記第 2 ブルダウン素子は、前記接地端子に連結されるソースを有する N チャンネル・トランジスタを含み、前記第 2 ブルアップ素子は、前記 N チャンネル・トランジスタのドレインに連結されるドレイン、前記 N チャンネル・トランジスタのゲートに連結されるゲート、及び電源端子に連結されるソースを有する P チャンネル・トランジスタを含むことができる。

20

【0043】

一部の実施形態において、前記第 1 アクセス素子は、ワードラインに連結されるゲートを有する P チャンネル・トランジスタを含み、前記第 2 アクセス素子は、前記ワードラインに連結されるゲートを有する P チャンネル・トランジスタを含むことができる。

【0044】

一部の実施形態において、前記半導体メモリ装置は、電子システムに含まれ、前記電子システムは、バスを介して互いに通信するメモリ部、プロセッサ及び入出力装置を含み、前記プロセッサは、前記半導体メモリ装置を含む記憶装置を含むことができる。

【0045】

また、前記他の課題を解決するための本発明の技術的思想による半導体装置の製造方法は、第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域を含む基板であって、前記第 1 ウェル領域は、前記第 2 ウェル領域と前記第 3 ウェル領域との間に配され、前記第 1 ウェル領域は、第 1 タイプ導電体を含み、前記第 2 ウェル領域及び第 3 ウェル領域は、第 2 タイプ導電体をそれぞれ含む基板；前記第 1 ウェル領域に含まれ、第 1 ブルダウン素子及び第 2 ブルダウン素子が一列に配される第 1 活性領域；前記第 2 ウェル領域に含まれ、前記第 2 ブルダウン素子に隣接した第 1 アクセス素子と、前記第 1 ブルダウン素子に隣接した第 1 ブルアップ素子とが配される第 2 活性領域；前記第 3 ウェル領域に含まれ、前記第 1 ブルダウン素子に隣接した第 2 アクセス素子と、前記第 2 ブルダウン素子に隣接した第 2 ブルアップ素子とが配される第 3 活性領域；を含む。

30

【0046】

一部の実施形態において、前記第 1 ブルダウン素子及び第 2 ブルダウン素子は、第 1 方向に沿って一列に配され、前記第 1 ブルダウン素子は、前記第 1 方向と垂直である第 2 方向に沿って、前記第 1 ブルアップ素子及び前記第 2 アクセス素子と隣接するように配され、前記第 2 ブルダウン素子は、前記第 2 方向に沿って、前記第 2 ブルアップ素子及び前記第 1 アクセス素子と隣接するように配される。

40

【0047】

一部の実施形態において、前記半導体メモリ装置は、前記第 1 活性領域及び第 2 活性領域の上部を横切る方向に、前記基板の上部に形成される第 1 ゲート電極と、前記第 1 活性領域及び第 3 活性領域の上部を横切る方向に、前記基板の上部に形成される第 2 ゲート電極と、をさらに含み、前記第 1 ブルダウン素子と前記第 1 ブルアップ素子は、前記第 1 ゲ

50

ート電極に共通して連結されて第 1 インバータを構成し、前記第 2 ブルダウン素子と前記第 2 ブルアップ素子は、前記第 2 ゲート電極に共通して連結されて第 2 インバータを構成できる。

【0048】

一部の実施形態において、前記半導体メモリ装置は、前記第 1 アクセス素子を、前記第 2 インバータの入力端子と、前記第 1 インバータの出力端子とに連結させる第 1 金属配線；前記第 2 アクセス素子を、前記第 1 インバータの入力端子と、前記第 2 インバータの出力端子とに連結させる第 2 金属配線；をさらに含むことができる。

【0049】

一部の実施形態において、前記第 1 金属配線及び前記第 2 金属配線は、同一層に配されう。一部の実施形態において、前記第 1 金属配線及び前記第 2 金属配線は、互いに異なる層に配されう。

【0050】

一部の実施形態において、前記半導体メモリ装置は、前記第 2 活性領域の上部を横切る方向に、前記基板の上部に形成される第 3 ゲート電極と、前記第 3 活性領域の上部を横切る方向に、前記基板の上部に形成される第 4 ゲート電極と、をさらに含むことができる。一部の実施形態において、前記半導体メモリ装置は、前記第 3 ゲート電極及び第 4 ゲート電極と平行な方向に伸張するように、前記基板の上部に形成され、前記第 3 ゲート電極及び第 4 ゲート電極に連結されるワードラインをさらに含むことができる。

【0051】

一部の実施形態において、前記半導体メモリ装置は、前記第 1 活性領域、第 2 活性領域及び第 3 活性領域と平行な方向に伸張するように、前記基板の上部に形成される 1 対のビットラインをさらに含み、前記 1 対のビットラインのうち第 1 ビットラインは、前記第 1 アクセス素子の一端に連結され、前記 1 対のビットラインのうち第 2 ビットラインは、前記第 2 アクセス素子の他端に連結されう。

【0052】

一部の実施形態において、前記半導体メモリ装置は、前記第 1 活性領域、第 2 活性領域及び第 3 活性領域と平行な方向に伸張するように、前記基板の上部に形成される接地電極ラインをさらに含み、前記接地電極ラインは、前記第 1 ブルダウン素子と第 2 ブルダウン素子との間に形成されたコンタクトプラグを介して、前記第 1 ブルダウン素子及び第 2 ブルダウン素子に連結されう。

【0053】

一部の実施形態において、前記第 1 タイプ導電体は、P 型導電体であって、前記第 2 タイプ導電体は、N 型導電体でありう。

【0054】

また、前記他の課題を解決するための本発明の技術的思想による半導体メモリ装置の製造方法は、第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域を含む基板を提供する段階であって、前記第 1 ウェル領域は、前記第 2 ウェル領域と前記第 3 ウェル領域との間に配され、前記第 1 ウェル領域は、第 1 タイプ導電体を含み、前記第 2 ウェル領域及び第 3 ウェル領域は、第 2 タイプ導電体をそれぞれ含む段階と、前記第 1 ウェル領域上に含まれた第 1 活性領域に、第 1 ブルダウン素子及び第 2 ブルダウン素子を一列に形成する段階と、前記第 2 ウェル領域上に含まれた第 2 活性領域に、前記第 1 ブルダウン素子と隣接した第 1 ブルアップ素子と、前記第 2 ブルダウン素子と隣接した第 1 アクセス素子とを形成する段階と、前記第 3 ウェル領域上に含まれた第 3 活性領域に、前記第 2 ブルダウン素子と隣接した第 2 ブルアップ素子と、前記第 1 ブルダウン素子と隣接した第 2 アクセス素子とを形成する段階を含む。

【0055】

一部の実施形態において、前記第 1 ブルダウン素子及び第 2 ブルダウン素子は、第 1 方向に沿って一列に形成され、前記第 1 ブルダウン素子は、前記第 1 方向と垂直である第 2 方向に沿って、前記第 1 ブルアップ素子及び前記第 2 アクセス素子と隣接するように配さ

10

20

30

40

50

れ、前記第 2 ブルダウン素子は、前記第 2 方向に沿って、前記第 2 ブルアップ素子及び前記第 1 アクセス素子と隣接するように配されうる。

【 0 0 5 6 】

一部の実施形態において、前記製造方法は、前記第 1 活性領域、第 2 活性領域及び第 3 活性領域のうち少なくとも 1 つの領域の上部を横切る方向に、前記基板の上部に形成される複数の導電性パターンを形成する段階をさらに含み、前記第 1 ブルダウン素子と前記第 1 ブルアップ素子は、前記複数の導電性パターンのうち一つに共通して連結されて第 1 インバータを構成し、前記第 2 ブルダウン素子と前記第 2 ブルアップ素子は、前記複数の導電性パターンのうち他の一つに共通して連結されて第 2 インバータを構成できる。

【 0 0 5 7 】

一部の実施形態において、前記製造方法は、前記第 1 アクセス素子を、前記第 2 インバータの入力端子と、前記第 1 インバータの出力端子とに連結させる第 1 金属配線；前記第 2 アクセス素子を、前記第 1 インバータの入力端子と、前記第 2 インバータの出力端子とに連結させる第 2 金属配線；を形成する段階をさらに含むことができる。

【 0 0 5 8 】

また、前記課題を解決するための本発明の技術的思想による半導体メモリ装置は、第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域を含む基板であって、前記第 1 ウェル領域は、前記第 2 ウェル領域と前記第 3 ウェル領域との間に配され、前記第 1 ウェル領域は、第 1 タイプ導電体を含み、前記第 2 ウェル領域及び第 3 ウェル領域は、第 2 タイプ導電体をそれぞれ含む基板を含み、前記第 1 ウェル領域は、第 1 積層構造を含み、前記第 1 積層構造は、第 1 単一活性層上に連続して積層された第 1 コンタクトプラグ、第 1 金属絶縁層、ビアプラグ、及び電源電圧または接地電圧ラインを含み、前記第 2 ウェル領域は、第 2 積層構造を含み、前記第 2 積層構造は、第 2 単一活性層上に連続して積層された第 2 コンタクトプラグ及び第 2 金属絶縁層を含み、前記第 3 ウェル領域は、第 3 積層構造を含み、前記第 3 積層構造は、第 3 単一活性層上に連続して積層された第 3 コンタクトプラグ及び第 3 金属絶縁層を含む。

【図面の簡単な説明】

【 0 0 5 9 】

【図 1】本発明の一実施形態による半導体メモリ装置を示すレイアウトである。

【図 2】図 1 の半導体メモリ装置の金属配線層を示すレイアウトである。

【図 3】図 1 の半導体メモリ装置のビットライン配線層を示すレイアウトである。

【図 4】図 1 の半導体メモリ装置のワードライン配線層を示すレイアウトである。

【図 5】図 1 の半導体メモリ装置の等価回路を示す回路図である。

【図 6】図 1 の半導体メモリ装置の I - I ' 線に沿って切り取った断面図である。

【図 7】図 1 の半導体メモリ装置の I I - I I ' 線に沿って切り取った断面図である。

【図 8 A】本発明の一実施形態による半導体メモリ装置の製造方法を示す断面図である。

【図 8 B】本発明の一実施形態による半導体メモリ装置の製造方法を示す断面図である。

【図 8 C】本発明の一実施形態による半導体メモリ装置の製造方法を示す断面図である。

【図 8 D】本発明の一実施形態による半導体メモリ装置の製造方法を示す断面図である。

【図 8 E】本発明の一実施形態による半導体メモリ装置の製造方法を示す断面図である。

【図 8 F】本発明の一実施形態による半導体メモリ装置の製造方法を示す断面図である。

【図 8 G】本発明の一実施形態による半導体メモリ装置の製造方法を示す断面図である。

【図 9】本発明の他の実施形態による半導体メモリ装置を示すレイアウトである。

【図 1 0】図 9 の半導体メモリ装置の等価回路を示す回路図である。

【図 1 1】本発明のさらに他の実施形態による半導体メモリ装置を示すレイアウトである。

【図 1 2】図 1 1 の半導体メモリ装置の金属配線層を示すレイアウトである。

【図 1 3】図 1 1 の半導体メモリ装置のビットライン配線層を示すレイアウトである。

【図 1 4】図 1 1 の半導体メモリ装置のワードライン配線層を示すレイアウトである。

【図 1 5】図 1 1 の半導体メモリ装置の等価回路を示す回路図である。

10

20

30

40

50



【図 1 6】図 1 1 の半導体メモリ装置の I I I - I I I ' 線に沿って切り取った断面図である。

【図 1 7】図 1 1 の半導体メモリ装置の I V - I V ' 線に沿って切り取った断面図である。

【図 1 8 A】本発明の他の実施形態による半導体メモリ装置の製造方法を示す断面図である。

【図 1 8 B】本発明の他の実施形態による半導体メモリ装置の製造方法を示す断面図である。

【図 1 8 C】本発明の他の実施形態による半導体メモリ装置の製造方法を示す断面図である。

【図 1 8 D】本発明の他の実施形態による半導体メモリ装置の製造方法を示す断面図である。

【図 1 8 E】本発明の他の実施形態による半導体メモリ装置の製造方法を示す断面図である。

【図 1 8 F】本発明の他の実施形態による半導体メモリ装置の製造方法を示す断面図である。

【図 1 8 G】本発明の他の実施形態による半導体メモリ装置の製造方法を示す断面図である。

【図 1 9】本発明のさらに他の実施形態による半導体メモリ装置を示すレイアウトである。

【図 2 0】図 1 9 の半導体メモリ装置の等価回路を示す回路図である。

【図 2 1】本発明の一実施形態による半導体メモリ装置の製造方法を示すフローチャートである。

【図 2 2】本発明の他の実施形態による半導体メモリ装置の製造方法を示すフローチャートである。

【図 2 3】本発明の一実施形態による電子システムの構成を概略的に示すブロック図である。

【発明を実施するための形態】

【0060】

以下、添付された図面を参照しつつ、本発明の望ましい実施形態について詳細に説明する。

【0061】

本発明の実施形態は、当技術分野における当業者に対して、本発明についてさらに完全に説明するために提供されるものであり、下記実施形態は、さまざまな他の形態に変形され、本発明の範囲が、下記実施形態に限定されるものではない。むしろ、それら実施形態は、本開示をさらに充実させて完全なものにし、当業者に、本発明の思想を完全に伝達するために提供されるものである。

【0062】

以下の説明で、ある層が他の層の上に存在すると記述されるとき、それは、他層のすぐ上に存在することもあり、その間に第 3 の層が介在することもある。また図面で、各層の厚みや大きさは、説明の便宜性及び明確性のために誇張されており、図面上で同一符号は、同じ要素を指す。本明細書で使われているように、用語「及び/または」は、列挙された当該項目のうちいずれか一つ、あるいは一つ以上のあらゆる組み合わせを含む。

【0063】

本明細書で使われた用語は、特定実施形態を説明するために使われ、本発明を制限するためのものではない。本明細書で使われているように、単数形態は、文脈上他の場合を明確に指すものではないならば、複数の形態を含むことができる。また、本明細書で使われる場合、「含む ( c o m p r i s e ) 」及び/または「含むところの ( c o m p r i s i n g ) 」は、言及した形状、数字、段階、動作、部材、要素及び/またはそれらグループの存在を特定するものであり、一つ以上の他の形状、数字、動作、部材、要素及び/またはグループの存在または付加を排除するものではない。

## 【0064】

本明細書で、第1, 第2のような用語が多様な部材、部品、領域、層及び/または部分を説明するために使われるが、それら部材、部品、領域、層及び/または部分は、それら用語によって限定されるものではないことは自明である。それら用語は、1つの部材、部品、領域、層または部分を、他の領域、層または部分と区別するためにのみ使われる。従って、以下で説明する第1部材, 部品, 領域, 層または部分は、本発明の開示から外れずに、第2部材, 部品, 領域, 層または部分を指すことができる。

## 【0065】

以下、本発明の実施形態は、本発明の理想的な実施形態を概略的に図示する図面を参照しつつ説明する。図面において、例えば、製造技術及び/または公差 (tolerance) によって、図示された形状の変形が予想されうる。従って、本発明の実施形態は、本明細書に図示された特定形状に制限されるものであると解釈されるものではなく、例えば、製造上予測されうる形状の変化を含んでいるものである。また、添付された図面で、同じ参照符号は、同じ構成部材を指す。

10

## 【0066】

以下、本発明による半導体メモリ装置は、SRAM (static random access memory) を一例として説明する。しかし、本発明は、これに限定されるものではなく、2つのインバータ素子を含む半導体メモリ装置に適用されうる。

## 【0067】

図1は、本発明の一実施形態による半導体メモリ装置を示すレイアウトである。

20

## 【0068】

図1を参照すれば、半導体メモリ装置1は、第1ウェル領域NW、及び第1ウェル領域NWの両脇に形成される第2ウェル領域PW1及び第3ウェル領域PW2を有する基板上に形成される1つのSRAMセルを含み、1ビットで動作しうる。このとき、第1ウェル領域NWは、第1導電型 (conductive type) であり、第2ウェル領域PW1及び第3ウェル領域PW2は、第2導電型を有することができる。本実施形態で、第1導電型はN型であり、第2導電型はP型でありうる。以下、第1ウェル領域は、Nウェル領域NWであり、第2ウェル領域は、第1Pウェル領域PW1であり、第3ウェル領域は、第2Pウェル領域PW2とする。

## 【0069】

30

Nウェル領域NWは、例えば、イオン注入工程によって基板上に形成されるN型ウェルが配される領域であり、Nウェル領域NWには、素子分離膜によって画定される第1活性 (active) 領域ACT11が配される。本実施形態で、第1活性領域ACT11は、縦方向に長い形態を有するバー (bar) タイプの単一活性領域でありうる。このとき、第1活性領域ACT11に、P+型不純物をドーピングすることによって、P型拡散領域が形成され、また、第1コンタクトプラグC11, 第2コンタクトプラグC12及び第3コンタクトプラグC13が形成されうる。第1活性領域ACT11には、2つのプルアップ (pull-up) 素子が一列に形成されうるが、本実施形態で、2つのプルアップ素子は、第1PMOSトランジスタPU11及び第2PMOSトランジスタPU12でありうる。

40

## 【0070】

このように、2つのプルアップ素子、すなわち、第1PMOSトランジスタPU11及び第2PMOSトランジスタPU12を、単一活性領域である第1活性領域ACT11に配することによって、第1PMOSトランジスタPU11と、第2PMOSトランジスタPU12とのミスマッチ (mismatch) を低減させることができる。具体的には、第1PMOSトランジスタPU11に係わるスレショルド電圧と、第2PMOSトランジスタPU12に係わるスレショルド電圧との差を減らすことができる。

## 【0071】

第1Pウェル領域PW1は、例えば、イオン注入工程によって基板上に形成されるP型ウェルが配される領域であり、第1Pウェル領域PW1には、素子分離膜によって画定さ

50

れる第2活性領域ACT12が配される。本実施形態で、第2活性領域ACT12は、第1活性領域ACT11に平行した方向に伸張する形態を有する単一活性領域でありうる。このとき、第2活性領域ACT12に、N+型不純物をドーピングすることによって、N型拡散領域が形成され、また、第4コンタクトプラグC21、第5コンタクトプラグC22及び第6コンタクトプラグC23が形成されうる。第2活性領域ACT12には、1つのプルダウン(pull-down)素子と1つのアクセス素子とが形成されうるが、本実施形態でプルダウン素子は、第1NMOSトランジスタPD11であり、アクセス素子は、第3NMOSトランジスタPG11でありうる。

#### 【0072】

第2Pウェル領域PW2は、例えば、イオン注入工程によって基板上に形成されるP型ウェルが配される領域であり、第2Pウェル領域PW2には、素子分離膜によって画定される第3活性領域ACT13が配される。本実施形態で、第3活性領域ACT13は、第1活性領域ACT11に平行した方向に伸張する形態を有する単一活性領域でありうる。このとき、第3活性領域ACT13に、N+型不純物をドーピングすることによって、N型拡散領域が形成され、また、第7コンタクトプラグC31、第8コンタクトプラグC32及び第9コンタクトプラグC33が形成されうる。第3活性領域ACT13には、1つのプルダウン素子と1つのアクセス素子とが形成されうるが、本実施形態でプルダウン素子は、第2NMOSトランジスタPD12であり、アクセス素子は、第4NMOSトランジスタPG12でありうる。

#### 【0073】

第1活性領域ACT11、第2活性領域ACT12及び第3活性領域ACT13の幅を比較すれば、次の通りである。第1活性領域ACT11の第1幅W11は、その位置に関係せずに一定の値を有することができる。第2活性領域ACT12の幅は、その位置によって互いに異なりうるが、具体的には、第1NMOSトランジスタPD11が配される領域の第3幅W13は、第3NMOSトランジスタPG11が配される領域の第2幅W12より広く、第2幅W12及び第3幅W13は、第1幅W11より広い。第3活性領域ACT13の幅は、その位置によって互いに異なりうるが、具体的には、第2NMOSトランジスタPD12が配される領域の第4幅W14は、第4NMOSトランジスタPG12が配される領域の第5幅W15より広く、第4幅W14及び第5幅W15は、第1幅W11より広い。また、第4幅W14は、第3幅W13と実質的に同一であり、第5幅W15は、第2幅W12と実質的に同一でありうる。

#### 【0074】

このように、第1NMOSトランジスタPD11及び第2NMOSトランジスタPD12が形成される第2活性領域ACT12及び第3活性領域ACT13の幅W13、W14を最も大きく具現することによって、第1NMOSトランジスタPD11及び第2NMOSトランジスタPD12で、プルダウン動作を行う場合、プルダウン動作の速度を向上させることができる。また、第3NMOSトランジスタPG11及び第4NMOSトランジスタPG12が形成される第2活性領域ACT12及び第3活性領域ACT13の幅W12、W15を、第1PMOSトランジスタPU11及び第2PMOSトランジスタPU12が形成される第1活性領域ACT11の幅W11より広く具現することによって、半導体メモリ装置1に対する書き込み動作を行う場合、書き込み動作の速度を向上させることができる。

#### 【0075】

第1活性領域ACT11、第2活性領域ACT12及び第3活性領域ACT13が配された基板の上部には、第1ゲート電極ないし第4ゲート電極GE11、GE12、GE13、GE14が形成される。具体的には、第1ゲート電極GE11は、第2活性領域ACT12を横切る方向に形成され、第2ゲート電極GE12は、第1活性領域ACT11及び第2活性領域ACT12を横切る方向に形成され、第3ゲート電極GE13は、第1活性領域ACT11及び第3活性領域ACT13を横切る方向に形成され、第4ゲート電極GE14は、第3活性領域ACT13を横切る方向に形成される。このとき、第1ゲート

10

20

30

40

50

電極 G E 1 1 及び第 4 ゲート電極 G E 1 4 の上部には、それぞれワードライン・コンタクトプラグ C 2 4 , C 3 4 が形成され、第 2 ゲート電極 G E 1 2 及び第 3 ゲート電極 G E 1 3 の上部には、それぞれ配線コンタクトプラグ C 1 5 , C 1 4 が形成される。例えば、第 1 ゲート電極ないし第 4 ゲート電極 G E 1 1 , G E 1 2 , G E 1 3 , G E 1 4 は、ポリシリコン層でありうる。

#### 【 0 0 7 6 】

図 2 は、図 1 の半導体メモリ装置の金属配線層を示すレイアウトである。

#### 【 0 0 7 7 】

図 2 を参照すれば、第 1 ゲート電極ないし第 4 ゲート電極 G E 1 1 , G E 1 2 , G E 1 3 , G E 1 4 が形成された基板の上部には、第 1 金属配線 N 1 1 及び第 2 金属配線 N 1 2 が形成される。このとき、第 1 金属配線 N 1 1 は、第 1 活性領域 A C T 1 1 に形成された第 3 コンタクトプラグ C 1 3 、第 2 活性領域 A C T 1 2 に形成された第 5 コンタクトプラグ C 2 2 、及び第 3 ゲート電極 G E 1 3 に形成された配線コンタクトプラグ C 1 4 を連結させる。また、第 2 金属配線 N 1 2 は、第 1 活性領域 A C T 1 1 に形成された第 1 コンタクトプラグ C 1 1 、第 3 活性領域 A C T 1 3 に形成された第 8 コンタクトプラグ C 3 2 、及び第 2 ゲート電極 G E 1 2 に形成された配線コンタクトプラグ C 1 5 を連結させる。例えば、第 1 金属配線 N 1 1 及び第 2 金属配線 N 1 2 は、タングステン ( W ) 、アルミニウム ( A l ) 、銅 ( C u ) 、モリブデン ( M o ) 、チタン ( T i ) 、タンタル ( T a ) 、ルテニウム ( R u ) 、またはそれらの合金を含む金属層、またはポリシリコン層でありうる。

10

20

#### 【 0 0 7 8 】

図 3 は、図 1 の半導体メモリ装置のビットライン配線層を示すレイアウトである。

#### 【 0 0 7 9 】

図 3 を参照すれば、第 1 金属配線 N 1 1 及び第 2 金属配線 N 1 2 が形成された基板の上部には、1 対のビットライン、すなわち、ビットライン B L 及びビットラインバー B L ' が形成される。ビットライン B L 及びビットラインバー B L ' は、第 1 活性領域 A C T 1 1 , 第 2 活性領域 A C T 1 2 及び第 3 活性領域 A C T 1 3 と平行な方向に伸張しうる。このとき、ビットライン B L は、第 2 活性領域 A C T 1 2 に形成された第 4 コンタクトプラグ C 2 1 を介して、第 2 活性領域 A C T 1 2 に連結され、ビットラインバー B L ' は、第 3 活性領域 A C T 1 3 に形成された第 9 コンタクトプラグ C 3 3 を介して、第 3 活性領域 A C T 1 3 に連結される。

30

#### 【 0 0 8 0 】

また、第 1 金属配線 N 1 1 及び第 2 金属配線 N 1 2 が形成された基板の上部には、電源電極ライン V d d が形成される。電源電極ライン V d d は、1 対のビットライン B L , B L ' 間に形成され、1 対のビットライン B L , B L ' と平行な方向に伸張しうる。このとき、電源電極ライン V d d は、第 1 活性領域 A C T 1 1 に形成された第 2 コンタクトプラグ C 1 2 を介して、第 1 活性領域 A C T 1 1 に連結される。

#### 【 0 0 8 1 】

図 4 は、図 1 の半導体メモリ装置のワードライン配線を示すレイアウトである。

#### 【 0 0 8 2 】

図 4 を参照すれば、1 対のビットライン B L , B L ' が形成された基板の上部には、ワードライン W L が形成される。ワードライン W L は、第 1 ゲート電極ないし第 4 ゲート電極 G E 1 1 , G E 1 2 , G E 1 3 , G E 1 4 と平行な方向に伸張しうる。このとき、ワードライン W L は、ワードライン・コンタクトプラグ C 2 4 , C 3 4 を介して、第 1 ゲート電極 G E 1 1 及び第 4 ゲート電極 G E 1 4 にそれぞれ連結される。図示されていないが、ワードライン W L とワードライン・コンタクトプラグ C 2 4 , C 3 4 とを連結させる金属配線がさらに形成されうる。

40

#### 【 0 0 8 3 】

本実施形態では、1 対のビットライン B L , B L ' の上層に、ワードライン W L が形成されるが、他の実施形態では、ワードライン W L の上層に、1 対のビットライン B L , B

50

L' が形成される場合もある。

【0084】

再び図1を参照すれば、第1PMOSトランジスタPU11は、第1活性領域ACT11の上部に形成される第2ゲート電極GE12、及び第1活性領域ACT11で、第2ゲート電極GE12の両脇に形成された第2コンタクトプラグC12及び第3コンタクトプラグC13によって定義される。ここで、第2コンタクトプラグC12は、第1PMOSトランジスタPU11のソースに対応し、第2ゲート電極GE12は、第1PMOSトランジスタPU11のゲートに対応し、第3コンタクトプラグC13は、第1PMOSトランジスタPU11のドレインに対応する。

【0085】

第1NMOSトランジスタPD11は、第2活性領域ACT12の上部に形成される第2ゲート電極GE12、及び第2活性領域ACT12で、第2ゲート電極GE12の両脇に形成された第5コンタクトプラグC22及び第6コンタクトプラグC23によって定義される。ここで、第5コンタクトプラグC22は、第1NMOSトランジスタPD11のドレインに対応し、第2ゲート電極GE12は、第1NMOSトランジスタPD11のゲートに対応し、第6コンタクトプラグC23は、第1NMOSトランジスタPD11のソースに対応する。

【0086】

第2PMOSトランジスタPU12は、第1活性領域ACT11の上部に形成される第3ゲート電極GE13、及び第1活性領域ACT11で、第3ゲート電極GE13の両脇に形成された第1コンタクトプラグC11及び第2コンタクトプラグC12によって定義される。ここで、第1コンタクトプラグC11は、第2PMOSトランジスタPU12のドレインに対応し、第3ゲート電極GE13は、第2PMOSトランジスタPU12のゲートに対応し、第2コンタクトプラグC12は、第2PMOSトランジスタPU12のソースに対応する。

【0087】

第2NMOSトランジスタPD12は、第3活性領域ACT13の上部に形成される第3ゲート電極GE13、及び第3活性領域ACT13で、第3ゲート電極GE13の両脇に形成された第7コンタクトプラグC31及び第8コンタクトプラグC32によって定義される。ここで、第7コンタクトプラグC31は、第2NMOSトランジスタPD12のソースに対応し、第3ゲート電極GE13は、第2NMOSトランジスタPD12のゲートに対応し、第8コンタクトプラグC32は、第2NMOSトランジスタPD12のドレインに対応する。

【0088】

このとき、第1PMOSトランジスタPU11と、第1NMOSトランジスタPD11は、第2ゲート電極GE12に共通して連結され、第1金属配線N11によって連結されることによって、第1インバータを構成する。また、第2PMOSトランジスタPU12と、第2NMOSトランジスタPD12は、第3ゲート電極GE13に共通して連結され、第2配線N12によって連結されることによって、第2インバータを構成する。半導体メモリ装置1において、第1インバータ及び第2インバータが、ラッチを構成することによって、データを保存することができる。

【0089】

第3NMOSトランジスタPG11は、第2活性領域ACT12の上部に形成される第1ゲート電極GE11、及び第2活性領域ACT12で、第1ゲート電極GE11の両脇に形成された第4コンタクトプラグC21及び第5コンタクトプラグC22によって定義される。ここで、第4コンタクトプラグC21及び第5コンタクトプラグC22は、第3NMOSトランジスタPG11のドレイン及びソースに対応し、第1ゲート電極GE11は、第3NMOSトランジスタPG11のゲートに対応する。このとき、第4コンタクトプラグC21は、ビットラインBLと連結され、第1ゲート電極GE11上のワードライン・コンタクトプラグC24は、ワードラインWLと連結される。ここで、第3NMOS

10

20

30

40

50

トランジスタPG11は、第1パスゲートまたは第1伝達ゲートとして動作しうる。

【0090】

第4NMOSTランジスタPG12は、第3活性領域ACT13の上部に形成される第4ゲート電極GE14、及び第3活性領域ACT13で、第4ゲート電極GE14の両脇に形成された第8コンタクトブラグC32及び第9コンタクトブラグC33によって定義される。ここで、第8コンタクトブラグC32及び第9コンタクトブラグC33は、第4NMOSTランジスタPG12のドレイン及びソースに対応し、第4ゲート電極GE14は、第4NMOSTランジスタPG12のゲートに対応する。このとき、第9コンタクトブラグC33は、ビットラインバーBL'と連結され、第4ゲート電極GE14上のワードライン・コンタクトブラグC34は、ワードラインWLと連結される。ここで、第4NMOSTランジスタPG12は、第2パスゲートまたは第2伝達ゲートとして動作しうる。

10

【0091】

本実施形態による半導体メモリ装置1は、単一活性領域である第1活性領域ACT11に、第1PMOSTランジスタPU11及び第2PMOSTランジスタPU12を一列に形成する。これにより、第1PMOSTランジスタPU11及び第2PMOSTランジスタPU12それぞれに係わる2つの活性領域を別途に形成するために、複雑なパターニング工程を行う代わりに、単一パターニング工程で、第1活性領域ACT11を形成できるので、パターニング工程が簡単になる。また、第1PMOSTランジスタPU11及び第2PMOSTランジスタPU12それぞれに係わる2つの活性領域の代わりに、単一活性領域を形成することによって、2つの活性領域間に、素子分離膜を形成する必要がないので、半導体メモリ装置1の単位セルで、横方向の長さが縮小されることによって、全体的に素子の集積度を向上させることができる。

20

【0092】

また、本実施形態による半導体メモリ装置1は、第1活性領域ACT11に形成された第1PMOSTランジスタPU11及び第2PMOSTランジスタPU12は、電源電極ラインVddに連結される第2コンタクトブラグC12を共有する。これにより、第1PMOSTランジスタPU11及び第2PMOSTランジスタPU12それぞれに対して、電源電極Vddを印加するための2つのコンタクトブラグを別途に形成する必要がないので、半導体メモリ装置1の単位セルで、縦方向の長さが縮小されることによって、全体的に素子の集積度を向上させることができる。

30

【0093】

さらに、本実施形態による半導体メモリ装置1は、第1活性領域ACT11、第2活性領域ACT12及び第3活性領域ACT13が互いに平行するように形成され、第2活性領域ACT12では、第1PMOSTランジスタPU11に対応する位置に、第1NMOSTランジスタPD11が配され、第2PMOSTランジスタPU12に対応する位置に、第3NMOSTランジスタPG11が配され、第3活性領域ACT13では、第1PMOSTランジスタPU11に対応する位置に、第4NMOSTランジスタPG12が配され、第2PMOSTランジスタPU12に対応する位置に、第2NMOSTランジスタPD12が配される。このように、半導体メモリ装置1の単位セルにおいて、第1PMOSTランジスタPU11及び第2PMOSTランジスタPU12を中心に対称な形態に他のトランジスタが配されることによって、半導体メモリ装置1の集積度をさらに向上させることができる。また、半導体メモリ装置1に、複数の単位セルが配されるときにも、境界領域に追加領域が要求されない。

40

【0094】

前述のように、本実施形態によれば、半導体メモリ素子1において、単一活性領域にPチャネル・トランジスタを形成し、Nチャネル・トランジスタまたは他の素子は、Pチャネル・トランジスタに対して対称的に配されうる。本実施形態では、半導体メモリ装置1は、6個のトランジスタを含んでいるが、他の実施形態では、半導体メモリ装置1は、4個のトランジスタ及び2個の抵抗素子を含むことができ、さらに他の実施形態では、半導

50

体メモリ装置 1 は、さらに多数のトランジスタを含むことができ、さらに他の実施形態では、半導体メモリ装置 1 は、さらに少数のトランジスタを含むこともできる。

【0095】

図 5 は、図 1 の半導体メモリ装置の等価回路を示す回路図である。

【0096】

図 5 を参照すれば、半導体メモリ装置 1 は、第 1 P ウェル領域 P W 1 に配される第 1 N M O S トランジスタ P D 1 1 及び第 3 N M O S トランジスタ P G 1 1 ; N ウェル領域 N W に配される第 1 P M O S トランジスタ P U 1 1 及び第 2 P M O S トランジスタ P U 1 2 ; 第 2 P ウェル領域 P W 2 に配される第 2 N M O S トランジスタ P D 1 2 及び第 4 N M O S トランジスタ P G 1 2 ; を含む。このとき、第 1 P M O S トランジスタ P U 1 1 及び第 1 N M O S トランジスタ P D 1 1 は、第 1 インバータを構成し、第 2 P M O S トランジスタ P U 1 2 及び第 2 N M O S トランジスタ P D 1 2 は、第 2 インバータを構成する。

10

【0097】

第 3 N M O S トランジスタ P G 1 1 は、ワードライン W L に印加される電圧によってオン/オフになり、ビットライン B L を第 1 ノード N 1 1 に連結させることができる。ここで、第 1 ノード N 1 1 は、図 1 に図示された第 1 金属配線 N 1 1 に対応する。具体的には、ワードライン W L に印加される電圧が、論理「1」であるとき、第 3 N M O S トランジスタ P G 1 1 はターンオンされ、ビットライン B L を第 1 ノード N 1 1 に連結させることができる。第 1 ノード N 1 1 は、第 2 インバータの入力端子、すなわち、第 2 P M O S トランジスタ P U 1 2 のゲートと、第 2 N M O S トランジスタ P D 1 2 のゲートとに連結され、また、第 1 インバータの出力端子、すなわち、第 1 P M O S トランジスタ P U 1 1 のドレインと、第 1 N M O S トランジスタ P D 1 1 のドレインとに連結される。

20

【0098】

第 4 N M O S トランジスタ P G 1 2 は、ワードライン W L に印加される電圧によって、オン/オフになり、ビットラインバール B L ' を第 2 ノード N 1 2 に連結させることができる。ここで、第 2 ノード N 1 2 は、図 1 に図示された第 2 金属配線 N 1 2 に対応する。具体的には、ワードライン W L に印加される電圧が、論理「1」であるとき、第 4 N M O S トランジスタ P G 1 2 はターンオンされ、ビットラインバール B L ' を第 2 ノード N 1 2 に連結させることができる。第 2 ノード N 1 2 は、第 1 インバータの入力端子、すなわち、第 1 P M O S トランジスタ P U 1 1 のゲートと、第 1 N M O S トランジスタ P D 1 1 のゲートとに連結され、また、第 2 インバータの出力端子、すなわち、第 2 P M O S トランジスタ P U 1 2 のドレインと、第 2 N M O S トランジスタ P D 1 2 のドレインとに連結される。

30

【0099】

図 6 は、図 1 の半導体メモリ装置の I - I ' 線に沿って切り取った断面図を示している。

【0100】

図 6 を参照すれば、半導体メモリ装置 1 は、N ウェル領域 N W、第 1 P ウェル領域 P W 1 及び第 2 P ウェル領域 P W 2 を有する基板 1 0 上に形成される。ここで、基板 1 0 は、半導体基板であるが、例えば、半導体基板は、シリコン、シリコン - オン - 絶縁体 ( s i l i c o n - o n - i n s u l a t o r )、シリコン - オン - サファイア ( s i l i c o n - o n - s a p p h i r e )、ゲルマニウム、シリコン - ゲルマニウム及びガリウム - ヒ素のうちいずれか一つを含むことができる。本実施形態で、基板 1 0 は、P 型半導体基板でありうる。

40

【0101】

N ウェル領域 N W は、基板 1 0 に N 型イオンを注入することによって形成され、第 1 P ウェル領域 P W 1 及び第 2 P ウェル領域 P W 2 は、基板 1 0 に P 型イオンを注入することによって形成されうる。N ウェル領域 N W、第 1 P ウェル領域 P W 1 及び第 2 P ウェル領域 P W 2 には、素子分離膜 1 1 によって画定される第 1 活性領域 A C T 1 1、第 2 活性領域 A C T 1 2 及び第 3 活性領域 A C T 1 3 がそれぞれ配されうる。ここで、素子分離膜 1

50

1は、STI (shallow trench isolation) でありうる。第1活性領域ACT11, 第2活性領域ACT12及び第3活性領域ACT13上には、シリサイド層12が形成されうる。

【0102】

基板10の上部には、第1絶縁層13が配され、第1絶縁層13には、第5コンタクトプラグC22, 第2コンタクトプラグC12及び第8コンタクトプラグC32が配される。このとき、第5コンタクトプラグC22は、第2活性領域ACT12に連結され、第2コンタクトプラグC12は、第1活性領域ACT11に連結され、第8コンタクトプラグC32は、第3活性領域ACT13にそれぞれ連結される。第1絶縁層13の上部には、第2絶縁層14が配され、第2絶縁層14には、第1金属配線N11, 第2金属配線N12及び第3金属配線N13が配される。ここで、第3金属配線N13は、電源電極ラインVddを第1活性領域ACT11に連結させるための配線である。

10

【0103】

第2絶縁層14の上部には、第3絶縁層15が配され、第3絶縁層15には、ビアプラグVが配される。第3絶縁層15の上部には、第4絶縁層16が配され、第4絶縁層16には、1対のビットラインBL, BL'と、電源電極ラインVddとが配される。第4絶縁層16の上部には、第5絶縁層17が配され、第5絶縁層17の上部には、ワードラインWLが配される。

【0104】

ここで、第1絶縁層ないし第5絶縁層13, 14, 15, 16, 17は、シリコン酸化膜、PSG (phosphosilicate glass) またはBPSG (borophosphosilicate glass) でありうる。または、第1絶縁層ないし第5絶縁層13, 14, 15, 16, 17は、低誘電率材料であるドーピングされたCVD (chemical vapor deposition) ガラス層でありうる。しかし、それらは例示的なものであり、本発明がそれらに限定されるものではない。ここで、コンタクトプラグC22, C12, C32及びビアプラグVは、タングステン(W)、アルミニウム(Al)、銅(Cu)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ルテニウム(Ru)、またはそれらの合金で形成されうる。しかし、これは例示的なものであり、本発明がこれに限定されるものではない。例えば、コンタクトプラグC22, C12, C32及びビアプラグVは、前記例示された金属の導電性窒化物でもありうる。

20

30

【0105】

図7は、図1の半導体メモリ装置のII-II'線に沿って切り取った断面図を示している。

【0106】

図7を参照すれば、半導体メモリ装置1は、Nウェル領域NWを有する基板10上に形成される。このとき、Nウェル領域NWは、基板10に形成される素子分離膜11によって画定される。

【0107】

Nウェル領域NW上には、第1ゲートスタックGS1及び第2ゲートスタックGS2が配される。第1ゲートスタックGS1及び第2ゲートスタックGS2は、ゲート絶縁膜131、ゲート電極層GE及びキャッピング膜132を含むことができる。具体的には、第1ゲートスタックGS1及び第2ゲートスタックGS2は、Nウェル領域NW上に、順次にゲート絶縁膜131、ゲート電極層GE及びキャッピング膜132を形成した後、これをパターニングすることによって形成されうる。

40

【0108】

ここで、ゲート絶縁膜131はシリコン、酸化膜でありうるが、本発明は、これに制限されるものではない。例えば、ゲート絶縁膜131は、シリコン酸化膜よりさらに大きな誘電率を有するシリコン窒化膜(SiN<sub>x</sub>)、タンタル酸化膜(TaO<sub>x</sub>)、ハフニウム酸化膜(HfO<sub>x</sub>)、アルミニウム酸化膜(AlO<sub>x</sub>)及び亜鉛酸化膜(ZnO<sub>x</sub>)のよ

50



うな高誘電率薄膜を含むことができる。ゲート電極層GEは、例えば、高濃度ドーピングされた、ポリシリコン膜；タングステン、ニッケル、モリブデン及びコバルトなどの金属膜；金属シリサイド膜、またはそれらの組み合わせ、例えば、高濃度ドーピングされたポリシリコン膜とニッケルコバルトシリサイド膜との積層膜でありうる。キャッピング膜132は、シリコン窒化物またはシリコン酸化物でありうる。

#### 【0109】

第1ゲートスタックGS1及び第2ゲートスタックGS2の側壁には、スペーサ133が配される。ここで、スペーサ133は、シリコン窒化物から形成されうる。ソース領域及びドレイン領域111, 112, 113は、Nウェル領域NWであり、第1ゲートスタックGS1及び第2ゲートスタックGS2の両脇に配される。例えば、ソース領域及びドレイン領域111, 112, 113は、スペーサ133を、イオン注入マスクとして利用して、Nウェル領域NWに高濃度のイオン注入工程を行って形成されうる。

#### 【0110】

第1ゲートスタックGS1及び第2ゲートスタックGS2の上部には、第1絶縁層13が配され、第1絶縁層13には、第1コンタクトプラグC11, 第2コンタクトプラグC12及び第3コンタクトプラグC13が配される。このとき、複数のコンタクトプラグC11, C12, C13は、ソース領域及びドレイン領域111, 112, 113にそれぞれ連結される。図示されていないが、ソース領域及びドレイン領域111, 112, 113の上部には、シリサイド層が形成されうる。

#### 【0111】

第1絶縁層13の上部には、第2絶縁層14が配され、第2絶縁層14には、第1金属配線N11, 第2金属配線N12及び第3金属配線N13が配される。第2絶縁層14の上部には、第3絶縁層15が配され、第3絶縁層15には、ビアプラグVが配される。ビアプラグVの上部には、電源電極ラインVddが配される。

#### 【0112】

図8Aないし図8Gは、本発明の一実施形態による半導体メモリ装置の製造方法を示す断面図である。

#### 【0113】

図8Aを参照すれば、基板10は、PMOSTランジスタが形成されるNウェル領域NW, NMOSTランジスタが形成される第1Pウェル領域PW1及び第2Pウェル領域PW2を含む。Nウェル領域NWには、第1活性領域ACT11が形成され、第1Pウェル領域PW1及び第2Pウェル領域PW2には、第2活性領域ACT12及び第3活性領域ACT13が形成されるが、第1活性領域ACT11, 第2活性領域ACT12及び第3活性領域ACT13は、STIのような素子分離膜11によって画定されうる。

#### 【0114】

図8Bを参照すれば、第1活性領域ACT11, 第2活性領域ACT12及び第3活性領域ACT13上には、シリサイド膜12が形成される。具体的には、基板10上に金属層（図示せず）を形成し、金属層が形成された基板10に対して熱処理を行うことによって、第1活性領域ACT11, 第2活性領域ACT12及び第3活性領域ACT13上にシリサイド膜12を形成できる。このように、シリサイド膜12を形成することによって、第1活性領域ACT11, 第2活性領域ACT12及び第3活性領域ACT13と、以後に形成されるコンタクトプラグとのコンタクト抵抗を低くすることができる。

#### 【0115】

図8Cを参照すれば、基板10の上部に、第1絶縁層13を形成する。次に、第1絶縁層13上に、フォトリソグラフィ工程によって、複数の第1コンタクトホール（図示せず）が形成される領域を露出させるマスク膜を形成する。次に、乾式エッチング工程を利用して、第1絶縁層13上に第1コンタクトホールを形成し、第1コンタクトホールを金属物質で埋め込むことによって、第5コンタクトプラグC22, 第2コンタクトプラグC12及び第8コンタクトプラグC32を形成する。ここで、第5コンタクトプラグC22, 第2コンタクトプラグC12及び第8コンタクトプラグC32は、タングステン（W）、

アルミニウム ( A l )、銅 ( C u )、モリブデン ( M o )、チタン ( T i )、タンタル ( T a )、ルテニウム ( R u ) またはそれらの合金によって形成されうる。しかし、これは例示的なものであり、本発明がこれに限定されるものではない。例えば、コンタクトプラグ C 2 2 , C 1 2 , C 3 2 は、前記例示された金属の導電性窒化物でもありうる。

【 0 1 1 6 】

図 8 D を参照すれば、第 1 絶縁層 1 3 の上部に、第 2 絶縁層 1 4 を形成する。次に、第 2 絶縁層 1 4 内に、複数の第 2 コンタクトホールを形成し、複数の第 2 コンタクトホールを金属物質で埋め込むことによって、第 1 金属配線 N 1 1 , 第 2 金属配線 N 1 2 及び第 3 金属配線 N 1 3 を形成できる。

【 0 1 1 7 】

図 8 E を参照すれば、第 2 絶縁層 1 4 の上部に、第 3 絶縁層 1 5 を形成する。次に、第 3 絶縁層 1 5 内に、第 3 コンタクトホールを形成し、第 3 コンタクトホールを金属物質で埋め込むことによって、ビアプラグ V を形成できる。ここで、ビアプラグ V は、タングステン ( W )、アルミニウム ( A l )、銅 ( C u )、モリブデン ( M o )、チタン ( T i )、タンタル ( T a )、ルテニウム ( R u ) またはそれらの合金によって形成されうる。しかし、これは例示的なものであり、本発明がこれに限定されるものではない。例えば、ビアプラグ V は、前記例示された金属の導電性窒化物でもありうる。

【 0 1 1 8 】

図 8 F を参照すれば、第 3 絶縁層 1 5 の上部に、第 4 絶縁層 1 6 を形成する。次に、第 4 絶縁層 1 6 内に、複数の第 4 コンタクトホールを形成し、複数の第 4 コンタクトホールを金属物質で埋め込むことによって、ビットライン B L 、電源電極ライン V d d 及びビットラインバー B L ' を形成できる。他の実施形態では、ビットライン B L 及びビットラインバー B L ' を、電源電極ライン V d d と異なる層に形成できる。さらに他の実施形態では、ビットライン B L , ビットラインバー B L ' 及び電源電極ライン V d d を、第 1 金属配線 N 1 1 , 第 2 金属配線 N 1 2 及び第 3 金属配線 N 1 3 の下層に形成することもできる。

【 0 1 1 9 】

図 8 G を参照すれば、第 4 絶縁層 1 6 の上部に、第 5 絶縁層 1 7 及びワードライン W L を順次に形成する。他の実施形態では、ワードライン W L は、ビットライン B L , ビットラインバー B L ' の下層に形成できる。さらに他の実施形態では、ワードライン W L は、第 1 金属配線 N 1 1 , 第 2 金属配線 N 1 2 及び第 3 金属配線 N 1 3 の下層に形成することもできる。

【 0 1 2 0 】

図 9 は、本発明の他の実施形態による半導体メモリ装置を示すレイアウトである。

【 0 1 2 1 】

図 9 を参照すれば、半導体メモリ装置 2 は、第 1 ウェル領域 N W と、第 1 ウェル領域 N W の両脇に形成される第 2 ウェル領域 P W 1 及び第 3 ウェル領域 P W 2 と、を有する基板上に形成される 2 つの S R A M セルを含み、 2 ビットで動作しうる。このとき、第 1 ウェル領域 N W は、第 1 導電性を有し、第 2 ウェル領域 P W 1 及び第 3 ウェル領域 P W 2 は、第 2 導電性を有することができる。本実施形態で、第 1 導電性は N 型であり、第 2 導電性は、 P 型でありうる。以下、第 1 ウェル領域は、 N ウェル領域 N W であり、第 2 ウェル領域は、第 1 P ウェル領域 P W 1 であり、第 3 ウェル領域は、第 2 P ウェル領域 P W 2 とする。本実施形態による半導体メモリ装置 2 は、図 1 ないし図 8 を参照しつつ説明した半導体メモリ装置 1 の変形実施形態であるから、重複する説明は省略する。

【 0 1 2 2 】

N ウェル領域 N W は、例えば、イオン注入工程によって基板上に形成される N 型ウェルが配される領域であり、 N ウェル領域 N W には、素子分離膜によって画定される第 1 活性領域 A C T 1 1 及び第 4 活性領域 A C T 1 4 が配される。本実施形態で、第 1 活性領域 A C T 1 1 及び第 4 活性領域 A C T 1 4 のそれぞれは、縦方向に長い形態を有するパーティブの単一活性領域でありうる。

10

20

30

40

50

## 【 0 1 2 3 】

このとき、第 1 活性領域 A C T 1 1 に、P + 型不純物をドーピングすることによって、P 型拡散領域が形成され、また、コンタクトブラグ C 1 1 , C 1 2 , C 1 3 が形成されうる。第 1 活性領域 A C T 1 1 には、2 つのプルアップ素子が一列に形成されうるが、本実施形態で、2 つのプルアップ素子は、第 1 P M O S トランジスタ P U 1 1 及び第 2 P M O S トランジスタ P U 1 2 でありうる。また、第 4 活性領域 A C T 1 4 に、P + 不純物をドーピングすることによって、P 型拡散領域が形成され、また、コンタクトブラグ C 4 1 , C 4 2 , C 4 3 が形成されうる。第 4 活性領域 A C T 1 4 には、2 つのプルアップ素子が一列に形成されうるが、本実施形態で、2 つのプルアップ素子は、第 3 P M O S トランジスタ P U 1 3 及び第 4 P M O S トランジスタ P U 1 4 でありうる。

10

## 【 0 1 2 4 】

第 1 P ウェル領域 P W 1 は、例えば、イオン注入工程によって基板上に形成される P 型ウェルが配される領域であり、第 1 P ウェル領域 P W 1 には、素子分離膜によって画定される第 2 活性領域 A C T 1 2 が配される。本実施形態で、第 2 活性領域 A C T 1 2 は、第 1 活性領域 A C T 1 1 及び第 4 活性領域 A C T 1 4 に平行した方向に伸張する形態を有する単一活性領域でありうる。

## 【 0 1 2 5 】

このとき、第 2 活性領域 A C T 1 2 に、N + 型不純物をドーピングすることによって、N 型拡散領域が形成され、また、コンタクトブラグ C 2 1 , C 2 2 , C 2 3 , C 5 1 , C 5 2 , C 5 3 が形成されうる。第 2 活性領域 A C T 1 2 には、2 つのプルダウン素子と、2 つのアクセス素子が形成されうるが、本実施形態でプルダウン素子は、第 1 N M O S トランジスタ P D 1 1 及び第 6 N M O S トランジスタ P D 1 4 であり、アクセス素子は、第 3 N M O S トランジスタ P G 1 1 及び第 8 N M O S トランジスタ P G 1 4 でありうる。

20

## 【 0 1 2 6 】

第 2 P ウェル領域 P W 2 は、例えば、イオン注入工程によって基板上に形成される P 型ウェルが配される領域であり、第 2 P ウェル領域 P W 2 には、素子分離膜によって画定される第 3 活性領域 A C T 1 3 が配される。本実施形態で、第 3 活性領域 A C T 1 3 は、第 1 活性領域 A C T 1 1 及び第 4 活性領域 A C T 1 4 に平行した方向に伸張する形態を有する単一活性領域でありうる。このとき、第 3 活性領域 A C T 1 3 に、N + 型不純物をドーピングすることによって、N 型拡散領域が形成され、また、複数のコンタクトブラグ C 3 1 , C 3 2 , C 3 3 , C 6 1 , C 6 2 が形成されうる。第 3 活性領域 A C T 1 3 には、2 つのプルダウン素子と、2 つのアクセス素子とが形成されうるが、本実施形態でプルダウン素子は、第 2 N M O S トランジスタ P D 1 2 及び第 5 N M O S トランジスタ P D 1 3 であり、アクセス素子は、第 4 N M O S トランジスタ P G 1 2 及び第 7 N M O S トランジスタ P G 1 3 でありうる。

30

## 【 0 1 2 7 】

第 1 活性領域ないし第 4 活性領域 A C T 1 1 , A C T 1 2 , A C T 1 3 , A C T 1 4 が配された基板の上部には、第 1 ゲート電極ないし第 8 ゲート電極 G E 1 1 , G E 1 2 , G E 1 3 , G E 1 4 , G E 1 5 , G E 1 6 , G E 1 7 , G E 1 8 が形成される。具体的には、第 1 ゲート電極 G E 1 1 は、第 2 活性領域 A C T 1 2 を横切る方向に形成され、第 2 ゲート電極 G E 1 2 は、第 1 活性領域 A C T 1 1 及び第 2 活性領域 A C T 1 2 を横切る方向に形成され、第 3 ゲート電極 G E 1 3 は、第 1 活性領域 A C T 1 1 及び第 3 活性領域 A C T 1 3 を横切る方向に形成され、第 4 ゲート電極 G E 1 4 は、第 3 活性領域 A C T 1 3 を横切る方向に形成される。また、第 5 ゲート電極 G E 1 5 は、第 2 活性領域 A C T 1 2 及び第 4 活性領域 A C T 1 4 を横切る方向に形成され、第 6 ゲート電極 G E 1 6 は、第 2 活性領域 A C T 1 2 を横切る方向に形成され、第 7 ゲート電極 G E 1 7 は、第 3 活性領域 A C T 1 3 を横切る方向に形成され、第 8 ゲート電極 G E 1 8 は、第 4 活性領域 A C T 1 4 及び第 3 活性領域 A C T 1 3 を横切る方向に形成される。このとき、第 1 ゲート電極 G E 1 1 , 第 4 ゲート電極 G E 1 4 , 第 6 ゲート電極 G E 1 6 及び第 7 ゲート電極 G E 1 7 の上部には、それぞれワードライン・コンタクトブラグ C 2 4 , C 3 4 , C 5 3 , C 6 3 が

40

50

形成され、第2ゲート電極GE12、第3ゲート電極GE13、第5ゲート電極GE15及び第8ゲート電極GE18の上部には、それぞれ配線コンタクトプラグC15、C14、C45、C44が形成される。

#### 【0128】

第1ゲート電極ないし第8ゲート電極GE11、GE12、GE13、GE14、GE15、GE16、GE17、GE18が形成された基板の上部には、第1金属配線ないし第4金属配線N11、N12、N13、N14が形成される。このとき、第1金属配線N11は、第1活性領域ACT11に形成されたコンタクトプラグC13、第2活性領域ACT12に形成されたコンタクトプラグC22、及び第3ゲート電極GE13に形成された配線コンタクトプラグC14を連結させる。また、第2金属配線N12は、第1活性領域ACT11に形成されたコンタクトプラグC11、第3活性領域ACT13に形成されたコンタクトプラグC32、及び第2ゲート電極GE12に形成された配線コンタクトプラグC15を連結させる。また、第3金属配線N13は、第4活性領域ACT14に形成されたコンタクトプラグC41、第2活性領域ACT12に形成されたコンタクトプラグC52、及び第8ゲート電極GE18に形成された配線コンタクトプラグC44を連結させる。また、第4金属配線N14は、第4活性領域ACT14に形成されたコンタクトプラグC43、第3活性領域ACT13に形成されたコンタクトプラグC62、及び第5ゲート電極GE15に形成された配線コンタクトプラグC45を連結させる。

#### 【0129】

本実施形態によれば、半導体メモリ装置2で、第1NMOSトランジスタPD11、第1PMOSトランジスタPU11及び第4NMOSトランジスタPG12を横方向に一行に配し、第3NMOSトランジスタPG11、第2PMOSトランジスタPU12及び第2NMOSトランジスタPD12を横方向に一行に配し、第8NMOSトランジスタPG14、第3PMOSトランジスタPU13及び第5NMOSトランジスタPD13を横方向に一行に配し、第6NMOSトランジスタPD14、第4PMOSトランジスタPU14及び第7NMOSトランジスタPG13を横方向に一行に配しうる。

#### 【0130】

また、半導体メモリ装置2で、第1NMOSトランジスタPD11、第3NMOSトランジスタPG11、第8NMOSトランジスタPG14及び第6NMOSトランジスタPD14を、第1Pウェル領域PW1に縦方向に一行に配し、第1PMOSトランジスタないし第4PMOSトランジスタPU11、PU12、PU13、PU14を、Nウェル領域NWに縦方向に一行に配し、第4NMOSトランジスタPG12、第2NMOSトランジスタPD12、第5NMOSトランジスタPD13及び第7NMOSトランジスタPG13を第2Pウェル領域PW2に縦方向に一行に配しうる。

#### 【0131】

このように、半導体メモリ装置2において、第1NMOSトランジスタないし第4NMOSトランジスタPD11、PD12、PG11、PG12は、第1PMOSトランジスタPU11及び第2PMOSトランジスタPU12を基準に、横方向に対称になり、第5NMOSないし第8NMOSトランジスタPD13、PD14、PG13、PG14は、第3PMOSトランジスタ及び第4PMOSトランジスタPU13、PU14を基準に、横方向に対称になった形態に配されることによって、半導体メモリ装置2で、単位セルの横方向の長さ及び縦方向の長さが縮小されるので、半導体メモリ装置2の集積度が向上しうる。また、半導体メモリ装置2で、複数の単位セルが配される場合にも、境界領域に追加領域が要求されない。

#### 【0132】

図10は、図9の半導体メモリ装置の等価回路を示す回路図である。

#### 【0133】

図10を参照すれば、半導体メモリ装置2は、第1Pウェル領域PW1に配される第1NMOSトランジスタPD11、第3NMOSトランジスタPG11、第6NMOSトランジスタPD14及び第8NMOSトランジスタPG14、Nウェル領域NWに配される

第1 PMOSトランジスタないし第4 PMOSトランジスタPU11, PU12, PU13, PU14、及び第2 Pウェル領域PW2に配される第2 NMOSトランジスタPD12, 第4 NMOSトランジスタPG12, 第5 NMOSトランジスタPD13及び第7 NMOSトランジスタPG13を含む。このとき、第1 PMOSトランジスタPU11及び第1 NMOSトランジスタPD11は、第1 インバータを構成し、第2 PMOSトランジスタPU12及び第2 NMOSトランジスタPD12は、第2 インバータを構成し、第3 PMOSトランジスタPU13及び第5 NMOSトランジスタPD13は、第3 インバータを構成し、第4 PMOSトランジスタPU14及び第6 NMOSトランジスタPD14は、第4 インバータを構成する。

#### 【0134】

第3 NMOSトランジスタPG11は、ワードラインWL1に印加される電圧によってオン/オフになり、ビットラインBLを第1 ノードN11に連結させることができる。ここで、第1 ノードN11は、図9に図示された第1 金属配線N11に対応する。具体的には、ワードラインWL1に印加される電圧が、論理「1」であるとき、第3 NMOSトランジスタPG11はターンオンされ、ビットラインBLを第1 ノードN11に連結させることができる。第1 ノードN11は、第2 インバータの入力端子、すなわち、第2 PMOSトランジスタPU12のゲートと、第2 NMOSトランジスタPD12のゲートとに連結され、また、第1 インバータの出力端子、すなわち、第1 PMOSトランジスタPU11のドレインと、第1 NMOSトランジスタPD11のドレインとに連結される。

#### 【0135】

第4 NMOSトランジスタPG12は、ワードラインWL1に印加される電圧によってオン/オフになり、ビットラインバーBL'を第2 ノードN12に連結させることができる。ここで、第2 ノードN12は、図9に図示された第2 金属配線N12に対応する。具体的には、ワードラインWL1に印加される電圧が、論理「1」であるとき、第4 NMOSトランジスタPG12はターンオンされ、ビットラインバーBL'を、第2 ノードN12に連結させることができる。第2 ノードN12は、第1 インバータの入力端子、すなわち、第1 PMOSトランジスタPU11のゲートと、第1 NMOSトランジスタPD11のゲートとに連結され、また、第2 インバータの出力端子、すなわち、第2 PMOSトランジスタPU12のドレインと、第2 NMOSトランジスタPD12のドレインとに連結される。

#### 【0136】

第7 NMOSトランジスタPG13は、ワードラインWL2に印加される電圧によってオン/オフになり、ビットラインバーBL'を第4 ノードN14に連結させることができる。ここで、第4 ノードN14は、図9に図示された第4 金属配線N14に対応する。具体的には、ワードラインWL2に印加される電圧が論理「1」であるとき、第7 NMOSトランジスタPG13はターンオンされ、ビットラインバーBL'を第4 ノードN14に連結させることができる。第4 ノードN14は、第4 インバータの入力端子、すなわち、第4 PMOSトランジスタPU14のゲートと、第6 NMOSトランジスタPD14のゲートとに連結され、また、第3 インバータの出力端子、すなわち、第3 PMOSトランジスタPM13のドレインと、第5 NMOSトランジスタPD13のドレインに連結される。

#### 【0137】

第8 NMOSトランジスタPG14は、ワードラインWL2に印加される電圧によってオン/オフになり、ビットラインBLを第3 ノードN13に連結させることができる。ここで、第3 ノードN13は、図9に図示された第3 金属配線N13に対応する。具体的には、ワードラインWL2に印加される電圧が論理「1」であるとき、第8 NMOSトランジスタPG14はターンオンされ、ビットラインBLを第3 ノードN13に連結させることができる。第3 ノードN13は、第3 インバータの入力端子、すなわち、第3 PMOSトランジスタPU13のゲートと、第5 NMOSトランジスタPD13のゲートとに連結され、また、第4 インバータの出力端子、すなわち、第4 PMOSトランジスタPU14

10

20

30

40

50

のドレインと、第 6 N M O S トランジスタ P D 1 4 のドレインとに連結される。

【 0 1 3 8 】

図 1 1 は、本発明のさらに他の実施形態による半導体メモリ装置を示すレイアウトである。

【 0 1 3 9 】

図 1 1 を参照すれば、半導体メモリ装置 3 は、第 1 ウェル領域 P W と、第 1 ウェル領域 P W の両脇に形成される第 2 N W 1 ウェル領域及び第 3 ウェル領域 N W 2 を有する基板上に形成される 1 つの S R A M セルを含み、1 ビットで動作しうる。このとき、第 1 ウェル領域 P W は、第 1 導電型を有し、第 2 N W 1 ウェル領域及び第 3 ウェル領域 N W 2 は、第 2 導電型を有することができる。本実施形態で、第 1 導電型は P 型であり、第 2 導電型は N 型でありうる。以下、第 1 ウェル領域は、P ウェル領域 P W であり、第 2 ウェル領域は、第 1 N ウェル領域 N W 1 であり、第 3 ウェル領域は、第 2 N ウェル領域 N W 2 とする。

【 0 1 4 0 】

P ウェル領域 P W は、例えば、イオン注入工程によって基板上に形成される P 型ウェルが配される領域であり、P ウェル領域 P W には、素子分離膜によって画定される第 1 活性領域 A C T 2 1 が配される。本実施形態で、第 1 活性領域 A C T 2 1 は、縦方向に長い形態を有するパーティップの単一活性領域でありうる。このとき、第 1 活性領域 A C T 2 1 に、N + 型不純物をドーピングすることによって、N 型拡散領域が形成され、また、第 1 コンタクトプラグ C 7 1 , 第 2 コンタクトプラグ 7 2 及び第 3 コンタクトプラグ C 7 3 が形成されうる。第 1 活性領域 A C T 2 1 には、2 つのブルダウン素子が一列に形成されうるが、本実施形態で、2 つのブルダウン素子は、第 1 N M O S トランジスタ P D 2 1 及び第 2 N M O S トランジスタ P D 2 2 でありうる。

【 0 1 4 1 】

このように、2 つのブルダウン素子、すなわち、第 1 N M O S トランジスタ P D 2 1 及び第 2 N M O S トランジスタ P D 2 2 を、単一活性領域である第 1 活性領域 A C T 2 1 に配することによって、第 1 N M O S トランジスタ P D 2 1 及び第 2 N M O S トランジスタ P D 2 2 間のミスマッチを低減させることができる。具体的には、第 1 N M O S トランジスタ P D 2 1 に係わるスレショルド電圧と、第 2 N M O S トランジスタ P D 2 2 に係わるスレショルド電圧との差を減らすことができる。

【 0 1 4 2 】

第 1 N ウェル領域 N W 1 は、例えば、イオン注入工程によって基板上に形成される N 型ウェルが配される領域であり、第 1 N ウェル領域 N W 1 には、素子分離膜によって画定される第 2 活性領域 A C T 2 2 が配される。本実施形態で、第 2 活性領域 A C T 2 2 は、第 1 活性領域 A C T 2 1 に平行した方向に伸張する形態を有する単一活性領域でありうる。このとき、第 2 活性領域 A C T 2 2 に、P + 型不純物をドーピングすることによって、P 型拡散領域が形成され、また、第 4 コンタクトプラグ C 8 1 , 第 5 コンタクトプラグ C 8 2 及び第 6 コンタクトプラグ C 8 3 が形成されうる。第 2 活性領域 A C T 2 2 には、1 つのブルアップ素子と、1 つのアクセス素子とが形成されうるが、本実施形態で、ブルアップ素子は、第 1 P M O S トランジスタ P U 2 1 であり、アクセス素子は、第 3 P M O S トランジスタ P G 2 1 でありうる。

【 0 1 4 3 】

第 2 N ウェル領域 N W 2 は、例えば、イオン注入工程によって基板上に形成される N 型ウェルが配される領域であり、第 2 N ウェル領域 N W 2 には、素子分離膜によって画定される第 3 活性領域 A C T 2 3 が配される。本実施形態で、第 3 活性領域 A C T 2 3 は、第 1 活性領域 A C T 2 1 に平行した方向に伸張する形態を有する単一活性領域でありうる。このとき、第 3 活性領域 A C T 2 3 に、P + 型不純物をドーピングすることによって、P 型拡散領域が形成され、また、第 7 コンタクトプラグ C 9 1 , 第 8 コンタクトプラグ C 9 2 及び第 9 コンタクトプラグ C 9 3 が形成されうる。第 3 活性領域 A C T 2 3 には、1 つのブルアップ素子と、1 つのアクセス素子とが形成されうるが、本実施形態で、ブルアップ素子は、第 2 P M O S トランジスタ P U 2 2 であり、アクセス素子は、第 4 P M O S ト

ランジスタ P G 2 2 でありうる。

【 0 1 4 4 】

前述のように、本実施形態によれば、半導体メモリ装置 3 は、第 3 P M O S トランジスタ P G 2 1 及び第 4 P M O S トランジスタ P G 2 2 によって具現されるアクセス素子を含むことができる。半導体メモリ装置 3 を製造する工程で、P M O S トランジスタに係わる性能が向上することによって、N M O S トランジスタを代替して、P M O S トランジスタを利用してアクセス素子を具現できる。

【 0 1 4 5 】

第 1 活性領域 A C T 2 1 , 第 2 活性領域 A C T 2 2 及び第 3 活性領域 A C T 2 3 の幅を比較すれば、次の通りである。第 1 活性領域 A C T 2 1 の第 1 幅 W 2 1 は、その位置に係せず一定の値を有することができる。第 2 活性領域 A C T 2 2 の幅は、その位置によって互いに異なりうるが、具体的には、第 3 P M O S トランジスタ P G 2 1 が配される領域の第 2 幅 W 2 2 は、第 1 P M O S トランジスタ P U 2 1 が配される領域の第 3 幅 W 2 3 より広く、第 2 幅 W 2 2 及び第 3 幅 W 2 3 は、第 1 幅 W 2 1 より狭い。第 3 活性領域 A C T 2 3 の幅は、その位置によって互いに異なりうるが、具体的には、第 2 P M O S トランジスタ P U 2 2 が配される領域の第 4 幅 W 2 4 は、第 4 P M O S トランジスタ P G 2 2 が配される領域の第 5 幅 W 2 5 より狭く、第 4 幅 W 2 4 及び第 5 幅 W 2 5 は、第 1 幅 W 2 1 より狭い。また、第 4 幅 W 2 4 は、第 3 幅 W 2 3 と実質的に同一であり、第 5 幅 W 2 5 は、第 2 幅 W 2 2 と実質的に同一でありうる。

【 0 1 4 6 】

このように、第 1 N M O S トランジスタ P D 2 1 及び第 2 N M O S トランジスタ P D 2 2 が形成される第 1 活性領域 A C T 2 1 の幅 W 2 1 を最も広く具現することによって、第 1 N M O S トランジスタ P D 2 1 及び第 2 N M O S トランジスタ P D 2 2 でプルダウン動作を行う場合、プルダウン動作の速度を向上させることができる。また、第 3 P M O S トランジスタ P G 2 1 及び第 4 P M O S トランジスタ P G 2 2 が形成される第 2 活性領域 A C T 2 2 及び第 3 活性領域 A C T 2 3 の幅 W 2 2 , W 2 5 を、第 1 P M O S トランジスタ P U 2 1 及び第 2 P M O S トランジスタ P U 2 2 が形成される第 2 活性領域 A C T 2 2 及び第 3 活性領域 A C T 2 3 の幅 W 2 3 , W 2 4 より広く具現することによって、半導体メモリ装置 3 に対する書き込み動作を行う場合、書き込み動作の速度を向上させることができる。

【 0 1 4 7 】

第 1 活性領域 A C T 2 1 , 第 2 活性領域 A C T 2 2 及び第 3 活性領域 A C T 2 3 が配された基板の上部には、第 1 ゲート電極ないし第 4 ゲート電極 G E 2 1 , G E 2 2 , G E 2 3 , G E 2 4 が形成される。具体的には、第 1 ゲート電極 G E 2 1 は、第 2 活性領域 A C T 2 2 を横切る方向に形成され、第 2 ゲート電極 G E 2 2 は、第 1 活性領域 A C T 2 1 及び第 2 活性領域 A C T 2 2 を横切る方向に形成され、第 3 ゲート電極 G E 2 3 は、第 1 活性領域 A C T 2 1 及び第 3 活性領域 A C T 2 3 を横切る方向に形成され、第 4 ゲート電極 G E 2 4 は、第 3 活性領域 A C T 2 3 を横切る方向に形成される。このとき、第 1 ゲート電極 G E 2 1 及び第 4 ゲート電極 G E 2 4 の上部には、それぞれワードライン・コンタクトプラグ C 8 4 , C 9 4 が形成され、第 2 ゲート電極 G E 2 2 及び第 3 ゲート電極 G E 2 3 の上部には、それぞれ配線コンタクトプラグ C 7 5 , C 7 4 が形成される。

【 0 1 4 8 】

図 1 2 は、図 1 1 の半導体メモリ装置の金属配線層を示すレイアウトである。

【 0 1 4 9 】

図 1 2 を参照すれば、第 1 ゲート電極ないし第 4 ゲート電極 G E 2 1 , G E 2 2 , G E 2 3 , G E 2 4 が形成された基板の上部には、第 1 金属配線 N 2 1 及び第 2 金属配線 N 2 2 が形成される。このとき、第 1 金属配線 N 2 1 は、第 1 活性領域 A C T 2 1 に形成された第 3 コンタクトプラグ C 7 3、第 2 活性領域 A C T 2 2 に形成された第 5 コンタクトプラグ C 8 2、及び第 3 ゲート電極 G E 2 3 に形成された配線コンタクトプラグ C 7 4 を連結させる。また、第 2 金属配線 N 2 2 は、第 1 活性領域 A C T 2 1 に形成された第 1 コン

10

20

30

40

50

タクトプラグ C 7 1、第 3 活性領域 A C T 2 3 に形成された第 8 コンタクトプラグ C 9 2、及び第 2 ゲート電極 G E 2 2 に形成された配線コンタクトプラグ C 7 5 を連結させる。

【 0 1 5 0 】

図 1 3 は、図 1 1 の半導体メモリ装置のビットライン配線層を示すレイアウトである。

【 0 1 5 1 】

図 1 3 を参照すれば、第 1 金属配線 N 2 1 及び第 2 金属配線 N 2 2 が形成された基板の上部には、1 対のビットライン、すなわち、ビットライン B L 及びビットラインバー B L ' が形成される。ビットライン B L 及びビットラインバー B L ' は、第 1 活性領域 A C T 2 1、第 2 活性領域 A C T 2 2 及び第 3 活性領域 A C T 2 3 と平行な方向に伸張しう。このとき、ビットライン B L は、第 2 活性領域 A C T 2 2 に形成された第 4 コンタクトプラグ C 8 1 を介して、第 2 活性領域 A C T 2 2 に連結され、ビットラインバー B L ' は、第 3 活性領域 A C T 2 3 に形成された第 9 コンタクトプラグ C 9 3 を介して、第 3 活性領域 A C T 2 3 に連結される。

【 0 1 5 2 】

また、第 1 金属配線 N 2 1 及び第 2 金属配線 N 2 2 が形成された基板の上部には、接地電極ライン V s s が形成される。接地電極ライン V s s は、1 対のビットライン B L、B L ' 間に形成され、1 対のビットライン B L、B L ' と平行な方向に伸張しう。このとき、接地電極ライン V s s は、第 1 活性領域 A C T 2 1 に形成された第 2 コンタクトプラグ C 7 2 を介して、第 1 活性領域 A C T 2 1 に連結される。

【 0 1 5 3 】

図 1 4 は、図 1 1 の半導体メモリ装置のワードライン配線層を示すレイアウトである。

【 0 1 5 4 】

図 1 4 を参照すれば、1 対のビットライン B L、B L ' が形成された基板の上部には、ワードライン W L が形成される。ワードライン W L は、第 1 ゲート電極ないし第 4 ゲート電極 G E 2 1、G E 2 2、G E 2 3、G E 2 4 と平行な方向に伸張しう。このとき、ワードライン W L は、ワードライン・コンタクトプラグ C 8 4、C 9 4 を介して、第 1 ゲート電極 G E 2 1 及び第 4 ゲート電極 G E 2 4 にそれぞれ連結される。図示されていないが、ワードライン W L と、ワードライン・コンタクトプラグ C 8 4、C 9 4 とを連結させる金属配線がさらに形成されう。

【 0 1 5 5 】

本実施形態では、1 対のビットライン B L、B L ' の上層に、ワードライン W L が形成されるが、他の実施形態では、ワードライン W L の上層に、1 対のビットライン B L、B L ' が形成される場合もある。

【 0 1 5 6 】

再び図 1 1 を参照すれば、第 1 N M O S トランジスタ P D 2 1 は、第 1 活性領域 A C T 2 1 の上部に形成される第 2 ゲート電極 G E 2 2 と、第 1 活性領域 A C T 2 1 で、第 2 ゲート電極 G E 2 2 の両脇に形成された第 2 コンタクトプラグ C 7 2 及び第 3 コンタクトプラグ C 7 3 と、によって定義される。ここで、第 2 コンタクトプラグ C 7 2 は、第 1 N M O S トランジスタ P D 2 1 のソースに対応し、第 2 ゲート電極 G E 2 2 は、第 1 N M O S トランジスタ P D 2 1 のゲートに対応し、第 3 コンタクトプラグ C 7 3 は、第 1 N M O S トランジスタ P D 2 1 のドレインに対応する。

【 0 1 5 7 】

第 1 P M O S トランジスタ P U 2 1 は、第 2 活性領域 A C T 2 2 の上部に形成される第 2 ゲート電極 G E 2 2 と、第 2 活性領域 A C T 2 2 で、第 2 ゲート電極 G E 2 2 の両脇に形成された第 5 コンタクトプラグ C 8 2 及び第 6 コンタクトプラグ C 8 3 と、によって定義される。ここで、第 5 コンタクトプラグ C 8 2 は、第 1 P M O S トランジスタ P U 2 1 のドレインに対応し、第 2 ゲート電極 G E 2 2 は、第 1 P M O S トランジスタ P U 2 1 のゲートに対応し、第 6 コンタクトプラグ C 8 3 は、第 1 P M O S トランジスタ P U 2 1 のソースに対応する。

【 0 1 5 8 】



第2 NMOSトランジスタPD22は、第1活性領域ACT21の上部に形成される第3ゲート電極GE23と、第1活性領域ACT21で、第3ゲート電極GE23の両脇に形成された第1コンタクトプラグC71及び第2コンタクトプラグC72と、によって定義される。ここで、第1コンタクトプラグC71は、第2 NMOSトランジスタPD22のドレインに対応し、第3ゲート電極GE23は、第2 NMOSトランジスタPD22のゲートに対応し、第2コンタクトプラグC72は、第2 NMOSトランジスタPD22のソースに対応する。

【0159】

第2 PMOSトランジスタPU22は、第3活性領域ACT23の上部に形成される第3ゲート電極GE23と、第3活性領域ACT23で、第3ゲート電極GE23の両脇に形成された第7コンタクトプラグC91及び第8コンタクトプラグC92と、によって定義される。ここで、第7コンタクトプラグC91は、第2 PMOSトランジスタPU22のソースに対応し、第3ゲート電極GE23は、第2 PMOSトランジスタPU22のゲートに対応し、第8コンタクトプラグC92は、第2 PMOSトランジスタPU22のドレインに対応する。

【0160】

このとき、第1 NMOSトランジスタPD21と第1 PMOSトランジスタPU21は、第2ゲート電極GE22に共通して連結され、第2金属配線N22によって連結されることによって、第1インバータを構成する。また、第2 NMOSトランジスタPD22と第2 PMOSトランジスタPU22は、第3ゲート電極GE23に共通して連結され、第1金属配線N21によって連結されることによって、第2インバータを構成する。半導体メモリ装置3で、第1インバータ及び第2インバータは、ラッチを構成することによって、データを保存することができる。

【0161】

第3 PMOSトランジスタPG21は、第2活性領域ACT22の上部に形成される第1ゲート電極GE21と、第2活性領域ACT22で、第1ゲート電極GE21の両脇に形成された第4コンタクトプラグC81及び第5コンタクトプラグC82と、によって定義される。ここで、第4コンタクトプラグC81及び第5コンタクトプラグC82は、第3 PMOSトランジスタPG21のドレイン及びソースに対応し、第1ゲート電極GE21は、第3 PMOSトランジスタPG21のゲートに対応する。このとき、第4コンタクトプラグC81は、ビットラインBLと連結され、第1ゲート電極GE21上のワードライン・コンタクトプラグC84は、ワードラインWLと連結される。ここで、第3 PMOSトランジスタPG21は、第1パスゲートまたは第1伝達ゲートとして動作しうる。

【0162】

第4 PMOSトランジスタPG22は、第3活性領域ACT23の上部に形成される第4ゲート電極GE24と、第3活性領域ACT23で、第4ゲート電極GE24の両脇に形成された第8コンタクトプラグC92及び第9コンタクトプラグC93によって定義される。ここで、第8コンタクトプラグC92及び第9コンタクトプラグC93は、第4 PMOSトランジスタPG22のソース及びドレインに対応し、第4ゲート電極GE24は、第4 PMOSトランジスタPG22のゲートに対応する。このとき、第9コンタクトプラグC93は、ビットラインバーBL'と連結され、第4ゲート電極GE24上のワードライン・コンタクトプラグC94は、ワードラインWLと連結される。ここで、第4 PMOSトランジスタPG22は、第2パスゲートまたは第2伝達ゲートとして動作しうる。

【0163】

本実施形態による半導体メモリ装置3では、単一活性領域である第1活性領域ACT21に、第1 NMOSトランジスタPD21及び第2 NMOSトランジスタPD22を一系列に形成する。これにより、第1 NMOSトランジスタPD21及び第2 NMOSトランジスタPD22それぞれに係わる2つの活性領域を別途に形成するために、複雑なパターニング工程を行う代わりに、単一パターニング工程で第1活性領域ACT21を形成できるので、パターニング工程が簡単になる。また、第1 NMOSトランジスタPD21及び第

10

20

30

40

50

2 N M O S トランジスタ P D 2 2 それぞれに係わる 2 つの活性領域の代わりに、単一活性領域を形成することによって、2 つの活性領域間に素子分離膜を形成する必要がないので、半導体メモリ装置 3 の単位セルで、横方向の長さが縮小されることによって、全体的に素子の集積度を向上させることができる。

【 0 1 6 4 】

また、本実施形態による半導体メモリ装置 3 は、第 1 活性領域 A C T 2 1 に形成された第 1 N M O S トランジスタ P D 2 1 及び第 2 N M O S トランジスタ P D 2 2 は、接地電極ライン V s s に連結される第 2 コンタクトプラグ C 7 2 を共有する。これにより、第 1 N M O S トランジスタ P D 2 1 及び第 2 N M O S トランジスタ P D 2 2 それぞれに対して接地電極 V s s を印加するための 2 つのコンタクトプラグを別途に形成する必要がないので、半導体メモリ装置 3 の単位セルで、縦方向の長さが縮小されることによって、全体的に素子の集積度を向上させることができる。

【 0 1 6 5 】

さらに、本実施形態による半導体メモリ装置 3 は、第 1 活性領域 A C T 2 1、第 2 活性領域 A C T 2 2 及び第 3 活性領域 A C T 2 3 が互いに平行するように形成され、第 2 活性領域 A C T 2 2 では、第 1 N M O S トランジスタ P D 2 1 に対応する位置に、第 1 P M O S トランジスタ P U 2 1 が配され、第 2 N M O S トランジスタ P D 2 2 に対応する位置に、第 3 P M O S トランジスタ P G 2 1 が配され、第 3 活性領域 A C T 2 3 では、第 1 N M O S トランジスタ P D 2 1 に対応する位置に、第 4 P M O S トランジスタ P G 2 2 が配され、第 2 N M O S トランジスタ P D 2 2 に対応する位置に、第 2 P M O S トランジスタ P U 2 2 が配される。このように、半導体メモリ装置 3 の単位セルで、第 1 N M O S トランジスタ P D 2 1 及び第 2 N M O S トランジスタ P D 2 2 を中心に対称になる形態に他のトランジスタが配されることによって、半導体メモリ装置 3 の集積度をさらに向上させることができる。また、半導体メモリ装置 3 で、複数の単位セルが配されるときにも、境界領域に追加領域が要求されない。

【 0 1 6 6 】

前述のように、本実施形態によれば、半導体メモリ素子 3 で、単一活性領域に N チャネル・トランジスタを形成し、P チャネル・トランジスタまたは他の素子は、N チャネル・トランジスタに対して対称的に配されうる。本実施形態で、半導体メモリ装置 3 は、6 個のトランジスタを含んでいるが、他の実施形態では、半導体メモリ装置 3 は、4 個のトランジスタ及び 2 個の抵抗素子を含むことができ、さらに他の実施形態では、半導体メモリ装置 3 は、さらに多数のトランジスタを含むことができ、さらに他の実施形態では、半導体メモリ装置 3 は、さらに少数のトランジスタを含むこともできる。

【 0 1 6 7 】

図 1 5 は、図 1 1 の半導体メモリ装置の等価回路を示す回路図である。

【 0 1 6 8 】

図 1 5 を参照すれば、半導体メモリ装置 3 は、第 1 N ウェル領域 N W 1 に配される第 1 P M O S トランジスタ P U 2 1 及び第 3 P M O S トランジスタ P G 2 1、P ウェル領域 P W に配される第 1 N M O S トランジスタ P D 2 1 及び第 2 N M O S トランジスタ P D 2 2、及び第 2 N ウェル領域 N W 2 に配される第 2 P M O S トランジスタ P U 2 2 及び第 4 P M O S トランジスタ P G 2 2 を含む。このとき、第 1 N M O S トランジスタ P D 2 1 及び第 1 P M O S トランジスタ P U 2 1 は、第 1 インバータを構成し、第 2 N M O S トランジスタ P D 2 2 及び第 2 P M O S トランジスタ P U 2 2 は、第 2 インバータを構成する。

【 0 1 6 9 】

第 3 P M O S トランジスタ P G 2 1 は、ワードライン W L に印加される電圧によってオン/オフになり、ビットライン B L を第 1 ノード N 2 1 に連結させることができる。ここで、第 1 ノード N 2 1 は、図 1 1 に図示された第 1 金属配線 N 2 1 に対応する。具体的には、ワードライン W L に印加される電圧が論理「0」であるとき、第 3 N M O S トランジスタ P G 2 1 は、ターンオンされ、ビットライン B L を第 1 ノード N 2 1 に連結させることができる。第 1 ノード N 2 1 は、第 2 インバータの入力端子、すなわち、第 2 N M O S

トランジスタPD22のゲートと、第2PMOSTランジスタPU22のゲートとに連結され、また、第1インバータの出力端子、すなわち、第1NMOSTランジスタPD21のドレインと、第1PMOSTランジスタPU21のドレインとに連結される。

【0170】

第4PMOSTランジスタPG22は、ワードラインWLに印加される電圧によってオン/オフになり、ビットラインバーBL'を第2ノードN22に連結させることができる。ここで、第2ノードN22は、図11に図示された第2金属配線N22に対応する。具体的には、ワードラインWLに印加される電圧が論理「1」であるとき、第4PMOSTランジスタPG22はターンオンされ、ビットラインバーBL'を第2ノードN22に連結させることができる。第2ノードN22は、第1インバータの入力端子、すなわち、第1NMOSTランジスタPD21のゲートと、第1PMOSTランジスタPU21のゲートとに連結され、また、第2インバータの出力端子、すなわち、第2NMOSTランジスタPD22のドレインと、第2PMOSTランジスタPU22のドレインとに連結される。

【0171】

図16は、図11の半導体メモリ装置のIII-III'線に沿って切り取った断面図を示している。

【0172】

図16を参照すれば、半導体メモリ装置3は、Pウェル領域PW、並びに第1Nウェル領域NW1及び第2Nウェル領域NW2を有する基板30上に形成される。ここで、基板30は、図6を参照して説明した基板10と実質的に同一に具現されるので、これに係わる詳細な説明は省略する。

【0173】

Pウェル領域PWは、基板30にP型イオンを注入することによって形成され、第1Nウェル領域NW1及び第2Nウェル領域NW2は、基板30にN型イオンを注入することによって形成されう。Pウェル領域PW、並びに第1Nウェル領域NW1及び第2Nウェル領域NW2には、素子分離膜31によって画定される第1活性領域ACT21、第2活性領域ACT22及び第3活性領域ACT23がそれぞれ配されう。ここで、素子分離膜31は、STIでありう。第1活性領域ACT21、第2活性領域ACT22及び第3活性領域ACT23上には、シリサイド層32が形成されう。

【0174】

基板30の上部には、第1絶縁層33が配され、第1絶縁層33には、第5コンタクトプラグC82、第2コンタクトプラグC72及び第8コンタクトプラグC92が配される。このとき、第5コンタクトプラグC82は、第2活性領域ACT22に連結され、第2コンタクトプラグC72は、第1活性領域ACT21に連結され、第8コンタクトプラグC92は、第3活性領域ACT23にそれぞれ連結される。第1絶縁層33の上部には、第2絶縁層34が配され、第2絶縁層34には、第1金属配線N21、第2金属配線N22及び第3金属配線N23が配される。ここで、第3金属配線N23は、接地電極ラインVssを第1活性領域ACT21に連結させるための配線である。

【0175】

第2絶縁層34の上部には、第3絶縁層35が配され、第3絶縁層35には、ビアプラグVが配される。第3絶縁層35の上部には、第4絶縁層36が配され、第4絶縁層36には、1対のビットラインBL、BL'と接地電極ラインVssとが配される。第4絶縁層36の上部には、第5絶縁層37が配され、第5絶縁層37の上部には、ワードラインWLが配される。ここで、第1絶縁層ないし第5絶縁層33、34、35、36、37は、図6を参照して説明した第1絶縁層ないし第5絶縁層13、14、15、16、17と実質的に同一に具現されるので、これに係わる詳細な説明は省略する。

【0176】

図17は、図11の半導体メモリ装置のIV-IV'線に沿って切り取った断面図を示している。

【0177】

図 17 を参照すれば、半導体メモリ装置 3 は、P ウェル領域 P W を有する基板 30 上に形成される。このとき、P ウェル領域 P W は、基板 30 に形成される素子分離膜 31 によって画定される。

【0178】

P ウェル領域 P W 上には、第 1 ゲートスタック G S 1 及び第 2 ゲートスタック G S 2 が配される。第 1 ゲートスタック G S 1 及び第 2 ゲートスタック G S 2 は、ゲート絶縁膜 331、ゲート電極層 G E 及びキャッピング膜 332 を含むことができる。具体的には、第 1 ゲートスタック G S 1 及び第 2 ゲートスタック G S 2 は、P ウェル領域 P W 上に、順次にゲート絶縁膜 331、ゲート電極層 G E 及びキャッピング膜 332 を形成した後、これをパターニングすることによって形成されうる。第 1 ゲートスタック G S 1 及び第 2 ゲートスタック G S 2 の側壁には、スペーサ 333 が配される。ここで、ゲート絶縁膜 331、キャッピング膜 332 及びスペーサ 333 は、図 7 を参照して説明したゲート絶縁膜 131、キャッピング膜 132 及びスペーサ 133 と実質的に同一に具現されるので、これに係わる詳細な説明は省略する。

10

【0179】

第 1 ゲートスタック G S 1 及び第 2 ゲートスタック G S 2 の上部には、第 1 絶縁層 33 が配され、第 1 絶縁層 33 には、第 1 コンタクトプラグ C 71、第 2 コンタクトプラグ C 72 及び第 3 コンタクトプラグ C 73 が配される。このとき、複数のコンタクトプラグ C 71、C 72、C 73 は、ソース領域及びドレイン領域 311、312、313 にそれぞれ連結される。図示されていないが、ソース領域及びドレイン領域 311、312、313 の上部には、シリサイド層が形成されうる。

20

【0180】

第 1 絶縁層 33 の上部には、第 2 絶縁層 34 が配され、第 2 絶縁層 34 には、第 1 金属配線 N 21、第 2 金属配線 N 22 及び第 3 金属配線 N 23 が配される。第 2 絶縁層 34 の上部には、第 3 絶縁層 35 が配され、第 3 絶縁層 35 には、ビアプラグ V が配される。ビアプラグ V の上部には、接地電極ライン V s s が配される。

【0181】

図 18 A ないし 18 G は、本発明の他の実施形態による半導体メモリ装置の製造方法を示す断面図である。

【0182】

30

図 18 A を参照すれば、基板 30 は、N M O S トランジスタが形成される P ウェル領域 P W、P M O S トランジスタが形成される第 1 N ウェル領域 N W 1、及び第 2 N ウェル領域 N W 2 を含む。P ウェル領域 P W には、第 1 活性領域 A C T 21 が形成され、第 1 N ウェル領域 N W 1 及び第 2 N ウェル領域 N W 2 には、第 2 活性領域 A C T 22 及び第 3 活性領域 A C T 23 が形成されるが、第 1 活性領域 A C T 21、第 2 活性領域 A C T 22 及び第 3 活性領域 A C T 23 は、S T I のような素子分離膜 31 によって画定されうる。

【0183】

図 18 B を参照すれば、第 1 活性領域 A C T 21、第 2 活性領域 A C T 22 及び第 3 活性領域 A C T 23 上には、シリサイド膜 32 が形成される。具体的には、基板 30 上に金属層（図示せず）を形成し、金属層が形成された基板 30 に対して熱処理を行うことによって、第 1 活性領域 A C T 21、第 2 活性領域 A C T 22 及び第 3 活性領域 A C T 23 上にシリサイド膜 32 を形成できる。このように、シリサイド膜 32 を形成することによって、第 1 活性領域 A C T 21、第 2 活性領域 A C T 22 及び第 3 活性領域 A C T 23 と、以後に形成されるコンタクトプラグとのコンタクト抵抗を低くすることができる。

40

【0184】

図 18 C を参照すれば、基板 30 の上部に、第 1 絶縁層 33 を形成する。次に、第 1 絶縁層 33 上に、フォトリソグラフィ工程によって、複数の第 1 コンタクトホール（図示せず）が形成される領域を露出させるマスク膜を形成する。次に、乾式エッチング工程を利用し、第 1 絶縁層 33 上に、第 1 コンタクトホールを形成し、第 1 コンタクトホールを金属物質で埋め込むことによって、第 5 コンタクトプラグ C 82、第 2 コンタクトプラグ C

50

7 2 及び第 8 コンタクトプラグ C 9 2 を形成する。ここで、第 5 コンタクトプラグ C 8 2 , 第 2 コンタクトプラグ C 7 2 及び第 8 コンタクトプラグ C 9 2 は、図 8 C を参照して説明した第 5 コンタクトプラグ C 2 2 , 第 2 コンタクトプラグ C 1 2 及び第 8 コンタクトプラグ C 3 2 と実質的に同一に具現されるので、これに係わる詳細な説明は省略する。

【 0 1 8 5 】

図 1 8 D を参照すれば、第 1 絶縁層 3 3 の上部に、第 2 絶縁層 3 4 を形成する。次に、第 2 絶縁層 3 4 内に複数の第 2 コンタクトホールを形成し、複数の第 2 コンタクトホールを金属物質で埋め込むことによって、第 1 金属配線 N 2 1 , 第 2 金属配線 N 2 2 及び第 3 金属配線 N 2 3 を形成できる。

【 0 1 8 6 】

図 1 8 E を参照すれば、第 2 絶縁層 3 4 の上部に、第 3 絶縁層 3 5 を形成する。次に、第 3 絶縁層 3 5 内に第 3 コンタクトホールを形成し、第 3 コンタクトホールを金属物質で埋め込むことによって、ビアプラグ V を形成できる。ここで、ビアプラグ V は、図 8 E を参照して説明したビアプラグ V と実質的に同一に具現されるので、これに係わる詳細な説明は省略する。

【 0 1 8 7 】

図 1 8 F を参照すれば、第 3 絶縁層 3 5 の上部に、第 4 絶縁層 3 6 を形成する。次に、第 4 絶縁層 3 6 内に複数の第 4 コンタクトホールを形成し、複数の第 4 コンタクトホールを金属物質で埋め込むことによって、ビットライン B L 、接地電極ライン V s s 及びビットラインバー B L ' を形成できる。他の実施形態では、ビットライン B L 及びビットラインバー B L ' を接地電極ライン V s s と異なる層に形成できる。さらに他の実施形態では、ビットライン B L 、ビットラインバー B L ' 及び接地電極ライン V s s を、第 1 金属配線 N 2 1 , 第 2 金属配線 N 2 2 及び第 3 金属配線 N 2 3 の下層に形成することもできる。

【 0 1 8 8 】

図 1 8 G を参照すれば、第 4 絶縁層 3 6 の上部に、第 5 絶縁層 3 7 及びワードライン W L を順次に形成する。他の実施形態では、ワードライン W L は、ビットライン B L , ビットラインバー B L ' の下層に形成できる。さらに他の実施形態では、ワードライン W L は、第 1 金属配線 N 2 1 , 第 2 金属配線 N 2 2 及び第 3 金属配線 N 2 3 の下層に形成することもできる。

【 0 1 8 9 】

図 1 9 は、本発明のさらに他の実施形態による半導体メモリ装置を示すレイアウトである。

【 0 1 9 0 】

図 1 9 を参照すれば、半導体メモリ装置 4 は、第 1 P ウェル領域 P W 1 、並びに第 1 P ウェル領域 P W 1 の両脇に形成される第 1 N ウェル領域 N W 1 及び第 2 N ウェル領域 N W 2 ; 第 2 P ウェル領域 P W 2 、並びに第 2 P ウェル領域 P W 2 の両脇に形成される第 2 及び第 3 N ウェル領域 N W 2 , N W 3 ; を有する基板上に形成される 2 つの S R A M セルを含み、2 ビットで動作しうる。

【 0 1 9 1 】

第 1 P ウェル領域 P W 1 及び第 2 P ウェル領域 P W 2 は、例えば、イオン注入工程によって基板上に形成される P 型ウェルが配される領域であり、第 1 P ウェル領域 P W 1 及び第 2 P ウェル領域 P W 2 には、素子分離膜によって画定される第 1 活性領域 S C T 2 1 及び第 4 活性領域 A C T 2 4 がそれぞれ配される。本実施形態で、第 1 活性領域 S C T 2 1 及び第 4 活性領域 A C T 2 4 は、縦方向に長い形態を有するパーティップの単一活性領域でありうる。

【 0 1 9 2 】

このとき、第 1 活性領域 A C T 2 1 に、N + 型不純物をドーピングすることによって、N 型拡散領域が形成され、また、コンタクトプラグ C 7 1 , C 7 2 , C 7 3 が形成されうる。第 1 活性領域 A C T 2 1 には、2 つのブルダウン素子が一列に形成されうるが、本実施形態で、2 つのブルダウン素子は、第 1 N M O S トランジスタ P D 2 1 及び第 2 N M O

10

20

30

40

50

SトランジスタPD22でありうる。また、第4活性領域ACT24に、N+不純物をドーピングすることによって、N型拡散領域が形成され、また、コンタクトプラグC101、C102、C103が形成されうる。第4活性領域ACT24には、2つのブルダウン素子が一列に形成されうるが、本実施形態で、2つのブルダウン素子は、第3NMOSTランジスタPD23及び第4NMOSTランジスタPD24でありうる。

【0193】

第1Nウェル領域NW1は、例えば、イオン注入工程によって基板上に形成されるN型ウェルが配される領域であり、第1Nウェル領域NW1には、素子分離膜によって画定される第2活性領域ACT22が配される。本実施形態で、第2活性領域ACT22は、第1活性領域SCT21及び第4活性領域ACT24に平行した方向に伸張する形態を有する単一活性領域でありうる。

10

【0194】

このとき、第2活性領域ACT22に、P+型不純物をドーピングすることによって、P型拡散領域が形成され、また、コンタクトプラグC81、C82、C83が形成されうる。第2活性領域ACT22には、1つのブルアップ素子と、1つのアクセス素子とが形成されうるが、本実施形態で、ブルアップ素子は、第1PMOSTランジスタPU21であり、アクセス素子は、第3PMOSTランジスタPG21でありうる。

【0195】

第2Nウェル領域NW2は、例えば、イオン注入工程によって基板上に形成されるN型ウェルが配される領域であり、第2Nウェル領域NW2には、素子分離膜によって画定される第3活性領域ACT23及び第5活性領域ACT25が配される。本実施形態で、第3活性領域ACT23及び第5活性領域ACT25は、第1活性領域SCT21及び第4活性領域ACT24に平行した方向に伸張する形態を有する単一活性領域でありうる。

20

【0196】

このとき、第3活性領域ACT23に、P+型不純物をドーピングすることによって、P型拡散領域が形成され、また、複数のコンタクトプラグC91、C92、C93が形成されうる。第3活性領域ACT23には、1つのブルアップ素子と、1つのアクセス素子とが形成されうるが、本実施形態で、ブルアップ素子は、第2PMOSTランジスタPU22であり、アクセス素子は、第4PMOSTランジスタPG22でありうる。

【0197】

また、第5活性領域ACT25に、P+型不純物をドーピングすることによって、P型拡散領域が形成され、また、複数のコンタクトプラグC111、C112、C113が形成されうる。第5活性領域ACT25には、1つのブルアップ素子と、1つのアクセス素子とが形成されうるが、本実施形態で、ブルアップ素子は、第5PMOSTランジスタPU23であり、アクセス素子は、第7PMOSTランジスタPG23でありうる。

30

【0198】

第3Nウェル領域NM3は、例えば、イオン注入工程によって基板上に形成されるN型ウェルが配される領域であり、第3Nウェル領域NW3には、素子分離膜によって画定される第6活性領域ACT26が配される。本実施形態で、第6活性領域ACT26は、第1活性領域SCT21及び第4活性領域ACT24に平行した方向に伸張する形態を有する単一活性領域でありうる。

40

【0199】

このとき、第6活性領域ACT26に、P+型不純物をドーピングすることによって、P型拡散領域が形成され、また、複数のコンタクトプラグC121、C122、C123が形成されうる。第6活性領域ACT26には、1つのブルアップ素子と、1つのアクセス素子とが形成されうるが、本実施形態で、ブルアップ素子は、第6PMOSTランジスタPU24であり、アクセス素子は、第8PMOSTランジスタPG24でありうる。

【0200】

本実施形態によれば、隣接したPウェル領域とNウェル領域との幅が実質的にほぼ同じであり、具体的には、第1Pウェル領域PW1、第2Nウェル領域NW2及び第2Pウェ

50

ル領域 P W 2 の幅は実質的にほぼ同じである。これにより、半導体メモリ装置 3 の製造工程において、ウェル領域を形成するためのパターニング工程がさらに容易に遂行されうる。

#### 【0201】

また、本実施形態によれば、第 1 活性領域 A C T 2 1 及び第 3 活性領域 A C T 2 3、並びに第 5 活性層 A C T 2 5 及び第 4 活性領域 A C T 2 4 は、互いに対称的な構造を有することができる。これにより、半導体メモリ装置 3 の製造工程において、活性領域を形成するためのフォトリソ工程がさらに容易に遂行されうる。

#### 【0202】

第 1 活性領域 A C T 2 1、第 6 活性領域 A C T 2 1、A C T 2 2、A C T 2 3、A C T 2 4、A C T 2 5、A C T 2 6 が配された基板の上部には、第 1 ゲート電極 G E 2 1、G E 2 2、G E 2 3、G E 2 4、G E 2 5、G E 2 6、G E 2 7 が形成される。具体的には、第 1 ゲート電極 G E 2 1 は、第 2 活性領域 A C T 2 2 を横切る方向に形成され、第 2 ゲート電極 G E 2 2 は、第 1 活性領域 A C T 2 1 及び第 2 活性領域 A C T 2 2 を横切る方向に形成され、第 3 ゲート電極 G E 2 3 は、第 1 活性領域 A C T 2 1 及び第 3 活性領域 A C T 2 3 を横切る方向に形成され、第 4 ゲート電極 G E 2 4 は、第 3 活性領域 A C T 2 3 及び第 5 活性領域 A C T 2 5 を横切る方向に形成される。また、第 5 ゲート電極 G E 2 5 は、第 4 活性領域 A C T 2 4 及び第 5 活性領域 A C T 2 5 を横切る方向に形成され、第 6 ゲート電極 G E 2 6 は、第 4 活性領域 A C T 2 4 及び第 6 活性領域 A C T 2 6 を横切る方向に形成され、第 7 ゲート電極 G E 2 7 は、第 6 活性領域 A C T 2 6 を横切る方向に形成される。このとき、第 1 ゲート電極 G E 2 1、第 4 ゲート電極 G E 2 4 及び第 7 ゲート電極 G E 2 7 の上部には、それぞれワードライン・コンタクトプラグ C 8 4、C 9 4、C 1 2 4 が形成され、第 2 ゲート電極 G E 2 2、第 3 ゲート電極 G E 2 3、第 5 ゲート電極 G E 2 5 及び第 6 ゲート電極 G E 2 6 の上部には、それぞれ配線コンタクトプラグ C 7 5、C 7 4、C 1 0 5、C 1 0 4 が形成される。

10

20

#### 【0203】

第 1 ゲート電極 G E 2 1、第 7 ゲート電極 G E 2 1、G E 2 2、G E 2 3、G E 2 4、G E 2 5、G E 2 6、G E 2 7 が形成された基板の上部には、第 1 金属配線 N 2 1、N 2 2、N 2 3、N 2 4 が形成される。このとき、第 1 金属配線 N 2 1 は、第 1 活性領域 A C T 2 1 に形成されたコンタクトプラグ C 7 3、第 2 活性領域 A C T 2 2 に形成されたコンタクトプラグ C 8 2 及び第 3 ゲート電極 G E 2 3 に形成された配線コンタクトプラグ C 7 4 を連結させる。また、第 2 金属配線 N 2 2 は、第 1 活性領域 A C T 2 1 に形成されたコンタクトプラグ C 7 1、第 3 活性領域 A C T 2 3 に形成されたコンタクトプラグ C 9 2 及び第 2 ゲート電極 G E 2 2 に形成された配線コンタクトプラグ C 7 5 を連結させる。また、第 3 金属配線 N 2 3 は、第 4 活性領域 A C T 2 4 に形成されたコンタクトプラグ C 1 0 1、第 5 活性領域 A C T 2 5 に形成されたコンタクトプラグ C 1 1 2、及び第 6 ゲート電極 G E 2 6 に形成された配線コンタクトプラグ C 1 0 4 を連結させる。また、第 4 金属配線 N 2 4 は、第 4 活性領域 A C T 2 4 に形成されたコンタクトプラグ C 1 0 3、第 6 活性領域 A C T 2 6 に形成されたコンタクトプラグ C 1 2 2 及び第 5 ゲート電極 G E 2 5 に形成された配線コンタクトプラグ C 1 0 5 を連結させる。

30

40

#### 【0204】

本実施形態によれば、半導体メモリ装置 4 で、第 1 P M O S トランジスタ P U 2 1、第 1 N M O S トランジスタ P D 2 1、第 4 P M O S トランジスタ P G 2 2、第 7 P M O S トランジスタ P G 2 3、第 4 N M O S トランジスタ P D 2 4 及び第 6 P M O S トランジスタ P U 2 4 を横方向に一行に配し、第 3 P M O S トランジスタ P G 2 1、第 2 N M O S トランジスタ P D 2 2、第 2 P M O S トランジスタ P U 2 2、第 5 P M O S トランジスタ P U 2 3、第 3 N M O S トランジスタ P D 2 3 及び第 8 P M O S トランジスタ P G 2 4 を横方向に一行に配しうる。

#### 【0205】

また、半導体メモリ装置 4 で、第 1 P M O S トランジスタ P U 2 1 及び第 3 P M O S ト

50

ランジスタPG21を、第1Nウェル領域NW1に縦方向に一行に配し、第1NMOSTランジスタPD21及び第2NMOSTランジスタPD22を、第1Pウェル領域PW1に縦方向に一行に配し、第4PMOSTランジスタPG22及び第2PMOSTランジスタPU22を、第2Nウェル領域NW2に縦方向に一行に配し、第7PMOSTPG23及び第5PMOSTランジスタPU23を、第2Nウェル領域NW2に縦方向に一行に配し、第4NMOSTランジスタPD24及び第3NMOSTランジスタPD23を、第2Pウェル領域PW2に縦方向に一行に配し、第6PMOSTランジスタPU24及び第8PMOSTランジスタPG24を第3Nウェル領域NM3に縦方向に一行に配しうる。

【0206】

図20は、図19の半導体メモリ装置の等価回路を示す回路図である。

10

【0207】

図20を参照すれば、半導体メモリ装置4は、第1Nウェル領域NW1に配される第1PMOSTランジスタPU21、第3PMOSTランジスタPG21；第1Pウェル領域PW1に配される第1NMOSTランジスタPD21、第2NMOSTランジスタPD22；第2Nウェル領域NW2に配される第2PMOSTランジスタPU22、第4PMOSTランジスタPG22、第5PMOSTランジスタPU23及び第7PMOSTランジスタPG23；第2Pウェル領域PW2に配される第3NMOSTランジスタPD23、第4NMOSTランジスタPD24；第3Nウェル領域NW3に配される第6PMOSTランジスタPU24、第8PMOSTランジスタPG24；を含む。

【0208】

20

このとき、第1NMOSTランジスタPD21及び第1PMOSTランジスタPU21は、第1インバータを構成し、第2NMOSTランジスタPD22及び第2PMOSTランジスタPU22は、第2インバータを構成し、第3NMOSTランジスタPD23及び第5PMOSTランジスタPU23は、第3インバータを構成し、第4NMOSTランジスタPD24及び第6PMOSTランジスタPU24は、第4インバータを構成する。

【0209】

第3PMOSTランジスタPG21は、ワードラインWLに印加される電圧によってオン/オフになり、ビットラインBL1を第1ノードN21に連結させることができる。ここで、第1ノードN21は、図19に図示された第1金属配線N21に対応する。具体的には、ワードラインWLに印加される電圧が、論理「0」であるとき、第3PMOSTランジスタPG21はターンオンされ、ビットラインBL1を、第1ノードN21に連結させることができる。第1ノードN21は、第2インバータの入力端子、すなわち、第2NMOSTランジスタPD22のゲートと、第2PMOSTランジスタPU22のゲートとに連結され、また、第1インバータの出力端子、すなわち、第1NMOSTランジスタPD21のドレインと、第1PMOSTランジスタPU21のドレインとに連結される。

30

【0210】

第4PMOSTランジスタPG22は、ワードラインWLに印加される電圧によって、オン/オフになり、ビットラインバーBL1'を第2ノードN22に連結させることができる。ここで、第2ノードN22は、図19に図示された第2金属配線N22に対応する。具体的には、ワードラインWLに印加される電圧が、論理「0」であるとき、第4PMOSTランジスタPG22はターンオンされ、ビットラインバーBL1'を第2ノードN22に連結させることができる。第2ノードN22は、第1インバータの入力端子、すなわち、第1NMOSTランジスタPD21のゲートと、第1PMOSTランジスタPU21のゲートとに連結され、また、第2インバータの出力端子、すなわち、第2NMOSTランジスタPD22のドレインと、第2PMOSTランジスタPU22のドレインとに連結される。

40

【0211】

第7PMOSTランジスタPG23は、ワードラインWLに印加される電圧によってオン/オフになり、ビットラインバーBL2'を第3ノードN23に連結させることができる。ここで、第3ノードN23は、図19に図示された第3金属配線N23に対応する。

50



具体的には、ワードラインWLに印加される電圧が、論理「0」であるとき、第7PMOSトランジスタPG23はターンオンされ、ビットラインバーBL2'を第3ノードN23に連結させることができる。第3ノードN23は、第4インバータの入力端子、すなわち、第4NMOSトランジスタPD24のゲートと、第6PMOSトランジスタPU24のゲートとに連結され、また、第3インバータの出力端子、すなわち、第3NMOSトランジスタPM23のドレインと、第5PMOSトランジスタPU23のドレインとに連結される。

【0212】

第8PMOSトランジスタPG24は、ワードラインWLに印加される電圧によってオン/オフになり、ビットラインBL2を第4ノードN24に連結させることができる。ここで、第4ノードN24は、図19に図示された第4金属配線N24に対応する。具体的には、ワードラインWLに印加される電圧が、論理「0」であるとき、第8PMOSトランジスタPG24はターンオンされ、ビットラインBL2を第4ノードN24に連結させることができる。第4ノードN24は、第3インバータの入力端子、すなわち、第3NMOSトランジスタPD23のゲートと、第5PMOSトランジスタPU23のゲートとに連結され、また、第4インバータの出力端子、すなわち、第4NMOSトランジスタPD24のドレインと、第6PMOSトランジスタPU24のドレインとに連結される。

【0213】

図21は、本発明の一実施形態による半導体メモリ装置の製造方法を示すフローチャートである。

【0214】

図21の半導体メモリ装置の製造方法は、図1ないし図10に図示された半導体メモリ装置を製造する過程を示している。従って、図1ないし図10で説明した内容は、本実施形態にも適用されうる。

【0215】

図22は、本発明の他の実施形態による半導体メモリ装置の製造方法を示すフローチャートである。

【0216】

S110段階で、第1導電型を有する第1ウェル領域と、第1ウェル領域の両脇に形成されて第2導電型を有する第2ウェル領域及び第3ウェル領域と、を有する基板を提供する。

【0217】

S120段階で、第1ウェル領域上に定義された第1活性領域に、第1ブルアップ素子及び第2ブルアップ素子を一列に形成する。

【0218】

S130段階で、第2ウェル領域上に定義された第2活性領域に、第1ブルアップ素子と隣接した第1ブルダウン素子と、第2ブルアップ素子と隣接した第1アクセス素子と、を形成する。

【0219】

S140段階で、第3ウェル領域上に定義された第3活性領域に、第2ブルアップ素子と隣接した第2ブルダウン素子と、第1ブルアップ素子と隣接した第2アクセス素子と、を形成する。

【0220】

本実施形態で、第1ブルアップ素子及び第2ブルアップ素子は、第1方向に沿って一列に形成され、第1ブルアップ素子は、第1方向と垂直である第2方向に沿って、第1ブルダウン素子及び第2アクセス素子と隣接するように配され、第2ブルアップ素子は、第2方向に沿って、第2ブルダウン素子及び第1アクセス素子と隣接するように配されうる。

【0221】

また、前記製造方法は、第1活性領域、第2活性領域及び第3活性領域のうち少なくとも1つの領域の上部を横切る方向に基板の上部に形成される複数の導電性パターンを形成

10

20

30

40

50

する段階をさらに含むことができる。このとき、第 1 ブルアップ素子と第 1 ブルダウン素子は、複数の導電性パターンのうち一つに共通して連結されて第 1 インバータを構成し、第 2 ブルアップ素子と第 2 ブルダウン素子は、複数の導電性パターンのうち他の一つに共通して連結されて第 2 インバータを構成できる。

【0222】

また、前記製造方法は、第 1 アクセス素子の一端を、第 2 インバータの入力端子及び第 1 インバータの出力端子に連結させる第 1 金属配線；第 2 アクセス素子の一端を第 1 インバータの入力端子及び第 2 インバータの出力端子に連結させる第 2 金属配線；を形成する段階をさらに含むことができる。一実施形態で、第 1 金属配線及び第 2 金属配線は、同一層に形成されうる。他の実施形態で、第 1 金属配線及び第 2 金属配線は、互いに異なる層に形成される場合もある。

10

【0223】

ここで、第 1 金属配線及び第 2 金属配線を形成する段階は、基板の上部に第 1 絶縁膜を形成する段階、第 1 絶縁膜の一部領域をエッチングして複数の第 1 コンタクトホールを形成し、複数の第 1 コンタクトホールに金属物質を充填して複数のコンタクトプラグを形成する段階、複数のコンタクトプラグが形成された第 1 絶縁膜上に第 2 絶縁膜を形成する段階、及び第 2 絶縁膜の一部領域をエッチングして複数の第 2 コンタクトホールを形成し、複数の第 2 コンタクトホールに金属物質を充填し、前記第 1 金属配線及び第 2 金属配線を形成する段階を含むことができる。第 1 金属配線及び第 2 金属配線は、複数のコンタクトプラグを介して、第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域のうち少なくとも一つに連結されうる。

20

【0224】

また、前記製造方法は、第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域のうち少なくとも一つに、シリサイド層を形成する段階をさらに含むことができ、複数のコンタクトプラグは、シリサイド層に連結されうる。

【0225】

また、前記製造方法は、第 1 方向に伸張するように、基板の上部に 1 対のビットラインを形成する段階をさらに含むことができ、1 対のビットラインのうち第 1 ビットラインは、第 1 アクセス素子の一端に連結され、1 対のビットラインのうち第 2 ビットラインは、第 2 アクセス素子の他端に連結されうる。

30

【0226】

また、前記製造方法は、第 1 方向に伸張するように、基板の上部に電源電極ラインを形成する段階をさらに含むことができ、電源電極ラインは、第 1 ブルアップ素子と第 2 ブルアップ素子との間に形成されたコンタクトプラグを介して、第 1 ブルアップ素子及び第 2 ブルアップ素子に連結されうる。

【0227】

また、前記製造方法は、第 2 方向に伸張するように、基板の上部にワードラインを形成する段階をさらに含むことができる。

【0228】

図 22 の半導体メモリ装置の製造方法は、図 11 ないし図 20 に図示された半導体メモリ装置を製造する過程を示している。従って、図 11 ないし図 20 で説明した内容は、本実施形態にも適用されうる。

40

【0229】

S210 段階で、第 1 導電型を有する第 1 ウェル領域と、第 1 ウェル領域の両脇に形成されて第 2 導電型を有する第 2 ウェル領域及び第 3 ウェル領域と、を有する基板を提供する。

【0230】

S220 段階で、第 1 ウェル領域上に定義された第 1 活性領域に、第 1 ブルダウン素子及び第 2 ブルダウン素子を一列に形成する。

【0231】

50

S 2 3 0 段階で、第 2 ウェル領域上に定義された第 2 活性領域に、第 1 ブルダウン素子と隣接した第 1 ブルアップ素子と、第 2 ブルダウン素子と隣接した第 1 アクセス素子と、を形成する。

【 0 2 3 2 】

S 2 4 0 段階で、第 3 ウェル領域上に定義された第 3 活性領域に、第 2 ブルダウン素子と隣接した第 2 ブルアップ素子と、第 1 ブルダウン素子と隣接した第 2 アクセス素子と、を形成する。

【 0 2 3 3 】

本実施形態で、第 1 ブルダウン素子及び第 2 ブルダウン素子は、第 1 方向に沿って一列に形成され、第 1 ブルダウン素子は、第 1 方向と垂直である第 2 方向に沿って、第 1 ブルアップ素子及び第 2 アクセス素子と隣接するように配され、第 2 ブルダウン素子は、第 2 方向に沿って、第 2 ブルアップ素子及び第 1 アクセス素子と隣接するように配されう。

【 0 2 3 4 】

また、前記製造方法は、第 1 活性領域、第 2 活性領域及び第 3 活性領域のうち少なくとも 1 つの領域の上部を横切る方向に基板の上部に形成される複数の導電性パターンを形成する段階をさらに含み、第 1 ブルダウン素子と第 1 ブルアップ素子は、複数の導電性パターンのうち一つに共通して連結されて第 1 インバータを構成し、第 2 ブルダウン素子と第 2 ブルアップ素子は、複数の導電性パターンのうち他の一つに共通して連結されて第 2 インバータを構成できる。

【 0 2 3 5 】

また、前記製造方法は、第 1 アクセス素子の一端を、第 2 インバータの入力端子及び第 1 インバータの出力端子に連結させる第 1 金属配線と、第 2 アクセス素子の一端を第 1 インバータの入力端子及び第 2 インバータの出力端子に連結させる第 2 金属配線と、を形成する段階をさらに含むことができる。一実施形態で、第 1 金属配線及び第 2 金属配線は、同一層に形成されう。他の実施形態で、第 1 金属配線及び第 2 金属配線は、互いに異なる層に形成される場合もある。

【 0 2 3 6 】

ここで、第 1 金属配線及び第 2 金属配線を形成する段階は、基板の上部に第 1 絶縁膜を形成する段階、第 1 絶縁膜の一部領域をエッチングして複数の第 1 コンタクトホールを形成し、複数の第 1 コンタクトホールに金属物質を充填して複数のコンタクトプラグを形成する段階、複数のコンタクトプラグが形成された第 1 絶縁膜上に第 2 絶縁膜を形成する段階、及び第 2 絶縁膜の一部領域をエッチングして複数の第 2 コンタクトホールを形成し、複数の第 2 コンタクトホールに金属物質を充填し、前記第 1 金属配線及び第 2 金属配線を形成する段階を含むことができる。第 1 金属配線及び第 2 金属配線は、複数のコンタクトプラグを介して、第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域のうち少なくとも一つに連結されう。

【 0 2 3 7 】

また、前記製造方法は、第 1 ウェル領域、第 2 ウェル領域及び第 3 ウェル領域のうち少なくとも一つにシリサイド層を形成する段階をさらに含むことができ、複数のコンタクトプラグは、シリサイド層に連結されう。

【 0 2 3 8 】

また、前記製造方法は、第 1 方向に伸張するように、基板の上部に 1 対のビットラインを形成する段階をさらに含むことができ、1 対のビットラインのうち第 1 ビットラインは、第 1 アクセス素子の一端に連結され、1 対のビットラインのうち第 2 ビットラインは、第 2 アクセス素子の他端に連結されう。

【 0 2 3 9 】

また、前記製造方法は、第 1 方向に伸張するように、基板の上部に接地電極ラインを形成する段階をさらに含むことができ、接地電極ラインは、第 1 ブルダウン素子と第 2 ブルダウン素子との間に形成されたコンタクトプラグを介して、第 1 ブルダウン素子及び第 2 ブルダウン素子に連結されう。

10

20

30

40

50

## 【 0 2 4 0 】

また、前記製造方法は、第 2 方向に伸張するように、基板の上部にワードラインを形成する段階をさらに含むことができる。

## 【 0 2 4 1 】

図 2 3 は、本発明の一実施形態による電子システムの構成を概略的に示すブロック図である。

## 【 0 2 4 2 】

図 2 3 を参照すれば、電子システム 5 は、プロセッサ 5 1、メモリ部 5 2 及び入出力装置 5 3 を含むことができ、それらはバス (bus) 5 4 を利用して互いにデータ通信を行うことができる。プロセッサ 5 1 は、プログラムを実行してシステム 5 を制御する役割を行うことができる。入出力装置 5 3 は、システム 5 のデータを入力または出力するのに利用されうる。システム 5 は、入出力装置 5 3 を利用して、外部装置、例えば、パソコンまたはネットワークに連結され、外部装置と互いにデータを交換できる。メモリ部 5 2 は、プロセッサ 5 1 の動作のためのコード及びデータを保存することができる。ここで、プロセッサ 5 1 は、キャッシュメモリ、レジスタ (register)、ラッチのような記憶装置 5 1 1 を含むことができるが、記憶装置 5 1 1 は、図 1 ないし図 2 0 の半導体メモリ装置を含むことができる。

## 【 0 2 4 3 】

また、本発明の実施形態による半導体メモリ装置は、複数の半導体チップを含む半導体モジュールの形態で具現されることも可能である。また、本発明の実施形態による半導体メモリ装置は、SRAM のようなメモリ素子が内蔵されている埋め込みメモリロジック (embedded memory logic)、CMOS (complementary metal-oxide semiconductor) イメージセンサなどの多様な素子に適用され、それら素子で、それぞれセルアレイ領域、コア領域、周辺回路領域、ロジック領域、入出力領域などの多様な領域に適用されうる。

## 【 0 2 4 4 】

以上で説明した本発明が、前述の実施形態及び添付された図面に限定されるものではなく、本発明の技術的思想を逸脱しない範囲内でさまざまな置換、変形及び変更が可能であるということは、本発明が属する技術分野における当業者には明白なことである。

## 【 符号の説明 】

## 【 0 2 4 5 】

1, 2, 3, 4 半導体メモリ装置

5 電子システム

10, 30 基板

11, 31 素子分離膜

12, 32 シリサイド層

13, 33 第 1 絶縁層

14, 34 第 2 絶縁層

15, 35 第 3 絶縁層

16, 36 第 4 絶縁層

17, 37 第 5 絶縁層

51 プロセッサ

52 メモリ

53 入出力装置

111, 112, 113, 311, 312, 313 ソース領域及びドレイン領域

131, 331 ゲート絶縁膜

132, 332 キャッピング膜

133, 333 スペース

511 記憶装置

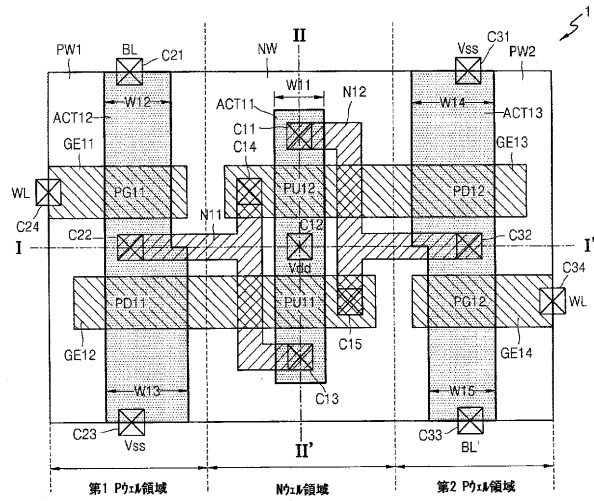
10

20

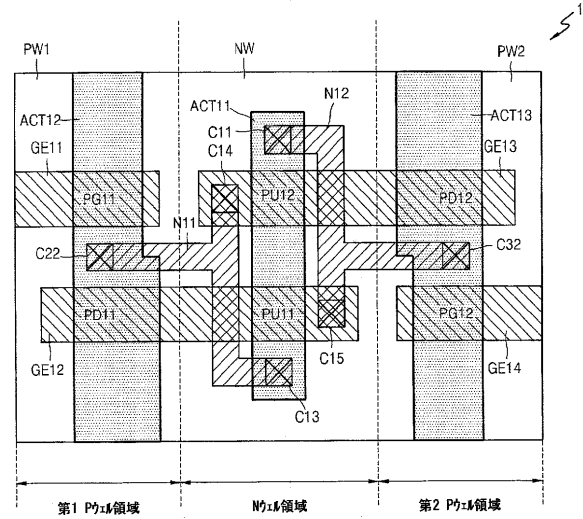
30

40

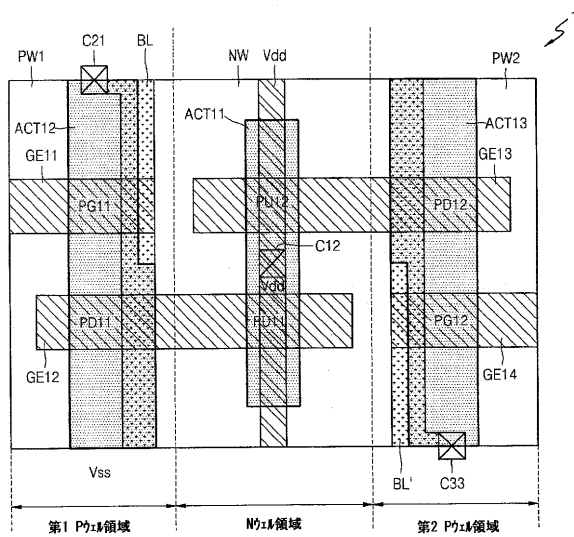
【図 1】



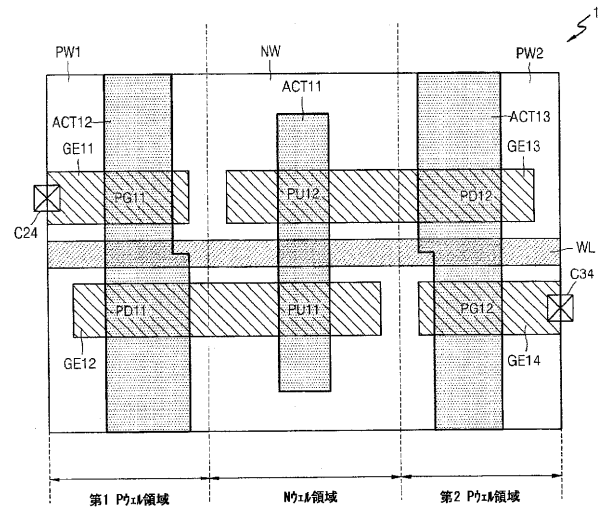
【図 2】



【図 3】



【図 4】



【 図 6 】

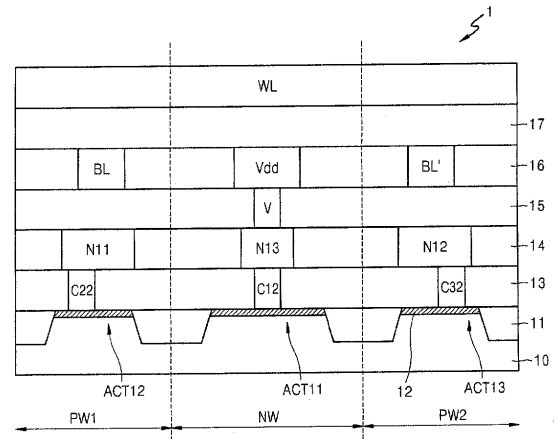
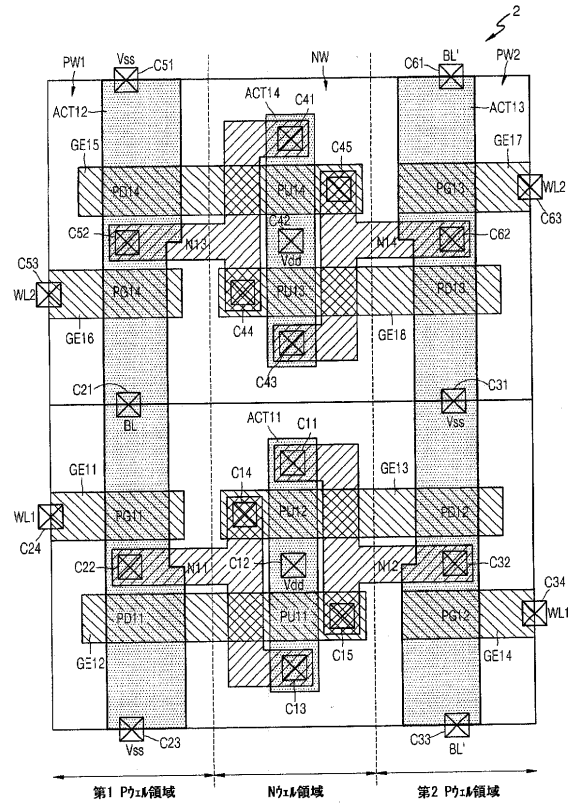
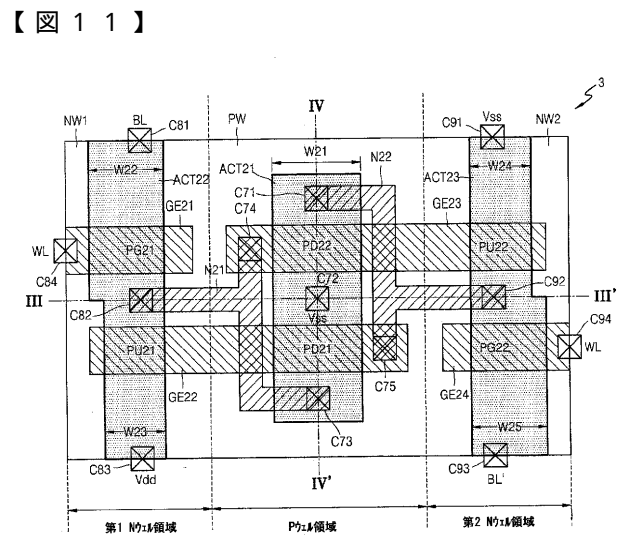


Figure 1 is a schematic diagram of the proposed structure. It shows a cross-section of a device. The substrate is labeled 10, and the top layer is labeled 11. The top layer has three trapezoidal features labeled ACT12, ACT11, and ACT13. Below the substrate, there are three regions labeled PW1, NW, and PW2, separated by vertical dashed lines.

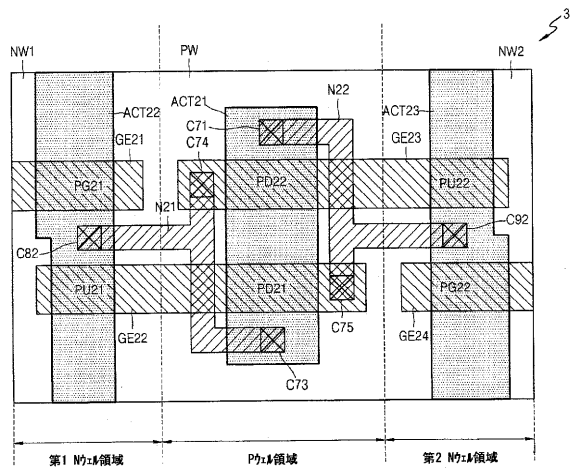
【 図 9 】



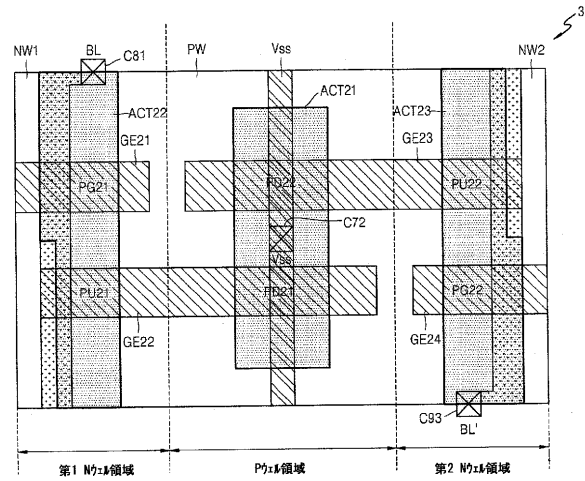
【 図 1 1 】



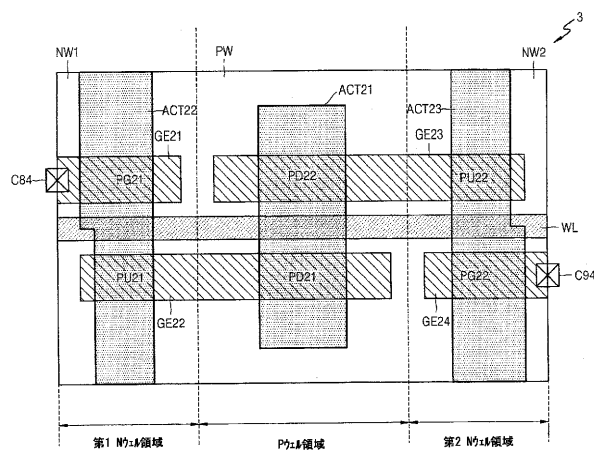
【図 12】



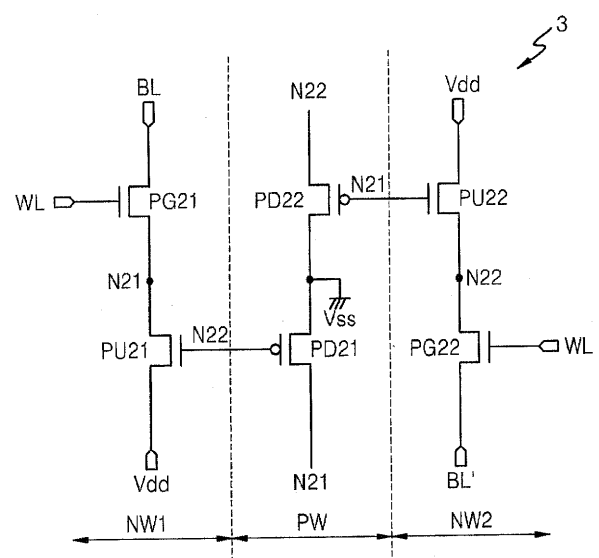
【図 13】



【図 14】

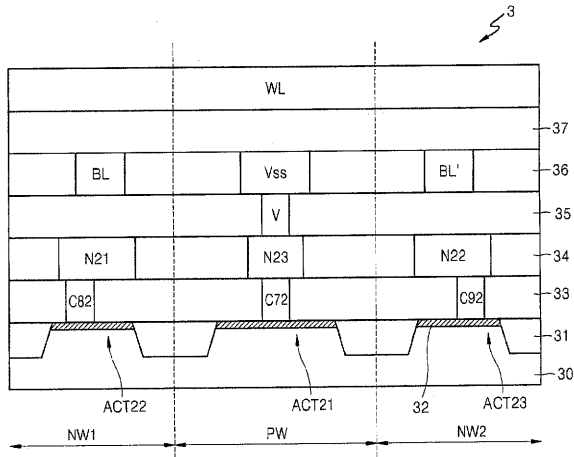


【図 15】

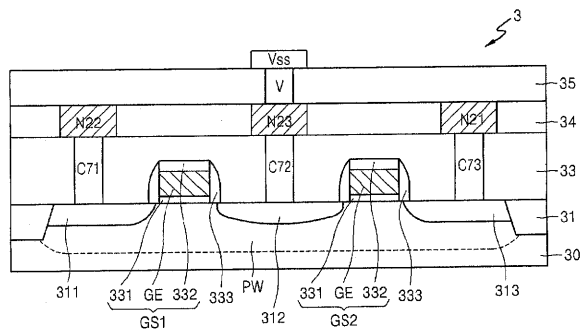




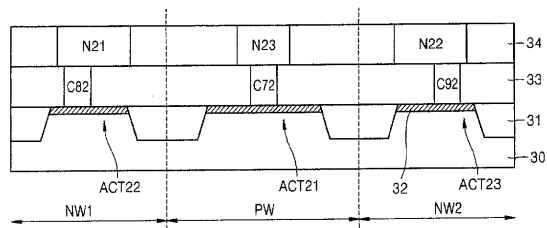
【図 16】



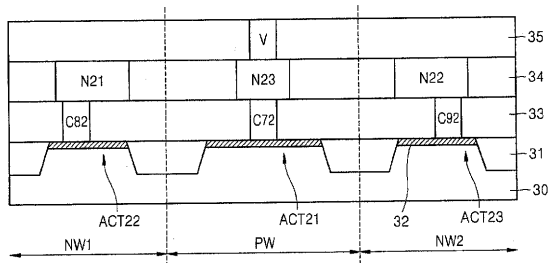
【図 17】



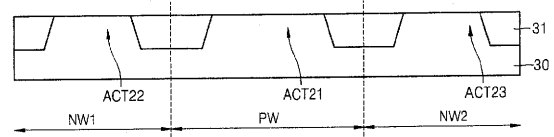
【図 18 D】



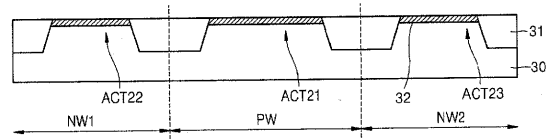
【図 18 E】



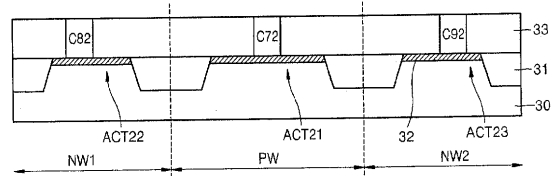
【図 18 A】



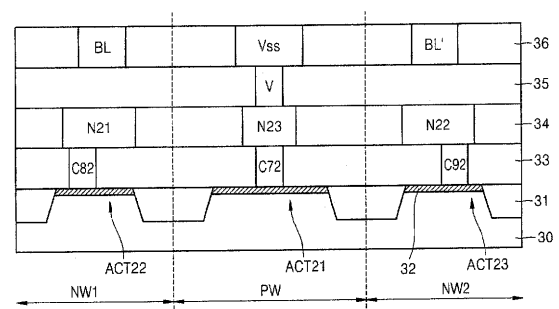
【図 18 B】



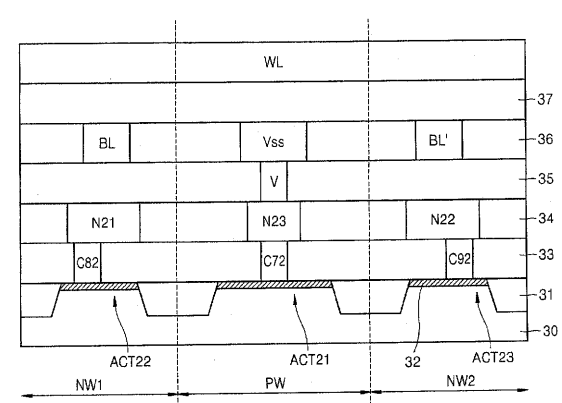
【図 18 C】



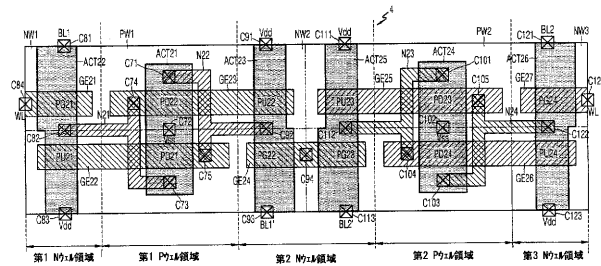
【図 18 F】



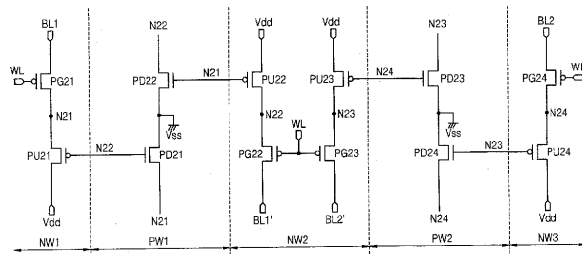
【図 18 G】



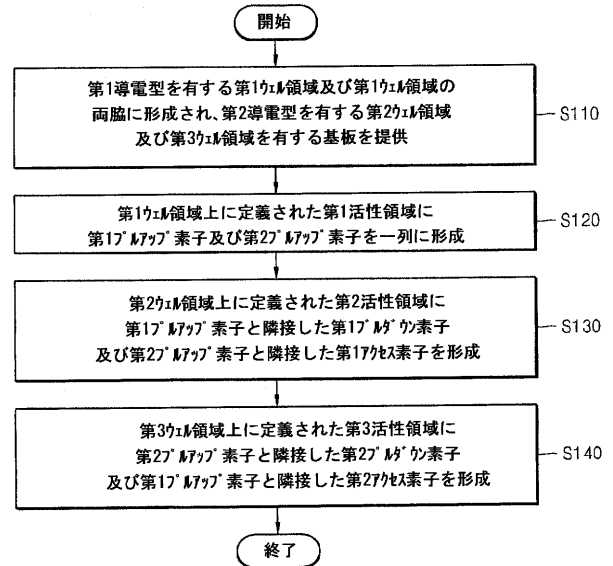
【図19】



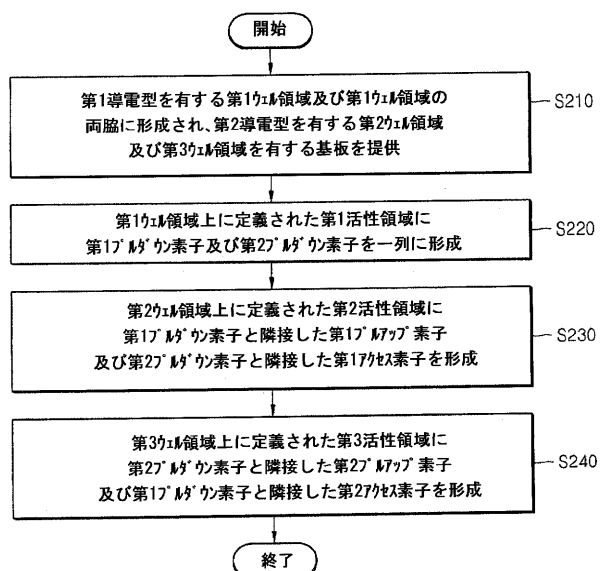
【図20】



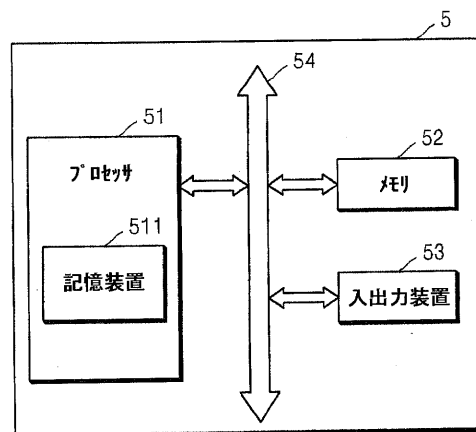
【図21】



【図22】



【図23】



---

フロントページの続き

(72)発明者 林 善美

大韓民国京畿道龍仁市器興區書川洞(番地なし) 書川アイ - パークアパート 1 0 1 棟 2 0 3 號

(72)発明者 朴 漢秉

大韓民国京畿道龍仁市器興區靈 德 洞(番地なし) 大明レイクヴィルアパート 1 0 3 棟 1 6 0 1 號

(72)発明者 金 容 シク

大韓民国京畿道龍仁市器興區書川洞 7 0 8 番地 書川現代アイ - パークアパート 1 0 3 棟 1 5 0 2 號

(72)発明者 洪 熙範

大韓民国ソウル特別市冠岳區新林洞 1 0 - 1 9 1

F ターム(参考) 5F083 BS27 BS48 GA09 HA02 HA06 JA02 JA05 JA06 JA35 JA36  
JA37 JA38 JA39 JA40 JA53 JA56 LA01 LA02 MA06 MA16  
MA19 NA01 ZA12