

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6806548号
(P6806548)

(45) 発行日 令和3年1月6日 (2021. 1. 6)

(24) 登録日 令和2年12月8日 (2020. 12. 8)

(51) Int. Cl.

F I

HO 2 M 3/28 (2006. 01)

HO 2 M 3/28 H

HO 2 M 3/28 C

請求項の数 11 (全 23 頁)

(21) 出願番号	特願2016-235245 (P2016-235245)	(73) 特許権者	000116024
(22) 出願日	平成28年12月2日 (2016. 12. 2)		ローム株式会社
(65) 公開番号	特開2018-50442 (P2018-50442A)		京都府京都市右京区西院溝崎町 2 1 番地
(43) 公開日	平成30年3月29日 (2018. 3. 29)	(74) 代理人	110001933
審査請求日	令和1年11月19日 (2019. 11. 19)		特許業務法人 佐野特許事務所
(31) 優先権主張番号	特願2016-181323 (P2016-181323)	(72) 発明者	原 英夫
(32) 優先日	平成28年9月16日 (2016. 9. 16)		京都市右京区西院溝崎町 2 1 番地
(33) 優先権主張国・地域又は機関	日本国 (JP)		ローム株式会社内
		(72) 発明者	赤松 陽平
			京都市右京区西院溝崎町 2 1 番地
			ローム株式会社内
		審査官	柳下 勝幸

最終頁に続く

(54) 【発明の名称】 電源制御装置、および絶縁型スイッチング電源装置

(57) 【特許請求の範囲】

【請求項 1】

1 次巻線と 2 次巻線とを含むトランスと、スイッチング素子と、を有し、
前記 1 次巻線の一端に入力電圧の印加端が接続され、前記 1 次巻線の他端に前記スイッチング素子が接続されるフライバック方式の絶縁型スイッチング電源装置に用いられる電源制御装置であって、
フライバック電圧を帰還した帰還信号に基づいて前記スイッチング素子をオンとするオントリガー信号を生成するオントリガー信号生成部と、
所定の最小オフ時間を計測する第 1 タイマーと、
オン時間に基づく時間を計測する第 2 タイマーと、
前記第 1 タイマーにより計測される前記所定の最小オフ時間と、前記第 2 タイマーにより計測される時間とを比較して長い方を最小オフ時間と設定する最小オフ時間設定部と、
前記設定された最小オフ時間と前記オントリガー信号とに基づいて前記スイッチング素子をオンとするタイミングを決定するオンタイミング決定部と、
を備えることを特徴とする電源制御装置。

【請求項 2】

前記第 2 タイマーは、前記オン時間の所定割合の時間を計測することを特徴とする請求項 1 に記載の電源制御装置。

【請求項 3】

前記所定割合は、20%～80%であることを特徴とする請求項 2 に記載の電源制御装

置。

【請求項 4】

前記所定割合は、50%であることを特徴とする請求項 3 に記載の電源制御装置。

【請求項 5】

前記スイッチング素子の PWM 駆動に対応する PWM 信号に基づいてデューティ情報を取得するデューティ情報取得部と、

前記取得されたデューティ情報に基づいてオン時間を計測する第 3 タイマーと、

前記第 3 タイマーにより計測された前記オン時間に基づいて前記スイッチング素子をオフとするタイミングを決定するオフタイミング決定部と、をさらに備え、

前記第 2 タイマーは、前記デューティ情報に基づいて時間を計測することを特徴とする請求項 1 ~ 請求項 4 のいずれか 1 項に記載の電源制御装置。

10

【請求項 6】

前記デューティ情報取得部は、前記 PWM 信号が入力されるローパスフィルタであり、前記ローパスフィルタの出力電圧として前記デューティ情報が取得される、ことを特徴とする請求項 5 に記載の電源制御装置。

【請求項 7】

前記第 2 タイマーおよび前記第 3 タイマーはそれぞれ、コンデンサと、前記コンデンサに電荷を充電する定電流回路と、前記コンデンサの電圧と基準電圧とが入力されるコンパレータと、を有し、

前記ローパスフィルタの出力電圧は、前記第 3 タイマーの前記基準電圧となり、

前記ローパスフィルタの出力電圧の所定割合の電圧は、前記第 2 タイマーの前記基準電圧となる、ことを特徴とする請求項 6 に記載の電源制御装置。

20

【請求項 8】

前記最小オフ時間設定部は、AND 回路であることを特徴とする請求項 1 ~ 請求項 7 のいずれか 1 項に記載の電源制御装置。

【請求項 9】

前記オンタイミング決定部は、AND 回路であることを特徴とする請求項 1 ~ 請求項 8 のいずれか 1 項に記載の電源制御装置。

【請求項 10】

1 次巻線と 2 次巻線とを含むトランスと、スイッチング素子と、を有し、

前記 1 次巻線の一端に入力電圧の印加端が接続され、前記 1 次巻線の他端に前記スイッチング素子が接続されるフライバック方式の絶縁型スイッチング電源装置に用いられる電源制御装置であって、

前記スイッチング素子のスイッチングにおけるデューティに基づいてオン時間を設定するオン時間設定部と、

フライバック電圧を帰還した帰還信号に基づいて前記スイッチング素子をオンとするオントリガー信号を生成するオントリガー信号生成部と、

所定の最小オフ時間を計測する第 1 タイマーと、

前記オン時間設定部により設定されるオン時間に基づく時間を計測する第 2 タイマーと

30

40

、前記第 1 タイマーにより計測される前記所定の最小オフ時間と、前記第 2 タイマーにより計測される時間とを比較して長い方を最小オフ時間と設定する最小オフ時間設定部と、

前記設定された最小オフ時間と前記オントリガー信号とに基づいて前記スイッチング素子をオンとするタイミングを決定するオンタイミング決定部と、

を備えることを特徴とする電源制御装置。

【請求項 11】

請求項 1 ~ 請求項 10 のいずれか 1 項に記載の電源制御装置と、スイッチング素子と、トランスと、を有することを特徴とする絶縁型スイッチング電源装置。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、電源制御装置に関する。

【 背景技術 】

【 0 0 0 2 】

従来、入力される直流電圧を所望の直流電圧に変換するフライバック方式の絶縁型スイッチング電源装置が種々開発されている。この絶縁型スイッチング電源装置では、トランスの 1 次巻線に直列に接続されたスイッチング素子をスイッチング駆動することにより、トランスの 2 次側において出力電圧を得る。スイッチング素子をオンとしたときにトランスに励磁エネルギーが充電され、スイッチング素子をオフとすると励磁エネルギーがトランスの 2 次側に配されたダイオードおよび平滑コンデンサを介して放電される。絶縁型スイッチング電源装置の一例は、例えば特許文献 1 に開示される。

10

【 0 0 0 3 】

また、スイッチング電源装置の制御方式としては、従来より、線形制御方式（例えば、電圧モード制御方式、電流モード制御方式）、または非線形制御方式（例えば、オン時間固定方式、オフ時間固定方式、ヒステリシス・ウィンドウ方式）が採用されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 1 2 - 1 2 5 0 8 4 号 公 報

【 発明の概要 】

20

【 発明が解決しようとする課題 】

【 0 0 0 5 】

ここで、上述のようなフライバック方式の絶縁型スイッチング電源装置には、スイッチング素子をオフとするオフ時間が短くなり過ぎないように、所定の最小オフ時間を設定して、オフ時間が最小オフ時間より短くならないよう制限するものがある。

【 0 0 0 6 】

上記の場合、急激に出力電圧が低下する過渡応答時には、出力電圧を上昇すべくオフ時間が最小オフ時間とされてスイッチングが制御されるが、スイッチング素子をオンとしてトランスに励磁エネルギーを充電する状況によっては、オフ時間が短いため十分に励磁エネルギーを 2 次側で放電することができないことがあった。このため、過渡応答の速度が低くなるという問題があった。

30

【 0 0 0 7 】

また、オフ時間が最小オフ時間とされると、励磁エネルギーの放電時間が短いため、次にスイッチング素子をオンとした時点での 1 次側に流れる 1 次側電流が大きくなる。そのため、オン時に生じる 1 次側電流のピーク値が上昇する変化量が大きくなるという問題もあった。

【 0 0 0 8 】

また、オフ時間が最小オフ時間とされることにより、スイッチング周波数の変動が大きくなるという問題もあった。

【 0 0 0 9 】

40

上記状況に鑑み、本発明は、過渡応答を高速化すること、1 次側電流のピーク値の上昇を抑制すること、および、スイッチング周波数の変動を低減することを可能とする電源制御装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 0 】

上記目的を達成するために本発明の一態様は、1 次巻線と 2 次巻線とを含むトランスと、スイッチング素子と、を有し、

前記 1 次巻線の一端に入力電圧の印加端が接続され、前記 1 次巻線他端に前記スイッチング素子が接続されるフライバック方式の絶縁型スイッチング電源装置に用いられる電源制御装置であって、

50

フライバック電圧を帰還した帰還信号に基づいて前記スイッチング素子をオンとするオントリガー信号を生成するオントリガー信号生成部と、

所定の最小オフ時間を計測する第1タイマーと、

オン時間に基づく時間を計測する第2タイマーと、

前記第1タイマーにより計測される前記所定の最小オフ時間と、前記第2タイマーにより計測される時間とを比較して長い方を最小オフ時間と設定する最小オフ時間設定部と、

前記設定された最小オフ時間と前記オントリガー信号とに基づいて前記スイッチング素子をオンとするタイミングを決定するオンタイミング決定部と、

を備えることとしている(第1の構成)。

【0011】

10

また、上記第1の構成において、前記第2タイマーは、前記オン時間の所定割合の時間を計測することとしてもよい(第2の構成)。

【0012】

また、上記第2の構成において、前記所定割合は、20%~80%であることとしてもよい(第3の構成)。

【0013】

また、上記第3の構成において、前記所定割合は、50%であることとしてもよい(第4の構成)。

【0014】

また、上記第1~第4のいずれかの構成において、前記スイッチング素子のPWM駆動に対応するPWM信号に基づいてデューティ情報を取得するデューティ情報取得部と、

20

前記取得されたデューティ情報に基づいてオン時間を計測する第3タイマーと、

前記第3タイマーにより計測された前記オン時間に基づいて前記スイッチング素子をオフとするタイミングを決定するオフタイミング決定部と、をさらに備え、

前記第2タイマーは、前記デューティ情報に基づいて時間を計測することとしてもよい(第5の構成)。

【0015】

また、上記第5の構成において、前記取得部は、前記PWM信号が入力されるローパスフィルタであり、

前記ローパスフィルタの出力電圧として前記デューティ情報が取得される、こととしてもよい(第6の構成)。

30

【0016】

また、上記第6の構成において、前記第2タイマーおよび前記第3タイマーはそれぞれ、コンデンサと、前記コンデンサに電荷を充電する定電流回路と、前記コンデンサの電圧と基準電圧とが入力されるコンパレータと、を有し、

前記ローパスフィルタの出力電圧は、前記第3タイマーの前記基準電圧となり、

前記ローパスフィルタの出力電圧の所定割合の電圧は、前記第2タイマーの前記基準電圧となる、こととしてもよい(第7の構成)。

【0017】

また、上記第1~第7のいずれかの構成において、前記最小オフ時間設定部は、AND回路であることとしてもよい(第8の構成)。

40

【0018】

また、上記第1~第8のいずれかの構成において、前記オンタイミング決定部は、AND回路であることとしてもよい(第9の構成)。

【0019】

また、本発明の別態様は、1次巻線と2次巻線とを含むトランスと、スイッチング素子と、を有し、

前記1次巻線の一端に入力電圧の印加端が接続され、前記1次巻線他端に前記スイッチング素子が接続されるフライバック方式の絶縁型スイッチング電源装置に用いられる電源制御装置であって、

50

前記スイッチング素子のスイッチングにおけるデューティに基づいてオン時間を設定するオン時間設定部と、

フライバック電圧を帰還した帰還信号に基づいて前記スイッチング素子をオンとするオントリガー信号を生成するオントリガー信号生成部と、

所定の最小オフ時間を計測する第１タイマーと、

前記オン時間設定部により設定されるオン時間に基づく時間を計測する第２タイマーと

、
前記第１タイマーにより計測される前記所定の最小オフ時間と、前記第２タイマーにより計測される時間とを比較して長い方を最小オフ時間と設定する最小オフ時間設定部と、

前記設定された最小オフ時間と前記オントリガー信号とに基づいて前記スイッチング素子をオンとするタイミングを決定するオンタイミング決定部と、

を備えることとしている（第１０の構成）。

【００２０】

また、本発明の別態様に係る絶縁型スイッチング電源装置は、上記いずれかの構成とした電源制御装置と、スイッチング素子と、トランスと、を有することとする。

【発明の効果】

【００２１】

本発明によると、過渡応答を高速化すること、１次側電流のピーク値の上昇を抑制すること、および、スイッチング周波数の変動を低減することが可能となる。

【図面の簡単な説明】

【００２２】

【図１】本発明の一実施形態に係る絶縁型スイッチング電源装置の全体構成図である。

【図２】本発明の一実施形態に係る電源制御ＩＣの内部構成を示すブロック図である。

【図３】タイマー部およびロジック部の具体的な一構成例を示す図である。

【図４】フィルタの一構成例を示す図である。

【図５】オン時間タイマーの一構成例を示す図である。

【図６】スイッチング素子をオフとしたときの２次側電流の減少の様子を示す一例の図である。

【図７】負荷変動により出力電圧が低下した過渡応答時の各PWM信号および各タイマー出力の一例を示すタイミングチャートである。

【図８Ａ】最小オフ時間タイマーのみを用いる比較例における各波形例を示すタイミングチャートである。

【図８Ｂ】比較例に係る図８Ａと対応する本発明の実施形態におけるタイミングチャートである。

【図９Ａ】比較例に係る絶縁型スイッチング電源装置における過電流保護時の動作の一例を示すタイミングチャートである。

【図９Ｂ】本発明の実施形態に係る絶縁型スイッチング電源装置における過電流保護時の動作の一例を示すタイミングチャートである。

【図１０】差分回路の出力タイミングを制御する構成を示す図である。

【図１１】スイッチング素子をオフとしたときのスイッチング電圧の波形例を示す図である。

【図１２】本発明の変形例に係る絶縁型スイッチング電源装置の全体構成図である。

【図１３】本発明の変形例に係る絶縁型スイッチング電源装置において、主スイッチング素子をオフさせるときの各波形の一例を示すタイミングチャートである。

【発明を実施するための形態】

【００２３】

< 絶縁型スイッチング電源装置の全体構成 >

以下に本発明の一実施形態について図面を参照して説明する。図１は、本発明の一実施形態に係る絶縁型スイッチング電源装置１０の全体構成を示す図である。絶縁型スイッチング電源装置１０は、入力電圧 V_{in} から出力電圧 V_{out} を生成するフライバック方式

10

20

30

40

50

のDC/DCコンバータである。また、絶縁型スイッチング電源装置10は、制御方式として、後述するような適応型オン時間制御を行う。

【0024】

絶縁型スイッチング電源装置10は、電源制御IC1と、電源制御IC1に外付けされた種々のディスクリート部品（トランスTr1、ダイオードD2、平滑コンデンサC2、抵抗R11、および抵抗R12）と、を備えている。

【0025】

電源制御IC1（電源制御装置）は、絶縁型スイッチング電源装置10の全体動作を統括的に制御する主体（半導体装置）である。電源制御IC1は、外部との電氣的接続を確立するために、電源端子T1、帰還端子T2、スイッチング出力端子T3、グランド端子T4、およびREF端子T5を有している。

10

【0026】

直流電圧である入力電圧Vinは、電源端子T1に印加されると共に、トランスTr1の有する1次巻線L1の一端に印加される。1次巻線L1の他端は、外付けの抵抗R11を介して帰還端子T2に接続されると共に、スイッチング出力端子T3に接続される。トランスTr1の有する2次巻線L2の一端は、ダイオードD2のアノードに接続される。ダイオードD2のカソードと2次巻線L2の他端との間には、平滑コンデンサC2が接続される。コンデンサC2の一端とダイオードD2のカソードとの接続点に出力電圧Voutが生じる。グランド端子T4には、グランド電位の印加端が接続される。REF端子T5には、外付けの抵抗R12の一端が接続される。

20

【0027】

図2は、電源制御IC1の内部構成を示すブロック図である。電源制御IC1は、差分回路11と、コンパレータ13と、ロジック部14と、ドライバ15と、タイマー部16と、フィルタ17と、リップル生成部18と、OCP部（過電流保護部）19と、スイッチング素子M1と、を有しており、これらの各構成要素を1チップに集積化して構成される。

【0028】

NチャネルMOSFET（metal-oxide-semiconductor field-effect transistor）で構成されるスイッチング素子M1のドレインは、スイッチング出力端子T3を介して1次巻線L1の一端に接続される。スイッチング素子M1のソースは、グランド端子T4を介してグランド電位の印加端に接続される。

30

【0029】

スイッチング素子M1がオンとなると、トランスTr1の1次巻線L1に電流が流れ、トランスTr1に励磁エネルギーが充電される。このとき、ダイオードD2はオフである。次に、スイッチング素子M1がオフとなると、充電された励磁エネルギーがトランスTr1の2次巻線L2からダイオードD2を通じて放電され、平滑コンデンサC2により平滑されて出力電圧Voutが生成される。このとき、ダイオードD2に電流が流れる。

【0030】

スイッチング素子M1がオフのとき、1次巻線L1には、下記（1）式で示されるフライバック電圧VORが発生する。

40

$$VOR = Np / Ns \times (Vout + Vf) \quad (1)$$

但し、Np：1次巻線L1の巻数、Ns：2次巻線L2の巻数、Vf：ダイオードD2の順方向電圧

【0031】

このとき、スイッチング素子M1のドレイン電圧であるスイッチング電圧Vswは、下記（2）式で示される。

$$Vsw = Vin + VOR \quad (2)$$

【0032】

差分回路11は、入力電圧Vinが印加される電源端子T1と、スイッチング電圧Vswが一端に印加される抵抗R11の他端と接続される帰還端子T2と、抵抗R12の一端

50

が接続される R E F 端子 T 5 に接続される。これにより、差分回路 1 1 によって、スイッチング電圧 V_{sw} と入力電圧 V_{in} との差分が抵抗 R_{11} により電圧・電流変換され、変換後の電流と抵抗 R_{12} とにより R E F 端子 T 5 に R E F 端子電圧 V_{Tref} が生成される。すなわち、R E F 端子電圧 V_{Tref} は、フライバック電圧 V_{OR} を帰還した帰還信号として生成される。差分回路 1 1 は、帰還信号出力部に相当する。

【0033】

差分回路 1 1 は、スイッチング素子 M 1 1 がオフのときに R E F 端子電圧 V_{Tref} をそのまま出力 V_{Tref2} として出力する動作と、或るタイミングでの出力 V_{Tref2} を保持する動作を行う。差分回路 1 1 は、出力 V_{Tref2} をコンパレータ 1 3 に出力する。

10

【0034】

コンパレータ 1 3 は、出力 V_{Tref2} と、リップル生成部 1 8 により生成される例えば三角波状の基準電圧 V_{ref} とを比較し、比較結果としての F E T オントリガー信号 T_{gon} をロジック部 1 4 に出力する。コンパレータ 1 3 は、オントリガー信号生成部に相当する。

【0035】

ロジック部 1 4 は、第 1 P W M 信号 $pwm1$ と第 2 P W M 信号 $pwm2$ を生成する。第 1 P W M 信号 $pwm1$ と第 2 P W M 信号 $pwm2$ は、パルス状の信号であり、基本的にオンデューティが同一となる。

【0036】

20

フィルタ 1 7 は、第 1 P W M 信号 $pwm1$ をフィルタリングすることによりオンデューティ情報を取り出す。フィルタ 1 7 は、デューティ情報取得部に相当する。タイマー部 1 6 およびロジック部 1 4 は、フィルタ 1 7 からのオンデューティ情報に基づき、スイッチング素子 M 1 をオンとする期間であるオン時間を設定する。ロジック部 1 4 は、設定されたオン時間となるようなタイミングでスイッチング素子 M 1 をオンからオフへ切替えるべく、第 2 P W M 信号 $pwm2$ を L o w レベルとする。

【0037】

また、タイマー部 1 6 およびロジック部 1 4 は、フィルタ 1 7 からのオンデューティ情報に基づき、スイッチング素子 M 1 をオフとする期間であるオフ時間の最小値である最小オフ時間を設定する。ロジック部 1 4 は、設定された最小オフ時間と、コンパレータ 1 3 からの F E T オントリガー信号 T_{gon} に基づくタイミングでスイッチング素子 M 1 をオフからオンへ切替えるべく、第 2 P W M 信号 $pwm2$ を H i g h レベルとする。

30

【0038】

ドライバ 1 5 は、ロジック部 1 4 により生成された第 2 P W M 信号 $pwm2$ に基づいてゲート電圧 G_T を生成してスイッチング素子 M 1 のゲートに印加させる。これにより、スイッチング素子 M 1 はオン / オフ制御される。

【0039】

また、タイマー部 1 6 は、差分回路 1 1 に含まれるスイッチ（不図示）のオン / オフタイミングを指示するスイッチタイミング信号 SWT を生成して差分回路 1 1 に出力する。差分回路 1 1 は、スイッチタイミング信号 SWT がオンを指示する場合、R E F 端子電圧 V_{tref} をそのまま出力 V_{Tref2} として出力し、オフを指示する場合、オンからオフへ切替わったタイミングでの出力 V_{Tref2} を保持する。

40

【0040】

< オン時間 / オフ時間設定制御について >

次に、本実施形態に係る電源制御 I C 1 によるオン時間 / オフ時間を設定する制御について説明する。図 3 は、タイマー部 1 6 およびロジック部 1 4 の具体的な一構成例を示す図である。

【0041】

タイマー部 1 6 は、最小オフ時間タイマー 1 6 1 と、1 / 2 オン時間タイマー 1 6 2 と、最小オン時間タイマー 1 6 3 と、オン時間タイマー 1 6 4 と、インバータ 1 6 5 と、を

50

有している。ロジック部 14 は、第 1 ラッチ回路 141 と、第 2 ラッチ回路 142 と、AND 回路 143 ~ 145 と、OR 回路 146 と、を有している。第 1 ラッチ回路 141 は、第 1 PWM 信号 $pwm1$ を出力する。第 2 ラッチ回路 142 は、第 2 PWM 信号 $pwm2$ をドライバ 15 へ出力する。

【0042】

第 1 ラッチ回路 141 と第 2 ラッチ回路 142 は、セット端子に入力される信号により同時にセットされ、リセット端子に入力される信号により基本的に同時に (OCP 部 19 による過電流検出時は除く) リセットされるので、第 1 PWM 信号 $pwm1$ と第 2 PWM 信号 $pwm2$ は同期してオンデューティは同じである。

【0043】

第 1 ラッチ回路 141 がセットされることで第 1 PWM 信号 $pwm1$ が Low から High へ立ち上がったとき、すなわち第 2 PWM 信号 $pwm2$ によりスイッチング素子 M1 がオンとなったとき、インバータ 165 の出力が Low となることで最小オン時間タイマー 163 およびオン時間タイマー 164 がリセットされる。

【0044】

最小オン時間タイマー 163 は、リセットされると所定の最小オン時間 (固定値) の計測を開始する。ここで、所定の最小オン時間は、出力電圧 V_{out} の過昇圧の程度を決めるパラメータである。オン時間タイマー 164 は、リセットされると、第 1 PWM 信号 $pwm1$ に基づきフィルタ 17 で生成されるフィルタ出力電圧 V_1 によって設定されるオン時間の計測を開始する。

【0045】

ここで、図 4 は、フィルタ 17 の一構成例を示す図である。フィルタ 17 は、抵抗 R_1 と、コンデンサ C_1 と、分圧用の抵抗 R_1 および R_2 と、を有している。抵抗 R_1 の一端には、第 1 PWM 信号 $pwm1$ が印加される入力端子 T171 が接続される。抵抗 R_1 の他端は、コンデンサ C_1 の一端に接続されると共に、フィルタ出力電圧 V_1 が生じる第 1 出力端子 T172 に接続される。コンデンサ C_1 の他端は、グランド電位の印加端に接続される。すなわち、抵抗 R_1 とコンデンサ C_1 とからローパスフィルタが構成され、第 1 PWM 信号 $pwm1$ をローパスフィルタに通した後の信号がフィルタ出力電圧 V_1 となる。従って、フィルタ出力電圧 V_1 は第 1 PWM 信号 $pwm1$ のオンデューティ情報を示す。

【0046】

また、図 5 は、オン時間タイマー 164 の一構成例を示す図である。オン時間タイマー 164 は、定電流回路 I_c と、コンデンサ C_1 と、コンパレータ CP164 と、を有する所謂ランプカウンタである。電源電圧 V_{cc} とグランド電位との間には、定電流回路 I_c とコンデンサ C_1 が直列に接続され、その接続点はコンパレータ CP164 の非反転入力端子 (+) に接続される。コンパレータ CP164 の反転入力端子 (-) には、フィルタ出力電圧 V_1 が印加される。コンパレータ CP164 の出力がオン時間タイマー 164 の出力となる。

【0047】

オン時間タイマー 164 がリセットされると、コンデンサ C_1 に蓄えられた電荷が放電される。そして、定電流回路 I_c によって一定に制御される電流によってコンデンサ C_1 は充電される。コンデンサ C_1 の充電によってコンパレータ CP164 の非反転入力端子における電圧 V_1 が、基準電圧としてのフィルタ出力電圧 V_1 に到達するまでの時間 t は下記 (3) 式で表される。

$$t = C \times V_1 / I \quad (3)$$

但し、 C : コンデンサ C_1 の容量、 I : 定電流値

【0048】

リセット時はコンパレータ CP164 の出力は Low であるが、上記時間 t が経過してコンパレータ CP164 の非反転入力端子における電圧 V_1 が、フィルタ出力電圧 V_1 に到達すると、コンパレータ CP164 の出力は High となる。

10

20

30

40

50

【 0 0 4 9 】

なお、最小オン時間タイマー 1 6 3 は、図 5 に示す構成と同様なランプカウンタによって構成することができる。このとき、コンパレータの基準電圧、定電流回路の定電流値、コンデンサの容量は、上記時間 t が所定の最小オン時間となるよう適宜設定される。

【 0 0 5 0 】

最小オン時間タイマー 1 6 3 の出力とオン時間タイマー 1 6 4 の出力は、AND 回路 1 4 5 に入力される。AND 回路 1 4 5 により、最小オン時間タイマー 1 6 3 とオン時間タイマー 1 6 5 の各出力がともに High となったときに、AND 回路 1 4 5 の出力は High となる。すなわち、最小オン時間タイマー 1 6 3 により計測される所定の最小オン時間と、オン時間タイマー 1 6 4 により計測されるオン時間のうち長い方が計測されたタイミングで AND 回路 1 4 5 の出力が High となる。従って、オン時間が所定の最小オン時間より短い場合には、所定の最小オン時間に制限されることとなる。AND 回路 1 4 5 は、オフタイミング決定部に相当する。

10

【 0 0 5 1 】

AND 回路 1 4 5 の出力は、第 1 ラッチ回路 1 4 1 のリセット端子に入力されると共に、OR 回路 1 4 6 に入力される。OR 回路 1 4 6 には、OCP 部 1 9 の出力も入力される。OR 回路 1 4 6 の出力は、第 2 ラッチ回路 1 4 2 に入力される。過電流が検出されない通常時は、OCP 部 1 9 の出力は Low となるので、AND 回路 1 4 5 の出力が High となったタイミングで、第 1 ラッチ回路 1 4 1 と第 2 ラッチ回路 1 4 2 がともにリセットされる。OR 回路 1 4 6 と第 2 ラッチ回路 1 4 2 からオフ制御部が構成される。

20

【 0 0 5 2 】

これにより、第 1 PWM 信号 $pwm1$ と第 2 PWM 信号 $pwm2$ とともに Low レベルに切替わり、第 2 PWM 信号 $pwm2$ によってスイッチング素子 M 1 はオフとされ、オン時間が規定される。

【 0 0 5 3 】

第 1 PWM 信号 $pwm1$ が Low レベルとなると、最小オフ時間タイマー 1 6 1 と 1 / 2 オン時間タイマー 1 6 2 がともにリセットされる。最小オフ時間タイマー 1 6 1 は、リセットされると所定の最小オフ時間（固定値）の計測を開始する。スイッチング素子 M 1 がオフのときに差分回路 1 1 によって REF 端子電圧 $V_{Tr e f}$ をそのまま出力したり、出力を保持するが、スイッチング素子 M 1 をオフした直後にスイッチング電圧 $V_{s w}$ にリingingが生じるため、リングングが安定するまでの時間を確保する必要があり、上記の所定の最小オフ時間を定めている。

30

【 0 0 5 4 】

最小オフ時間タイマーは、図 5 に示す構成と同様なランプカウンタによって構成することができる。このとき、コンパレータの基準電圧、定電流回路の定電流値、コンデンサの容量は、上記時間 t が所定の最小オフ時間となるよう適宜設定される。

【 0 0 5 5 】

また、1 / 2 オン時間タイマー 1 6 2 は、リセットされると、オン時間の 5 0 % の時間の計測を開始する。ここで、スイッチング素子 M 1 がオンであるときに 1 次巻線 L 1 に流れる 1 次側電流 I_p が上昇し、スイッチング素子 M 1 がオフとされると、2 次巻線 L 2 に流れる 2 次側電流 I_s には、1 次側電流のピーク値に巻数比を乗じて得られるピーク値が生じる。そして、時間の経過とともに徐々に 2 次側電流は減少する。図 6 は、スイッチング素子 M 1 をオフとしたときの 2 次側電流 I_s の減少の様子を示す一例の図である。図 6 のように、2 次側電流 I_s は、オフとした時点でのピーク値 $I_{s p k}$ から徐々に減少して、放電時間 $t_{o f f 2}$ が経過したときにゼロとなる。放電時間 $t_{o f f 2}$ の 5 0 % (1 / 2 $t_{o f f 2}$) の時間までの放電では、平均的な放電量（面積 S 1 ）に対して面積 S 2 の放電量だけ放電量が多くなるので、効率的な放電が可能となる。逆に、放電時間 $t_{o f f 2}$ の 5 0 % を超えると、効率が悪化してしまう。

40

【 0 0 5 6 】

従って、放電時間（すなわちオフ時間）を放電時間 $t_{o f f 2}$ の 5 0 % まで延長でき

50

ばよいことになるが、実際の放電時間 t_{off2} はトランス $Tr1$ および負荷状況に依存するので推測することが困難である。よって、本実施形態では、放電時間 t_{off2} の 50% に類似する目安として、オン時間の 50% までオフ時間を延長することとしている。

【0057】

具体的には、図4に示すフィルタ17の構成において、フィルタ出力電圧 $V1$ を抵抗値の等しい抵抗 $R171$ 、 $R172$ によって分圧して第2出力端子 $T173$ からフィルタ出力電圧 $V2$ として出力する。これにより、フィルタ出力電圧 $V2$ は、フィルタ出力電圧 $V1$ の 50% となる。そして、図5に示すランプカウンターの構成と同様に $1/2$ オン時間タイマー162を構成し、コンパレータの基準電圧としてフィルタ出力電圧 $V2$ を印加させる。これにより、 $1/2$ オン時間タイマー162は、リセットされて出力が Low とな

10

【0058】

AND回路144には、最小オフ時間タイマー161と $1/2$ オン時間タイマー162の各出力が入力される。AND回路144の出力は、最小オフ時間タイマー161と $1/2$ オン時間タイマー162の各出力がともに $High$ となったときに $High$ とされる。すなわち、所定の最小オフ時間と、オン時間の 50% のうち長い方が最小オフ時間として選択されて設定されることになる。AND回路144は、最小オフ時間設定部に相当する。

【0059】

そして、AND回路143には、FETオントリガー信号 T_{gon} と、AND回路144の出力が入力される。これにより、FETオントリガー信号 T_{gon} と、AND回路144の出力がともに $High$ となったときに、AND回路143の出力が $High$ とされる。すなわち、FETオントリガー信号 T_{gon} が $High$ となるタイミングが上記設定された最小オフ時間経過後であれば、そのタイミングが選択され、上記設定された最小オフ時間の経過したタイミングがFETオントリガー信号 T_{gon} が $High$ となるタイミングより後であれば、最小オフ時間の経過したタイミングが選択される。つまり、オフ時間は最小オフ時間より短くならないよう制限される。AND回路143は、オンタイミング決定部に相当する。

20

【0060】

AND回路143の出力は、第1ラッチ回路141と第2ラッチ回路142の各セット端子に入力される。よって、AND回路143の出力が $High$ とされたタイミングで、第1ラッチ回路141と第2ラッチ回路142はともにセットされ、第1PWM信号 $pwm1$ と第2PWM信号 $pwm2$ はともに $High$ に切替わる。これにより、スイッチング素子 $M1$ はオンとなり、オフ時間が規定される。

30

【0061】

負荷変動によって出力電圧 V_{out} が低下した場合、上記設定された最小オフ時間をオフ時間とするようにスイッチング素子 $M1$ がオンとされる。このとき、第1PWM信号 $pwm1$ のオンデューティは大きくなり、フィルタ出力電圧 $V1$ によって設定されるオン時間が長くなる。このように、第1PWM信号 $pwm1$ のオンデューティの情報を用いてオン時間を設定する適応的なオン時間制御を行うことにより、負荷変動に対する応答特性を改善することができる。

40

【0062】

ここで、図7は、負荷変動により出力電圧 V_{out} が低下した過渡応答時の各PWM信号および各タイマー出力の一例を示すタイミングチャートである。なお、図7には、その他にも、オン時間タイマー164におけるコンパレータ $CP164$ の非反転入力端子における電圧 $V164$ (図5)、AND回路145、144の各出力、およびFETオントリガー信号 T_{gon} も示す。タイミング $t1$ にて、第1PWM信号 $pwm1$ と第2PWM信号 $pwm2$ がともに $High$ とされ、スイッチング素子 $M1$ がオンとされる。すると、最小オン時間タイマー163とオン時間タイマー164がともにリセットされ、各タイマーの出力は Low となる。オン時間タイマー164がリセットされたとき、コンデンサ $C1$

50

64の放電によって電圧V164はゼロとなる。以降、定電流回路IcによるコンデンサC164の充電によって電圧V164は、所定の速度で上昇する。

【0063】

そして、最小オン時間タイマー163によって所定の最小オン時間が計測されると、最小オン時間タイマー163の出力がHighとされる(タイミングt2)。その後、電圧V164がフィルタ出力電圧V1に達して、オン時間タイマー164によってオン時間が計測されると、オン時間タイマー164の出力がHighとされる(タイミング3)。このタイミングで、AND回路145の出力がHighとなるので、第1ラッチ回路141と第2ラッチ回路142ともにリセットされ、第1PWM信号pwm1と第2PWM信号pwm2とともにLowとされ、スイッチング素子M1はオフとされる。

10

【0064】

このとき、最小オフ時間タイマー161と1/2オン時間タイマー162はともにリセットされ、各タイマーの出力がLowとなる。その後、最小オフ時間タイマー161によって所定の最小オフ時間が計測されると、最小オフ時間タイマー161の出力がHighとされる(タイミングt4)。その後、1/2オン時間タイマー162によってオン時間の50%の時間が計測されると、1/2オン時間タイマー162の出力がHighとされる(タイミングt5)。ここで、FETオントリガー信号TgonがHighとなったタイミングはタイミングt5より前であるので、タイミングt5にてAND回路143の出力はHighとなる。これにより、第1ラッチ回路141と第2ラッチ回路142はともにセットされ、第1PWM信号pwm1と第2PWM信号pwm2とともにHighとされ、スイッチング素子M1はオンとされる。

20

【0065】

このように、所定の最小オフ時間よりも長いオン時間の50%の時間を最小オフ時間として設定するので、所定の最小オフ時間をオフ時間とする場合よりも放電時間を確保することができ、過渡応答を高速化することができる。なお、上記50%という所定割合は一例であって、例えば20%~80%の割合に設定すれば、一定の効果が奏される。また、第1PWM信号pwm1のオンデューティ情報を示すフィルタ出力電圧V1と電圧V164に基づき、オン時間タイマー164はオン時間を決定する。すなわち、オン時間設定部としてのオン時間タイマー164は、スイッチング素子M1のスイッチングにおけるデューティに基づきオン時間を設定する。そして、1/2オン時間タイマー162は、オン時間タイマー164によって設定されたオン時間の50%の時間を計測する。

30

【0066】

また、ここで、仮に最小オフ時間タイマーのみを用いて最小オフ時間を設定する実施形態との比較を図8Aおよび図8Bを用いて説明する。図8Aは、最小オフ時間タイマーのみを用いる比較のための実施形態における各波形例を示すタイミングチャートである。図8Aにおいて、上段から、PWM信号、最小オフ時間タイマーの出力、1次側電流Ip、2次側電流Isの各波形例を示す。

【0067】

図8Aでは、PWM信号がHighとなってスイッチング素子がオンとなるタイミングt11以降、負荷変動により出力電圧Voutが低下した場合を示す。スイッチング素子がオンの間、1次側電流Ipは増加する。PWM信号がLowとなってスイッチング素子がオフとなるタイミングt12にて、最小オフ時間タイマーがリセットされて所定の最小オフ時間を計測開始する。タイミングt12において、1次側電流Ipはゼロとなり、2次側電流Isが1次側電流Ipのピーク値に応じて発生し、以降減少する。

40

【0068】

タイミングt13にて最小オフ時間を計測完了し、最小オフ時間タイマーの出力がHighとなる。ここで、出力電圧Voutの低下によってFETオントリガー信号Tgonは、タイミングt13より前にHighとなっているので、タイミングt13においてPWM信号はHighとされ、スイッチング素子はオンとなる。ここで、2次側電流Isはゼロとなり、1次側電流Ipは、2次側電流Isの値に応じて発生し、以降増加する。そ

50

して、タイミング t_{14} において、PWM 信号は Low とされ、スイッチング素子はオフとなる。このとき、1 次側電流 I_p はゼロとなる。

【0069】

図 8 B は、比較例に係る図 8 A と対応する本実施形態におけるタイミングチャートである。図 8 B において、上段から、第 1 PWM 信号 pwm_1 （および第 2 PWM 信号 pwm_2 ）、最小オフ時間タイマー 161 の出力、1/2 オン時間タイマー 162 の出力、1 次側電流 I_p 、2 次側電流 I_s の各波形例を示す。

【0070】

図 8 B において、第 1 PWM 信号 pwm_1 が Low とされてスイッチング素子 M1 がオフとなるタイミング t_{12}' において、最小オフ時間タイマー 161 と 1/2 オン時間タイマー 162 がともにリセットされ、各タイマーは時間計測を開始する。ここで、1 次側電流 I_p はゼロとなり、2 次側電流 I_s が発生して以降減少する。図 8 B においては、最小オフ時間タイマー 161 が所定の最小オフ時間を計測完了するタイミング t_{13}' よりも後に、1/2 オン時間タイマー 162 がオン時間の 50% をタイミング t_{14}' において計測完了する。ここで、出力電圧 V_{out} の低下によって FET オントリガー信号 T_{gon} は、タイミング t_{14}' より前に High となっているので、タイミング t_{14}' において第 1 PWM 信号 pwm_1 は High とされ、スイッチング素子 M1 はオンとなる。ここで、2 次側電流 I_s はゼロとなり、1 次側電流 I_p は、2 次側電流 I_s の値に応じて発生し、以降増加する。そして、タイミング t_{15}' において、第 1 PWM 信号 pwm_1 は Low とされ、スイッチング素子 M1 はオフとなる。このとき、1 次側電流 I_p はゼロとなる。

【0071】

図 8 B では、図 8 A に比べて、所定の最小オフ時間よりも長いオン時間の 50% を計測したタイミングでオフ時間が規定されるので、2 次側の放電時間を確保することで 2 次側電流 I_s をより低い値まで減少させる。これにより、スイッチング素子 M1 がオンとなったときに生じる 1 次側電流 I_p の値を低くできるので、図 8 A における 1 次側電流のピーク値 I_{ppk1} からピーク値 I_{ppk2} への上昇変化量に比して、図 8 B における 1 次側電流のピーク値 I_{ppk1}' からピーク値 I_{ppk2}' への上昇変化量を抑えることができる。

【0072】

また、図 8 B では、図 8 A に比して、スイッチング周期（スイッチング周波数）の変動を抑制できることが分かる。

【0073】

なお、所定の最小オフ時間と比較する時間は、オン時間の固定値である所定割合（例えば 50%）の時間に限らず、負荷状況に応じて上記所定割合を可変に制御してもよい。

【0074】

< 過電流保護時の動作について >

次に、本実施形態に係る絶縁型スイッチング電源装置 10 における過電流保護時の動作について図 9 A および図 9 B を用いて説明する。

【0075】

図 9 A は、本実施形態と比較するための比較例に係る絶縁型スイッチング電源装置における過電流保護時の動作の一例を示すタイミングチャートである。図 9 A では、PWM 信号が High となってスイッチング素子がオンとなるタイミング t_{21} において、1 次側電流 I_p が流れ始めて以降上昇する。そして、1 次側電流 I_p に過電流が生じ、1 次側電流 I_p が所定の OCP レベルに達したことを検知されたタイミング t_{22} において、PWM 信号は Low とされ、スイッチング素子はオフとなる。このとき、1 次側電流 I_p はゼロとなり、2 次側電流 I_s が発生して以降減少する。

【0076】

タイミング t_{22} において最小オフ時間タイマーはリセットされ、所定の最小オフ時間を計測開始する。そして、タイミング t_{23} において最小オフ時間が計測完了されると、

10

20

30

40

50

PWM信号はHighとされ、スイッチング素子はオンとなる。このとき、2次側電流 I_s はゼロとなり、1次側電流 I_p が流れ始めて以降上昇する。そして、1次側電流 I_p がOCPレベルに達したことが検知されるタイミング t_{24} において、PWM信号はLowとされ、スイッチング素子はオフとなる。このとき、1次側電流 I_p はゼロとなり、2次側電流 I_s が流れ始める。

【0077】

これに対して、本実施形態においては過電流保護時の動作の一例として、図9Bに示すタイミングチャートとなる。ここで、図2に示すようにOCP部19は、1次側電流 I_p の電流値にスイッチング素子M1のオン抵抗値を乗じて得られる電圧値であるスイッチング電圧 V_{sw} が所定のリファレンス電圧に達したことを検知することにより、過電流を検知する。

10

【0078】

図9Bでは、第1PWM信号 $pwm1$ および第2PWM信号 $pwm2$ がHighとなってスイッチング素子がオンとなるタイミング t_{21} において、1次側電流 I_p が流れ始めて以降増加する。そして、OCP部19によって1次側電流 I_p の過電流がタイミング t_{22} において検知されると、OCP部19はHighの出力信号をOR回路146(図3)に出力する。これにより、OR回路146の出力がHighとなり、第2ラッチ回路142はリセットされ、第2PWM信号 $pwm2$ はLowとされ、スイッチング素子M1はオフとなる。このとき、1次側電流 I_p はゼロとなり、2次側電流 I_s が流れ始めて以降減少する。

20

【0079】

しかしながら、タイミング t_{22} において、AND回路145の出力はLowであり、1次側電流 I_p がOCPレベルに達したため第2PWM信号 $pwm2$ はLowとなるが、第1ラッチ回路141はリセットされず、第1PWM信号 $pwm1$ はHighを維持する。その後、AND回路145の出力がHighとなるタイミング t_{23} において、第1ラッチ回路141がリセットされ、第1PWM信号 $pwm1$ はLowとなる。このとき、最小オフ時間タイマー161と1/2オン時間タイマー162はともにリセットされ、時間計測を開始する。

【0080】

そして、最小オフ時間タイマー161が所定の最小オフ時間を計測完了するタイミング t_{24} よりも後に、タイミング t_{25} において1/2オン時間タイマー162はオン時間の50%の時間を計測完了する。またこのとき、過電流状態により出力電圧 V_{out} が低いので、FETオントリガー信号 T_{gon} は既にHighとなっている。従って、タイミング t_{25} において、第1ラッチ回路141と第2ラッチ回路142ともにセットされ、第1PWM信号 $pwm1$ と第2PWM信号 $pwm2$ ともにHighとされる。これにより、スイッチング素子M1はオンとなる。このとき、2次側電流 I_s はゼロとなり、1次側電流 I_p は流れ始めて以降増加する。

30

【0081】

そして、1次側電流 I_p がOCPレベルに達したことがOCP部19により検知されるタイミング t_{26} において、第2PWM信号 $pwm2$ がLowとされ、スイッチング素子M1はオフとなる。このとき、1次側電流 I_p はゼロとなり、2次側電流 I_s が流れ始めて以降減少する。

40

【0082】

このように本実施形態においては、過電流を検知したタイミング t_{22} でスイッチング素子M1はオフとするが、その後のタイミング t_{23} にて遅れて第1PWM信号 $pwm1$ をLowとして最小オフ時間タイマー161と1/2オン時間タイマー162をリセットするので、タイミング t_{22} ～ t_{23} の期間T1だけ2次側での放電時間が延びる。更に、本実施形態では、1/2オン時間タイマー162によって所定の最小オフ時間よりも長い期間T2を計測することでオフ期間を規定するので、より放電時間が延びる。

【0083】

50

これにより、比較例に係る図 9 A で示す 1 次側電流 I_p の流れ始めの値の上昇変化量 ΔI_p よりも、本実施形態に係る図 9 B で示す 1 次側電流 I_p の流れ始めの値の上昇変化量 $\Delta I_p'$ を抑えることができる。図 9 A では、上昇変化量 ΔI_p が大きくなり、1 次側電流 I_p が O C P レベルにすぐに達してしまうので（タイミング t_{24} ）、1 次側における充電時間が短くなり、出力電圧の上昇が遅くなる。これに対して、図 9 B では、上昇変化量 $\Delta I_p'$ を抑えることにより、1 次側電流 I_p が O C P レベルに達するまでの時間（タイミング $t_{25}' \sim t_{26}'$ ）を長くすることで、1 次側における充電時間を確保して、出力電圧 V_{out} の上昇を速めることができる。

【0084】

< 差分回路の出力タイミング制御について >

10

次に、本実施形態に係る絶縁型スイッチング電源装置 10 における差分回路 11 の出力タイミング制御について説明する。先述したように、差分回路 11 は、スイッチング素子 M1 がオフのときに R E F 端子電圧 $V_{Tr e f}$ をそのまま出力したり、出力を保持する。差分回路 11 による出力タイミングを制御する構成について図 10 に示す。図 10 に示すタイマー部 16 は、タイミング制御部に相当する。

【0085】

図 10 に示すタイマー部 16 は、最小オフ時間タイマー 1611、1/2 オン時間タイマー 1621、インバータ 166、AND 回路 167、マスク期間タイマー 168、およびラッチ回路 169 を有している。なお、図 10 に示すタイマー部 16 は、先述した図 3 に示すタイマー部 16 と同一のものであり、すなわち、図 3 のタイマー部 16 では、図 10 に示す構成を省略しているが、実際にはその構成を更に有している。

20

【0086】

最小オフ時間タイマー 1611 は、最小オフ時間タイマー 161 が計測する所定の最小オフ時間の 95% の時間を計測する。1/2 オン時間タイマー 1621 は、図 5 に示すランプカウンターと同様に構成し、コンパレータの基準電圧としてフィルタ 17 が出力する出力電圧 V_3 を印加させる。出力電圧 V_3 は、先述した出力電圧 V_2 （図 4）の 95% の電圧である。これにより、1/2 オン時間タイマー 1621 は、オン時間の 50% の更に 95% の時間を計測する。なお、最小オフ時間タイマー 1611 および 1/2 オン時間タイマー 1621 についての 95% という割合は一例であって、100% より小さい割合であれば他の割合を用いてもよい（例えば 70% 以上の割合）。

30

【0087】

インバータ 166 には、第 1 ラッチ回路 141 が出力する第 1 PWM 信号 pwm_1 が入力される。最小オフ時間タイマー 1611、1/2 オン時間タイマー 1621、およびインバータ 166 の各出力は、AND 回路 167 に入力される。AND 回路 167 の出力は、ラッチ回路 169 のリセット端子に入力される。

【0088】

マスク期間タイマー 168 は、所定のマスク期間（例えば 240 n s e c）を計測する。マスク期間タイマー 168 の出力は、ラッチ回路 169 のセット端子に入力される。ラッチ回路 169 の出力はスイッチタイミング信号 SWT としてサンプルホールド回路 12 に入力される。

40

【0089】

このような構成の動作について説明すると、第 1 PWM 信号 pwm_1 （および第 2 PWM 信号 pwm_2 ）が Low となり、スイッチング素子 M1 がオフとなると、マスク期間タイマー 168 はリセットされて時間計測を開始して出力が Low となり、インバータ 166 の出力は High となる。このとき、最小オフ時間タイマー 1611 と 1/2 オン時間タイマー 1621 とともにリセットされ、時間計測を開始し、各タイマーの出力は Low となる。なお、各時間計測が完了すると、各タイマーの出力は High となる。

【0090】

マスク期間タイマー 168 は、所定のマスク期間を計測すると、出力を High とする。すると、ラッチ回路 169 はセットされ、スイッチタイミング信号 SWT を High と

50

する。これにより、差分回路 11 に含まれるスイッチ（不図示）はオンとなり、差分回路 11 は R E F 端子電圧 $V_{T r e f}$ をそのまま出力 $V_{T r e f 2}$ として出力する動作を開始する。

【0091】

その後、最小オフ時間タイマー 1611 によって所定の最小オフ時間の 95% が計測されるタイミングと、1/2 オン時間タイマー 1621 によってオン時間の 50% の更に 95% が計測されるタイミングのうち、遅い方のタイミングにて A N D 回路 167 は H i g h となる。すると、ラッチ回路 169 はリセットされ、スイッチタイミング信号 S W T を L o w とする。これにより、差分回路 11 に含まれるスイッチはオフとされ、差分回路 11 はオンからオフへの切替タイミングにおける出力 $V_{T r e f 2}$ を保持する。

10

【0092】

ここで、スイッチング素子 M 1 をオフとしたときのスイッチング電圧 $V_{s w}$ の波形例を図 11 に示す。図 11 に示すように、スイッチング素子 M 1 をオフとした直後は、トランス T r 1 の 1 次巻線 L 1 が有する漏れインダクタンスを起因として、スイッチング電圧 $V_{s w}$ にリングングが生じる。そこで、マスク期間タイマー 168 によってマスク期間 T m s k だけマスクングすることにより、リングングが生じる期間は R E F 端子電圧 $V_{T r e f}$ をそのまま出力する動作を行わないようにしている。

【0093】

マスク期間 T m s k が経過すると R E F 端子電圧 $V_{T r e f}$ をそのまま出力する動作が開始される。その後、所定の最小オフ時間の 95% の時間 T m i n _ o f f と、オン時間の 50% の更に 95% の時間 T 1 / 2 o n のうち、長い方が経過したときに、出力の保持が行われる（図 11 の例では T 1 / 2 o n の方が長い）。T m i n _ o f f の方が長い場合は、所定の最小オフ時間が経過するタイミング以降においてスイッチング素子 M 1 はオンとされ、T 1 / 2 o n の方が長い場合は、オン時間の 50% が経過するタイミング以降においてスイッチング素子 M 1 はオンとされる。従って、出力の保持が行われるタイミングは、スイッチング素子 M 1 がオンとなるタイミングよりも前であるので、2 次側電流 I_s が流れているときに出力の保持を行うことができる。すなわち、スイッチング素子 M 1 がオンとなるタイミングと出力を保持するタイミングが重なって、出力に異常が生じることを抑制できる。

20

【0094】

また、R E F 端子電圧 $V_{T r e f}$ はフライバック電圧 V O R を帰還した信号であり、フライバック電圧 V O R は上記（1）式で表される。（1）式のうちダイオード D 2 の順方向電圧 V_f が誤差分となるので、2 次側電流 I_s がゼロに近づくほど、 V_f が小さくなり、誤差は小さくなる。すなわち、時間的に後になるほど出力を保持するタイミングとしては適切なものとなる。T 1 / 2 o n が T m i n _ o f f よりも長い場合は、出力を保持するタイミングを時間的により後とすることができる。

30

【0095】

< スwitching 素子に関する変形例 >

次に、以上説明した本実施形態に係る絶縁型スイッチング電源装置の変形例について述べる。変形例に係る絶縁型スイッチング電源装置 10' の構成を図 12 に示す。図 12 に示す絶縁型スイッチング電源装置 10' は、電源制御 I C 1' を備えている。

40

【0096】

電源制御 I C 1' は、主スイッチング素子 M 11 と、副スイッチング素子 M 12 と、抵抗 R 12 と、コンパレータ C P と、を有する構成としている。なお、電源制御 I C 1' において、図 12 で示す構成以外の構成部については先述した実施形態（図 2）と同様である。

【0097】

N チャネル M O S F E T で構成される主スイッチング素子 M 11 は、スイッチング駆動されることで、絶縁型スイッチング電源装置 10' による出力電圧 $V_{o u t}$ の生成に寄与するスイッチング素子である。主スイッチング素子 M 11 のドレイン（電流流入端）は、

50

スイッチング出力端子T 3に接続され、ソース（電流流出端）はグランド端子T 4 1に接続される。

【0098】

副スイッチング素子M 1 2は、NチャネルM O S F E Tで構成される。副スイッチング素子M 1 2のドレイン（電流流入端）は、抵抗R 1 2を介して、主スイッチング素子M 1 1のドレインとスイッチング出力端子T 3との接続点に接続される。副スイッチング素子M 1 2のソース（電流流出端）は、グランド端子T 4 2に接続される。

【0099】

主スイッチング素子M 1 1のゲート（制御端）には、不図示のドライバの出力端が接続される。コンパレータC Pの非反転入力端子（+）には、スイッチング素子M 1 1のゲートが接続される。コンパレータC Pの反転入力端子（-）には、所定の閾値電圧V t h 1が基準電圧として印加される。コンパレータC Pの出力端は、副スイッチング素子M 1 2のゲート（制御端）に接続される。コンパレータC Pは、電圧印加部に相当する。

【0100】

ここで、主スイッチング素子M 1 1と副スイッチング素子M 1 2を用いた構成の動作を図13を参照して説明する。図13は、主スイッチング素子M 1 1をオフさせるときの各波形の一例を示すタイミングチャートである。図13において、上段から、主スイッチング素子M 1 1のゲート電圧V g 1 1、副スイッチング素子M 1 2のゲート電圧V g 1 2、主スイッチング素子M 1 1を流れる電流（ドレイン電流）I 1 1、2次側電流I s、スイッチング電圧V s w、および副スイッチング素子M 1 2を流れる電流（ドレイン電流）I 1 2を示す。

【0101】

主スイッチング素子M 1 1がオン（副スイッチング素子M 1 2はオフ）のときにタイミングt 3 1で、不図示のドライバによって主スイッチング素子M 1 1をオフとすべく主スイッチング素子M 1 1のゲート容量からの電荷の引抜きが開始される。すると、主スイッチング素子M 1 1のゲート電圧V g 1 1は減少する。そして、ゲート電圧V g 1 1がミラー電圧V mに達してから、ミラー電圧V mより低下するタイミングt 3 2において、電流I 1 1は減少を開始し、スイッチング電圧V s wは立ち上がりを開始する。そして、ゲート電圧V g 1 1が閾値電圧V t h 1に達すると、コンパレータC Pの出力はL o wとなる（タイミングt 3 3）。これにより、副スイッチング素子M 1 2のゲート容量からの電荷の引抜きが開始され、ゲート電圧V g 1 2は減少を開始する。そして、ゲート電圧V g 1 1が主スイッチング素子M 1 1の閾値電圧V t h 1に達すると、電流I 1 1はゼロとなる（タイミングt 3 4）。

【0102】

タイミングt 3 2から、ゲート電圧V g 1 2が副スイッチング素子V g 1 2の閾値電圧V t h 1 2に達するタイミングt 3 5までの期間で、オンである副スイッチング素子M 1 2を電流I 1 2が流れる。タイミングt 3 5で、副スイッチング素子M 1 2はオフとなり、電流I 1 2は流れなくなる。従って、タイミングt 3 2から主スイッチング素子M 1 1の電流I 1 1がゼロとなるタイミングt 3 4までの期間は、主スイッチング素子M 1 1、副スイッチング素子M 1 2ともにオンである。そして、タイミングt 3 4からタイミングt 3 5までの期間は、主スイッチング素子M 1 1はオフで、副スイッチング素子M 1 2はオンである。そして、タイミングt 3 5以降に、主スイッチング素子M 1 1、副スイッチング素子M 1 2ともにオフとなる。

【0103】

ここで、トランスT r 1の1次巻線L 1は漏れインダクタンスを有しており、スイッチング素子がオンのときにこの漏れインダクタンスにも電流が流れてエネルギーが蓄積されるが、他の巻線と結合していないため電力移行がされない。これにより、仮に副スイッチング素子M 1 2を設けない場合、主スイッチング素子M 1 1をオフとしたときにスイッチング電圧V s wにリンギングが大きく、且つ長い期間生じる。

【0104】

10

20

30

40

50

そこで、本実施形態では、副スイッチング素子M12を設けて、主スイッチング素子M11をオフさせるときに副スイッチング素子M12に電流I12を流すことで、スイッチング電圧Vswに生じるリンギングを抑えることができる。図12には、副スイッチング素子M12を仮に設けない場合にスイッチング電圧Vswに生じるリンギング（破線）のピーク値を、本実施形態では実線で示すスイッチング電圧Vswのピーク値まで低下させることができることを示している。

【0105】

従来、リンギングを抑えるためにスナバ回路を用いることがあったが、スナバ回路はユーザにとって設計が困難な回路であり、設計に失敗するとスイッチング素子が破壊される虞があった。本実施形態により、このようなスナバ回路を用いずともリンギングを抑える

10

【0106】

上述のように、コンパレータCPの閾値電圧Vth1は、主スイッチング素子M11のミラー電圧Vmと、主スイッチング素子M11自身の閾値電圧Vth11との間に設定しており、その理由を説明する。まず、主スイッチング素子M11に流れる電流I11は、ゲート電圧Vg11がミラー電圧Vmより低下するときから減少し、ゲート電圧Vg11が閾値電圧Vth11に達するときにゼロとなる。閾値電圧Vth1がミラー電圧Vm以上に設定された場合、ゲート電圧Vg11が閾値電圧Vth1～ミラー電圧Vmとなる期間では、副スイッチング素子M12にはほぼ電流が流れないため、その期間は機能しないことになる。一方、閾値電圧Vth1が閾値電圧Vth11以下に設定された場合は、ゲート電圧Vg12が閾値電圧Vth12に達するタイミングが遅れてしまい、副スイッチング素子M12に電流I12が過剰に流れてしまう。従って、閾値電圧Vth1は、ミラー電圧Vmより低く、さらには、ミラー電圧Vmと閾値電圧Vth11との間に設定することが好ましい。

20

【0107】

また、抵抗R12を設けているのは、電流I12を制限するためである。主スイッチング素子M11がオンのときに副スイッチング素子M12がオンとなる期間（タイミングt32～t34）があるが、この期間において、スイッチング出力端子T3からグランド端子T41、T42の間に流れる電流としては、抵抗の低い主スイッチング素子M11側に電流が流れ、副スイッチング素子M12には抵抗R12によって電流はほぼ流れない。電流I12を仮に流し過ぎると、主スイッチング素子M11をオフとしたときにスイッチング電圧Vswの立ち上がりの電圧が異常に低くなってしまうからである。

30

【0108】

また、本実施形態において、主スイッチング素子M11と副スイッチング素子M12は、同じ工程で製造されることが好ましく、主スイッチング素子M11は副スイッチング素子M12よりサイズが大きい（例えば1000：1）。同じ工程で製造されるため、主スイッチング素子M11と副スイッチング素子M12は同じバラツキとなり、同じ特性を有する。従って、ゲート電圧の降下開始からゼロとなるまで（或いはスイッチング素子の閾値電圧に達するまで）の時間は、主スイッチング素子M11と副スイッチング素子M12でほぼ同じであり、主スイッチング素子M11の電流I11がゼロとなるとき、副スイッチング素子M12がオンしていることが保証される。また、主スイッチング素子M11のサイズが大きいと、定常のオン状態で流れる電流が大きく、共振現象を生じさせる寄生キャパシタの容量も大きくなり、副スイッチング素子M12によってリンギングを抑制する効果は大きくなる。

40

【0109】

なお、上記のようにコンパレータCPを用いる構成の代わりに、主スイッチング素子M11のゲートに印加させる電圧を遅延させて副スイッチング素子M12のゲートに印加させるフィルタ等の遅延回路を用いた構成としてもよい。例えば、主スイッチング素子M11の電流I11がゼロとなる前に遅延時間が経過し、主スイッチング素子M11の電流がゼロのときに副スイッチング素子M12がオンを保持するようにすれば、リンギングを抑

50

制することができる。

【 0 1 1 0 】

< その他 >

以上、本発明の実施形態について説明したが、本発明の趣旨の範囲内であれば、実施形態は種々の変形が可能である。

【 0 1 1 1 】

例えば、スイッチング素子は、電源制御 IC が備えるのではなく、その外部に設けられるようにしてもよい。

【 0 1 1 2 】

また、本発明に係る絶縁型スイッチング電源装置は、例えば、ソーラーインバータ、F A インバータ、蓄電システム等の産業機器インバータなどに用いることが好適である。

【産業上の利用可能性】

【 0 1 1 3 】

本発明は、例えば、インバータ用の絶縁型スイッチング電源装置に利用することができる。

【符号の説明】

【 0 1 1 4 】

1 電源制御 IC

1 0 絶縁型スイッチング電源装置

Tr 1 トランス

L 1 1 次巻線

L 2 2 次巻線

D 2 ダイオード

C 2 平滑コンデンサ

T 1 電源端子

T 2 帰還端子

T 3 スwitching出力端子

T 4 グランド端子

T 5 R E F 端子

R 1 1、R 1 2 抵抗

1 1 差分回路

1 3 コンパレータ

1 4 ロジック部

1 5 ドライバ

1 6 タイマー部

1 7 フィルタ

1 8 リップル生成部

1 9 O C P 部

M 1 スwitching素子

1 4 1 第 1 ラッチ回路

1 4 2 第 2 ラッチ回路

1 4 3 ~ 1 4 5 A N D 回路

1 4 6 O R 回路

1 6 1 最少オフ時間タイマー

1 6 2 1 / 2 オン時間タイマー

1 6 3 最小オン時間タイマー

1 6 4 オン時間タイマー

1 6 5 インバータ

1 6 6 インバータ

1 6 7 A N D 回路

10

20

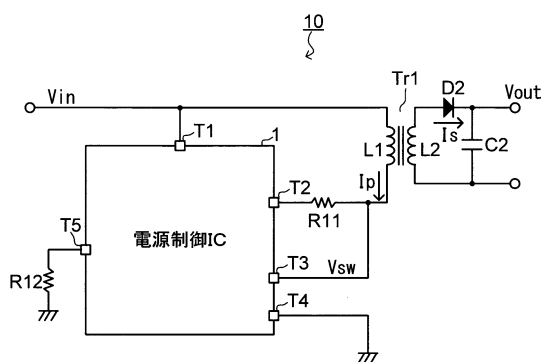
30

40

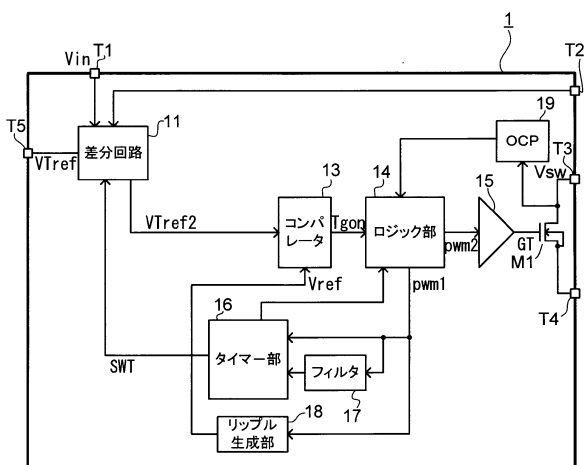
50

- 1 6 8 マスク期間タイマー
1 6 9 ラッチ回路
1 6 1 1 最少オフ時間タイマー
1 6 2 1 1 / 2 オン時間タイマー
M 1 1 主スイッチング素子
M 1 2 副スイッチング素子
R 1 2 抵抗
C P コンパレータ
T 4 1、T 4 2 グランド端子

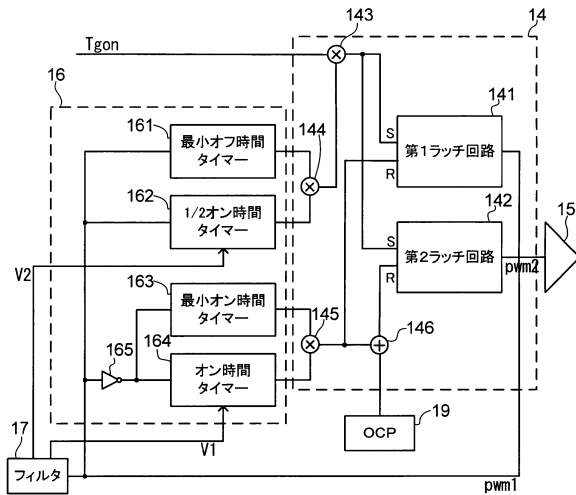
【 図 1 】



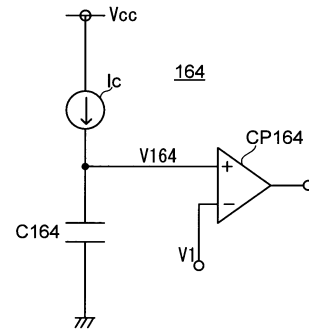
【圖 2】



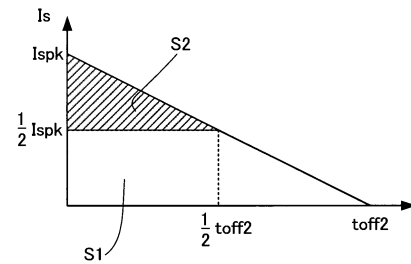
【図 3】



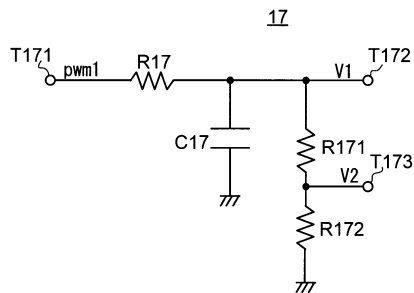
【図 5】



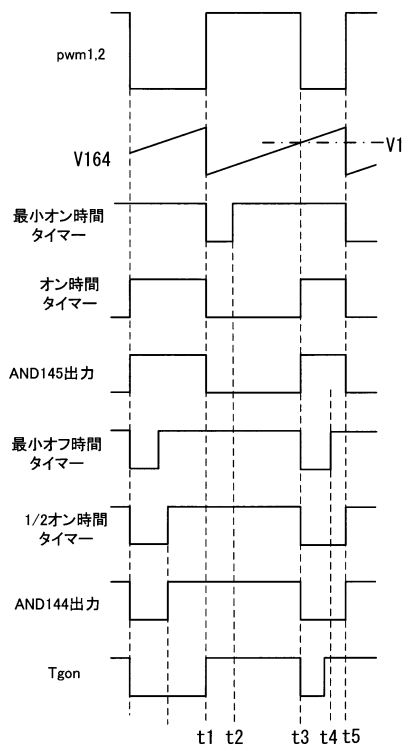
【図 6】



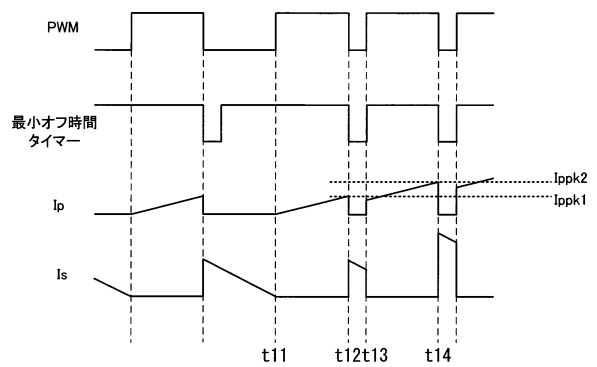
【図 4】



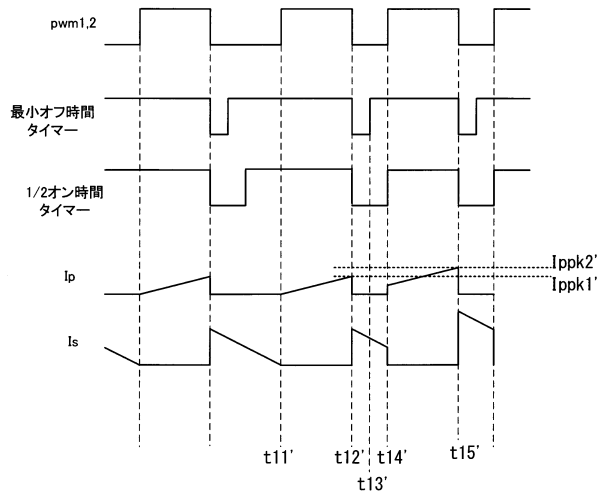
【図 7】



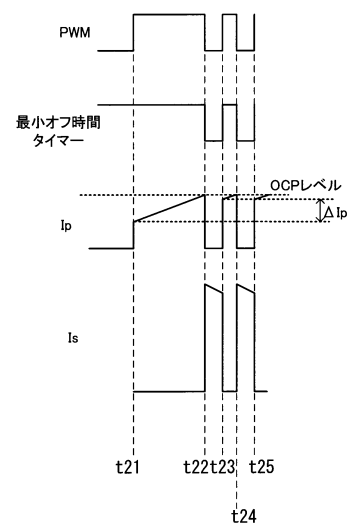
【図 8 A】



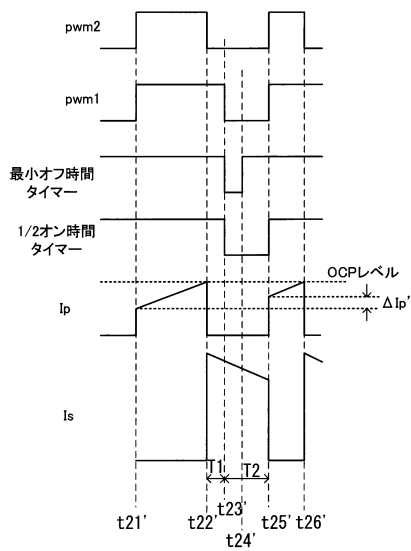
【図 8 B】



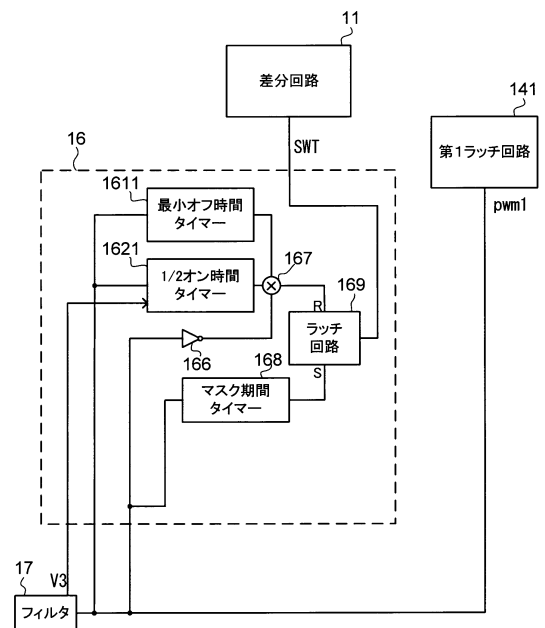
【図 9 A】



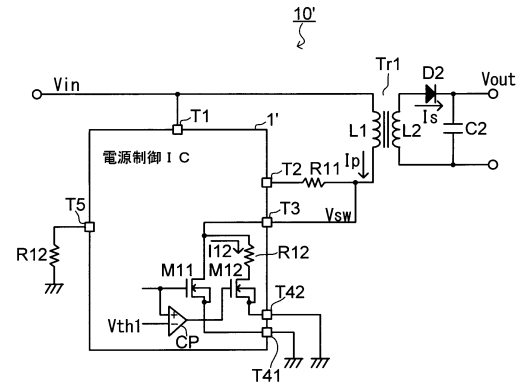
【図 9 B】



【図 10】



【圖 12】



フロントページの続き

(56)参考文献 特開 2 0 0 1 - 2 3 1 2 5 7 (J P , A)
特開 2 0 1 4 - 0 7 9 1 5 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 2 M 1 / 0 0 - 1 1 / 0 0