

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 13 日(13.12.2012)



(10) 国際公開番号
WO 2012/168959 A1

- (51) 国際特許分類:
H01L 21/52 (2006.01) H01L 21/304 (2006.01)
H01L 21/301 (2006.01)
- (21) 国際出願番号: PCT/JP2011/003169
- (22) 国際出願日: 2011 年 6 月 6 日(06.06.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): パイオニア株式会社 (PIONEER CORPORATION) [JP/JP]; 〒2120031 神奈川県川崎市幸区新小倉 1 番 1 号 Kanagawa (JP). パイオニア・マイクロ・テクノロジー株式会社 (PIONEER MICRO TECHNOLOGY CORPORATION) [JP/JP]; 〒4000053 山梨県甲府市大里町 4 6 5 番地 Yamanashi (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 長谷川 勝久 (HASEGAWA, Katsuhisa) [JP/JP]; 〒2120031 神奈川県川崎市幸区新小倉 1 番 1 号 パイオニア株式会社内 Kanagawa (JP).
- (74) 代理人: 落合 稔 (OCHIALI, Minoru); 〒1010032 東京都千代田区岩本町 1 丁目 1 2 番 4 号 大洋ビル 2 階 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

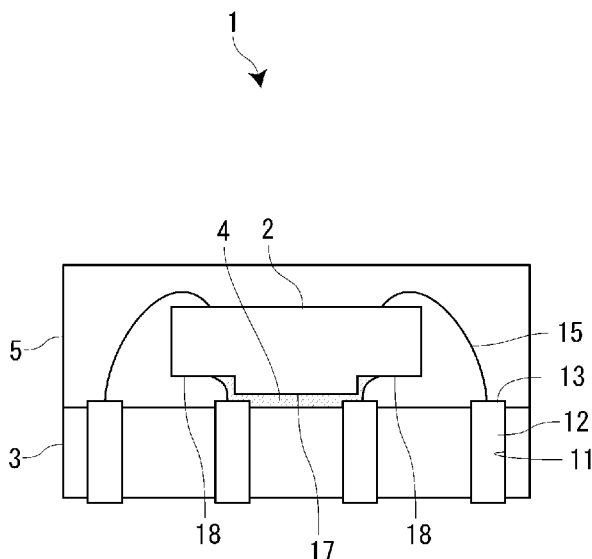
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR CHIP, SEMICONDUCTOR DEVICE PROVIDED WITH SAME, AND METHOD FOR MANUFACTURING SEMICONDUCTOR CHIP

(54) 発明の名称: 半導体チップ、これを備えた半導体装置および半導体チップの製造方法

[図1]



特徴とする。

(57) Abstract: The present invention addresses the issue of providing a semiconductor chip, wherein influence of stress to the semiconductor chip is reduced by means of simple process, said stress being generated due to secondary mounting, a semiconductor device provided with the semiconductor chip, and a method for manufacturing the semiconductor chip. A semiconductor chip of the present invention is fixed on a chip supporting substrate by bonding using a die bond material, and the semiconductor chip is characterized in that the rear surface side of the semiconductor chip, which is fixed to the chip supporting substrate by the bonding, is formed in a recessed and projected shape that is configured of a bonding portion and a non-bonding portion.

(57) 要約: 本発明は、簡単な加工により、二次実装により生ずる半導体チップへの応力の影響を軽減することができる半導体チップ、これを備えた半導体装置および半導体チップの製造方法を提供することを課題としている。本発明の半導体チップは、ダイボンド材を介して、チップ支持基板上に接着固定される半導体チップであって、チップ支持基板上に接着固定される半導体チップの裏面側が、接着部と非接着部とから成る凹凸形状に形成されていることを

明 細 書

発明の名称：

半導体チップ、これを備えた半導体装置および半導体チップの製造方法 技術分野

[0001] 本発明は、ダイボンド材を介して、チップ支持基板上に接着固定される半導体チップ、これを備えた半導体装置および半導体チップの製造方法に関するものである。

背景技術

[0002] 従来、この種の半導体装置として、チップ支持面を有するチップ搭載部と、チップ搭載部の周囲に配置した複数のリードと、ペースト材を介してチップ搭載部のチップ支持面に接着固定した半導体チップと、半導体チップと複数のリードとを接続するワイヤと、複数のリード、半導体チップおよびワイヤをチップ搭載部上に樹脂封止する封止体と、を備えたものが知られている（特許文献１参照）。

また、この半導体装置では、チップ支持面の外形サイズが、半導体チップの裏面サイズより小さく形成され、且つチップ支持面の周縁部に、これより低い段差部が形成されている。

これにより、封止体の裏面へのダイボンド材の流出を防止し、半導体チップの品質や信頼性を向上するようにしている。

先行技術文献

特許文献

[0003] 特許文献１：特開２００９－７６６５８号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、この種の半導体装置において、特にアナログＩＣ等では、回路基板にマウント（二次実装）するときに、半田実装時の熱的影響や熱収縮に基づく残留応力により、チップ搭載部（チップ支持基板）を介して半導体チ

ップに物理的影響および電氣的影響を及ぼすことが知られている。すなわち、マウント時の残留応力等により、半導体チップが剥がれたり、半導体チップ（アナログIC）の出力信号に不具合が生ずる。

上記従来の半導体装置では、チップ支持面の外形サイズが、半導体チップの裏面サイズより小さく形成されているため、チップ搭載部（チップ支持基板）と半導体チップとの接着面積が小さくなり、半導体チップに対するチップ搭載部からの応力を軽減することができる。

しかし、チップ搭載部（チップ支持基板）に段差部、言い換えればチップ支持面となる凸部を形成する必要がある、チップ搭載部の加工が煩雑になる問題があった。すなわち、この凸部は、単体のチップ搭載部に対し加工を行う必要があると共に、位置的にリード等を回避して形成する必要がある、加工効率や位置的制約等の点で、チップ搭載部の加工が煩雑になる問題があった。

[0005] 本発明は、簡単な加工により、二次実装により生ずる半導体チップへの応力の影響を軽減することができる半導体チップ、これを備えた半導体装置および半導体チップの製造方法を提供することを課題としている。

課題を解決するための手段

[0006] 本発明の半導体チップは、ダイボンド材を介して、チップ支持基板上に接着固定される半導体チップであって、チップ支持基板に接着固定される半導体チップの裏面側が、接着部と非接着部とから成る凹凸形状に形成されていることを特徴とする。

[0007] この構成によれば、半導体チップの裏面側が、接着部と非接着部とから成る凹凸形状に形成されているため、裏面側全体が平坦（接着部）な場合に比して、チップ支持基板との接触面積（接着面積）を小さくすることができる。これにより、二次実装（回路基板へのマウント）により生じる半導体チップへの応力を軽減させることができる。すなわち、二次実装時の半導体チップへの物理的影響および電氣的影響を軽減することができ、半導体チップ自体の品質や信頼性を向上させることができる。また、半導体チップ側を凹凸

形状としているため、形成される接着部および非接着部の位置的自由度が増すと共に、加工が煩雑になることもない。

[0008] この場合、非接着部は、半導体チップの裏面側における4辺の周縁部うち少なくとも一方の平行な2辺の周縁部に形成されていることが好ましい。

[0009] この構成によれば、半導体チップの裏面側対称位置に非接着部をバランス良く形成することができると共に、半導体チップに対して非接触部を簡単に形成することができる。

[0010] この場合、非接着部は、チップ化前のウェーハレベルの状態、研削により形成した溝であることが好ましい。

[0011] この構成によれば、ウェーハレベルで溝を研削することにより、複数の半導体チップに対し非接触部を一括して形成することができ、非接着部を簡単に形成することができる。なお、溝の研削は、半導体チップの分断前に行うことが好ましい。

[0012] 本発明の半導体装置は、上記の半導体チップと、半導体チップを支持するチップ支持基板と、半導体チップをチップ支持基板に接着固定するダイボンド材と、チップ支持基板上に半導体チップを封止する封止材と、を備えたことを特徴とする。

[0013] この構成によれば、二次実装において、半導体チップに対する応力を軽減し得る半導体装置を提供することができる。これにより、二次実装時の半導体チップへの物理的影響および電気的影響を軽減することができ、半導体装置自体の品質や信頼性を向上させることができる。なお、ダイボンド材として、銀ペーストを用いることが好ましく、且つ銀ペーストは、接着強度をアップさせるべく、接着部から非接着部に向ってフィレット形状に回り込むように塗着させることが好ましい。

[0014] 本発明の半導体チップの製造方法は、表面に複数の半導体素子をマトリクス状に作り込んだウェーハを分断して、上記の半導体チップの複数個を得る半導体チップの製造方法であって、分断用ダイシングブレードを用い、ダイシングテープに貼着したウェーハを分断しチップ化するダイシング工程と、

ダイシング工程に先立ち、溝加工用ダイシングブレードを用い、表裏反転してダイシングテープに貼着したウェーハに、非接着部となる溝を形成する溝形成工程と、を備えたことを特徴とする。

[0015] この構成によれば、ウェーハに対して、非接着部となる溝を形成した後、ウェーハをチップ化するようにしているため、一括して簡単に接着部および非接着部を形成した半導体チップ、すなわち二次実装において応力を軽減し得る半導体チップを製造することができる。また、溝の形成位置や溝の幅等の設計の自由度を高めることができる。なお、溝の形成直後およびウェーハの分断直後に、それぞれ外観検査を行うことが好ましい。また、溝形成時のダイシングテープは、分断のためにウェーハを表裏反転してダイシングテープに貼着してから、剥がす（UV照射等）ことが好ましい（溝部分でのブレイク防止）。

[0016] この場合、ダイシング工程では、縦分断ラインおよび横分断ラインに倣って分断が行われ、溝形成工程では、縦分断ラインおよび横分断ラインの少なくとも一方に倣って溝が形成されることが好ましい。

[0017] この構成によれば、隣接する半導体チップの非接着部（溝）を同時に形成することができ、対称的な非接着部が形成された半導体チップを簡単に製造することができる。また、縦横の分断ライン（スクライブライン）に倣って溝の形成が行われ、且つ縦横の分断ラインに倣って分断（ダイシング）が行われるため、分断における切込み深さを相対的に浅くすることができ、大きなチップング（欠け）が生ずるのを未然に防止することができる。

図面の簡単な説明

[0018] [図1]半導体装置の模式的な断面図である。

[図2]二次実装した半導体装置の模式的な断面図である。

[図3]半導体チップの製造方法の説明図である。

[図4]変形例に係る半導体チップの製造方法の説明図である。

発明を実施するための形態

[0019] 以下、添付した図面を参照して、本発明の一実施形態に係る半導体チップ

、これを備えた半導体装置および半導体製造装置について説明する。この半導体装置は、半導体チップを表面実装型のBGA (Ball Grid Array) パッケージでパッケージングしたものであり、半導体チップは、例えばアナログICで構成されている。

[0020] 図1に示すように、半導体装置1は、半導体チップ2と、半導体チップ2を支持するチップ支持基板3と、半導体チップ2をチップ支持基板3に接着固定するダイボンド材4と、チップ支持基板3上に半導体チップ2を封止する封止材5と、を備えている。

[0021] チップ支持基板3は、いわゆるガラスエポキシ基板であり、表裏方向に貫通する複数のコンタクトホール11には、それぞれ電極12が埋め込まれている。各電極12の上端には、ボンディングパッド13が形成され、下端には半田バンプ14が形成されていて、表面実装型のパッケージを構成している。半導体チップ2と各ボンディングパッド13は、ループ形状のワイヤ15（金線）で接続されており、この半導体チップ2と複数のワイヤ15は、封止材5である樹脂でモールド封止されている。なお、チップ支持基板3がリードフレーム等であってもよい。また、封止材5は蓋状のケースであってもよい。

[0022] 半導体チップ2は、表面に、成膜、リソグラフィ、不純物拡散等を繰り返して複数の半導体素子をマトリクス状に形成したウェーハ16を、スクライビング（チップ化）して、形成したものであり、実施形態のものは、例えばアナログICで構成されている。半導体チップ2の裏面側は、接着部17と非接着部18とから成る凹凸形状に形成されており、半導体チップ2は、この接着部17を介して、銀ペースト等のダイボンド材4（接着剤）により、チップ支持基板3上に接着固定（一次実装）されている。

[0023] より具体的には、半導体チップ2の裏面側には、その中央部に方形の接着部17が形成され、接着部17の周囲、すなわち裏面の四周縁部に、段部を存して非接着部18が形成されている。また、チップ支持基板3には、接着部17からはみ出す量のダイボンド材4が塗布されており、半導体チップ2

を接着すると、はみ出したダイボンダ材4が接着部17から非接着部18に向ってフィレット形状に回り込むようになっている。これにより、接着部17の接着面積が小さくても、半導体チップ2がチップ支持基板3に強固に接着固定されている。

[0024] 図2に示すように、このように構成された半導体装置1は、プリント基板19（プリント回路基板）等に二次実装（マウント）される。二次実装では、半田バンプ14の部分で半田実装されるため、チップ支持基板3を介して半導体チップ2に、熱的影響や熱収縮に基づく残留応力が作用する虞がある。しかし、裏面側に非接着部18を有する本実施形態の半導体チップ2では、チップ支持基板3との接着面積を小さくすることができるため、二次実装により生じる半導体チップ2への応力を軽減させることができる。すなわち、二次実装時の半導体チップ2への物理的影響および電氣的影響を極力軽減することができる。

[0025] 次に、図3を参照して、裏面側に非接着部18を有する上記の半導体チップ2の製造方法について説明する。この製造方法は、半導体製造の後工程におけるダイシング工程（広義のダイシング工程）に関するものであり、ダイシング装置により、表面に複数の半導体素子21をマトリクス状に作り込んだウェーハ16を、マトリクス状に分断（チップ化）して、半導体チップ2の複数個を得るようにしている。図示では省略したが、ダイシング装置は、例えばダイシングテープ22（UVテープ）を介して、ウェーハ16がセットされるX・Y・θ軸テーブルと、スピンドルに着脱自在に装着されたダイシングブレード23、24と、スピンドルを介してダイシングブレード23、24をZ軸方向に微小移動させるZ軸テーブルと、ウェーハ16を画像認識する認識カメラと、を備えている。また、ダイシング装置に導入されるウェーハ16は、予め所定の厚さとなるように裏面研磨（バックグラインド）されている。

[0026] この半導体チップ2の製造方法では、分断用ダイシングブレード23を用い、ダイシングテープ22に貼着したウェーハ16を分断しチップ化する本

来のダイシング工程と、ダイシング工程に先立ち、溝加工用ダイシングブレード24を用い、表裏反転してダイシングテープ22に貼着したウェーハ16に、非接着部18となる溝を形成する溝形成工程と、を備えている。なお、特に図示しないが、ダイシングテープ22を介してX・Y・θ軸テーブルにセットしたウェーハ16に対し、予め、認識カメラにより画像認識が行われ、この認識結果に基づいてウェーハ16のアライメントが行われる（X・Y・θ軸テーブルによる微小移動またはデータ補正）。また、ダイシング工程および溝形成工程は、予め入力したスクライブデータ（スクライブラインおよび切込み深さのデータ）に基づいて実施される。

[0027] 溝形成工程では、上記のスピンドルに溝加工用ダイシングブレード24を装着すると共に、ダイシングテープ22を用いて、X・Y・θ軸テーブルに素子形成側となる表面25を下面としてウェーハ16を貼り付ける（図3（a））。そして、上記のアライメントの後、溝加工用ダイシングブレード24を用いて、スクライブデータに基づく縦分断ラインおよび横分割ラインに倣って非接着部18となる溝を形成する（図3（b））。すなわち、ウェーハ16に対し、各縦分断ラインを中心線として全ての縦溝を研削し、続いてウェーハ16を90°回転した後、各横分割ラインを中心線として全ての横溝を研削する。これにより、上記の非接着部18となる溝が形成される。なお、本実施形態では、非接着部18となる溝の幅は300μm程度であり、その深さは50μm程度である（ウェーハ16の厚さは300μm）。

[0028] ここで、非接着部18となる溝が形成されたウェーハ16を表裏反転して、X・Y・θ軸テーブルに再セットするが、その際、ウェーハ16をダイシングテープ22に貼着した状態で、ダイシングテープ22ごと再セットすることが好ましい。すなわち、ウェーハ16を再セットした後、上方から紫外線の照射を行ってダイシングテープ22を剥離することが好ましい。これにより、再セットに伴うハンドリングの際に、ウェーハ16が溝部分でブレイクしてしまうのを防止することができる。もちろん、ウェーハ16が十分に厚い場合には、ダイシングテープ22から剥離した後、再セットを行っても

よい。なお、溝形成が完了した直後に、認識カメラを用いて外観検査を行うことも好ましい。

[0029] ダイスング工程では、上記のスピンドルに、溝加工用ダイシングブレード 24 に代えて分断用ダイシングブレード 23 を装着すると共に、新たなダイシングテープ 22 を用いて、 $X \cdot Y \cdot \theta$ 軸テーブルに素子形成側となる表面 25 を上面としてウェーハ 16 を貼り付ける（図 3（c））。次に、上記のアライメントを行った後、分断用ダイシングブレード 23 により、スクライブデータに基づく縦分断ラインおよび横分断ラインに倣った分断を行い、ウェーハ 16 をチップ化する（図 3（d））。すなわち、ウェーハ 16 のブラックマトリクス部分に、各縦分断ラインに沿ってダイシングを行ってウェーハ 16 を帯状に分断し、続いてウェーハ 16 を 90° 回転した後、各横分割ラインに沿ってダイシングを行ってウェーハ 16 をマトリクス状に分断する。なお、本実施形態では、分断用ダイシングブレード 23 による分断幅（切り代）は、一般的な $30 \mu\text{m}$ 程度である。

[0030] 最後に、認識カメラを用いて外観検査を行うと共に、下側からダイシングテープ 22 に紫外線を照射して、ダイシングテープ 22 の粘着力を低減させ、各半導体チップ 2 を引き剥がし可能な状態とする。ここで、広義のダイシング工程の前に行われた導通検査および上記の外観検査で不良品された半導体チップ 2 をピックアップし除去して、次工程であるダイボンド工程（一次実装）に移行する。

[0031] なお、縦分断ラインまたは横分断ラインのみに倣って、溝形成工程を行うようにして、非接着部 18 となる溝を形成するようにしてもよい（図 4（a）参照）。

また、縦分断ラインおよび／または横分断ラインの中間に相当する位置に、非接着部 18 となる溝を形成するようにしてもよい（図 4（b）参照）。

[0032] 以上の構成によれば、半導体チップの裏面側を簡単な加工で、接着部と非接着部とから成る凹凸形状が形成されているため、チップ支持基板との接触面積が小さくなり、二次実装により生じる半導体チップへの応力を軽減させ

ることができる。

符号の説明

[0033] 1…半導体装置 2…半導体チップ 3…チップ支持基板 4…ダイボン
ド材 5…封止材 16…ウェーハ 17…接着部 18…非接着部 23
…分断用ダイシングブレード 24…溝加工用ダイシングブレード

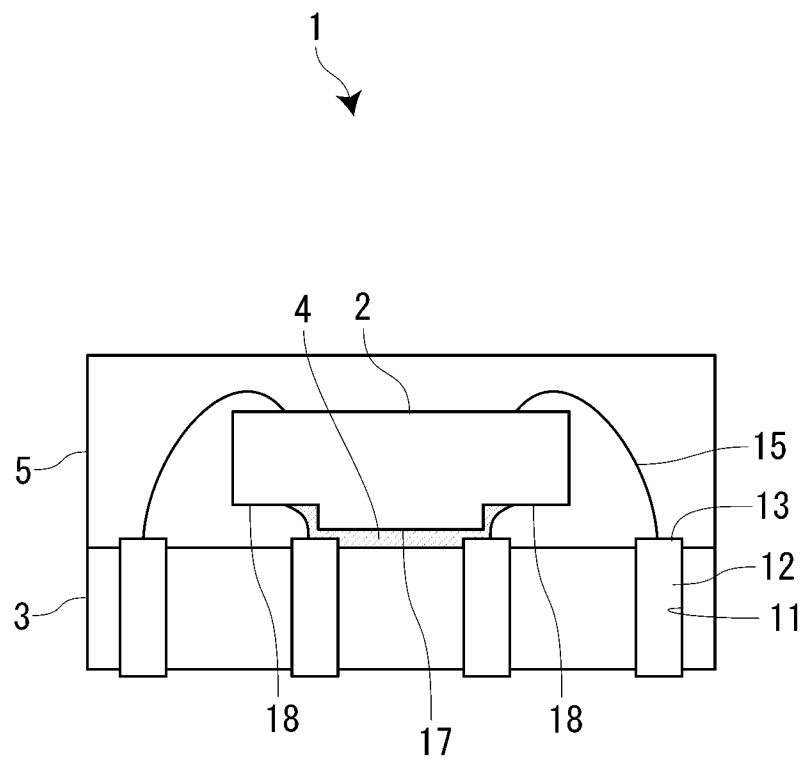
請求の範囲

- [請求項1] ダイボンド材を介して、チップ支持基板上に接着固定される半導体チップであって、
- 前記チップ支持基板に接着固定される前記半導体チップの裏面側が、接着部と非接着部とから成る凹凸形状に形成されていることを特徴とする半導体チップ。
- [請求項2] 前記非接着部は、前記半導体チップの裏面側における4辺の周縁部うち少なくとも一方の平行な2辺の周縁部に形成されていることを特徴とする請求項1に記載の半導体チップ。
- [請求項3] 前記非接着部は、チップ化前のウェーハレベルの状態で、研削により形成した溝であることを特徴とする請求項1または2に記載の半導体チップ。
- [請求項4] 請求項1ないし3のいずれかに記載の半導体チップと、
- 前記半導体チップを支持する前記チップ支持基板と、
- 前記半導体チップを前記チップ支持基板に接着固定する前記ダイボンド材と、
- 前記チップ支持基板上に前記半導体チップを封止する封止材と、を備えたことを特徴とする半導体装置。
- [請求項5] 表面に複数の半導体素子をマトリクス状に作り込んだウェーハを分断して、請求項1に記載の半導体チップの複数個を得る半導体チップの製造方法であって、
- 分断用ダイシングブレードを用い、ダイシングテープに貼着した前記ウェーハを分断しチップ化するダイシング工程と、
- 前記ダイシング工程に先立ち、溝加工用ダイシングブレードを用い、表裏反転してダイシングテープに貼着した前記ウェーハに、前記非接着部となる溝を形成する溝形成工程と、を備えたことを特徴とする半導体チップの製造方法。
- [請求項6] 前記ダイシング工程では、縦分断ラインおよび横分断ラインに倣っ

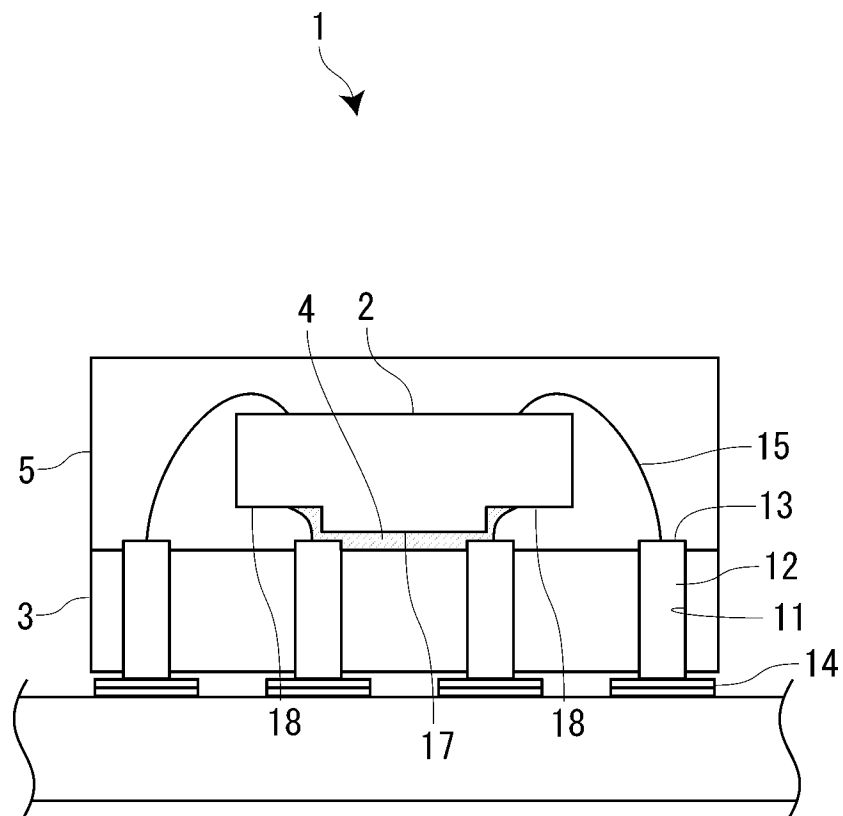
て前記分断が行われ、

前記溝形成工程では、縦分断ラインおよび横分断ラインの少なくとも一方に倣って前記溝が形成されることを特徴とする請求項5に記載の半導体チップの製造方法。

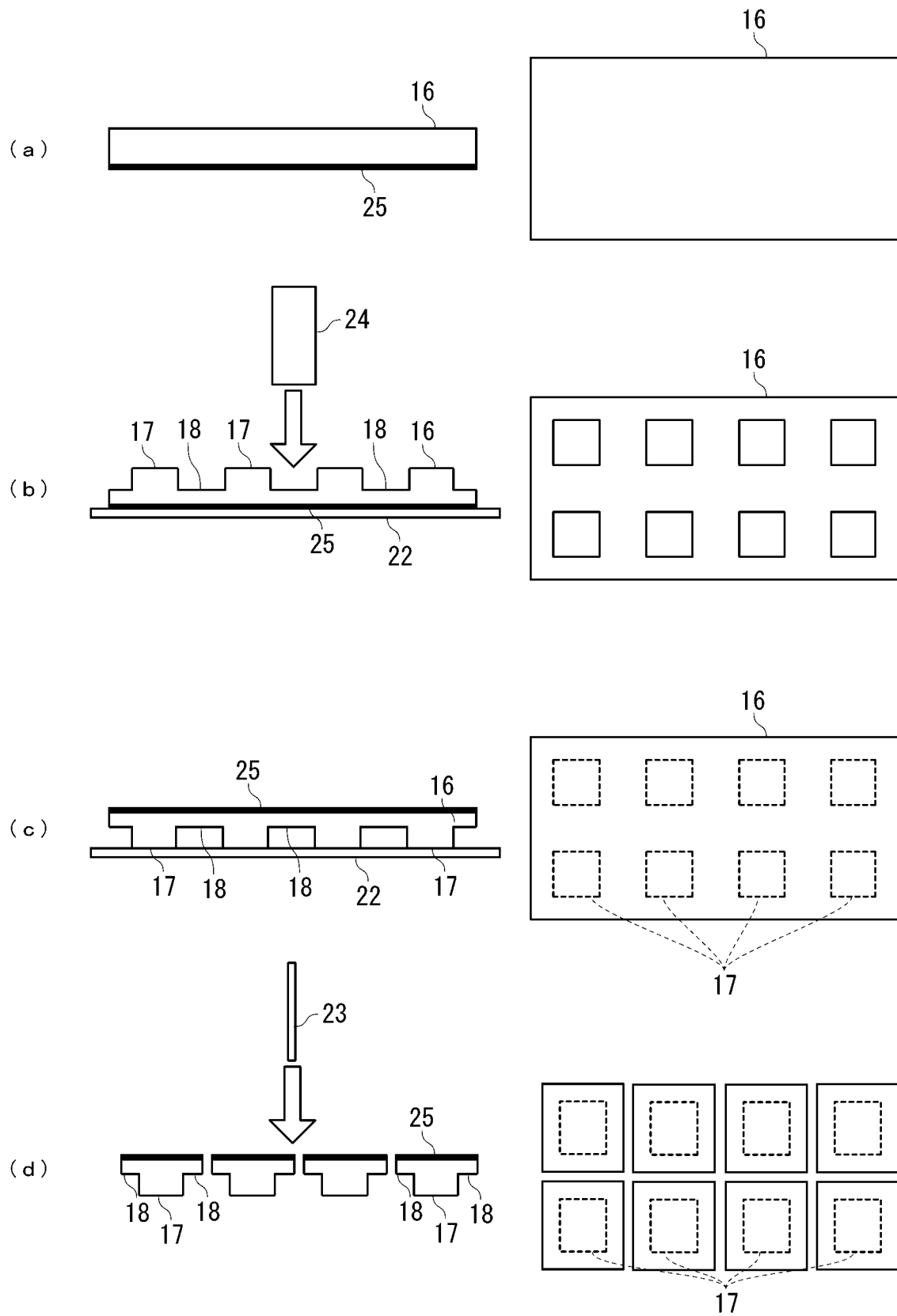
[図1]



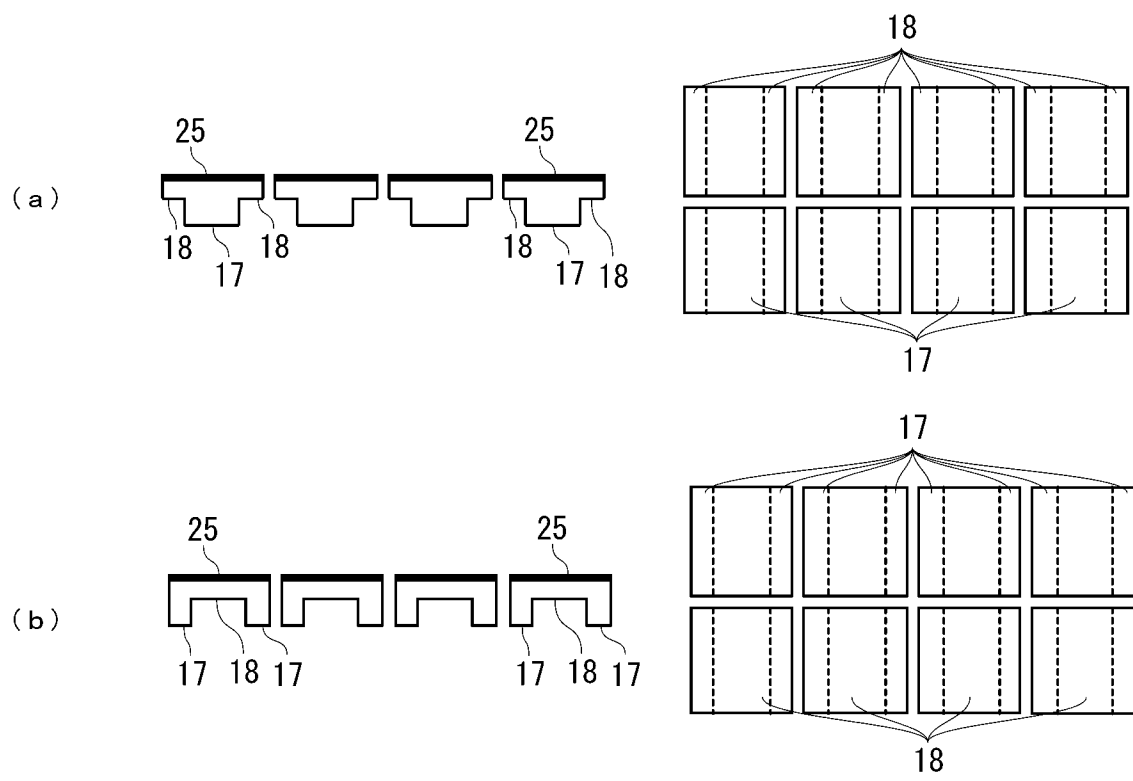
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/003169

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/52(2006.01)i, H01L21/301(2006.01)i, H01L21/304(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/52, H01L21/301, H01L21/304

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-21251 A (Panasonic Corp.), 28 January 2010 (28.01.2010), paragraphs [0017] to [0018], [0021] to [0024]; fig. 3, 5 to 6 (Family: none)	1-6
X	JP 2-78234 A (Hitachi, Ltd.), 19 March 1990 (19.03.1990), page 4, lower left column, line 8 to page 7, lower left column, line 10; fig. 1 to 16 (Family: none)	1-4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05 July, 2011 (05.07.11)

Date of mailing of the international search report
12 July, 2011 (12.07.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/52(2006.01)i, H01L21/301(2006.01)i, H01L21/304(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/52, H01L21/301, H01L21/304

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2010-21251 A（パナソニック株式会社）2010.01.28, 段落0017-0018, 0021-0024, 図3, 5-6（ファミリーなし）	1-6
X	JP 2-78234 A（株式会社日立製作所）1990.03.19, 第4頁左下欄第8行-第7頁左下欄第10行, 第1-16図（ファミリーなし）	1-4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

05.07.2011

国際調査報告の発送日

12.07.2011

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

石野 忠志

4R

3547

電話番号 03-3581-1101 内線 3471