

公告

321804

申請日期	86 年 1 月 30 日
案 號	86101054
類 別	Int. Cl. ⁶ H03K 19/08

A4
C4

321804

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	輸出緩衝電路
	英 文	
二、發明 人	姓 名	(1) 高橋誠 (2) 野上一孝
	國 籍	(1) 日本 (2) 日本 (1) 日本國橫濱市神奈川區松見町一-三〇-七-五〇三
	住、居所	(2) 日本國千葉縣市川市南大野二-一九-五
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本 (1) 日本國神奈川縣川崎市幸區堀川町七二番地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 西室泰三

321804

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1995 年 8 月 22 日 P07-213464 ☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

四、中文發明摘要 (發明之名稱：)

輸出緩衝電路

具備：被輸入資料及啓動信號之預緩衝控制電路 C 1，C 2；及被輸入電路 C 1 所輸出之信號，而將第 1 信號輸出，具有 P 型 T r Q P 5，Q P 6，Q N 4，Q N 5 之第 1 預緩衝電路 P B 1；及被輸入電路 C 2 所輸出之信號，而將第 2 信號輸出之預緩衝電路 P B 2，及被設置在電路 P B 1，P B 2 與輸出入端子 I / Q 之間，具有 P 型 T r Q P 1，Q N 1，Q N 2 之主緩衝電路 M B 1；及被形成於同一 N 型基板之 P 型 T r Q P 2 ~ Q P 4。

英文發明摘要 (發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

〔發明所屬之技術領域〕

本發明相關於輸出緩衝電路，特別是與於同一系統中存在有接受不同之電源電壓之供給之複數之電路之情況之電路間之介面有關。

〔習知技術〕

近來，半導體積體電路求取高積體化及高速化內進展至小面積化。此情況中，必須要防止絕緣破壞。又，用以減低消耗電力用之電源電壓之低電壓化正被進行中。

惟自至此為止廣泛使用之 5 V 之電源電壓至 3 . 3 V 等之低電源電壓之移行，並非將某時期在境內系統整體完全替換者。因此，於同一系統中以不同之電源電壓動作之電路係共存。結果，被保證於 5 V 等之高電源電壓動作而設計之電路，與被保證於 3 . 3 V 等之低電源電壓動作而設計之電路被直接連接。一般上，記憶體電路或微處理器等之低電源電壓化者，比周邊電路前進。故有記憶體或微處理器等於 3 . 3 V 等之低電源電壓動作，周邊電路於 5 V 等之高電源電壓動作之情況產生。

此種情況，將於高電源電壓動作之電路所輸出之具 5 V 等之振幅之信號，以於低電源電壓動作之電路直接接收後，會產生以下之問題。於低電源電壓動作之電路中，外部端子及低電源電壓端子之間，連接了作為拾取用之電晶體之 P 通道型 MOS 電晶體（以下簡稱 P 型 T_r）。來自外部端子之 5 V 之信號被輸入後，此 P 型 T_r 即使原來

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(2)

爲 o f f 狀態亦會成爲 O N , 不要之電流自外部端子流向低電源電壓端子。又, 不要之電流自外部端子朝向形成 P 型 T r 之 N 型 # 區基板流動。進而, 雖外部端子與接地電壓 V S S 端子之間, 與 N 通道型 M O S 電晶體(以下簡稱 N 型 T r)之兩端連接, 此 N 型 T r 之用氧化膜上被附加了容許電壓以上之電壓時, 亦有開氧化膜被破壞之問題。

對此種問題, 習知所採用之技術爲, 在以 3 . 3 V 等之低電源電壓動作之電路中, 僅輸出緩衝電路做成以 5 V 等之高電源電壓動作者。惟, 3 . 3 V 等之低電壓動作之內部電路, 及 5 V 等之高電壓動作之輸出緩衝電路之間需有電壓變換電路, 因設有此電壓變換電路, 產生了動作延遲之新問題。

又, 於輸出緩衝電路中, 不能使用低電源電壓最適合之電晶體, 必需製造可耐 5 V 等之高電壓之有氧化膜之電晶體, 製造過程複雜化。引致費用上升。此處, 不使用有 5 V 等之高耐壓之電晶體, 而僅使用 3 . 3 V 等之低電源電壓最適合之電晶體之緩衝電路被揭示於美國專利第 5 , 1 5 1 , 6 1 9 號 "CMOS off chip driver circuit" 中。預緩衝電路 P B 1 1 及主緩衝電路用之 P 型 T r Q P 3 2 及 N 型 T r Q N 3 2 以外, 設有 P 型 T r Q P 3 1 ~ Q P 3 3 及 Q P 3 4 及 N 型 T r Q N 3 1 。

輸出端子 D 0 藉未圖示之其他之外部電路驅動, 輸出端子 D 0 之電壓 V_{out} 變成 $V_{DD} > V_{out} - V_{DD} - V_{thp}$ 所示之電位後, P 型 T r Q P 3 1 便 o f f 。藉此, 拾取用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (3)

電晶體之 P 型 T r Q P 3 2 之閘極，依 N 型 T r Q N 3 1 充電至 $V_{DD} - V_{thn}$ 之電位為止於高電阻狀態 o n，有不要之電流自輸出端子 D 0 流向電源電壓 V_{DD} 端子之問題。此處， V_{thp} 為 P 型 T r 之臨界值電壓， V_{thn} 為 N 型 T r 之臨限值電壓。

又，其他之習知緩衝電路，有美國專利第 4 9 6 4 7 6 6 號 "Low voltage CMOS output bufter" 所揭示者，其電路構成示於圖 4。此電路係做成，構成主緩衝電路之 P 型 T r Q P 4 2 及 N 型 T r Q N 4 7 之中，拾取電晶體之 P 型 T r Q P 4 2 之基板被附加 5 V 之電源電壓 V_{DD5} ，做成 P 型 T r Q P 4 2 之連接點接合部上不會被附加順偏壓電壓。

輸出端子 D 0 之電壓成為 5 V 後，輸出端子 D 0 上連接汲極之 P 型 T r Q P 4 1 便 o n (開)。藉此，P 型 T r Q P 4 2 之閘極上被附加與輸出端子 D 0 大致相同 5 V 之電壓，然後 o f f (關)，電流自輸出端子 D 0 至電源電壓 V_{DD} 端子之流動便不會發生。

惟，N 型 T r Q N 4 3 或 N 型 T r Q N 4 7 之閘氧化膜上被附加 5 V 之電壓之故，必需製造有 5 V 之耐壓之電晶體。因此有製造成本增大之問題。

[發明所欲解決之課題]

如上所述，習知係做成防止電流自輸出端子流入至電源電壓端子，必須設置電位變換電造成對高速動作之妨礙

86年7月26日 修正
補充

五、發明說明 (4)

，或必須形成有 5 V 之耐壓之閘氧化膜而產生引致製程複雜化之問題。

本發明係鑑於上記情事而做成者，故以提供防止不要之電流自輸出端子流入電源電壓端子，並可高速動作及減低成本之輸出緩衝電路為目的。

〔解決課題之手段〕

本發明之輸出緩衝電路，其特徵在於具備：

被輸入資料及啟動信號，而將第 1 及第 2 預緩衝控制信號輸出之預緩衝控制電路；

被輸入前記預緩衝控制電路所輸出之前記第 1 預緩衝控制信號，而為將第 1 信號輸出之第 1 預緩衝電路，其中，具有在第 1 電源電壓端子及第 2 電源電壓端子之間直列地被連接之第 1 及第 2 P 通道型 MOS 電晶體及第 1 及第 2 N 通道型 MOS 電晶體，前記第 1 P 通道型 MOS 電晶體及第 2 N 通道型 MOS 電晶體之閘極被輸入前記第一預緩衝控制信號，前記第 2 P 通道型 MOS 電晶體之閘極被連接於第 1 節點，前記第 1 N 通道型 MOS 電晶體之閘極被連接於第 1 電源電壓端子，藉將前記第 2 P 通道型 MOS 電晶體之一端與前記第 1 N 通道型 MOS 電晶體之一端連接之第 2 節點將前記第 1 信號輸出之前記第 1 預緩衝電路；

被輸入前記預緩衝控制電路所輸出之前記第 2 預緩衝控制信號，而將第 2 信號輸出之第 2 預緩衝電路；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

人

五、發明說明(5)

被輸入前記第 1 及第 2 信號，藉輸出端子將第 3 信號輸出之主緩衝電路，其中，具有在第 1 電源電壓端子及第 2 電源電壓端子之間直列地被連接之第 3 P 通道型 MOS 電晶體及第 3 及第 4 N 通道型 MOS 電晶體，前記第 3 P 通道型 MOS 電晶體之閘極被輸入第 1 信號，前記第 3 N 通道型 MOS 電晶體之閘極被連接於第 1 電源電壓端子，前記第 4 N 通道型 MOS 電晶體之閘極被輸入前記第 2 信號，將前記第 3 P 通道型 MOS 電晶體之一端與前記第 3 N 通道型 MOS 電晶體之一端連接之第 3 節點被連接於前記輸出端子之前記主緩衝電路；及

源極被連接於第 1 電源電壓端子，閘極被連接於前記輸出端子，汲極被連接於前記 N 型基板之前記第 4 P 通道型 MOS 電晶體，及源極被連接於前記第 2 節點，閘極被連接於第 1 電源電壓端子，汲極被連接於前記輸出端子之前記第 5 P 通道型 MOS 電晶體，及源極被連接於前記輸出端子，閘極被連接於第 1 電源電壓端子，汲極被連接於前記第 1 節點之前記第 6 P 通道型 MOS 電晶體。

主緩衝電路成為動作停止狀態地被輸入啟動信號，且輸出端子上被附加比第 1 電源電壓更高之電壓時，第 5 P 型 Tr 為 on (開)，輸出端子之電壓被附加於第 3 P 型 Tr 之閘極上，完全地 off (關)。藉此，自輸出端子經第 3 P 型 Tr 向第一電源電壓之不要之電流之流動被防止。又，第 6 P 型 Tr 亦 on，輸出端子之電壓藉第 6 P 型 Tr 被附加於第 2 P 型 Tr 之閘極上，完全地 off，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

可防止不要之電流藉第 2 P 型 T r 及第 1 P 型 T r 之向第 1 電源電壓之流動。又，同一 N 型基板上所形成之第 2 ~ 6 T r 之閘氧化膜上不會被附加超過第 1 電源電壓之電壓，可迴避製造過程之複雜化。

以下參照圖面對本發明之一實施形態作一說明。第 1 實施形態並非僅具輸出緩衝機能，而係兼具輸入緩衝機能之輸出入緩衝電路，其構成如圖 1 所示。

此輸出入緩衝電路具備：資料輸出端子 D 0，資料輸入端子 D 1，啓動信號輸入端子 E N，輸出入端子 I / O，預緩衝控制電路 C 1 及 C 2，預緩衝電路 P B 1 及 P B 2，主緩衝電路 M B 1，預緩衝電路 P B 3，主緩衝電路 M B 2，P 型 T r Q P 2 ~ Q P 4 及 Q P 7，N 型 T r Q N 3 及 Q N 6 ~ Q N 8，N 型 T r Q N 6 ~ Q N 8，電阻 R。

預緩衝控制電路 C 1 具有：資料輸出端子 D 0 上被連接有輸入端子之反相器 I N 1，及反相器 I N 1 之輸出端子上被連接有輸入端子之一方，而輸出端子被連接於節點 N 1 上之 N O R 閘 N R 1。預緩衝控制電路 C 2 具有啓動信號輸入端子 E N 上被連接有輸入端子，而輸出端子上被連接有 N O R 閘 N R 1 之另一方之輸入端子之反相器 I N 2 啓動信號輸出端子 E N 及反相器 I N 1 之輸出端子上各別被連接有輸入端子，而輸出端子上被連接於節點 N 2 之 N A N D 閘 N A 1。

預緩衝電路 P B 1 係於電源電壓 V D D 端子及接地電壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (7)

V SS端子之間，直列地被與 P 型 T r Q P 5，及 Q P 6，N 型 T r Q N 4 及 Q N 5 之各別兩端連接。P 型 T r Q P 5 及 N 型 T r Q N 5 之閘極上被連接於節點 N 1，N 型 T r Q N 4 之閘極被連接於電源電壓 V DD 端子。P 型 T r Q P 6 之汲極及 N 型 T r Q N 4 之汲極被共通連接於預緩衝電路 P B 1 之輸出節點 N 3。

預緩衝電路 P B 2 乃由反相器 I N 3 所成，反相器 I N 3 之輸入端子被連接於節點 N 2，輸出端子被連接於預緩衝電路 P B 2 之輸出節點 N 4。

主緩衝電路 M B 1 具有被直列地連接於電源電壓 V DD 端子及接地電壓 V SS 端子之間之 P 型 T r Q P 1 及 N 型 T r Q N 1 及 Q N 2。P 型 T r Q P 1 之閘極被連接於節點 N 3，N 型 T r Q N 1 之閘極被連接於電源電壓 V DD 端子，N 型 T r Q N 2 之閘極被連接於節點 N 4。

進而，P 型 T r Q P 1 ~ Q P 4，Q P 6 及 Q P 7 係被形成於共通之 N 型 # 區基板上。P 型 T r Q P 3 之源極係連接於電源電壓 V DD 端子，汲極係連接於此 N 型基板上。P 型 T r Q P 2 係為，源極在節點 N 3 上，閘極在電源電壓 V DD 端子上，汲極在輸出入端子 I / O 上連接。P 型 T r Q P 4 係為，汲極在 P 型 T r Q P 6 及 Q P 7 之間極上連接，源極在輸出入端子 I / O 上連接。P 型 T r Q P 7 係為，源極在電源電壓 V DD 端子上，汲極在 N 型 # 區基板上連接。

N 型 T r Q N 3 之閘極被連接於電源電壓 V DD 端子，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

汲極被連接於 P 型 T r Q P 4 之汲極及 P 型 T r Q P 6 及 Q P 7 之閘極，源極被共通連接於 N 型 T r Q N 6 ~ Q N 8 之汲極及電阻 R 之一端上。N 型 T r Q N 6 ~ Q N 8 係源極被共通連接於接地電壓 V SS 端子上，N 型 T r Q N 6 之閘極在節點 N 1 上，N 型 T r Q N 7 之閘極在節點 4 上，N 型 T r Q N 7 之閘極在反相器 I N 4 及 I N 5 之連接節點上連接。電阻 R 係兩端被並列地連接於 N 型 T r Q N 7 ~ Q N 8 之汲極及源極上。

對備有此種構成之本實施例之形態之輸出入緩衝電路之動作予以說明。此輸出入緩衝電路，因應被輸入信號輸入端子 E N 之啓動信號之邏輯電位，以輸入緩衝電路或輸出緩衝電路動作。

高電位之啓動信號被輸入時，此輸出入緩衝電路以輸入緩衝電路動作。自輸出入緩衝電路所形成之半導體積體電路裝置內之內部電路輸出資料，藉資料輸出端子 D 0 輸入預緩衝控制電路 C 1 及 C 2 內。此資料之邏輯電位及同一電位之信號藉預緩衝控制電路 C 1 及 C 2 之各別之輸出節點 N 1 及 N 2 被輸入預緩衝電路 P B 1 及 P B 2 內。由預緩衝電路 P B 1 及 P B 2 所反轉之資料，各藉節點 N 3 及 N 4 被輸入主緩衝電路 M B 1 內，具有原來之邏輯電位之資料藉輸出入端子 I / O 被向裝置外部輸出。

相反地，低電位之啓動信號被輸入至啓動信號輸入端子 E N 時，與輸入資料無關地，節點 N 1 於低電位，節點 N 2 於高電位被各別固定，主緩衝電路 M B 1 之 P 型

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (9)

T r Q P 1 及 N 型 T r Q N 2 一起成 o f f 狀態，輸出緩衝係成不動作之狀態。於此情況中，係成作為輸入緩衝而動作之狀態。自裝置外部藉輸出入端子 I / O 輸入資料，藉預緩衝電路 P B 3 及主緩衝電路 M B 2 被放大，藉資料輸入端子 D 1 被向內部電路轉送。

次之對於本實施形態中，向 P 型 T r Q P 1 ~ Q P 4，Q P 6 及 Q P 7 所被形成之同一 N 型 # 區基板之電壓之附加被控制之作用，又防止不要之電流向 N 型 # 區基板或電源電壓 V DD 端子流入之作用予以敘述。此處。圖示之電源電壓 V DD 為 3 . 3 V 。

高電位之啓動信號被輸入，而以輸出緩衝予以動作，且 3 . 3 V 之電壓被自輸出入端子 I / O 向外部輸出時，或低電位之啓動信號被輸入，主緩衝電路 M B 1 係為動作停止狀態，自外部向輸出入端子 I / O 附加 3 . 3 V 之電壓時，P 型 T r Q P 3 為 o f f，自被連接於此源極之電源電壓 V DD 端子向 N 型 # 區基板及汲極之電流之流動被停止。惟，P 型 T r Q P 7 為 o n，向 N 型 # 區基板之 3 . 3 V 之電壓之供給被進行。

低電位之啓動信號被輸入，主緩衝電路 M B 1 係成動作停止狀態，且自外部向輸出入端子 I / O 被附加 5 V 之電壓時，P 型 T r Q P 4 為 o n。藉此，被附加於輸出入端子 I / O 之 5 V 之電壓藉 P 型 T r Q P 4 被附加於 P 型 T r Q P 7 之閘極予以 o f f。結果，不會直接藉 P 型 T r Q P 4 向 N 型 # 區基板供給 5 V 之電壓，而成電流藉

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(10)

一端被連接於輸出入端子 I / O 之 P 型 T r Q P 1 ,
Q P 2 及 Q P 4 之 P N 接合部向 N 型 # 區基板流動。

故，輸出入端子 I / O 藉外部電路被附加 5 V 之電壓時，電流亦不會自輸出入端子 I / O 直接向 N 型 # 區基板流動，電流僅藉 P 型 T r Q P 1 , Q P 2 及 Q P 4 之 P N 接合部流動，可防止不要之電流自輸出入端子 I / O 經 N 型 # 區基板向電源電壓 V DD 端子流入。

又，輸出入端子 I / O 上被附加 5 V 之電壓時，為 on 狀態之 P 型 T r Q P 2，將輸出入端子 I / O 之 5 V 之電位附加於 P 型 T r Q P 1 之閘極，將此 P 型 T r Q P 1 完全地 off。藉此，可防止不要之電流自輸出入端子藉 P 型 T r Q P 1 向電源電壓 V DD 端子流入。

進而，P 型 T r Q P 1 之閘極電位成約 5 V 後，藉為 on 之 P 型 T r Q P 4，輸出入端子 I / O 之 5 V 之電位被附加於 P 型 T r Q P 6 之閘極，P 型 T r Q P 6 為完全地 off。故，輸出入端子 I / O 之 5 V 之電位不會被藉 P 型 T r Q P 6 向 P 型 T r Q P 5 之汲極供給，可防止不要之電流藉 P 型 T r Q P 5 流至電源電壓 V DD 端子。

輸出入端子 I / O 被附加 5 V 之電壓時，P 型 T r Q P 6 之閘極被附加電源電壓 V DD 而被充電。此閘極上被連接有被附加了電源電壓 V DD 之 N 型 T r Q N 3 之汲極，此 N 型 T r Q N 3 之源極與接地電壓端子 V SS 之間，被並列地連接有 N 型 T r Q N 6 ~ Q N 8 及電阻 R。藉此，可將被充電之 P 型 T r Q P 6 之閘極之電荷向接地電壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(11)

VSS端子拉拔,可使P型TrQP6完全地on。

又,於高電位之啓動信號被輸入,以輸出緩衝予以動作時,將高電位(3.3V)之信號自輸出入端子I/O向外部輸出時,主緩衝電路MB1之P型TrQP1爲on。此時,高電位之預緩衝控制信號自預緩衝控制電路C1向節點N1被輸出,N型TrQN6爲on。

相反地,將低電位之信號自輸出入端子I/O輸出時,主緩衝電路MB1之N型TrQN2之閘極上藉節點N4被附加高電位(3.3V)之電壓而on,又節點N4上閘極被連接之N型TrQN7亦on。進而,輸出入端子I/O成低電位,而使反相器IN4之輸出側之電位被反轉成高電位,將此電位輸入閘極之N型TrQN7亦on。結果,於電阻R上不會消耗不要之電流,又P型TrQP1不完全地off亦可防止不要之電流向接地電壓VSS端子流動。

此處,N型TrQN3係被將電源電壓附加於閘極上而經常爲on狀態。藉設有此N型TrQN3,即使於輸出入端子I/O上被附加5V之電壓時,僅下降N型TrQN3之臨界值電壓份之電壓被附加於電阻R之一端之故,於電阻R上之消耗電流減低。又,使N型TrQN6~QN8之閘極,汲極間電壓Vgd降低,可使用氧化膜所要求之耐壓降低。同樣地,閘極被附加電源電壓VDD,而爲on狀態之N型TrQN1及QN4亦可使消耗電力減低可使附加於閘氧化膜之電壓降低。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(12)

次之，參照圖2對本發明之第2實施形態之輸出緩衝電路作一說明。本實施形態異於第1實施形態，並不具備作為輸入緩衝電路動作之機能。

應自此設有輸出緩衝電路之裝置之內部電路被轉送向裝置外部輸出之資料，被輸入至資料輸出端子D0內。此資料輸出端子D0上，被連接於具有反相器IN6及NOR閘NR2之預緩衝控制電路C3之輸入側。此預緩衝控制電路C3之輸出節點N11上，藉閘極被接地之P型TrQP16之兩端被連接於預緩衝電路PB4之P型TrQP14之閘極，進而輸出節點N11上被連接於預緩衝電路PB4之N型TrQN14之閘極。又，將P型TrQP16之汲極，及P型TrQP14之閘極連接之節點上連接有汲極及閘極被共通連接於電源電壓VDD端子之P型TrQP15之源極。

預緩衝電路PB4具有：源極被連於N型#區基板上之P型TrQP14，及被直列地連接於P型TrQP14之汲極及接地電壓VSS端子之間之N型TrQN13及QN14。N型TrQN13之閘極乃被連接於電源電壓VDD端子。

被輸入啟動信號之啟動信號輸入端子EN乃被連接於具有反相器IN17及NAND閘NA2之預緩衝控制電路C4之輸入側。

此預緩衝控制電路C4之輸出節點N12乃被連接於具有反相器IN8之預緩衝電路PB5之輸入側。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(13)

在預緩衝電路 P B 4 上將 P 型 T r Q P 1 4 之汲極及 N 型 T r Q N 1 3 之汲極連接之節點 N 1 3 乃被連接於主緩衝電路 M B 3 之 P 型 T r Q P 1 1 之閘極。又，節點 N 1 3 亦被連接於閘極被輸入電源電壓 V DD 之 P 型 T r Q P 1 2 之源極。主緩衝電路 M B 3 係，於電源電壓 V DD 端子及接地電壓 V SS 端子之間，此 P 型 T r Q P 1 1，及閘極被連接於預緩衝電路 P B 5 之輸出節點 N 1 4 上之 N 型 T r Q N 1 2 被直列地連接。

P 型 T r Q P 1 1 及 N 型 T r Q P 1 1 之汲極乃被共通連接於輸出端子 O 上，輸出端子 O 上連接有源極被連接地電源電壓 V DD 端子之 P 型 T r Q P 1 3 之閘極。又，P 型 T r Q P 1 1 ~ Q P 1 4，Q P 1 6 乃被形成於同一 N 型 # 區基板上。

高電位之啓動信號被輸入拾取信號輸入端子 E N 時，因應資料之電位之預緩衝控制信號被輸出於節點 N 1 1 及 N 1 2。高電位之資料被輸入時，節點 1 1 成高電位，節點 N 1 2 成低電位，各以預緩衝電路 P B 4 及 P B 5 反轉，由節點 N 1 3 及 1 4 被輸出低電位之信號及高電位之信號。此節點 1 3 及 1 4 之信號被輸入主緩衝電路 M B 3，藉與輸入資料相同邏輯電位之資料被由輸出端子 O 向裝置外部輸出。

低電位之啓動信號被輸入時，與資料之邏輯電位無關，主緩衝電路 M B 3 不會動作，而成高阻抗狀態。

其次，對形成於同一 N 型 # 區基板上之 p 型 T r Q P

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (14)

1 1 ~ Q P 1 4 , Q P 1 6 之作用用一說明。輸出端子 O 之電位成為比在電源電壓 V_{DD} (3 V) 上加上 P 型 T r Q P 3 之臨界值電壓之電位還低後，P 型 T r Q P 1 3 為 o n , 藉 P 型 T r Q P 1 3 之源極上所連接之電源電壓 V_{DD} 端子，電源電壓 V_{DD} 被供給於 P 型 T r Q P 1 3 之汲極上所連接之 N 型 # 區基板。藉此，N 型 # 區基板成被固定於此電位 V_{DD} 之狀態。

P 型 T r Q P 1 2 之閘極上被附加電源電壓 V_{DD} ，輸出端子 O 成為 $(V_{DD} - V_{thp})$ 以上之電位後便為 o n 。 P 型 T r Q P 1 2 為 o n 後，P 型 T r Q P 1 1 之閘極上所連接之節點 N 1 1 及輸出端子 O 成同一電位，P 型 T r Q P 1 1 為 o f f 。結果，可防止不要之電流自輸出端子流向電源電壓 V_{DD} 端子。

其次，基於本實施形態中，高電位之啟動信號被輸入而為動作狀態，輸出端子自 0 V 之狀態將電壓 V_{DD} (3 . 3 V) 電位之信號輸出之情況自將電壓 V_{DD} 電位輸出之狀態變成 0 V 之情況，又自由輸出端子 O 所連接之外部電路被附加 5 V 之狀態變成電壓 V_{DD} 電位之情況，自被附加 5 V 之狀態成為 0 V 之情況，各電晶體之作用予以說明。

首先，輸出端子 O 自 0 V 將電壓 V_{DD} 電位輸出之情況，輸出端子 O 最初為 0 V 之故，P 型 T r Q P 1 3 為 o n 狀態。藉此，N 型 # 區基板被附加電源電壓 V_{DD} 。

自此狀態，資料輸出端子 D O 被輸入高電位之資料 D

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (15)

後，節點 N 1 1 成高電位，P 型 T r Q P 1 4 及 N 型 T r Q N 1 4 之閘極電位成高電位。節點 N 1 3 成低電位，P 型 T r Q P 1 1 為 o n，輸出端子 O 被充電，電位上升。此輸出端子 O 上升至電壓 $V_{DD} + \text{臨限值電壓 } V_{thp}$ 後，N 型 # 區基板雖成浮動狀態，仍維持電壓 V_{DD} 附近之電位。

此輸出端子 O 自將電壓 V_{DD} 電位之信號輸出之狀態變化成 0 V 時，如下所述。低電位之資料被輸入至資料輸入端子 D O，節點 1 3 成高電位，主緩衝電路 M B 3 之 P 型 T r Q P 1 1 為 o f f。另一方面，節點 N 1 4 成高電位，N 型 T r Q N 1 2 為 o n。被充電至輸出端子之電荷被 N 型 T r Q N 1 2 放電成 0 V。被形成 P 型 T r Q P 1 1 ~ Q P 1 4 及 Q P 1 6 之 N 型 # 區基板，如上所述為當初係浮動狀態。惟，輸出端子 O 成電壓 $(V_{DD} + V_{thp})$ 以下時，P 型 T r Q P 1 3 為 o n 之故，N 型 # 區基板被再度附加電源電壓 V_{DD} ，而保持一定之電位。

輸出端子 O 自由外部電路附加 5 V 之狀態變化成將電壓 V_{DD} 電位輸出之狀態時係如下所述。輸出端子 O 為 5 V 之電位時，P 型 T r Q P 1 2 為 o n，節點 N 1 3 成與輸出端子 O 大約相同之電位，P 型 T r Q P 1 4 亦 o n。

其次，高電位之資料由資料輸出端子 D O 被輸入，節點 N 1 1 成高電位，N 型 T r Q N 1 4 為 o n。藉由將 P 型 T r Q P 1 2 及 Q P 1 4，N 型 T r Q N 1 3 及 Q N 1 4 之尺寸比例適當地予以設定，將 P 型 T r Q P 1 1 之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(16)

閘極所連接之節點 N 1 3 之電位保持於中間電位，可使輸出端子 O 之電位徐徐地降低。藉此，任一電晶體之閘氧化膜上皆不會有被附加超過 3 V 之高電壓。

節點 N 1 3 成中間電位後，P 型 T r Q P 1 1 以高電阻狀態 o n，輸出端子 O 徐徐地變成電壓 V DD 之電位。輸出端子 O 在 (V DD - V thp) 以下之階段，P 型 T r Q P 1 2 及 Q P 1 4 一起 o n。藉此，P 型 T r Q P 1 1 之閘電位成 0 V。惟，此情況時輸出端子 O 之電位亦低，任一電晶體之閘氧化膜上皆不會有被附加超過 3 V 之高電壓。

輸出端子自被附加 5 V 之狀態變化至 0 V 之情況如下。輸出端子 O 之電位為 5 V 時，P 型 T r Q P 1 2 及 Q P 1 4 為 o n 狀態，P 型 T r Q P 1 4 之閘極電位為 - V thp。藉此，閘氧化膜上被附加 (5 V - V thp) 之電壓。故，藉將 P 型 T r Q P 1 4 之臨限值電壓 V th 設定於 - 1 ~ - 1.4 V 程度，可使得閘氧化膜上不會有被附加超過 3 V 之高電壓。其次，低電位之資料被自資料輸出端子 O 輸入後，節點 N 1 4 成高電位，N 型 T r Q N 1 2 為 o n，輸出端子 O 被放電至 0 V。

次之，對於低電位之啟動信號被輸入於啟動信號輸入端子 E N，主緩衝電路 M B 3 不動作而係成高阻抗狀態之情況，輸出端子 O 自電壓 V DD 向 5 V 變化之情況予以敘述。輸出端子 O 為電壓 V DD 之電位時，P 型 T r Q P 1 4 為 o n，N 型 T r Q P 1 4 之閘極電位為 - V thp。N 型 # 區基板於電壓 V DD 附近為浮動狀態。輸出端子自 V DD 之電

五、發明說明(17)

位上升至 ($V_{DD} + V_{thp}$) 為止後，P 型 $T_r Q P 1 2$ 為 on。藉此，輸出端子成與節點 $N 1 3$ 大約相等之電位。P 型 $T_r Q P 1 4$ 亦為 on，N 型 # 區基板成與輸出端子 O 之電位相等，終於輸出端子 O 之電位上升至 5 V 為止。此處，藉利用基板偏壓效果等，將 P 型 $T_r Q P 1 4$ 之臨限值電壓 V_{thp} 設定成 $-1 \sim -1.4$ V，可使得 P 型 $T_r Q P 1 4$ 之閘極上不會被附加超過 3 V 之高電壓。

低電位之啟動信號被輸入，且輸出端子自被附加 5 V 之狀態變化至電壓 V_{DD} 為止之情況，亦與上述輸出端子 O 自電壓 V_{DD} 向 5 V 變化之情況相同，可使得閘氧化膜上不會被附加高電壓。輸出端子 O 成 ($V_{DD} - V_{thp}$) 以下時，P 型 $T_r Q P 1 2$ 為 off，N 型 # 區基板及 P 型 $T_r Q P 1 1$ 之閘電位於 ($V_{DD} - V_{thp}$) 附近成浮動狀態。

如上所述，依第 1 及第 2 實施形態，可防止不要之電流流入電源電壓 V_{DD} 端子。進而，不會在閘氧化膜上附加 3 V 以上之高電壓，使用最適宜電源電壓 3.3 V 之 3.3 V 對應之電晶體成為可能。故，不需製造對應於 5 V 之電晶體，可防止製造過程之複雜化，達成製造成本之減低。

又，將電源電壓 V_{DD} (3.3 V) 向外部輸出之情況，習知將向 N 型 # 區基板之電源電壓 V_{DD} 之供給停止，成浮動狀態，但依上述實施形態，向 N 型 # 區基板之電源電壓 V_{DD} 被供給而於一定電位安定。

五、發明說明(18)

進而，習知係輸出端子之電位在 $(V_{DD} - V_{thp}) \sim V_{DD}$ 之範圍內時，有啓動用之 P 型 T_r 之閘極不到達所需之高電位之電位，而為未完全 off 地成不安定之動作狀態之情況。藉此，如上所述自輸出端子藉拾取用之 P 型 T_r 有不要之電流流入電源電壓 V_{DD} 端子之事。對此，第 1 及第 2 實施形態則為，即使第 1 實施形態之輸出入端子 I/O，第 2 實施形態之輸出端子 O 之各個電位在 $0 \sim 5V$ 之範圍之情況，亦可防止此種不要之電流之發生。

上述實施形態係一形態，並不限定住本發明。本發明之第 1 及第 2 實施形態雖將電源電壓 V_{DD} 定為 $3.3V$ ，比此高電壓定為 $5V$ ，但並不限於此數值，只是係被用於相異電源電壓動作之電路間者即可。又，第 1 實施形態係除了具備作為輸出緩衝電路之構成外，尚具備作為輸入緩衝電路之構成，惟不具備作為輸入緩衝電路之構成亦可。又，第 2 實施形態雖僅具備作為輸出緩衝電路之構成，惟，亦可如第 1 實施形態附加作為輸入緩衝電路動作之構成。

(發明之效果)

如以上說明依本發明，在具有第 1 預緩衝電路之第 2 P 型 T_r 及具有主緩衝電路之第 3 P 型 T_r 被形成之同一 N 型基板上，形成源極在第 1 電源電壓端子，閘極在輸出端子，汲極在 N 型基板上各別被連接之第 4 P 型 T_r ，及源極在第 3 P 型 T_r 之閘極，閘極在第 1 電源電壓端子，汲極在輸出端子各別被連接之第 5 P 型 T_r ，及源極在輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

端子，閘極在第 1 電源電壓端子，汲極在第 2 P 型 T r
閘極各別被連接之第 6 P 型 T r，可使得輸出端子上被
附加第 1 電源電壓以上之電壓之情況下，亦不會有不要之
電流藉第 3 P 型 T r，或第 1 及第 2 P 型 T r 自輸出端子
流入第 1 電源電壓端子，又閘氧化膜上不會被附加超過第
1 電源電壓之電壓，可防止製造過程之複雜化。

(圖面之簡單說明)

圖 1，依本發明之第 1 實施形態之輸出入緩衝電路之
構成表示電路圖。

圖 2，依本發明之第 2 實施形態之輸出緩衝電路之構
成表示電路圖。

圖 3：習知之輸出緩衝電路之構成表示電路圖。

圖 4：習知之其他輸出緩衝電路之構成表示電路圖。

[符號之說明]

C 1 ~ C 4：預緩衝控制電路

I N 1 ~ I N 8：反相器

N R 1，N R 2：N O R 閘

N A 1，N A 2：N A N D 閘

D 0：資料輸出端子

N 1 ~ N 4，N 1 1 ~ N 1 4：節點

E N：啓動信號輸入端子

D 1：資料輸入端子

五、發明說明 (20)

I / O : 輸出入端子

O : 輸出端子

P B 1 ~ P B 5 : 預緩衝電路

Q P 1 ~ Q P 7 , Q P 1 1 ~ Q P 1 5 : P 型 T r

Q N 1 ~ Q N 8 , Q N 1 4 : N 型 T r

M B 1 ~ M B 3 : 主緩衝電路

R : 電阻。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

附件 2

第 86101054 號專利申請案

中文申請專利範圍修正本

民國 86 年 7 月修正

1. 一種輸出緩衝電路，其特徵在於具備：

被輸入資料及啟動信號，而將第 1 及第 2 預緩衝控制信號輸出之預緩衝控制電路；

被輸入前記預緩衝控制電路所輸出之前記第 1 預緩衝控制信號，而為將第 1 信號輸出之第 1 預緩衝電路，其中，具有在第 1 電源電壓端子及第 2 電源電壓端子之間直列地被連接之第 1 及第 2 P 通道型 MOS 電晶體及第 1 及第 2 N 通道型 MOS 電晶體，前記第 1 P 通道型 MOS 電晶體及第 2 N 通道型 MOS 電晶體之閘極被輸入前記第一預緩衝控制信號，前記第 2 P 通道型 MOS 電晶體之閘極被連接於第 1 節點，前記第 1 N 通道型 MOS 電晶體之閘極被連接於第 1 電源電壓端子，藉將前記第 2 P 通道型 MOS 電晶體之一端與前記第 1 N 通道型 MOS 電晶體之一端連接之第 2 節點將前記第 1 信號輸出之前記第 1 預緩衝電路；

被輸入前記預緩衝控制電路所輸出之前記第 2 預緩衝控制信號，而將第 2 信號輸出之第 2 預緩衝電路；

被輸入前記第 1 及第 2 信號，藉輸出端子將第 3 信號輸出之主緩衝電路，其中，具有在第 1 電源電壓端子及第 2 電源電壓端子之間直到地被連接之第 3 P 通道型 MOS 電晶體及第 3 及第 4 N 通道型 MOS 電晶體，前記第 3 P

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍

通道型 MOS 電晶體之閘極被輸入第 1 信號，前記第 3 N 通道型 MOS 電晶體之閘極被連接於第 1 電源電壓端子，前記第 4 N 通道型 MOS 電晶體之閘極被輸入前記第 2 信號，將前記第 3 P 通道型 MOS 電晶體之一端與前記第 3 N 通道型 MOS 電晶體之一端連接之第 3 節點被連接於前記輸出端子之前記主緩衝電路；及

源極被連接於第 1 電源電壓端子，閘極被連接於前記輸出端子，汲極被連接於前記 N 型基板之前記第 4 P 通道型 MOS 電晶體，及源極被連接於前記第 2 節點，閘極被連接於第 1 電源電壓端子，汲極被連接於前記輸出端子之前記第 5 P 通道型 MOS 電晶體，及源極被連接於前記輸出端子，閘極被連接於第 1 電源電壓端子，汲極被連接於前述第 1 節點之前記第 6 P 通道型 MOS 電晶體。

2. 如申請專利範圍第 1 項之輸出緩衝電路，其中進一步具備：前記第 2 及第 3 P 通道型 MOS 電晶體被形成於同一 N 型基板，源極被連接於第 1 電源電壓端子，閘極被連接於前記第 1 節點，汲極被連接於前記 N 型基板之第 7 P 通道型 MOS 電晶體。

3. 如申請專利範圍第 2 項之輸出緩衝電路，其中進一步具備：汲極被連接於前記第 1 節點，閘極被連接於第 1 電源電壓端子之第 5 N 通道型電晶體；及

一端被連接於前記第 5 N 通道型 MOS 電晶體之源極，另一端被連接於第 2 電源電壓端子之電阻。

4. 如申請專利範圍第 3 項之輸出緩衝電路，其中進

六、申請專利範圍

一步具備：汲極及源極被並列地連接於前記電阻之兩端，
閘極被輸入前記第 1 預緩衝控制信號之第 6 N 通道型
M O S 電晶體。

5 . 如申請專利範圍第 4 項之輸出緩衝電路，其中進
一步具備：汲極及源極被並列地連接於前記電阻之兩端，
閘極被輸入前記第 2 信號之第 7 N 通道型 M O S 電晶體。

6 . 如申請專利範圍第 5 項之輸出緩衝電路，其中進
一步具備：被連接於前記輸出端子，將所被給予之藉前記
輸出端子自外部輸入之資料予以反轉，輸出第 4 信號之第
3 預緩衝電路；

將所被給予之自前記第 3 預緩衝電路輸出之前記第 4
信號予以反轉，輸出第 5 信號之第 2 主緩衝電路；及

汲極及源極被並列地連接於前記電阻之兩端，閘極被
輸入前記第 4 信號之第 8 N 通道型 M O S 電晶體。

7 . 如申請專利範圍第 4 項之輸出緩衝電路，其中進
一步具備：被連接於前記輸出端子，將所被給予之藉前記
輸出端子自外部輸入之資料予以反轉，輸出第 4 信號之第
3 預緩衝電路；

將所被給予之自前記第 3 預緩衝電路輸出之前記第 4
信號予以反轉，輸出第 5 信號之第 2 主緩衝電路；及

汲極及源極被並列地連接於前記電阻之兩端，閘極被
輸入前記第 4 信號之第 8 N 通道型 M O S 電晶體。

8 . 如申請專利範圍第 3 項之輸出緩衝電路，其中進
一步具備：汲極及源極被並列地連接於前記電阻之兩端，

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍

閘極被輸入前記第 2 信號之第 7 N 通道型 MOS 電晶體。

9. 如申請專利範圍第 8 項之輸出緩衝電路，其中進一步具備：被連接於前記輸出端子，將所被給予之藉前記輸出端子自外部輸入之資料予以反轉，輸出第 4 信號之第 3 預緩衝電路；

將所被給予之自前記第 3 預緩衝電路輸出之前記第 4 信號予以反轉，輸出第 5 信號之第 2 主緩衝電路；及

汲極及源極被並列地連接於前記電阻之兩端，閘極被輸入前記第 4 信號之第 8 N 通道型 MOS 電晶體。

10. 如申請專利範圍第 3 項之輸出緩衝電路，其中進一步具備：被連接於前記輸出端子，將所被給予之藉前記輸出端子自外部輸入之資料予以反轉，輸出第 4 信號之第 3 預緩衝電路；

將所被給予之自前記第 3 預緩衝電路輸出之前記第 4 信號予以反轉，輸出第 5 信號之第 2 主緩衝電路；及

汲極及源極被並列地連接於前記電阻之兩端，閘極被輸入前記第 4 信號之第 8 N 通道型 MOS 電晶體。

11. 一種輸出緩衝電路，其特徵在於具備：

被輸入資料及啓動信號，而將第 1 及第 2 預緩衝控制信號輸出之預緩衝控制電路；

被輸入前記預緩衝電路所輸出之前記第 1 預緩衝控制信號，而為將第 1 信號輸出之第 1 預緩衝電路，其中，具有在第 1 節點及第 2 電源電壓端子之間直列地被連接之第 1 P 通道型 MOS 電晶體及第 1 及第 2 N 通道型 MOS 電

六、申請專利範圍

晶體，前記第 1 P 通道型 MOS 電晶體及第 2 N 通道型 MOS 電晶體之閘極被輸入前記第 1 預緩衝控制信號，前記第 1 N 通道型 MOS 電晶體之閘極被連接於第 1 電源電壓端子，藉將前記第 1 P 通道型 MOS 電晶體之一端與前記第 1 N 通道型 MOS 電晶體之一端連接之第 2 節點輸出前記第 1 信號之前記第 1 預緩衝電路；

被輸入前記預緩衝控制電路所輸出之前記第 2 預緩衝控制信號，而將第 2 信號輸出之第 2 預緩衝電路；

被輸入前記第 1 及第 2 信號，藉輸出端子將第 3 信號輸出之主緩衝電路，其中，具有在第 1 電源電壓端子及第 2 電源電壓端子之間直列地被連接之第 2 P 通道型 MOS 電晶體及第 3 及第 4 N 通道型 MOS 電晶體，前記第 2 P 通道型 MOS 電晶體之閘極被輸入第 1 信號，前記第 3 N 通道型 MOS 電晶體之閘極被連接於第 1 電源電壓端子，前記第 4 N 通道型 MOS 電晶體之閘極被輸入前記第 2 信號，將前記第 2 P 通道型 MOS 電晶體之一端與前記第 3 N 通道型 MOS 電晶體之一端連接之第 3 節點被連接於前記輸出端子之前記主緩衝電路；及

源極被連接於第 1 電源電壓端子，閘極被連接於前記輸出端子，汲極被連接於前記 N 型基板之前記第 3 P 通道型 MOS 電晶體，及源極被連接於前記第 2 節點，閘極被連接於第 1 電源電壓端子，汲極被連接於前記輸出端子之前記第 4 P 通道型 MOS 電晶體，及兩端被連接於前記第 1 預緩衝控制電路之輸出側及前記第 1 P 通道型 MOS 電

六、申請專利範圍

晶體之閘極之間，閘極被連接於第 2 電源電壓之前記第 5 P 通道型 MOS 電晶體。

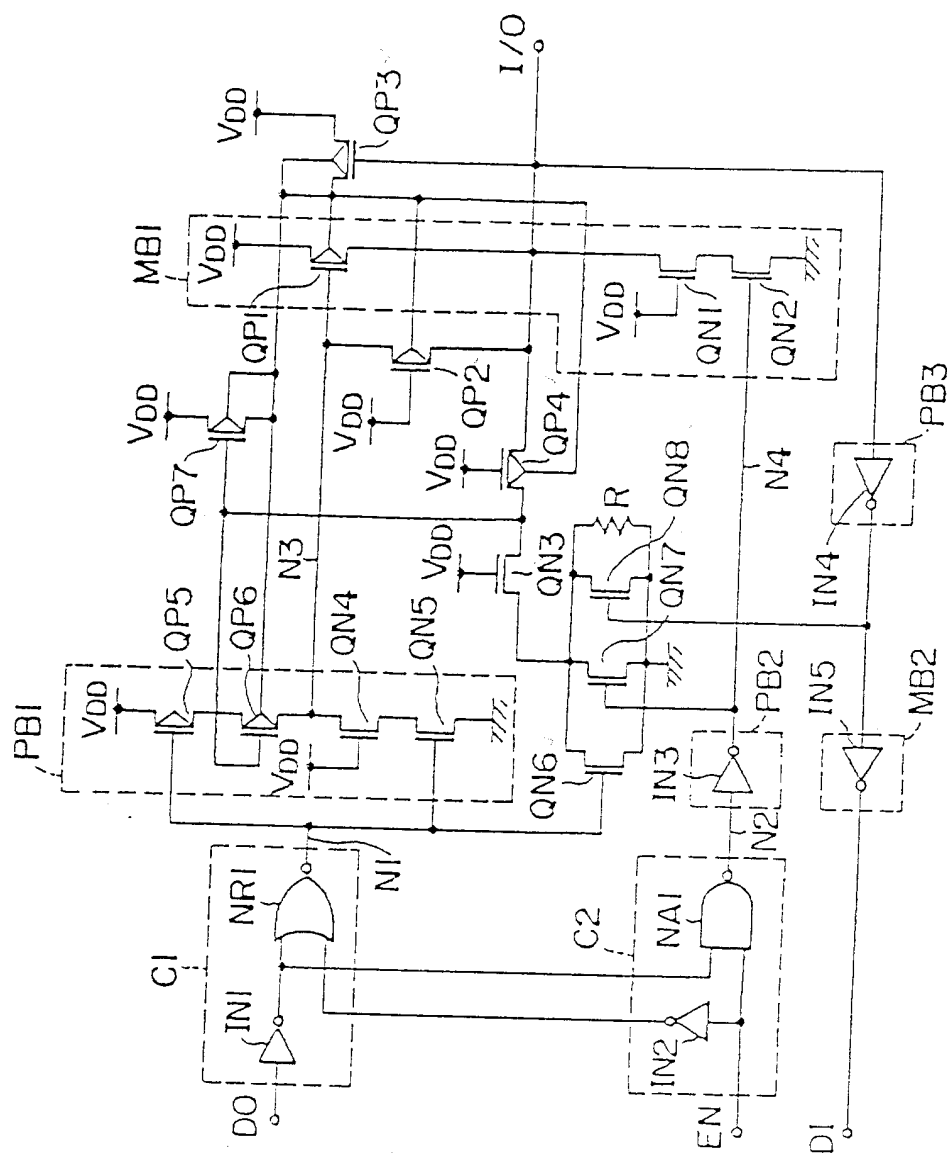
1 2 . 如申請專利範圍第 1 1 項之輸出緩衝電路，其中進一步具備：前記第 1 及第 2 P 通道型 MOS 電晶體，及前記第 3，第 4 及第 5 P 通道型 MOS 電晶體係被形成於同一 N 型基板，源極及閘極被連接於第 1 電源電壓端子，汲極被連接於前記第 1 P 通道型 MOS 電晶體之閘極之第 6 N 通道型 MOS 電晶體。

(請先閱讀背面之注意事項再填寫本頁)

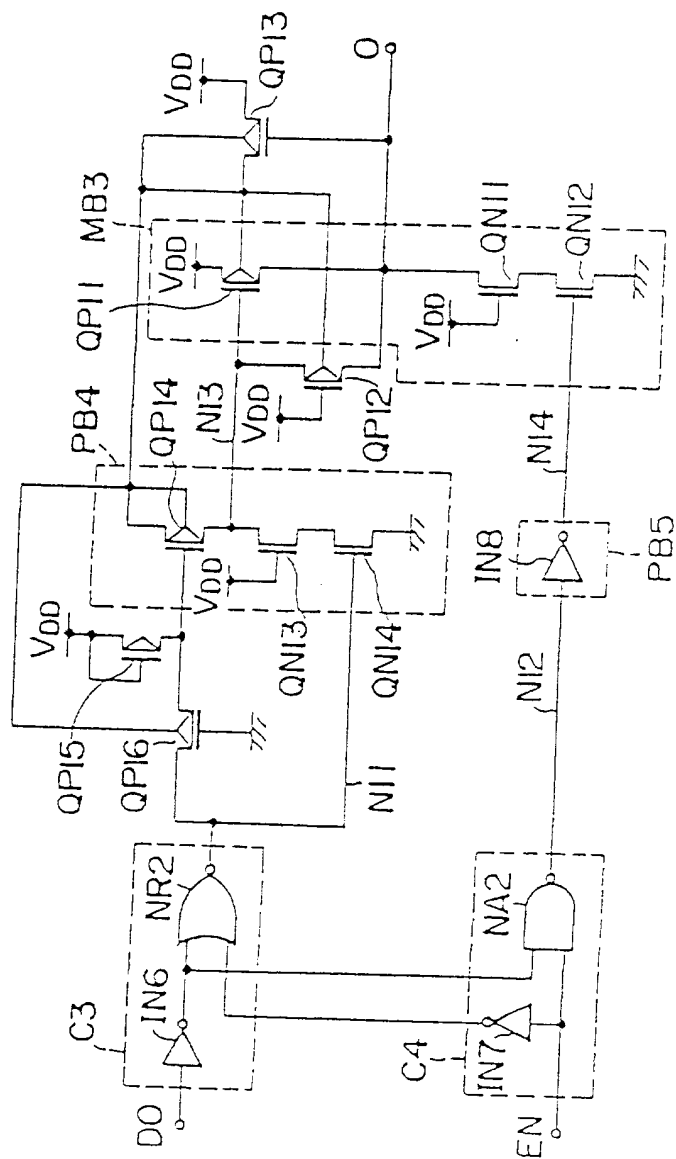
訂

訂

第 1 圖



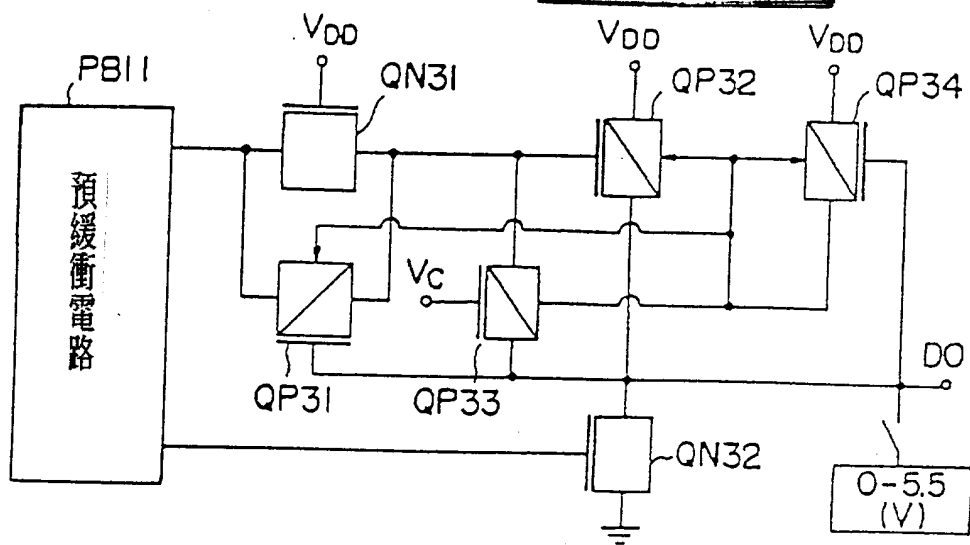
第 2 圖



321804

第 3 圖

86年7月26日 修正
補充



第 4 圖

