

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第5985393号  
(P5985393)

(45) 発行日 平成28年9月6日 (2016.9.6)

(24) 登録日 平成28年8月12日 (2016.8.12)

(51) Int. Cl.	F I
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 L
HO 1 L 29/812 (2006.01)	HO 1 L 29/80 H
HO 1 L 29/778 (2006.01)	HO 1 L 29/44 L
HO 1 L 29/41 (2006.01)	

請求項の数 18 (全 15 頁)

(21) 出願番号	特願2012-523170 (P2012-523170)	(73) 特許権者	512091246
(86) (22) 出願日	平成22年8月4日 (2010.8.4)		ジーエーエヌ システムズ インコーポレ イテッド
(65) 公表番号	特表2013-501362 (P2013-501362A)		カナダ ケイ2ケイ 3ジー8 オンタリ オ州 オタワ イノベーション ドライブ 1 1 4 5
(43) 公表日	平成25年1月10日 (2013.1.10)	(74) 代理人	100102978
(86) 国際出願番号	PCT/CA2010/001202		弁理士 清水 初志
(87) 国際公開番号	W02011/014951	(74) 代理人	100102118
(87) 国際公開日	平成23年2月10日 (2011.2.10)		弁理士 春名 雅夫
審査請求日	平成25年8月1日 (2013.8.1)	(74) 代理人	100160923
(31) 優先権主張番号	61/231, 139		弁理士 山口 裕孝
(32) 優先日	平成21年8月4日 (2009.8.4)	(74) 代理人	100119507
(33) 優先権主張国	米国 (US)		弁理士 刑部 俊
前置審査			
		最終頁に続く	

(54) 【発明の名称】 アイランドマトリックス化窒化ガリウムマイクロ波トランジスタおよびパワースイッチングトランジスタ

(57) 【特許請求の範囲】

【請求項 1】

a) 基板と、  
b) 該基板の主面上に形成された窒化物半導体ヘテロ層を含む窒化物半導体層と、  
c) 該窒化物半導体層上に形成されたマルチアイランドトランジスタの複数のソースアイランド電極および複数のドレインアイランド電極であって、互いに隔離されており、かつ、該窒化物半導体層のデバイスエリアにおいて二次元活性領域を作るように少なくとも二つの異なる軸方向に沿ってソースアイランド電極とドレインアイランド電極が交互となるように配置されており、ここで、

(i) 該ソースアイランド電極のそれぞれの少なくとも一辺が、隣接したドレインアイランド電極の一辺に対向し；

(ii) 該ドレインアイランド電極のそれぞれの少なくとも一辺が、隣接したソースアイランド電極の一辺に対向している、

複数のソースアイランド電極および複数のドレインアイランド電極と、

d) 該窒化物半導体層上の各ソースアイランド電極および各ドレインアイランド電極の間の活性領域に形成された複数のゲート電極であって、上を覆う低抵抗ゲート相互接続が前記ソースアイランド電極および前記ドレインアイランド電極の間で延びており、かつ、該低抵抗ゲート相互接続に対して該複数のゲート電極が、該ソースアイランド電極および該ドレインアイランド電極の隣接した頂点によって定義される間隔における相互接続によって、相互接続されている、複数のゲート電極と、

10

20

を備える窒化物半導体デバイスであって、

e) 前記複数のソースアイランド電極のそれぞれが、その上に形成されたバンプまたはボール接続を含むソースアイランド電極ごとの個別のソースコンタクト領域(パッド)を有しており、

f) 前記複数のドレインアイランド電極のそれぞれが、その上に形成されたバンプまたはボール接続を含むドレインアイランド電極ごとの個別のドレインコンタクト領域(パッド)を有しており、

かつ、

g) 前記低抵抗ゲート相互接続が、複数のゲートパッドに接続されている、窒化物半導体デバイス。

10

【請求項2】

a) 導電性基板と、

b) 該基板の主面上に形成された窒化物半導体ヘテロ層を含む窒化物半導体層と、

c) 該窒化物半導体層上に形成されたマルチアイランドトランジスタの複数のソースアイランド電極および複数のドレインアイランド電極であって、互いに隔離されており、かつ、該窒化物半導体層のデバイスエリアにおいて二次元活性領域を作るように少なくとも二つの異なる軸方向に沿ってソースアイランド電極とドレインアイランド電極が交互となるように配置されており、ここで、

(i) 該ソースアイランド電極のそれぞれの少なくとも一辺が、隣接したドレインアイランド電極の一辺に対向し；

20

(ii) 該ドレインアイランド電極のそれぞれの少なくとも一辺が、隣接したソースアイランド電極の一辺に対向している、

複数のソースアイランド電極および複数のドレインアイランド電極と、

d) 該窒化物半導体層上の各ソースアイランド電極および各ドレインアイランド電極の間の活性領域に形成された複数のゲート電極であって、上を覆う低抵抗ゲート相互接続が前記ソースアイランド電極および前記ドレインアイランド電極の間に延びており、かつ、該低抵抗ゲート相互接続に対して該複数のゲート電極が、該ソースアイランド電極および該ドレインアイランド電極の隣接した頂点によって定義される間隔における相互接続によって、相互接続されている、複数のゲート電極と、

を備える窒化物半導体デバイスであって、

30

e) 前記複数のソースアイランド電極のそれぞれが、前記導電性基板に向けて形成されたビア接続を含むソースアイランド電極ごとの個別のソースコンタクト領域(パッド)を有しており、

f) 前記複数のドレインアイランド電極のそれぞれが、その上に形成されたバンプまたはボール接続を含むドレインアイランド電極ごとの個別のドレインコンタクト領域(パッド)を有しており、

かつ、

g) 前記低抵抗ゲート相互接続が、複数のゲートパッドに接続されている、窒化物半導体デバイス。

40

【請求項3】

前記ドレインおよびソースアイランド電極がそれぞれ四角形である、請求項1または2記載のデバイス。

【請求項4】

前記ドレインおよびソースアイランド電極が三角形である、請求項1または2記載のデバイス。

【請求項5】

前記ドレインおよびソースアイランド電極のそれぞれが、ドレイン/ソースアイランドの並置を可能にする一つの多角形状を有する、請求項1記載のデバイス。

【請求項6】

前記低抵抗ゲート相互接続が、前記複数のゲート電極のそれぞれを前記複数のゲートパ

50

ッドに接続する低抵抗金属ストラップを含む、請求項1～5のいずれか一項記載のデバイス。

【請求項 7】

前記基板と前記窒化物半導体層との間に1つまたは複数のエピタキシャル層をさらに備える、請求項1～6のいずれか一項記載のデバイス。

【請求項 8】

前記1つまたは複数のエピタキシャル層が低濃度にドーピングされている、請求項7記載のデバイス。

【請求項 9】

複数のエピタキシャル層および1つまたは複数のフィールドプレートをさらに備え、該フィールドプレートのそれぞれが連続するエピタキシャル層の間に位置付けられている、請求項7または8記載のデバイス。

10

【請求項 10】

前記e)およびf)において、各バンプまたはボール接続が金で形成されている、請求項1記載のデバイス。

【請求項 11】

窒化物半導体層が、ドーピングされていない窒化アルミニウムガリウム層、およびその下のドーピングされていない窒化ガリウム層からなるヘテロ層である、請求項1～10のいずれか一項記載のデバイス。

【請求項 12】

20

前記ゲート電極のそれぞれが、パラジウムから形成されており、ソースおよびドレインアイランド電極がチタンおよびアルミニウムから形成されている、請求項1記載のデバイス。

【請求項 13】

前記基板が絶縁性の高抵抗基板であり、かつ、前記複数のゲートパッドのそれぞれの上にバンプまたはボール接続をさらに含む、請求項1記載のデバイス。

【請求項 14】

パッケージをさらに含み、前記ソースアイランド電極、ドレインアイランド電極、およびゲートパッドのそれぞれの前記バンプまたはボール接続が、各々の該パッケージの銅トラックに直接接合されている、請求項13記載のデバイス。

30

【請求項 15】

前記導電性基板の裏側に、電氣的に接続して接合された銅の熱シンクをさらに含み、該銅の熱シンクが裏側ソース接続を提供する、請求項2記載のデバイス。

【請求項 16】

パッケージをさらに含み、前記複数のゲートパッドがさらにバンプまたはボール接続を含み、前記ドレインアイランド電極の前記バンプまたはボール接続および前記ゲートパッドの該バンプまたはボール接続が各々の該パッケージの銅トラックに直接接合されている、請求項15記載のデバイス。

【請求項 17】

前記ソースアイランド電極およびドレインアイランド電極が実質的に正方形であり、前記ボールまたはバンプ接続が各アイランド上で中心にある、請求項1記載のデバイス。

40

【請求項 18】

前記ソースアイランド電極およびドレインアイランド電極が実質的に正方形であり、前記ボールあるいはバンプ接続またはビア接続が各アイランド上で中心にある、請求項2記載のデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

発明の分野

本発明は、概して、窒化ガリウムトランジスタに関し、より詳細にはそれに関連する性

50

能向上および歩留まり向上法に関する。

【背景技術】

【0002】

発明の背景

窒化ガリウム材料としては、窒化ガリウムならびにその合金、例えば、窒化アルミニウムガリウム、窒化インジウムガリウム、および窒化アルミニウムインジウムガリウムなどが挙げられる。これらの材料は、高エネルギー電子遷移が生じ得る比較的広い直接バンドギャップを有する半導体化合物である。窒化ガリウム材料は、とりわけ、高い電子移動度、効率的に青色光を放射する能力、および高周波で信号を伝送する能力など、多くの魅力的な特性を有している。したがって、窒化ガリウム材料は、例えばトランジスタおよびオ

10

【0003】

上記の魅力的な特性にもかかわらず、窒化ガリウム材料ベースのデバイスの開発には、多くの課題が存在する。例えば、ある特定の基板上、特にシリコン上に高品質の窒化ガリウム材料を成長させるのは、窒化ガリウム材料と基板材料の特性の違い（例えば格子定数および熱膨張係数の違い）のために困難であり得る。さらに、ある特定の用途に対してコスト要求を満たす窒化ガリウム材料デバイスを形成することも難しい。

【0004】

現在、高出力および中出力の窒化ガリウムマイクロ波トランジスタが入手可能であるが、すべてのタイプがマルチフィンガー構造を採用している。研究文献に記載されているいくつかのパワースイッチングデバイスも、マルチフィンガー構造を採用している。本明細書において代替の新規のマトリックスアイランドベースの構造を示すが、これらは、すべてのスイッチング用途において重要な利点を与える。すべてのパワートランジスタの実施を受けて、当該構造はソース接地回路用途に対して最適化されるが、この場合、ソース接続部のインダクタンスおよび抵抗を最小化することが望ましい。この目的のために、トランジスタは、一般的に、垂直構造全体に内在する一連のビア接続で構築される。これら一般的に使用される基板貫通ビア接続は、製造および制御が困難である。より少ない数の大きなビアを作成することが可能なエリアに到達するためには、ソース接続部のそれぞれからエアブリッジを構築しなければならない場合がある。例えば、米国特許第7,352,016 (B

20

30

【0005】

米国特許第7,550,821 (B2) 号 (Shibataら) (特許文献2) では、エアブリッジを全く用いない窒化物半導体デバイスが開示されている。複数の第一電極および複数の第二電極が、(基板の主面上に形成された) 窒化物半導体層の活性領域上に (お互いに隔置されて) 形成されている。当該窒化物半導体層上には、層間絶縁フィルムが形成されている。当該層間絶縁フィルムは、第一電極をそれぞれ露出する開口部を有し、かつ平坦な上面を有する。第一電極パッドが、層間絶縁フィルムにおける活性領域の上側の領域に形成され、当該パッドは、それぞれの開口部を介して露出している第一電極に電氣的に接続されている。ソース - 基板コンタクト (短いビア) が活性エリアに隣接して配置され、ソース電極に直接接続されているが、このマルチフィンガー構造には、面積の増加という不利益がある。したがって、Shibataらの窒化物半導体デバイスも、従来のマルチフィンガー構造を採用しているパワースイッチングトランジスタに特有の高オン抵抗によって制限される。

40

【0006】

米国特許第7,250,641 (B2) 号 (Saitoら) (特許文献3) では、シリコン基板と、アイランド形状において当該シリコン基板上にチャンネル層として形成された第一窒化アルミニウムガリウム層と、第一窒化アルミニウムガリウム層上に第一導電型またはi型のバリア層として形成された第二窒化アルミニウムガリウム層とを備える窒化物半導体デバイスについて開示されている。当該特許において開示されているアイランドは、お互いの間に

50

共通のゲート電極を有さず、お互いに完全に絶縁されており、したがって、各アイランドは、別々のデバイスである。Saitoらによって開示された態様（例えば、図1のように）は、アイランドごとに3つのソース電極の並置を必要とする。Saitoらによって開示された当該アイランドのコンセプトは、絶縁されたデバイスの分離としてのみ機能し、すなわち、アイランド間で引き起こされる固有の動作モードは存在しない。

【0007】

本明細書において説明する新規のトポロジは、ソース接続エアブリッジを排除し、ゲート電極を最大2つのさらなる方向に配置することを可能にし、それにより、従来のマルチフィンガー構造と比べて1.5～5倍のオン抵抗の低下がもたらされる。このようにして、ラダー（またはマルチフィンガー構造）についての大きな面積の必要性が排除される。

10

【0008】

本発明のいくつかの実施例は、比較的複雑なシリコンベースのテンプレートに基づき得る。しかしながら、これは、新規のアイランドベースの表面トポロジと共に、コスト高な窒化ガリウムデバイスのプロセス工程を大いに簡素化する。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】米国特許第7,352,016（B2）号

【特許文献2】米国特許第7,550,821（B2）号（Shibataら）

【特許文献3】米国特許第7,250,641（B2）号（Saitoら）

20

【発明の概要】

【0010】

以下において、最初に本発明の一般的な形態について説明し、次いでその特定の設計に関する実施について詳細に説明する。これらの態様は、本発明の原理およびその実施の様式を示すことを意図するものである。

【0011】

本発明は、パワートランジスタの製造上および取り扱い上の問題を生じることで周知のエアブリッジを排除する。旧来のヒ化ガリウムデバイスおよび最近のヒ化ガリウムデバイスの両方が、歩留まり損失の問題を抱えている。本発明は、1つの実現例においてエアブリッジまたは基板貫通ソース電極ビア接続メカニズムが不必要な多様な小さく短いビアを用いるトポロジを提供する。ソースおよびドレインは、各ソースおよびドレイン内におけるボールグリッドおよび/またはビアグリッドの位置決めが可能なほど十分にサイズが減じられたアイランドのみからなるように作成される。この独特な手法により、エアブリッジと同様に接合部も排除される。

30

【0012】

本発明の局面により、基板と、当該基板の主面上に形成された窒化物半導体層と、当該窒化物半導体層のすべての実行可能エリアにおいて二次元活性領域を作るように交互に配置するためお互いに隔置されている複数の第一アイランド電極および複数の第二アイランド電極と、当該窒化物半導体層上の各第一アイランド電極および各第二アイランド電極の間の領域に形成され、かつマルチアイランド電界効果トランジスタのゲート電極として機能し、ならびに当該アイランド電極のそれぞれが当該電界効果トランジスタのドレイン電極またはソース電極のいずれかであるような複数のストリップ電極と、各ソース電極および各ドレイン電極の表面上に配設された複数のボール接続部とを備える窒化物半導体デバイスを提供する。当該基板が導電性の場合、各ソース電極の表面上のボール接続部は、ビアで置き換えることができる。当該ボール接続部は、好ましくは金で形成され、一方、窒化物半導体層は、好ましくは、ドーピングされていない窒化アルミニウムガリウム層、およびその下に設けられたドーピングされていない窒化ガリウム層からなるヘテロ層である。

40

【0013】

アイランド電極は、好ましくは、それぞれ、四角形であるか、または、好ましくは三角

50

形である。あるいは、当該アイランドは、ドレイン/ソースの並置を可能にする様々なタイプの多角形の組み合わせであってもよい。各ゲート電極は、好ましくは、低抵抗の手段、例えば、（これに限定されるわけではないが）金属ストラップなど、を用いてゲートパッドに取り付けられている。加えて、当該窒化物半導体デバイスは、さらに、基板と窒化物半導体層との間に1つまたは複数のエピタキシャル層を備え得る。各エピタキシャル層は、低濃度にドーピングされている。当該エピタキシャル層内にフィールドプレートが挿入されていてもよい。

【0014】

本発明において、ソースアイランド電極は、常に、ドレインアイランド電極と並置され、ならびに常にそれらの間にゲートが存在する。

10

【0015】

絶縁性基板の使用が望ましい場合、ビアを排除して、ドレインアイランドに対して使用されるものと同一のボールグリッドで取り替えることができる。当該アイランドは、それぞれが2つ折り対称または4つ折り対称を有する四角形の場合、ゲートを二方向に配置することが可能であり、すなわち、当該アイランドが三角形の場合、ゲートは三方向に配置することができる。その結果として、ゲートトラックを所定のダイサイズに対してはるかに大きくすることができる。マルチフィンガー構造を見限り、ソースおよびドレインをアイランドのみからなるように作成することが可能である。

【0016】

本明細書において開示されるアイランドトポロジは、好ましくは、三角形または長方形のアイランド構造であり、一般的なマルチフィンガー構造またはインターデジタル構造よりも多くの利点を提供する。これらのアイランドトポロジは、結果として、同等の面積のマルチフィンガーレイアウトによって達成されるトランジスタ抵抗の70%未満である特定のトランジスタ抵抗をもたらす。それ以上に意味があるのは、相互接続およびパッドの必要性が減じられたことにより、全デバイスの有効面積比が3~5倍優れていることである。

20

【0017】

本発明は、所定の活性面積内で、より大きなゲート幅（または「 $W_g$ 」）を有するデバイスを提供する。ある特定の例示的態様において、当該トポロジは、活性面積内だけでなくデバイス全体の単位面積あたりの電流処理能力において、大きな向上を提供する。加えて、優れた能力のGaN半導体デバイスを製造するための簡素なプロセスを提供する。

30

【0018】

本発明の別の局面は、様々なエピタキシャル層内に埋設されたフィールドプレートの設計に関する。シリコンの導電性基板は、活性領域のキャパシタンスにおいて望ましくない増加をもたらすと考えられるために、（低濃度にドーピングされた）真性シリコン材料の低濃度にドーピングされた単一、二重、または一連のエピタキシャル層が、基板上に成長させられ得る。これらの層の厚さは変えることができ、ならびに埋設された導電層もしくは一連の導電層を、埋設されたフィールドプレートとして機能するように挿入することができる。様々なサイズおよび形状の複数のフィールドプレートを導入することができる。これらのフィールドプレートは、ドレインに並置されているゲート端部付近でのピーク電界を減少させ、したがって、トランジスタが耐えることのできる最大電圧を増加させる。加えて、これらのフィールドプレートは、ゲート端部とドレイン端部との間において電氣的ストレスの非常に均一な分布を提供するように配置することができる。独特で、例外的に線形の、または非常に高電圧のデバイスを構築することができる。加えて、当該新規のエピタキシャルシリコンをベースとする垂直構造は、シリコンと窒化ガリウムの熱膨張の違いにより生じる機械的応力に関連する問題を軽減することができる。

40

【0019】

本発明の上記の局面および他の局面は、以下の詳細な説明を添付の図面と併せて検討することにより明らかとなるであろう。

【0020】

本明細書内のいずれかにおいて、値の範囲について言及された場合、特に明記しない限

50

り、その中の部分範囲も、本発明の範囲に含まれることが意図される。ある特徴が、本発明のある変形または別の変形に起因する場合、特に明記しない限り、そのような特徴は、当該特徴が適切であるかまたは適合性を有するような本発明の他のすべての変形に対して適用されることが意図される。

【 0 0 2 1 】

以下は、例示のみのために提供されるのであって、本発明の限定とみなされるべきではない。それらの範囲を逸脱することなく、多くの関連する変形が可能である。

[本発明1001]

a) 基板と、

b) 該基板の主面上に形成された窒化物半導体層と、

c) 該窒化物半導体層のすべての実行可能エリアにおいて二次元活性領域を作るように交互に配置するために互いに隔置されている、複数の第一アイランド電極および複数の第二アイランド電極と、

d) 該窒化物半導体層上の各第一アイランド電極および各第二アイランド電極の間の領域に形成され、かつマルチアイランド電界効果トランジスタのゲート電極として機能する複数のストリップ電極であって、該アイランド電極のそれぞれが、該電界効果トランジスタのドレイン電極またはソース電極のいずれかである、ストリップ電極と、

e) 各ソース電極および各ドレイン電極の表面上の複数のボール接続部とを備える窒化物半導体デバイス。

[本発明1002]

各ソース電極の表面上のボール接続部がビアによって代替され、かつ基板が導電性である、本発明1001のデバイス。

[本発明1003]

アイランドがそれぞれ四角形である、本発明1001または1002のデバイス。

[本発明1004]

アイランドが三角形である、本発明1001または1002のデバイス。

[本発明1005]

アイランドが、ドレイン/ソースの並置を可能にする様々なタイプの多角形の組み合わせである、本発明1001または1002のデバイス。

[本発明1006]

各ゲート電極とゲートパッドとの間を低抵抗金属ストラップが接続している、本発明1001～1005のいずれかのデバイス。

[本発明1007]

前記基板と前記窒化物半導体層との間に1つまたは複数のエピタキシャル層をさらに備える、本発明1001～1006のいずれかのデバイス。

[本発明1008]

エピタキシャル層が低濃度にドーピングされている、本発明1007のデバイス。

[本発明1009]

複数のエピタキシャル層および1つまたは複数のフィールドプレートをさらに備え、該フィールドプレートのそれぞれが連続するエピタキシャル層の間に位置付けられている、本発明1007または1008のデバイス。

[本発明1010]

ボール接続部が金で形成されている、本発明1001～1009のいずれかのデバイス。

[本発明1011]

窒化物半導体層が、ドーピングされていない窒化アルミニウムガリウム層、およびその下のドーピングされていない窒化ガリウム層からなるヘテロ層である、本発明1001～1010のいずれかのデバイス。

【図面の簡単な説明】

【 0 0 2 2 】

【図1】先行技術の構築ブロック構造の平面図の例を示す。

10

20

30

40

50

- 【図2】本発明の態様の平面図を示す。  
【図3】図2の線1-1'に沿った断面図を示す。  
【図4】図2に示した態様の平面図を示す。  
【図5】本発明の第二の態様の平面図を示す。  
【図6】本発明の第三の態様の平面図を示す。  
【図7】図4に示した態様のパッケージングを示す。

【発明を実施するための形態】

【0023】

詳細な説明

以下の本発明の詳細な説明において、本明細書の一部を形成する添付の図面について言及するが、これには、本発明が実施され得る特定の態様が例示目的において示されている。当該図面において、同じ番号は、複数の構図を通じて、実質的に同様の構成要素を記述している。これらの態様は十分に詳細に記述されているので、これにより当業者は本発明を実施することが可能である。他の態様を利用してもよく、ならびに本発明の範囲から逸脱することなく、構造的、論理的、および電気的変更を行うことも可能である。以下の説明において使用されるウェハテンプレートおよびウェハ基板なる用語は、本発明の回路構造を形成するための露出面を有する任意の構造を包含する。基板またはテンプレートなる用語は、半導体ウェハを包含するものとして理解される。基板またはテンプレートなる用語は、プロセス中の半導体構造体を意味するためにも使用され、ならびにそれらの上に製作されている他の層も包含し得る。ウェハ、テンプレート、および基板は、ドーピングされた半導体およびドーピングされていない半導体、ベース半導体または絶縁体によって担持されているエピタキシャル半導体層、ならびに当業者に周知の他の半導体構造体を含む。導電体なる用語は、半導体を包含するものとして理解され、ならびに絶縁体なる用語は、導電体と呼ばれる材料よりも電気伝導性の低い任意の材料を包含するように定義される。したがって、以下の詳細な説明は限定の意味に解釈されるべきではなく、本発明の範囲は、添付の特許請求の範囲の権利が認められる同等物の全範囲と共に、当該添付の特許請求の範囲によってのみ定義される。

【0024】

添付の図面は概略図であり、原寸に比例して描かれることは意図されていない。明瞭にするために、全ての図において全ての構成要素に記号を付しているわけではない。参照により本明細書に組み入れられるすべての特許出願および特許は、参照によりその全体が本明細書に組み入れられるものとする。組み入れられた特許出願および特許が本明細書と相反する場合には、定義を含めて本明細書が優先する。

【0025】

本発明の分野は、概して、高出力および中出力の窒化ガリウムトランジスタに関する。より具体的には、本発明は、大きな窒化ガリウムデバイスにおいて性能劣化の原因となる熱勾配が生じるような高温において作動するトランジスタに関する。各ソースおよび/またはドレインへの接続系は、別々の熱シンクを含む。すべての大きな窒化ガリウムトランジスタは、複数のソース/ドレイン電極を有するので、説明されるスキーマでは、各ソースおよびドレイン接続部が、トランジスタの複雑な構造全体におけるこれらの接続部の特定の位置に応じて、抵抗および熱の両方において別々に補助されることが可能である。

【0026】

ベース基板が高濃度にドーピングされている場合、小さく短いビアによって、ウェハの裏への低抵抗接続を提供することが可能である。ウェハのドーピングレベルは、すべてのタイプのトランジスタの特定のニーズに対して抵抗を合わせるように選択することができる。高濃度にドーピングされているウェハは、600°Kまで広がる温度範囲において確実に作動する正の温度係数の抵抗体を形成し得る。正の温度係数は、 $10E16\text{cm}^{-3} \sim 10E18\text{cm}^{-3}$ のウェハドーピングレベルを用いることにより、 $0.11\% / ^\circ\text{K} \sim 1.1\% / ^\circ\text{K}$ の範囲となるように選択することができる。小さく短いビアは、適切な補償効果を提供するように、長さ、深さ、および/または幅を変えることができる。



## 【 0 0 2 7 】

あるいは、超高温（600 °Kより高い温度）作動および超高性能短期作動が必要とされる場合、当該抵抗体の温度係数を、室温での値の10%まで低くなるように選択することができる。この代替モードでの作動は、窒化ガリウムデバイスの本来の傾向を弱め、より高い温度でのそれらの性能を低下させるだろう。正の温度係数から負の温度係数へ転移する温度は、600 °K ~ 900 °Kの間で選択することができる。抵抗におけるこの負の温度係数は、概して有益ではないが、金または他の好適なドーパントを使用することにより、負の温度係数を達成することができる。新規の構造およびレイアウトを使用し適切に用いることにより、負の温度係数を有する一連のソース抵抗を提供することができる。したがって、300 °K未満から600 °Kを超えるような広い温度範囲において非常に安定な性能を示すような、本明細書において提案されたスキーマに基づく窒化ガリウムトランジスタを構築することが可能である。非常に簡素なバイアス法および非常に安定な線形性能を得ることができる。しかしながら、デバイス設計の困難さは、温度が上昇したときのソース抵抗の減少による正の効果と真性窒化ガリウムトランジスタに特有の性能低下とのバランスの問題に集中している。

10

## 【 0 0 2 8 】

前述の新規の水平方向トポロジ性質に加えて、本明細書において説明される垂直方向の配置は、製作されたトランジスタの性能に著しく貢献する局面を有する。高濃度にドーピングされた基板は、ドレイン - ソースキャパシタンスおよびチャンネル - ソースキャパシタンスに関連する欠点を有することが知られている。この高いキャパシタンスは、基板が一枚のコンデンサとしての役割を果たしていることに起因している。この効果を除去するために、通常は、非常に低濃度にドーピングされた基板が使用される。しかしながら、本明細書において説明されるいくつかの設計は、高濃度にドーピングされたバルクの基板を必要とする。キャパシタンス効果を減じるために、本明細書において提案された垂直構造の別の局面は、理想的な界面構造が維持される方法において、基板上に成長した非常に低濃度にドーピングされたエピタキシャル層または一連のエピタキシャル層の新規の包埋である。その後のプロセス工程は、窒化ガリウムとシリコンとの間の格子定数（17%）および膨張係数における相当の違いから生じる困難を伴うので、エピタキシャル層に関する当該プロセス工程は重要である。本発明は、GaN / AlGaNヘテロ層のさらなる成長を促進し得る歪層超格子を提供する。エピタキシャル層上に直接成長させたAlNバッファ層の上にGaN AlN超格子を挿入することによって、高品質のGaN / AlGaNヘテロ層をエピタキシャル層上に成長させることができる。エピタキシャル層は、例えば3 ~ 20ミクロンの厚さ範囲にわたって拡がるように成長させることができる。マイクロ波トランジスタを製作する場合、より小さいキャパシタンスの方が、必要な整合回路の一部となるように選択することができるので、好ましい。しかしながら、これには、キャパシタンスを最大化する必要があるであろうし、必要なエピタキシャル層の厚さは最大であるであろう。20ミクロン寸法は、キャパシタンスをさらに減じるために拡張され得る。

20

30

## 【 0 0 2 9 】

ゲート端部での電界ストレスを減じることが重要であるということが知られている。SiNまたは他の表面パッシベーションの上にゲート端部のドレイン側を拡張するのが慣例となっている。いくつかの実現例において、2.5ミクロンのドレイン - ゲート間隔を有するデバイスは、ゲートからドレイン方向へ1.0ミクロン拡張された表面フィールドプレートを有する。この拡張により、結果として、ゲート - ドレインフィードバックキャパシタンスにおいて望ましくない増加がもたらされる。これは、デバイスの利得を著しく低下させる。代替スキームは、ソースに接続されかつゲートを覆うように位置付けられた金属フィールドプレートを伴う。本明細書において説明される新規に提案された構造体は、ドレインに面しているゲート端部まで（またはゲート端部を越えて）ゲートの下に拡がる、ソースに接続された埋込層を採用している。電界ストレスを低減することによるさらなる利得は、エピタキシャル層の下で導電性基板からもたらされる。エピタキシャル層がいくつか使用されている場合、それぞれまたは任意のエピタキシャル層は、ゲートの下においてフ

40

50

フィールドプレートとして機能している埋込層を有し得る。埋込フィールドプレートと導電性基板とを組み合わせることにより、金属表面に取り付けられたフィールドプレートは必ずしも必要ではなくなる。表面フィールドプレートと提案された埋込フィールドプレートとの組み合わせは、非常に高い絶縁破壊電圧性能を提供するであろう。エピタキシャル層が薄い場合、埋込層フィールドプレートを必要とせず、その結果、プロセスの簡素化が可能である。ドレイン・ソースキャパシタンスの低減か、あるいは電界ストレスの低減かを選択することにより、結果として、各トランジスタ用途の理想的なエピタキシャル厚を得ることができる。

#### 【0030】

本発明のトランジスタデバイスでは、単純なトランジスタデバイスと比べてピーク電界が減少するが、これは、ゲート電極のドレイン側端部に集中する電界が減少することに起因している。この減少は、表面フィールドプレートが提供するのと同じストレス低減またはさらなるストレス低減を提供するように機能する新規のフィールドプレートの単独または組み合わせの効果の結果と考えられる。当該ストレス低減により、作動電圧の増加および/またはゲートリーク電流の減少などの電気性能特性が向上する。

#### 【0031】

窒化ガリウムは、シリコンとは異なる結晶構造を有し、窒化ガリウム構造をシリコン構造体の上に形成すると、結果として転位が生じ得る。活性領域周辺での欠陥および転位は、デバイス性能を大いに損ない得る。提案されたデバイスの新規のレイアウトスタイルにより、欠陥を有する個々のトランジスタを電氣的に絶縁して主要な構造から除外することが可能である。欠陥を有するデバイスのゲート接続またはドレイン接続のどちらかを切断するか、あるいはその両方を切断することができる。ノーマリーオフトランジスタのある特定の場合において、ゲート電極をただ切断するだけで十分な場合もある。切断メカニズムは、ヒューズまたはレーザー手法に基づき得るだろう。リーク電流または関連する容量結合のために、ゲート電極をソース電極に対して接地することが、さらに必要な場合がある。金属間の短絡は、高出力レーザーを用いて達成することができる。

#### 【0032】

先行技術において用いられている従来の設計(図1)では、ソース電極100は、エアブリッジ125によってソースパッド130に接続されており、該ソースパッドはさらに、大きなビア135によって接続されている。図示されているように、ドレイン電極120は、共通ドレインパッド105に接続されており、ゲート電極110は、共通ゲートパッド115に接続されている。これら例示的ユニットセルでは、ゲート電極10個がゲートパッドに接続されており、ドレイン電極5個がドレインパッドに接続されている。加えて、基板の裏(図示せず)への接続を形成するために、大きなビアが必要である。この場合、窒化物半導体デバイスに必要な面積(ソース、ドレイン、およびゲート電極が配置される面積)は、活性領域130の面積のおよそ3倍の大きさである。電極パッドのサイズを減じることは可能であるが、そのような電極パッドのサイズ減少は、歩留まりの観点から制限される。

#### 【0033】

図2は、独特なトポロジを示しており、この場合、基板コンタクト(短いビア)の隣接配置は、活性面密度を低下させない。このトポロジでは、ゲートが2次元に延びているため、ゲート幅は所定の活性面積に対して大きく増加される。このトポロジによって達成することができるオン抵抗に関しては、絶縁破壊電圧および線幅の制限を除いて制限はない。ここで、各ソース電極(100)は、ビア(111)を伴っており、各ソース電極(100)は、隣接するドレイン電極(120)によって囲まれている。各ドレイン電極(120)は、ドレインパッド(105)を伴っており、これは、多くの場合、金で作成された従来通りのボールである。ゲート電極は、110として示されており、コンタクト(106)によってゲートストラップ(175)に接続されている。ゲートストラップ(175)も、ゲートパッド(115)に接続されている。この方式において、各アイランド電極は、それぞれのパッドを有しており、その結果、デバイス全体のサイズが減少する。アイランド、すなわち図2に示されているタイル、は、ソース電極およびドレイン電極が二次元トポロジにおいて交互に配置

10

20

30

40

50

されていなければならない全体的フィーチャの態様であり、この場合、ソース電極（100）およびドレイン電極（120）は、好ましくは、チタンおよびアルミニウムから形成される。ゲート電極（110）は、好ましくは、パラジウムから形成される。

【0034】

図3は、図2のI-I'に沿った断面図を示している。基板（155）は、好ましくはシリコンで作成されており、連続する絶縁エピタキシャル層150、145、および140が上に被着するベースを形成する。バッファ層（135）は、エピタキシャル層（140）の上に被着しており、その上に、ドーピングされていない窒化ガリウム層（130）が被着している。ドーピングされていない窒化アルミニウムガリウムの最終層（125）が、層120の上に被着している。3つのエピタキシャル層150、145、および140の間に、導電性の2つのフィールドプレート160および165が存在する。これらは、好ましくは、シリコンのドーパントで形成されている。ソース電極は100として示されており、これらは、その上にビア（111）を有し、その一方で、ドレイン電極は120で示されている。ゲート電極110が、ソース電極（100）とドレイン電極（120）の間に配置されており、その上に酸化物、好ましくは窒化シリコンの層（170）が存在する。ゲートストラップ（175）は、層170の上に示されている。

【0035】

図2に示されている長方形の同等物は、言明された利点を失うことなく、任意の四角形によって置き換えることができる。長方形は回転することができ、例えば、長方形の別の使用方法を図5に示している。

【0036】

図4および5に示されているこれら2次元タイル状レイアウトは、ゲート幅の増加を可能にするので、極めて有利である。図4および5の両方において、ソース電極およびビアは、それぞれ110および111として示されており、一方、ドレイン電極およびボール接続部は、それぞれ120および105として示されている。ゲートは、両方向に配置されている。しかしながら、個々のアイランドデバイス間の移行において活性面積の一部が失われるため、有用な活性ゲート幅は2倍にはならない。実際には、図4および5のアイランドトポロジは、マルチフィンガーデバイスレイアウトと比較して1.5~1.7倍のゲート幅を提供することが見出された。それに比例して、そのようなデバイスのオン抵抗が低下する。

【0037】

ゲートを3方向に配置することによってゲート幅を増加させることも可能である。これは、独特な正三角形アイランドが使用されている図6のアイランドレイアウトに示されている。ただし、三角形は任意の形式であってもよく、ゲートを3方向に配置するコンセプトは、図示されている好都合の正三角形レイアウトに限定されるものではない。実際に、このレイアウトも、先行技術のインターデジタル（またはマルチフィンガー）構造を用いることによって得られるゲート幅のおよそ1.5~1.7倍のゲート幅を提供する。図2のように、ビア（111）はソース電極（100）の上に位置付けられ、一方、ボール接続部（105）はドレイン電極（120）の上に位置付けられている。ヒューズ/アンチヒューズ（106）は、ゲート電極（110）をゲートストラップ（175）と接合するのに役立ち、ゲートストラップ（175）はゲートパッド（175）に接続している。

【0038】

ゲート長が0.5ミクロンの設計ルールに基づく、ドレイン-ソースの間隔は2.5ミクロンであり、7.5ミクロンのドレイン/ソースなるフィーチャが存在し、この場合、活性面積は7.5mm<sup>2</sup>であり、それぞれのゲート幅は、インターデジタルでは0.7メートル、長方形アイランドでは1.1メートル、および三角形アイランドでは1.1メートルである。したがって、1.4メートルのゲート幅を有するGaNトランジスタは、3mm×3mm未満のダイサイズを用いて作成することができる。そのようなデバイスは、10~15ミリオームのオン抵抗を有するであろうし、100アンペアのスイッチングが可能であろう。

【0039】

アイランドトポロジにより、活性デバイス間のスペースを接続ポイントとして使用することが可能となる。低単位抵抗の金属ストラップ175を使用することにより、金属ゲート

10

20

30

40

50

抵抗の問題を排除することができる。当該ストラップは、活性ゲート・ドレインチャンネルエリアを通過する際にゲートから離して位置決めすることにより、補助的なフィールドプレートとして機能するように位置することができる。これは、図2および図3に示されている。

【0040】

ストラップのみを使用して良好な個々の機能的セルに接続するために、ゲートの角におけるコンタクト106が利用可能である。個々のドレインを金バンプの除去または不在によって絶縁することにより、歩留まりの向上も可能である。したがって、欠陥密度が高くても、図2に示されたレイアウトを用いることにより、実行可能な機能的デバイスを製造することが可能である。

10

【0041】

図2、4、5、および6には、従来の接合またはパッケージに対する対策は示されていない。代替の有利なパッケージング技術を、図7の断面図に示す。エアブリッジが存在しないことにより、ダイ(200)を銅/ソースヒートシンククリップ(210)に(共晶接合(205)を介して)共晶的に接合することが可能となる。これを裏返すと、金バンプゲート(215)およびドレイン(220)を、マルチチップアセンブリ上の銅トラック(225)に直接接続することが可能となる。この配置は、ワイヤ接合を使用するパッケージと比較して、取り付けられたデバイスの総面積を大いに減少させ、ドレインおよびソース接続部のインダクタンスを減少させる。

【0042】

20

あるいは、ボード上の銅トラックにより、すべての放熱法を除去することが可能であり、銅/ソースヒートシンククリップを排除することができる。この結果を実現するために、ドレイン接続部、ソース接続部、およびゲート接続部はすべて金バンプを有し、ビア接続部を有さず、かつ絶縁性の高抵抗基板が使用される。

【0043】

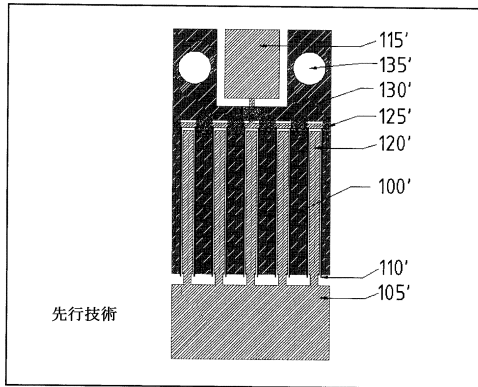
一般的な方法としては、熱抵抗を低くするために、パワーRFデバイスのウェハを約450ミクロンから150ミクロンへと薄くする。図7に示されているパッケージングされたデバイスにおいて、ソース接続に対するより低い直列抵抗を達成するために、ダイは50ミクロンまで薄くされる。図7に示されているパッケージを用いることにより、ダイを機械的に強化し、かつソースへの低インダクタンスでの接続が確実に得られるようにする。

30

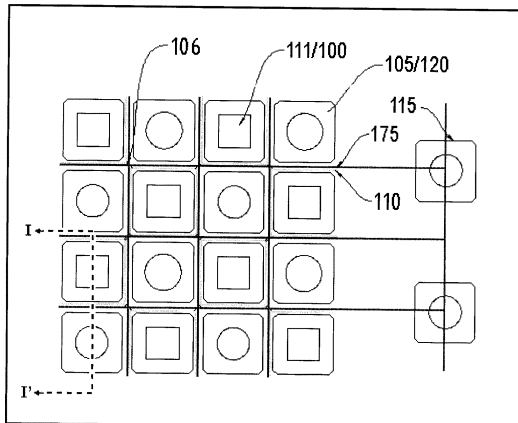
【0044】

前述において、本発明の適用方法および使用方法を示すことにより、特定の態様について説明してきた。これらの態様は、単なる例示である。最も広くより具体的な本発明の局面については、添付の特許請求の範囲においてさらに説明し定義する。

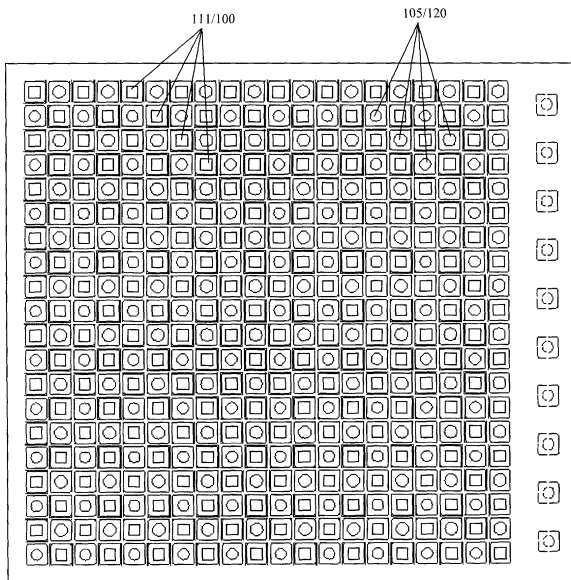
【図 1】



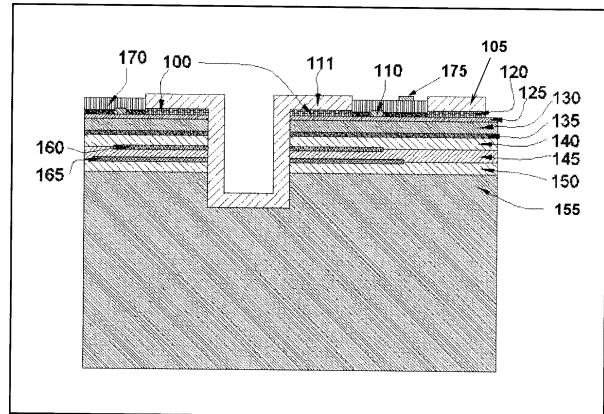
【図 2】



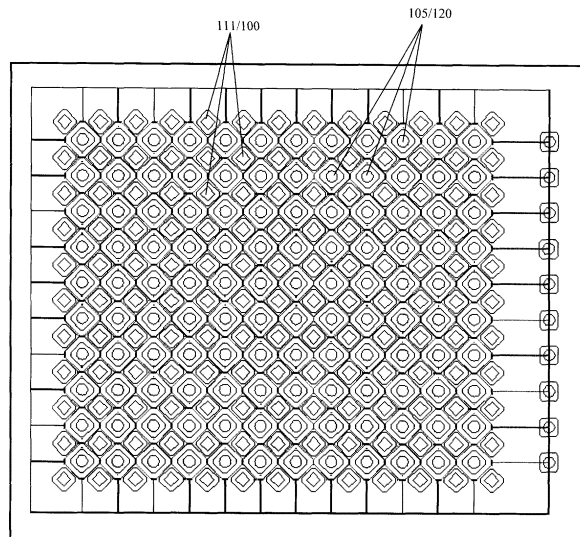
【図 4】



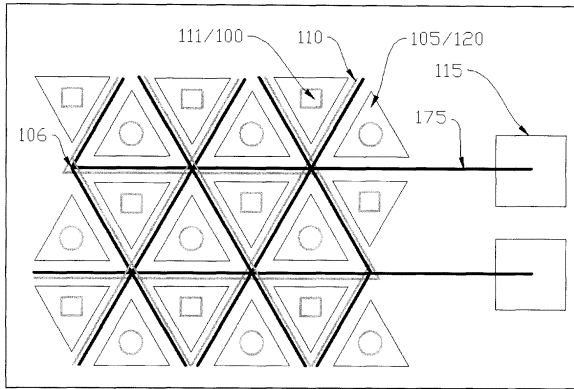
【図 3】



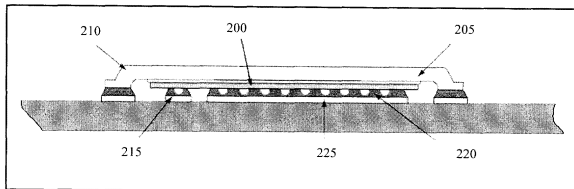
【図 5】



【図 6】



【図 7】



## フロントページの続き

- (74)代理人 100142929  
弁理士 井上 隆一
- (74)代理人 100148699  
弁理士 佐藤 利光
- (74)代理人 100128048  
弁理士 新見 浩一
- (74)代理人 100129506  
弁理士 小林 智彦
- (74)代理人 100114340  
弁理士 大関 雅人
- (74)代理人 100114889  
弁理士 五十嵐 義弘
- (74)代理人 100121072  
弁理士 川本 和弥
- (72)発明者 ロバーツ ジョン  
カナダ オンタリオ州 オタワ ノース リバー ロード 411 アpartment ピーエイチ  
10
- (72)発明者 ミザン アフマド  
カナダ オンタリオ州 オタワ プリンズ オブ ウェールズ ドライブ 1435 アpartment  
ント 708
- (72)発明者 パターソン ガーバン  
カナダ オンタリオ州 オタワ ウィンダーメア アベニュー 545
- (72)発明者 クロワック グレグ  
カナダ オンタリオ州 オタワ シャーク クレセント 51

審査官 早川 朋一

- (56)参考文献 特開平11-214408(JP,A)  
実開昭50-089263(JP,U)  
特開昭50-047575(JP,A)  
実開昭51-081067(JP,U)  
特開昭58-068954(JP,A)  
特開2008-177527(JP,A)  
特開2007-103451(JP,A)  
特開2000-208759(JP,A)  
特開2007-305954(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H01L 21/337-21/338  
H01L 27/095-27/098  
H01L 29/775-29/778  
H01L 29/80-29/812  
H01L 21/28-21/288  
H01L 21/44-21/445  
H01L 29/40-29/51