

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G01R 1/073 (2006.01)

G01R 1/067 (2006.01)

G01R 31/316 (2006.01)



[12] 发明专利说明书

专利号 ZL 97196465.3

[45] 授权公告日 2006 年 8 月 30 日

[11] 授权公告号 CN 1272632C

[22] 申请日 1997.5.15 [21] 申请号 97196465.3

[30] 优先权

[32] 1996.12.31 [33] US [31] 60/034,053
[32] 1997.1.15 [33] US [31] 08/784,862
[32] 1997.1.24 [33] US [31] 08/788,740
[32] 1997.2.18 [33] US [31] 08/802,054
[32] 1997.3.17 [33] US [31] 08/819,464
[32] 1997.5.6 [33] US [31] 08/852,152
[32] 1996.8.22 [33] US [31] 60/024,405
[32] 1996.8.26 [33] US [31] 60/024,555
[32] 1996.11.13 [33] US [31] 60/030,697
[32] 1996.12.13 [33] US [31] 60/032,666
[32] 1996.6.27 [33] US [31] 60/020,869
[32] 1996.5.17 [33] US [31] 60/005,189
[32] 1996.5.24 [33] WO [31] PCT/US96/08107

[86] 国际申请 PCT/US1997/008604 1997.5.15

[87] 国际公布 WO1997/043656 英 1997.11.20

[85] 进入国家阶段日期 1999.1.15

[71] 专利权人 佛姆法克特股份有限公司

地址 美国加利福尼亚州

[72] 发明人 I·Y·汉德罗斯 D·V·佩德森

审查员 舒畅

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 张政权

权利要求书 4 页 说明书 21 页 附图 6 页

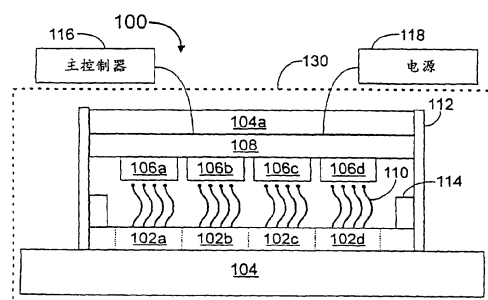
[54] 发明名称

晶片级老化和测试

[57] 摘要

对半导体器件进行晶片级老化和测试的技术包括具有诸如 ASIC 等安装到互连衬底或安装在其中的有源电子元件的测试衬底、在 ASIC 和被测试晶片(WUT)上的多个被测试器件(DUT)之间实行互连的金属弹性接触元件,它们都被置于真空容器中,从而可在与 DUT 的老化温度无关或明显低于该温度的温度下操作 ASIC。弹性接触元件可以安装到 DUT 或 ASIC,且可成扇形发散以放宽使 ASIC 和 DUT 对准和互连的公差限制。由于 ASIC 能在相对少的信号线上接收来自主控制器的多个用于测试 DUT 的信号,并在 ASIC 和 DUT 之间相对多的互连上传播这些信号,所以互连的数目明显减少,继而简化了互连衬底。ASIC 还可响应于来自主控制器的控制信号产生这些信号中的至少一部分。还描述了具体对准技术。在 ASIC 的正面微切削加工而

成的凹痕保证了俘获弹性接触元件的自由端。ASIC 背面及互连衬底正面经微切削加工而成的特征有利于使支撑衬底上的多个 ASIC 精确对准。



1. 一种用于对半导体器件进行老炼的设备，其特征在于所述设备包括：
用于所述半导体器件的支撑；
5 有源电子元件；
数据总线，用于电气连接所述有源电子元件与一主控制器；以及
半导体器件连接，用于电气连接所述有源电子元件与所述半导体器件，
其特征在于所述有源电子元件通过所述数据总线接收第一格式的测试信号，
把所述测试信号变成第二格式，并通过所述半导体器件接口输出所述第二格式的
10 所述测试信号。
2. 如权利要求 1 所述的设备，其特征在于，在所述第一格式中，所述测试
信号为串行数据流，在所述第二格式中，所述测试信号是并行的。
3. 如权利要求 1 所述的设备，其特征在于所述有源电子元件还通过所述半
导体器件连接接收所述半导体器件所产生的并行格式的响应数据，把所述响应数
15 据变成串行格式，并通过所述数据总线输出所述串行格式的所述响应数据。
4. 如权利要求 3 所述的设备，其特征在于在所述串行格式中，所述响应数
据为串行数据流，所述并行格式中，所述响应数据是并行的。
5. 如权利要求 1 所述的设备，其特征在于所述有源电子元件还包括调压器，
用于调节至所述半导体器件的电压。
- 20 6. 如权利要求 1 所述的设备，其特征在于所述半导体器件连接把所述有源
电子元件连接到多个所述半导体器件。
7. 如权利要求 6 所述的设备，其特征在于在所述第一格式中，所述测试数
据足以测试一数目的所述半导体器件，在所述第二格式中，所述测试数据足以测
试更大数目的所述半导体器件。
- 25 8. 如权利要求 6 所述的设备，其特征在于还包括多个所述有源电子元件。
9. 如权利要求 8 所述的设备，其特征在于所述有源电子元件之一相应于所
述半导体器件中的一个。
10. 如权利要求 8 所述的设备，其特征在于所述半导体器件连接把多个所述
有源电子元件与多个所述半导体器件相连。
- 30 11. 如权利要求 8 所述的设备，其特征在于所述半导体器件构成未分离的半

导体晶片，所述设备还包括一衬底，所述衬底包括热膨胀系数与所述不同晶片的热膨胀系数近似相等的材料，所述有源电子元件置于所述衬底上。

12. 如权利要求 1 所述的设备，其特征在于所述半导体器件连接包括多个弹性接触元件，每个弹性接触元件使所述有源电子元件的一个端子与所述半导体器件的一个端子电气相连。

13. 如权利要求 12 所述的设备，其特征在于每个所述弹性接触元件是单个独立的结构。

14. 如权利要求 1 所述的设备，其特征在于所述半导体器件连接包括多个俘获焊接区，每个焊接区用于接受装到所述半导体器件的一个端子的多个独立的弹性接触结构。

15. 一种用于对半导体器件进行老炼的设备，其特征在于所述设备包括：
用于所述半导体器件的支撑；
有源电子元件；
数据总线，用于电气连接所述有源电子元件与一主控制器；以及
半导体器件连接，用于电气连接所述有源电子元件与所述半导体器件，
其特征在于所述有源电子元件响应于输入所述半导体器件的测试信号，接收所述半导体器件所产生响应数据，分析所述响应数据，并在所述响应数据指示所述半导体器件故障时停止所述半导体器件的老炼。

16. 如权利要求 15 所述的设备，其特征在于所述有源电子元件还通过所述数据总线接收第一格式的测试信号，把所述测试信号变成第二格式，并通过所述半导体器件连接输出所述第二格式的所述测试信号。

17. 如权利要求 16 所述的设备，其特征在于在所述第一格式中，所述测试信号为串行数据流，在所述第二格式中，所述测试信号是并行的。

18. 如权利要求 15 所述的设备，其特征在于所述有源电子元件还包括调压器，用于调节至所述半导体器件的电压。

19. 如权利要求 15 所述的设备，其特征在于所述半导体器件连接把所述有源电子元件连接到多个所述半导体器件。

20. 如权利要求 19 所述的设备，其特征在于还包括多个所述有源电子元件。

21. 如权利要求 20 所述的设备，其特征在于所述有源电子元件之一相应于所述半导体器件中的一个。

22. 如权利要求 20 所述的设备，其特征在于所述半导体器件连接把多个所述有源电子元件与多个所述半导体器件相连。

23. 如权利要求 20 所述的设备，其特征在于所述半导体器件构成未分离的半导体晶片，所述设备还包括一衬底，所述衬底包括热膨胀系数与所述不同晶片的热膨胀系数近似相等的材料，所述有源电子元件置于所述衬底上。

24. 如权利要求 15 所述的设备，其特征在于所述半导体器件连接包括多个弹性接触元件，每个弹性接触元件使所述有源电子元件的一个端子与所述半导体器件的一个端子电气相连。

25. 如权利要求 24 所述的设备，其特征在于每个所述弹性接触元件是单个独立的结构。

26. 如权利要求 15 所述的设备，其特征在于所述半导体器件连接包括多个俘获焊接区，每个焊接区用于接受装到所述半导体器件的一个端子的多个独立的弹性接触结构。

27. 一种用于对半导体器件进行老炼的设备，其特征在于所述设备包括：
用于所述半导体器件的支撑；
有源电子元件；
数据总线，用于电气连接所述有源电子元件与一主控制器；以及
半导体器件连接，用于电气连接所述有源电子元件与所述半导体器件，
其特征在于所述有源电子元件通过所述数据总线接收第一测试信号，产生附加测试信号，并通过所述半导体器件连接输出所述附加测试信号。

28. 如权利要求 27 所述的设备，其特征在于所述有源电子元件还通过所述半导体连接输出所述第一测试信号。

29. 如权利要求 27 所述的设备，其特征在于所述有源电子元件还响应于输入所述半导体器件的附加测试信号，接收所述半导体器件所产生的响应数据，分析所述响应数据，并在所述响应数据指示所述半导体器件故障时停止所述半导体器件的老炼。

30. 如权利要求 27 所述的设备，其特征在于所述半导体器件连接把所述有源电子元件连接到多个所述半导体器件。

31. 如权利要求 30 所述的设备，其特征在于所述第一测试信号足以测试第一数目的所述半导体器件，所述附加测试信号足以测试附加数目的所述半导体器

件。

32. 如权利要求 30 所述的设备, 其特征在于还包括多个所述有源电子元件。

33. 如权利要求 32 所述的设备, 其特征在于所述有源电子元件之一相应于所述半导体器件中的一个。

5 34. 如权利要求 32 所述的设备, 其特征在于所述半导体器件连接把多个所述有源电子元件与多个所述半导体器件相连。

35. 如权利要求 32 所述的设备, 其特征在于所述半导体器件构成未分离的半导体晶片, 所述设备还包括一衬底, 所述衬底包括热膨胀系数与所述不同晶片的热膨胀系数近似相等的材料, 所述有源电子元件置于所述衬底上。

10 36. 如权利要求 27 所述的设备, 其特征在于所述半导体器件连接包括多个弹性接触元件, 每个弹性接触元件使所述有源电子元件的一个端子与所述半导体器件的一个端子电气相连。

37. 如权利要求 36 所述的设备, 其特征在于每个所述弹性接触元件是单个独立的结构。

15 38. 如权利要求 27 所述的设备, 其特征在于所述半导体器件连接包括多个俘获焊接区, 每个焊接区用于接受装到所述半导体器件的一个端子的多个独立的弹性接触结构。

晶片级老化和测试

相关申请的交叉引用

本专利申请是与 95 年 5 月 26 日提交的 08/452,255 号审查中美国专利申请(以下称“PATENT CASE”)及其拷贝 95 年 11 月 13 日提交的 US95/14909 号 PCT 专利申请共有的继续部分,这两个专利申请都是 94 年 11 月 15 日提交的 08/340,144 号审查中美国专利申请及其拷贝 94 年 11 月 16 日提交的 PCT 专利申请共有的继续部分,这两个申请是与 93 年 11 月 16 日提交的 08/152,812 号审查中专利申请(现在为 USP 5,476,211, 19 Dec 95)共有的继续部分,所有的申请都在这里参考引用。

本专利申请也是以下共有的审查中美国专利申请的继续部分:

95 年 9 月 21 日提交的 08/526,246 (PCT/US95/14843, 13 NOV 95);

95 年 10 月 18 日提交的 08/533,584 (PCT/US95/14842, 13 NOV 95);

95 年 11 月 9 日提交的 08/554,902 (PCT/US95/14844, 13 NOV 95);

95 年 11 月 15 日提交的 08/558,332 (PCT/US95/14845, 15 NOV 95);

95 年 12 月 18 日提交的 08/573,945 (PCT/US96/07924, 24 MAY 96);

96 年 2 月 15 日提交的 08/602,179 (PCT/US96/08328, 28 MAY 96);

96 年 2 月 21 日提交的 60/012,027 (PCT/US96/08117, 24 MAY 96);

96 年 2 月 22 日提交的 60/012,040 (PCT/US96/08275, 28 MAY 96);

96 年 3 月 5 日提交的 60/012,878 (PCT/US95/08274, 28 MAY 96);

96 年 3 月 11 日提交的 60/013,247 (PCT/US95/08276, 28 MAY 96);

96 年 5 月 17 日提交的 60/005,189 (PCT/US95/08107, 24 MAY 96), 所有的这些申请(除了先前提出的申请以外)都是上述 PARENT CASE 的继续部分,所有的这些申请都被参考引用。

本专利申请也是以下共有的审查中美国专利申请的继续部分:

Khandros 和 Pedersen 于 96 年 11 月 13 日提交的 60/030,697; 以及

Khandros 和 Pedersen 于 96 年 12 月 13 日提交的 60/-tbd-。

技术领域

本发明涉及老炼(exercise)半导体器件,尤其涉及对半导体器件进行测试和老化以识别确优芯片(KGD),尤其是,还涉及老炼晶片级的半导体器件(把它们从晶片上分离或“切块”前)。

背景技术

通过在硅晶片上进行诸如蚀刻、掩蔽、淀积等一长串工艺步骤来制造从微处理器到存储器芯片等半导体器件。典型的硅晶片具有直径为六英寸或更大的晶片形状。把一般相同的许多半导体器件放置成规则的矩形阵列,而在单个硅晶片上制造这些器件。在晶片上的相邻半导体器件之间设置切割线(划线道)。最后,通过沿划线道锯开而把这些器件从晶片上分离。

由于晶片的缺陷或在一个或多个处理步骤中的缺陷,使得某些半导体器件不能执行所设计的功能,这些缺陷可能在最初时显现出来,或者也可能在器件操作了一段持续的时间后才明显起来。于是,在一段持续时间内对器件进行测试和通电老炼以便确认哪些器件是好哪些器件是坏的是很重要的。

通常,只在半导体器件从晶片上分离(分开)且经过另外一长串“收尾”工艺步骤(其中,把这些器件装配成最终的“封装”形式)后才老炼这些器件(老化和测试)。

从“总”的方面来看,已有技术的典型“收尾”工艺流程图如下(从晶片制造开始):

晶片挑选#1;

激光修复;

晶片挑选#2;

晶片锯开;

封装组件步骤,诸如小片连接、丝焊接、密封、引线微调和形成、引线电镀;

电学测试;

老化;

电学测试; 以及

对产品作标记和运送。

现代的半导体器件通常包含成百上千个端子(即,诸如电源、地、输入/输出等“焊接区(pad)”),且现代的半导体晶片通常包含成百上千个半导体器件,因而

每个晶片具有在进行晶片级测试和/或老化时需要被寻址的成千上万个焊接区或测试点(即,在把小片从晶片上分离前一次测试所有的小片)。在安排距离只有千分之四英寸的相邻焊接区之间的间隔(间距)时,精确地对准也不是普通的事情。虽然如此,在把半导体器件从晶片上分离前对其进行测试和/或老化仍成为今后努力的目的。

USP 5,570,032(Atkins 等人;“Micron Patent”;10/96)揭示了晶片定标(scale)老化设备和工艺,其中把正在被老化的晶片(14)与印刷电路板(13)相配合,该电路板使用其上的小导电柱(15)与晶片上每个小片上的焊接区电学接触。为了允许平行地测试晶片上的所有小片,需要使整个晶片与印刷电路板精确地对准,从而不需要单独地探测每个小片。该设备装有加热元件和冷却通道,以对老化和测试产生必要的晶片温度。该应用方法消除了老化和测试以外对故障小片的处理。Micron Patent 的图 1 提供了从制造到运送而取得晶片的已有技术处理步骤的一般情况。Micron Patent 的图 8 提供了在运用所揭示的晶片定标老化和测试方法时从制造到运送而取得晶片的处理步骤的对比情况。在 Micron Patent 中提议,还可具有连接和控制逻辑(微处理器、多路复用器等)减少的印刷电路板以及具有包含在印刷电路板中的完整的测试电子线路(见第 5 栏 53-60 行)。

USP 5,532,510(Tsujide 等人;“NEC Patent”;7/96)揭示了用于测试半导体晶片的设备,其中有测试衬底,置于测试衬底上的有源电路用于激励置于待测试晶片上的芯片,置于测试衬底正面上的多个焊接区如此定位,从而在把测试衬底覆盖在晶片上时,这些焊接区置成与置于晶片上的芯片的键合焊接区对准。测试衬底(2)可以用与如此测试的晶片(1)相同的材料制成的晶片。在测试衬底(晶片)2 上,引线 7 从焊接区 4 延伸并连到电源、接地线 8、I/O 线 9 和芯片选择线 10。NEC Patent 的图 4 示出由硅晶片制成的测试设备 16,已对此硅晶片的背面进行蚀刻而形成具有四边棱锥形状的孔 21,孔 21 可起到对准标记的作用从而便于使测试衬底(16)与待测试晶片(17)对齐。

USP 5,434,513(Fujii 等人;“Rohm Patent”;7/95)揭示了使用中间半导体晶片的半导体晶片测试设备,其中在用作测试衬底的中间半导体晶片的底面上形成突起(bump)电极,在测试衬底的上(相对)表面上形成拾取(pickup)电极和控制电极。在中间半导体晶片中形成切换电路,该电路用于依据测试仪经由控制电极所提供的切换控制信号而把选中的一些突起电极连到拾取电极。拾取电极和控制

电极经 pogo 引脚连到测试仪。

USP 5,497,079(Yamada 等人; “Matsushita Patent”; 3/96)揭示了半导体测试设备、半导体测试电路芯片和探测卡(probe card), 其中把多个半导体测试芯片(2)安装到母板(4)的一侧, 并把数目相同的多个待测试半导体集成电路芯片(1)安装到母板(4)的另一侧。设有用于控制半导体测试芯片(2)的计算机(3)。由于测试电路芯片(2)中含有主要的测试功能, 所以用于收集测试结果的计算机(3)可以是廉价的计算机。Matsushita Patent 的图 5、7 和 10 示出一代表性的半导体测试电路芯片(2), 它具有测试图案产生装置、用于把测试图案加到被测试器件的驱动器、数据存储装置、用于判断所存储的输出数据是否表示失效的数据判断装置以及用于把判断结果传送到工作站的装置。Matsushita Patent 的图 12 示出在晶片测试中所使用的半导体测试设备的结构, 其中把多个半导体测试芯片(2)安装到探测卡(103)、从探测卡(假定从探测卡的另一面)延伸的多个探针(104)以及被测试的晶片(106)。在把控制信号从工作站传输到半导体测试电路芯片时, 半导体测试芯片开始测试在半导体晶片上形成的半导体集成电路。

一般, 以前实行晶片级测试方案的尝试包括制备单个测试衬底, 该衬底具有与被测试晶片上的相应焊接区接触的多个接触元件。如上所述, 这样可能要求几万个这样的接触元件和及其复杂的互连衬底。作为一个例子, 一个 8”的晶片可能包含 500 个 16Mb 的 DRAM, 每个 DRAM 具有 60 个键合焊接区, 总共有 30,000 个接头。被测试晶片(WUT)有 30,000 个接头, 中间衬底有 30,000 个附加接头, 测试电子线路有 30,000 多个接头, 且控制电子线路有不确定数目的接头。此外, 现代半导体器件所需的精细间距需要在把测试衬底与被测试的晶片放在一起时保持极高的公差。

发明内容

本发明的一个目的是提供一种用于进行晶片级老化和测试的改进技术。

本发明的一个目的是通过进行一系列晶片级处理工艺而使完成的器件的物理质量优于已有技术且可靠性水平高于已有技术来减少半导体制造成本。

依据本发明, 在把半导体器件从制造这些器件的半导体晶片上分离前, 以晶片级老炼这些半导体器件。在这里所使用的术语“老炼”包括对半导体器件进行老化和功能测试, 但不限于此。使用诸如弹性接触元件等互连元件在被测试晶片

(WUT)上的多个未分离的被测试半导体器件(DUT)和测试衬底之间进行压力连接而形成多个压力接头。最好把弹性接触元件的底部直接安装到WUT上(即,WUT上的DUT),从而它们具有延伸到WUT表面上方的公共平面的自由端。测试衬底的热膨胀系数最好与WUT的热膨胀系数匹配。此外,可把弹性接触元件安装到测试衬底上。

依据本发明的一个方面,弹性接触元件在WUT上如此安排,从而它们成扇形发散,或其顶部的间距大于其底部的间距。弹性接触元件是诸如在PARENT CASE中所述的适当的组合互连元件。

在本发明的一个实施例中,测试衬底包括相对大的互连衬底和安装到并连到互连衬底的多个相对小的衬底,每个小衬底的尺寸(面积)小于一个DUT的尺寸(面积)。在互连(支撑)衬底的正面(面对WUT)放置小衬底。一个小衬底也可以大于单个DUT并与两个或多个DUT相配合。小衬底是诸如专用集成电路(ASIC)等适当的有源半导体器件。ASIC的设计使得把将从外部源(例如,主控制器)提供给测试衬底的信号的数目减到最少。

在把弹性接触元件安装到DUT上的情况下,弹性接触元件的顶端最好成扇形发散,从而顶端的间隔比所安装的底部的间隔大,且ASIC设有俘获(capture)焊接区,它们可以是特大的,从而放宽对准公差。弹性接触元件的顶端可以成扇形发散,且这些顶端被放置的面积小于且位于安装这些顶端的DUT面积以内。老练DUT的ASIC的尺寸相应于弹性接触元件顶端的面积。

在本发明的一个实施例中,ASIC的正面设有凹痕,每个凹痕容纳安装到DUT的相应弹性接触元件的顶端。可直接在ASIC的表面上形成这些凹痕,也可由置于ASIC表面的层来提供这些凹痕。在安放了这些顶端后,可使ASIC横向移动或旋转(共面),以使弹性接触元件的顶端与凹痕特征的侧壁相啮合。

依据本发明的一个方面,提供了保证多个ASIC与互连(支撑)衬底精确对准的装置,包括ASIC背面上的凹痕和互连衬底正面上的相应凹痕以及位于ASIC和互连衬底之间的球体。

依据本发明的一个方面,把测试衬底保持在比WUT的温度低的一个温度下。这使得可把WUT上的DUT升到较高的温度以加速其老化,而不会对安装到互连衬底的ASIC的估计寿命产生不利影响。由于测试衬底的热膨胀系数与WUT的热膨胀系数非常匹配,这将使测试衬底的热膨胀量较之WUT不明显。通过把整个设备

(WUT 和测试衬底)置于真空环境中,一般保持 WUT 和测试衬底之间的明显温度差。

在使用中,使测试衬底在室温下与 WUT 接触。ASIC 正面上的俘获特征(例如,凹痕)使弹性接触元件就位。然后,可对 DUT 上电。真空环境防止了来自上电 DUT 的热量使 ASIC 变热,从而使 ASIC 将在比 DUT 的老化温度低得多的温度下进行操作。

依据本发明的一个方面,由外部源(主控制器)以第一种格式(诸如相对少数几根线上的串行数据流)向多个 ASIC 提供用于测试 DUT 的信号,并把这些信号转换成第二格式,诸如用于与 DUT 接触的独立的相对多个弹性接触元件的独立信号。此外,可在 ASIC 内产生用于测试 DUT 的至少一部分信号,而不是由外部主控制器来提供。

依据本发明的一个方面,ASIC 可累积(监测)来自 DUT 的测试结果,以便在随后传输到主控制器。可使用该信息(测试结果)来独立地表征每个 DUT。此外,根据 DUT 的测试结果,ASIC 可中止对关键测试失败的 DUT 的进一步测试和/或老化。

在本发明的另一个实施例中,可直接在硅晶片上制造 ASIC,而不把 ASIC 安装到硅晶片上。如此提供冗余,从而可用其它 ASIC 在电学上替换出故障的 ASIC 或其一部分。

本发明的一个益处是可廉价地制造 ASIC,把每种“类型”的 ASIC 专门设计成适用于(相配)一种特殊类型的 DUT。

常规的老化技术涉及把 DUT 置于常规的烤箱中来提高其温度。在本发明的上下文中,一般不想使 ASIC 经过如此重复的热循环。而且,依据本发明,想使 DUT 与 ASIC 相互接触且对 DUT 上电来进行老化。这导致了由 DUT 所产生的热量,在大多数情况下,有充分的热量满足提高 DUT 的温度的需求而不需要任何附加的热源。

依据本发明的一个方面,把 DUT 和测试衬底组件(互连衬底加上安装到其上的 ASIC)置于真空环境中,只把 ASIC 所经受的少量热量沿在 ASIC 和 DUT 之间进行电气连接的弹性接触元件传导到 ASIC。DUT 衬底和测试衬底与液体冷却的吸盘(chuck)接触,该吸盘的液体流向不同的控制器。把 DUT 衬底带到一般高于封装的部分可承受的高温,而把测试衬底保持在室温或低于室温,以大大增强测试仪的电气操作。

本发明的一个益处是使 DUT 直接与 ASIC 接触,而支撑 ASIC 的互连衬底可以

是密度非常低的布线衬底，该衬底接收来自主控制器的非常少的信号，ASIC 本身产生对 WUT 上多个 DUT 老炼所需的大量(例如 30,000)信号中的大多数信号。

本发明的一个益处是可从比室温低得多的温度到半导体工艺所允许的最大温度的宽的温度范围内确保 DUT 操作，它们对 ASIC 都不会产生热应力。

本发明提供了用于整个晶片级组件工艺的启动技术。

依据本发明的一个方面，提供了一种用于对半导体器件进行老炼的设备，其特征在于所述设备包括：用于所述半导体器件的支撑；有源电子元件；数据总线，用于电气连接所述有源电子元件与一主控制器；以及半导体器件连接，用于电气连接所述有源电子元件与所述半导体器件，其特征在于所述有源电子元件通过所述数据总线接收第一格式的测试信号，把所述测试信号变成第二格式，并通过所述半导体器件接口输出所述第二格式的所述测试信号。

在所述设备中，在所述第一格式中，所述测试信号为串行数据流，在所述第二格式中，所述测试信号是并行的。

在所述设备中，所述有源电子元件还通过所述半导体器件连接接收所述半导体器件所产生的并行格式的响应数据，把所述响应数据变成串行格式，并通过所述数据总线输出所述串行格式的所述响应数据。

在所述设备中，在所述串行格式中，所述响应数据为串行数据流，所述并行格式中，所述响应数据是并行的。

在所述设备中，所述有源电子元件还包括调压器，用于调节至所述半导体器件的电压。

在所述设备中，所述半导体器件连接把所述有源电子元件连接到多个所述半导体器件。

在所述设备中，在所述第一格式中，所述测试数据足以测试一数目的所述半导体器件，在所述第二格式中，所述测试数据足以测试更多数目的所述半导体器件。

在所述设备中，还包括多个所述有源电子元件。

在所述设备中，所述有源电子元件之一相应于所述半导体器件中的一个。

在所述设备中，所述半导体器件连接把多个所述有源电子元件与多个所述半导体器件相连。

在所述设备中，所述半导体器件构成未分离的半导体晶片，所述设备还包括

一衬底，所述衬底包括热膨胀系数与所述不同晶片的热膨胀系数近似相等的材料，所述有源电子元件置于所述衬底上。

在所述设备中，所述半导体器件连接包括多个弹性接触元件，每个弹性接触元件使所述有源电子元件的一个端子与所述半导体器件的一个端子电气相连。

在所述设备中，每个所述弹性接触元件是单个独立的结构。

在所述设备中，所述半导体器件连接包括多个俘获焊接区，每个焊接区用于接受装到所述半导体器件的一个端子的多个独立的弹性接触结构。

依据本发明的另一个方面，提供了一种用于对半导体器件进行老炼的设备，其特征在于所述设备包括：用于所述半导体器件的支撑；有源电子元件；数据总线，用于电气连接所述有源电子元件与一主控制器；以及半导体器件连接，用于电气连接所述有源电子元件与所述半导体器件，其特征在于所述有源电子元件响应于输入所述半导体器件的测试信号，接收所述半导体器件所产生响应数据，分析所述响应数据，并在所述响应数据指示所述半导体器件故障时停止所述半导体器件的老炼。

在所述设备中，所述有源电子元件还通过所述数据总线接收第一格式的测试信号，把所述测试信号变成第二格式，并通过所述半导体器件连接输出所述第二格式的所述测试信号。

在所述设备中，在所述第一格式中，所述测试信号为串行数据流，在所述第二格式中，所述测试信号是并行的。

在所述设备中，所述有源电子元件还包括调压器，用于调节至所述半导体器件的电压。

在所述设备中，所述半导体器件连接把所述有源电子元件连接到多个所述半导体器件。

在所述设备中，还包括多个所述有源电子元件。

在所述设备中，所述有源电子元件之一相应于所述半导体器件中的一个。

在所述设备中，所述半导体器件连接把多个所述有源电子元件与多个所述半导体器件相连。

在所述设备中，所述半导体器件构成未分离的半导体晶片，所述设备还包括一衬底，所述衬底包括热膨胀系数与所述不同晶片的热膨胀系数近似相等的材料，所述有源电子元件置于所述衬底上。

在所述设备中，所述半导体器件连接包括多个弹性接触元件，每个弹性接触元件使所述有源电子元件的一个端子与所述半导体器件的一个端子电气相连。

在所述设备中，每个所述弹性接触元件是单个独立的结构。

在所述设备中，所述半导体器件连接包括多个俘获焊接区，每个焊接区用于接受装到所述半导体器件的一个端子的多个独立的弹性接触结构。

依据本发明的再一个方面，提供了一种用于对半导体器件进行老炼的设备，其特征在于所述设备包括：用于所述半导体器件的支撑；有源电子元件；数据总线，用于电气连接所述有源电子元件与一主控制器；以及半导体器件连接，用于电气连接所述有源电子元件与所述半导体器件，其特征在于所述有源电子元件通过所述数据总线接收第一测试信号，产生附加测试信号，并通过所述半导体器件连接输出所述附加测试信号。

在所述设备中，所述有源电子元件还通过所述半导体连接输出所述第一测试信号。

在所述设备中，所述有源电子元件还响应于输入所述半导体器件的附加测试信号，接收所述半导体器件所产生的响应数据，分析所述响应数据，并在所述响应数据指示所述半导体器件故障时停止所述半导体器件的老炼。

在所述设备中，所述半导体器件连接把所述有源电子元件连接到多个所述半导体器件。

在所述设备中，所述第一测试信号足以测试第一数目的所述半导体器件，所述附加测试信号足以测试附加数目的所述半导体器件。

在所述设备中，还包括多个所述有源电子元件。

在所述设备中，所述有源电子元件之一相应于所述半导体器件中的一个。

在所述设备中，所述半导体器件连接把多个所述有源电子元件与多个所述半导体器件相连。

在所述设备中，所述半导体器件构成未分离的半导体晶片，所述设备还包括一衬底，所述衬底包括热膨胀系数与所述不同晶片的热膨胀系数近似相等的材料，所述有源电子元件置于所述衬底上。

在所述设备中，所述半导体器件连接包括多个弹性接触元件，每个弹性接触元件使所述有源电子元件的一个端子与所述半导体器件的一个端子电气相连。

在所述设备中，每个所述弹性接触元件是单个独立的结构。

在所述设备中，所述半导体器件连接包括多个俘获焊接区，每个焊接区用于接受装到所述半导体器件的一个端子的多个独立的弹性接触结构。

从以下描述中将使本发明的其它目的、特征和优点变得明显起来。

附图概述

将详细地参考本发明的较佳实施例，这些实施例的例子如附图所示。虽然将在这些较佳实施例的上下文中描述本发明，但应理解本发明的精神和范围不限于这些特定的实施例。

图 1A 是依据本发明用于实施晶片级老化和测试方法的设备的侧视剖面图。

图 1B 是依据本发明诸如覆盖一个 DUT(如实线所示)的 ASIC(如虚线所示)等小型测试衬底的平面图。

图 1C 是依据本发明图 1B 的 DUT 的示意透视图。

图 1D 是依据本发明图 1B 的 ASIC 正面的平面图。

图 1E 是依据本发明诸如覆盖两个 DUT(如实线所示)的 ASIC(如虚线所示)等小型测试衬底的平面图。

图 2 是依据本发明用于使 ASIC 和 DUT 之间接触的另一个实施例的侧视图。

图 3A 是依据本发明多个 ASIC 中单个 ASIC 的侧视剖面图，如图 1D 所示，这些 ASIC 具有俘获(接触)安装到 DUT 的弹性接触元件顶端的俘获特征(键合区)。

图 3B 是依据本发明的多个 ASIC 中单个 ASIC 的另一个实施例的侧视剖面图，这些 ASIC 具有用于俘获安装到 DUT 的弹性接触元件顶端的特征。

图 3C 是依据本发明的 ASIC 的侧视剖面图，示出用于获取安装到 DUT 的弹性接触元件顶端的特征的另一个实施例。

图 4 是依据本发明的多个 ASIC 中一个 ASIC 的侧视剖面图，这些 ASIC 背面的特征保证了与互连衬底的准确对准。

图 5 是依据本发明用于使 ASIC 和互连衬底之间电气连接的技术的侧视图。

图 5A、5B 和 5C 是依据本发明提供从诸如本发明的 ASIC 等电子元件的正面到 ASIC 背面的电气路径的技术的侧视剖面图。

图 6A 和 6B 是依据本发明用于把弹性接触元件安装到 DUT 的技术的侧视剖面图。

图 6C 是依据本发明的图 6B 所示弹性接触元件的透视图。

图 7 是依据本发明的本发明系统的示意图(与图 1A 相比), 示出本发明特殊示例的连接性和整个功能。

本发明的较佳实施方式

图 1A 示出依据本发明实施晶片级老化和测试方法的设备 100。把被测试晶片(WUT)置于(安放)在诸如温控真空吸盘 104 等适当支撑物上, 从而 WUT(这里一般把 WUT 指元件 102)上形成的半导体器件 102a、102b、102c、102d 朝上(如图所示)。

把诸如专用集成电路(ASIC; 一般指元件 106)等多个(在许多图中示出四个)相对小的有源电子元件 106a、106b、106c 和 106d 安装到相对大的互连衬底(基板)108 上, 该衬底的尺寸(即, 直径)一般与 WUT 102 的尺寸相同。例如, 互连衬底 108 和 WUT 102 的直径均为八或十二英寸。电子元件(ASIC)106 和互连衬底 108 一起构成“测试衬底”。

WUT 102 包括待测试的多个(在许多图中示出四个)半导体器件 102a、102b、102c、102d 或被测试器件(DUT)。

把多个(在许多图中示出四个)弹性接触元件 110 的底部安装到每个 DUT 的正(如图所示的上面)面, 这些弹性接触元件的顶端延伸到 DUT 正面上方的公共平面。这些弹性接触元件可以是含有 PARENT CASE 的互连元件的适当的细长独立式, 但不限于此。

在使用中, 以预定的对准方式把测试衬底(106、108)和 WUT 102 放在一起(相向), 直到通过压力接触把弹性接触元件 110 的顶端电气连接到 ASIC 106 正面上的相应端子(俘获焊接区)120(见图 1D)。置于 WUT 和测试衬底外围的导销 112 保证了准确对准。(互连衬底的直径可能大于 WUT 的直径, 导销可穿通互连衬底中相应的导孔。)被适当地置于 WUT 表面上的承压挡(compression stop)(阻挡环)114 限制了移动量, 即, 弹性接触元件 110 的顶端在顶住俘获焊接区 120 时偏斜的距离。

如图 1A 所示, 主计算机 116 经由互连衬底 108 把信号提供给 ASIC 106。这些信号是老炼多个 DUT 的测试信号。由于 WUT 上的 DUT 通常都相同, 所以可对多个 DUT 产生单独的一组测试信号(矢量)。此外, 可在主计算机的整个控制下, 由各个 ASIC 来产生测试矢量。还可适当地经由 ASIC 106(例如, 通过 ASIC 直接馈

送)把电能(例如, Vdd 和 Vss)从电源 118 提供给 DUT。

互连衬底 108 本质上是布线(互连)衬底,它最好是热膨胀系数与 WUT 102 的热膨胀系数相同的硅晶片。通过在 ASIC 的正(如图所示的底部)面之间向支撑衬底的正(如图所示的底部)面延伸的焊接丝把 ASIC 106 适当地连到互连衬底。

本发明的一个重要特征在于, DUT 和 ASIC 之间存在直接连接(经由弹性接触元件 110)。这就是整个系统的绝大多数连接所在地,如以下更详细所述,只需在互连衬底(108)本身中进行非常(极)少的连接。把 ASIC 置于互连衬底的 DUT 一侧(正面)有利于 ASIC 和 DUT 之间的直接连接。例如,如果经由互连衬底(即,通过置于互连衬底上的某种类型的弹性接触元件而不是经由 ASIC)对 DUT 进行成千上万(例如, 30,000)个连接,则与 ASIC 所处的位置无关,必须在互连衬底内对这成千上万个连接进行路由选择。如以下更详细所述,可直接由 ASIC 本身对 DUT 产生成千上万个信号,极少(例如,四个)的信号从主控制器通过互连衬底传送到 ASIC。

把 WUT 102 和测试衬底 106/108 适当地置于与真空源(未示出)相通的气密容器 130 内,从而至少可在包括高真空的局部真空下或在其它受控的大气条件下实施本发明的技术。如上所述,真空有利于把 DUT 与 ASIC 热隔离。

依据本发明的一个特征,把测试衬底 106/108 安装到温控吸盘 104a(相当于 104),从而可在老化期间把该衬底保持在与 WUT 102 的温度完全无关的温度(一般明显较低)。

弹性接触元件的顶端呈扇形发散

如上所述,现代的半导体器件通常具有以近似于千分之四英寸的间距放置的大量键合区。把弹性接触元件(110)的底部安装到 DUT 的键合区。如果弹性接触元件从 DUT 均匀地(例如,相互平行)伸出,则其顶端的间距也是千分之四英寸,相应的俘获焊接区在 ASIC 上的对准将是困难的。

如图 1B 所示,每个 DUT(例如 DUT 102a)具有沿 DUT 的中心线排列的多个(示出多个中的二十四个)键合区 107(如方块所示)。把独立式弹性接触元件(110)安装到每个键合区,且一般与 DUT 的中心线成 90 度排列。如图 1B 所示,弹性接触元件可如此排列,从而它们相互沿相反的方向延伸,并具有交替的长度。例如,第一弹性接触元件 110a 相对长并从 DUT 106 的中心线沿第一方向延伸第一距离;第二弹性接触元件 110b 相对长并从 DUT 106 的中心线沿与第一方向相反的第二

方向延伸第一距离；第三弹性接触元件 110c 相对短并从 DUT 106 的中心线沿第一方向延伸小于第一距离的第二距离；第四弹性接触元件 110d 相对短并从 DUT 106 的中心线沿第二方向延伸第二距离。

如图 1B 所示，弹性接触元件 110 的顶端(如圆圈所示)都置于比 DUT 106a 的面积(其周边以内)小的区域内，较小的区域是相应 ASIC 106a 的区域，在图中以虚线矩形来表示该区域的周边。这样，容易使弹性接触元件 110 的自由端(顶端)的间距(间隔)大于安装这些弹性接触元件的 DUT 的键合区(107)的间距。

例如，把弹性接触元件的顶端限制在比图 1B 中虚线矩形所示小得多的空间中容纳较小的 DUT，这在本发明的范围内。

图 1C 是图 1B 的 DUT 102a 的示意透视图，弹性接触元件 110 的底部顶端沿 DUT 的中心线排列。

如图 1D 所示，本发明的一个优点是，ASIC 106 上的“俘获”(键合)区 120 可以特别大(大于 DUT 上键合区 107 的尺寸)，从而放宽对弹性接触元件(110)顶端定位的公差限制。

PARENT CASE 描述了可把弹性互连元件安装到半导体器件上同时在互连元件的底部及其顶端之间实现间距扩展的许多方法。

已示出，在测试衬底和 WUT 之间的界面上，每个 DUT 具有一个 ASIC，每个 ASIC 与相应的一个 DUT 对准。可建立其它关系，这也在本发明的范围内。例如，如图 1E 所示，一个 ASIC 126(其周边如虚线矩形所示)可“跨越”两个相邻的 DUT 102a 和 102b。

本发明的一个重要特征是，尽可能靠近 DUT(102)放置即在互连衬底(108)的 DUT 一侧上的 ASIC(106)容易具有内置功能。这样有许多有利的结果。只需把明显较少的信号从主计算机 116 提供给互连衬底 108，且互连衬底只需传送很少的信号。放宽对互连衬底传送信号的限制使得互连衬底的材料、设计和实现灵活得多，结果减少了成本。ASIC 靠近于 DUT 且在其间实现相应的直接连接，还防止了不利的长的信号路径并有利于加速测试 DUT。

如上所述，可利用任何适当的弹性接触元件在 ASIC 和 DUT 之间实现压力连接。

把弹性接触元件安装到 ASIC 而不是 DUT 上，这也在本发明的范围内。如图 2 所示，其中把多个(示出多个中的四个)弹性接触元件 210(相当于 110)的底部安

装到 ASIC 206(相当于 106), 弹性接触元件 210 的顶端(远端)如此定位, 从而与 DUT 202(相当于 102)上的相应键合区(未示出)形成压力连接。换句话说, 可利用任何适当的装置在 ASIC 和 DUT 之间实现连接, 以实施本发明的技术。除了弹性接触元件以外, 还可使用微型泵(microbump)和类似的元件在 ASIC 和 DUT 之间实现连接, 这也在本发明的范围内, 但不限于此。

俘获弹性接触元件的顶端

如上所述, 通过把弹性接触元件的顶端压在 ASIC 上的相应俘获焊接区上可简单地“俘获”安装到 DUT 上的弹性接触元件的顶端, 已示出, 通过弹性接触元件来实现间距扩展以及在 ASIC 上形成特大的俘获焊接区可放宽公差限制。现在讨论在弹性接触元件的顶端和 ASIC 之间实现连接的另一个技术。

图 3A 示出用俘获焊接区俘获安装到 DUT 302(相当于 102)的弹性接触元件 310(相当于 110)的顶端的基本实施例, 该俘获焊接区是置于 ASIC 306(相当于 106)正面的键合区 308(相当于 120)。

依据本发明的一个方面, 可在 ASIC 的正面中或正面上形成拓扑“俘获”特征, 以保证在老化和测试期间使弹性接触元件的顶端与 ASIC 可靠地对准。

图 3B 示出安装到互连衬底(未示出, 见 108)的多个 ASIC 中一个 ASIC 326(相当于 106)、多个 DUT 322(相当于 102a)中的一个 DUT 以及用于在这两者之间实现可靠压力连接的技术。在以前的例子中, 把多个弹性接触元件 330(相当于 110)的底部安装到 DUT 322 的表面并从中延伸。在此例中, 弹性接触元件如此排列, 其顶端(远端)的间距比其底部的间距更大(更大)。

具有至少三边的棱锥形式的多个(示出多个中的两个)凹痕 328 从 ASIC 322 的表面延伸到 ASIC 322 中。容易使用诸如微切削加工等常规的半导体制造技术来形成这些凹痕 328 以及以下所述的其它凹痕。

把金属化(未示出)应用于这些凹痕 328 的侧壁, 并把金属化与 ASIC 326 的有源元件(未示出)电气连接。

在使用中, 由于把 ASIC 326 和 DUT 322 连接在一起, 所以弹性接触元件 330 的顶端进入凹痕 328 中, 其后可以横向(如图所示, 横过纸面)移动 ASIC 或(绕垂直于纸面的轴)稍稍旋转, 以保证弹性接触元件 330 的顶端以足够的力与凹痕 328 啮合, 来保证其间可靠的电气压力连接。

在图 3C 中示出用于俘获(啮合)弹性接触元件的顶端的另一个技术。在此情

况下, ASIC 346(相当于 326)具有以常规的方式在其正面形成的多个(示出多个中的两个)焊接区(端子)344。把绝缘材料层 350 置于 ASIC 346 的正面上,该层是经过微切削加工的硅片,具有穿过其延伸的多个(示出多个中的两个)孔 348(相当于 328)并与接触焊接区 344 对准。换句话说,在另一个技术中,特殊覆盖结构 350 提供了类似的俘获特征(348),而不是在 ASIC(346)的表面上直接形成凹痕(328)。在先前的例子中,可对俘获特征 348 的侧壁金属化,且 ASIC 可相当于 DUT(未示出)横向移动或旋转来保证 ASIC 346 与弹性接触元件 340(相对于 330)之间可靠的电气压力连接。硅片 350 可以是绝缘氮化物。

应理解,ASIC 上与弹性接触元件的顶端接触的装置必须是坚固的。为此,例如可用千分之 0.5-1.0 英寸的诸如镍等耐磨的导电材料覆盖(例如,电镀)俘获焊接区(120 或 308 或 344)。可以同样的方式用类似数量的镍来覆盖凹痕(俘获特征)328。

把小衬底与互连衬底对准

如上所述,最好把诸如 ASIC 等多个电子元件安装到较大的互连衬底上。尤其是,这样避免了要在互连衬底的整个表面上产生良好的有源器件的需求。(即,在硅晶片互连衬底的情况下,可以把 ASIC 电路直接装到硅晶片上。)结果,必须提供适当的机构来保证多个 ASIC 与互连衬底的准确对准。

图 4 示出用于保证多个(示出多个中的一个)ASIC 406(相当于 106、206、306、326 和 346)与较大的互连衬底 408(相当于 108)准确对准的技术 400。在此情况下,以类似于如上所述凹痕 328 和 348 的方式在每个 ASIC 406 的背面(如图所示的顶部)上设置至少两个(只示出两个)凹痕 412,其中凹痕具有延伸到 ASIC 106 背面中的棱锥形式。可使用常规的半导体制造技术按严格的公差通过光刻来限制并形成这些凹痕 412。

在互连衬底 408 的正(如图所示的底部)面形成类似的凹痕 414,如上所述,互连衬底 408 可以是半导体晶片。同样可使用常规的半导体制造技术来形成这些凹痕 414,从而它们具有严格的公差(相当于 306)。

凹痕 412 和 414 都具有跨过形成这些凹痕的各个 ASIC 406 或互连衬底 408 的表面测得的尺寸(“宽度”)。ASIC 凹痕 412 的宽度最好与互连衬底凹痕 414 的宽度相同,它们最好在千分之 3-5 英寸的范围内,诸如千分之四英寸。

为了把 ASIC 406 装配到互连衬底 408 上,把直径类似于凹痕 412 和 414 的

宽度的小球(球)420 置于凹痕 412 和相应的凹痕 414 之间,以保证 ASIC 406 在互连衬底 408 正面准确地对准。球 4200 的直径最好稍稍大于(诸如, 千分之 2+1 英寸)凹痕 412 和 414 的宽度(宽度),这将导致在 ASIC 406 的背面(如图所示的顶部)和互连衬底 408 的正面(如图所示的底部)之间形成尺寸受控的小空隙。例如,空隙的尺寸(如图所示的竖直方向)在千分之 2-5 英寸的范围内。

把适当的最好是导热的粘合剂(未示出)置于空隙中(即,ASIC 和互连衬底的相对表面之间),以使 ASIC 固定于互连衬底。适当的粘合剂的一个例子是填有银的环氧,粘合剂应最好是允许(诸如以适当的溶剂或用热量)除去和替换出故障的 ASIC 的那种粘合剂。

可利用任何适当的机构使 ASIC 与互连衬底对准,这在本发明的范围内。例如,关注在上述共享的 PCT/US96/08117 中所描述的用于使小衬底(例如,620)与较大衬底(例如,622)对准的对准技术。例如,在 ASIC 的背面提供大小相当(诸如千分之 10 英寸乘以千分之 20 英寸的矩形)的焊接剂特征,而给互连衬底的正面提供类似的大小相当的焊接剂特征,且在其间放置焊接剂(或金-锡)预坯(preform)并进行回流,其上由液态焊接剂所施加的表面张力保证了 ASIC 与互连衬底的准确对准,这在本发明的范围内。

把 ASIC 连到互连衬底

如上所述,使用常规的丝焊接技术把 ASIC 适当地电气连接到互连衬底。

为了对位于 WUT 上的多个 DUT 进行老化而进行上电,需要相对大量的电能。例如,对于整个 WUT,需要几百瓦数量级的电能。由于本发明系统的物理布局,通过 ASIC 并通过相应的弹性接触元件来传递电能。在以下的说明书中,示出“直接通过”ASIC 来馈送能量的技术。

图 5 示出 ASIC 506(相当于 106、206、306、326、346 和 406),它通常将通过焊接丝(未示出,见 510)电气连接到互连衬底 508(相当于 108)。与激发 ASIC 把信号提供给 DUT(未示出)所需的相对少的连线相反,为了给 DUT 上电来实现老化,需要相当大量的能量,相应地在 ASIC 和互连衬底之间需要相当大量的焊接丝连线。ASIC 和互连衬底之间焊接丝的数目近似等于对 DUT(例如,102)所进行(例如,经由弹性接触元件 110)的能量连线的数目,它可能是一百或更多。

依据本发明的一个方面,使用能比常规的焊接丝传送更多能量(瓦)的互连装置在互连衬底和 ASIC 之间传递能量,从而减少所需的连线的数目。

图 5A、5B 和 5C 示出在 ASIC 和互连衬底之间实现电气连接的技术 500。

图 5A 示出 ASIC 526(相当于 106、206、306、326、346、406 和 506)，它具有从 ASIC 526 的正面 526a 完全穿过 ASIC 526 延伸到其背面 528b 的多个(示出一个)小孔 522。以类似于在 ASIC 306 的正面产生凹痕 308 以及在 ASIC 406 的背面产生凹痕 412 时所采用的方式来适当地形成这些孔 522-即，在 ASIC 526 的正面 526a 中形成凹痕(孔 522 的第一部分)522a，其深度为 ASIC 526 的厚度(垂向观察)的至少一半，并在 ASIC 526 的背面 526b 中形成凹痕(孔 522 的第二部分)522b，其深度足以使第二孔部分 522b 与第一孔部分 522a 相接。孔部分 522a 和 522b 的尺寸保证存在穿过 ASIC 模 526 延伸的连续开口。

图 5B 示出该工艺的下一个步骤，其中诸如通过溅射到第一和第二孔部分中来淀积导电层(例如，钨、钛-钨等)，导致第一导电层部分 524a 延伸到第一孔部分 522a 中，而第二导电层部分 524b 延伸到第二孔部分 522b 中。如图所示，在这两个导电层部分 524a 和 524b 之间存在不连续。如图所示，导电部分 524a 和 524b 最好从各个孔部分的内部延伸到 ASIC 526 的各个表面 526a 和 526n 上。实际上，每个孔部分 522a 和 522b 的一侧(如图所示的左或右)比孔部分的另一侧(如图所示的右或左)可接纳更多的溅射材料。

图 5C 示出此工艺的下一个步骤，其中以导电材料(例如，金、镍等)块 528 来连接(桥接)两个导电层部分 524a 和 524b 之间的不连续，该导电材料是通过适当地电镀(即，把 ASIC 浸入电镀液中并进行充分电镀来连接两个导电层部分)所加的。

对在 ASIC 中形成导电通孔所述的工艺还可适用于本发明的互连衬底。

把导电材料(例如，填银的环氧)团放置在孔部分内来桥接此不连续(即，不是通过电镀来桥接此不连续)，这在本发明的范围内。

弹性接触元件

在图 1(元件 110)和图 2(元件 210)中已示出细长的独立式弹性接触元件，在许多上述的美国和 PCT 专利申请中，例如在 08/452,255 号美国专利申请及其副本 US95/14909 号 PCT 专利申请中，详细地描述了把这种弹性接触元件安装到包括半导体器件的衬底上的方法。也把如其中所述的弹性接触元件叫做“组合互连元件”、“弹性接触结构”和类似的名称，它们涉及把柔软(例如，金)的电线丝焊接到电子元件的一个端子，把电线形成和分割成具有弹性形状的电线柱，并以至少

一层坚硬的材料(例如, 镍)覆盖电线柱和端子的邻近区域。还可在耗尽(sacrificial)衬底上制造此类组合互连元件, 随后把它们安装到电子元件上。

可利用任何适当的弹性接触元件来实现本发明的晶片级老化和测试系统, 这在本发明的范围内。

图 6A-6C 示出用于形成可在本发明中利用的弹性接触元件的另一个技术。这些弹性接触元件是“制造”而成的而不是“组合”而成的。

如图 6A 所示, 用于制造独立式弹性接触结构的技术 600 的一个例子涉及把许多(示出三个)已构图的绝缘层 604、606、608 加到半导体器件 602 的顶部。半导体器件 602 的表面(或从其表面可看到)上具有多个(示出一个)键合区 612。对这些层进行构图, 从而使它们具有与键合区对准的开口(如图所示), 如此形成这些开口的尺寸和形状, 从而某一层(例如, 608、606)的开口比下层(例如, 分别为 606、604)的开口从键合区进一步延伸。把导电材料层 614 加到开口中。接着, 诸如通过电镀可在开口中形成一块导电材料 620。如图所示, 这块导电材料将被固定于键合区 412, 且它在绝缘层被除去(如图 6B 所示)后将成为独立式(只有其一端固定)。通过适当地选择材料和几何形状, 这些块 620 可用作弹性的独立式接触结构。如图 4C 所示, 如图 6A 和 6B 所制造的接触结构 620 不仅在元件 620 的表面上方垂直延伸, 而且横向延伸。这样, 容易把接触结构 620 设计成与 Z 轴(如箭头 622 所示)以及 x-y 平面(如箭头 624 所示, 平行于元件 602 的表面)相适应。

老化 DUT

老化半导体器件的工艺涉及在升高的温度下对这些器件进行上电以加速潜在的有缺陷小片的失效(即, 故意引起“初期失效率”)。众所周知, 这种加速是通过提高温度和所加的操作电压来增强的。然而, 如果半导体器件已被封装, 则封装的材料(例如, 塑料)就对被封装半导体器件可暴露于燃烧炉的温度有所限制(一个障碍)。只有极少的封装可忍耐长时间地暴露在高温下, 尤其是在封装材料包括有机材料时。

通常的老化方法涉及在 96 小时内把被封装的半导体器件加热到 125℃ 温度。一般, 结温度每升高 10 摄氏度, 老化时间可减半。例如, 如果 DUT 在 150℃ 需要老化一天, 则在 160℃ 下可对它们进行半天的有效老化。

升高老化温度的另一个障碍是位于老化炉中的任何测试器件也将被加热, 这

可加速其失效。例如，如果把本发明的 ASIC 暴露在与 DUT 相同的老化温度下，则将加速它们的失效。

依据本发明的一个方面，至少在 150℃ 的温度下进行老化。由于 DUT 还未被封装，且安装到 DUT(或 ASIC)的弹性接触元件完全是金属的，所以在此工艺阶段中，可使 DUT 经受对被封装的半导体器件(包括不能承受此升高的温度的材料)有害的温度。可对所有留在晶片上的(未分离的)半导体器件(DUT)或对留在晶片上的半导体器件的选中部分进行老化。

如上所述，可把 ASIC(106)和 WUT(102)置于能被抽空而形成基本上真空的容器中，可把 WUT(102)安装到温控吸盘(104)上。由于开始老化所需的电能产生了热量，所以在大多数情况下，有足够多的热量把 DUT 升高到所需的老化温度，所以温控吸盘(104)以冷却的模式进行操作。由于存在真空，所以 DUT 和 ASIC(而不是弹性接触元件(110))之间存在最小的热路径，从而使 ASIC 在以基本上比 DUT 的老化温度低的温度下进行操作。

减小所需的连接性以及其它优点

图 7 示出本发明系统 700(相当于 100)的示例，示出许多适用于本发明各种示例技术的特征。这些特征是，把多个 ASIC 706(相当于 106)安装到互连(支撑)衬底 708(相当于 108)，以及多个 DUT 702(相当于 102)具有安装到其正面从而与 ASIC 的正面形成接触的弹性接触元件 710(相当于 110)。电源 718(相当于 118)经由互连衬底 708、ASIC 706 和用于使 ASIC 与 DUT 互连的装置 710 对 DUT 702 供电从而给它们上电老化。

主控制器 716(相当于 116)经由互连衬底 708 把信号提供给 ASIC 706。只需要把非常少的信号例如串行数据流提供给每个 ASIC 706，以独立地控制安装到互连衬底 708 上的多个(示出多个中的一个)ASIC 706。

如 7 所示的示例是用于测试 DUT(它们是存储器件)的系统的一个例子。主控制器 716 通过一数据总线连到多个 ASIC 708，该数据总线只需要非常少(例如，四根)的线：一根线用于数据输出(标为 DATA OUT)，一根线用于数据返回(标为 (DATA BACK))，一根线用于使 ASIC 复位(标为 MASTER RESET)，还有一根线用于传递时钟信号(标为 CLOCK)。把安装到互连衬底的所有 ASIC 连到在互连衬底中连到所有 ASIC 的这四根“公共”线。这示出实现(即，制造)互连衬底(708)的简单性，它适用于测试多个复杂的电子元件(DUT)。

同样，容易在互连衬底中安排电源(标为+V)和接地(标为 GROUND)连线。实际上，在互连衬底中只需要两根线，它们最好作为多层互连衬底中的平面(即，电源平面和接地平面)。

与对多个 DUT 上电的已有技术有关的问题是通过互连衬底的电压降。本发明通过把增大的电压提供给 ASIC(706)并在 ASIC 中安装稳压器(标为 VOTAGE REGULATOR)来克服这个问题。

与本发明最相关的领域内的普通技术人员会知道，可容易地把其它功能(未特别示出)附加到 ASIC 中。例如，给每个 ASIC 提供独有的地址和地址解码功能，以使它们独立响应于来自控制器 716 的串行数据流。

如上所述，互连衬底只需要非常少的不同的线或节点。此外，每个 ASIC 可容易地在大量互连元件(弹性接触元件)上同与其直接相连的 DUT 进行直接通信。位于互连衬底上的许多 ASIC 可使 ASIC 和 DUT 之间的许多连线进行成倍的通信。这是优于已有技术的极大的优点。例如，如果需要在对许多(例如，五百个)大型 DUT(例如，16Mb 的 DRAM)进行测试的应用中模拟 Matsushita Patent 的系统，则互连衬底(4)将非常复杂(例如，在测试电路芯片(2)的每个引脚和互连衬底(4)与 DUT(1)之间的每个相应的 30,000 个接触元件之间提供 30,000 根连线)，结果还将难于制造和生产。

本发明的显著优点在于，可大大减少整个“连线数”，在互连衬底中最为显著。如上所述，8”的晶片可包含 500 个 16Mb 的 DRAM，每个 DRAM 具有 60 个键合区，总共 30000 个连接。使用本发明的技术，可在 ASIC 和 DUT 之间直接形成这 30,000 根连线。从 ASIC 通过互连(支撑)衬底返回到主控制器。例如，电源(2 根线)和串行信号路径(少到两根，包括来自电源的接地线)。这与任何已有技术形成显著对照，即使使用本发明的 ASIC 或类似的手段，也需要通过互连衬底把 ASIC 连到用于使互连衬底互连到 DUT 的装置。本发明完全消除了这个问题，而且通过在 ASIC 和 DUT 之间进行直接连接大大减少了互连衬底上所需的节点数。

本发明的另一个优点是，ASIC 位于支撑衬底的 WUT 一侧，从而把 ASIC 与 DUT 之间的信号路径减到最少并有利于加速测试 DUT。如果不是这样的布局，例如把 ASIC 安装到支撑(布线)衬底的另一侧(与 WUT 相对)，则将存在信号延迟和不想要的寄生，从而给实现可行的系统带来附加的设计挑战。

于是，已描述了一种技术，该技术提供了以下的后道工艺流程：在未分离的

半导体器件上制造互连元件(例如,弹性接触元件);晶片级老化和测试(有利于较高的老化温度);(任意)密封;晶片级快速分选;晶片分割和分离;运送产品。

虽然在附图和以上的说明书中详细地表示和描述了本发明,但这些是示意性的,而非文字上的限制,可以理解,只表示和描述了较佳实施例,希望保护在本发明范围内的所有变化和修改。不容质疑的是,本发明最相关领域内的普通技术人员容易对以上提出的“主题”进行许多其它的“改变”,这些改变将在这里所揭示的本发明的范围内。在 PARENT CASE 中提出了几个这样的改变。

例如,还可在老化期间进行测试,使诸如 ASIC 等有源半导体器件留在测试衬底上,可以对 ASIC 以相对少的信号来控制某些测试序列,并且 ASIC 可获得某些结果以及相应于其开始的动作。

例如,互连衬底可以是硅晶片,可使用常规的半导体制造技术在晶片中直接形成 ASIC,而不是把多个 ASIC 安装到单个支撑(互连)衬底上。在此情况下,在晶片中提供冗余的测试元件,对晶片进行测试并保证接通已确定为起作用的元件(以及断开已确定为不起作用的元件),这些都是有利的。

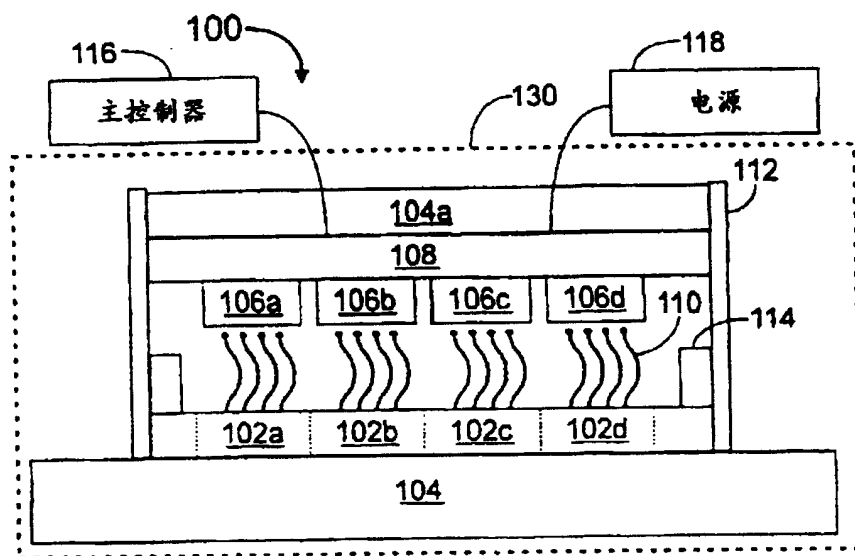


图 1A

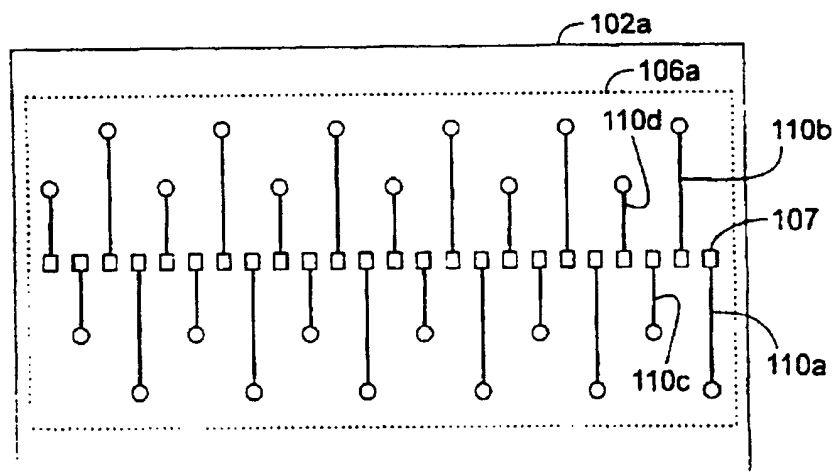


图 1B

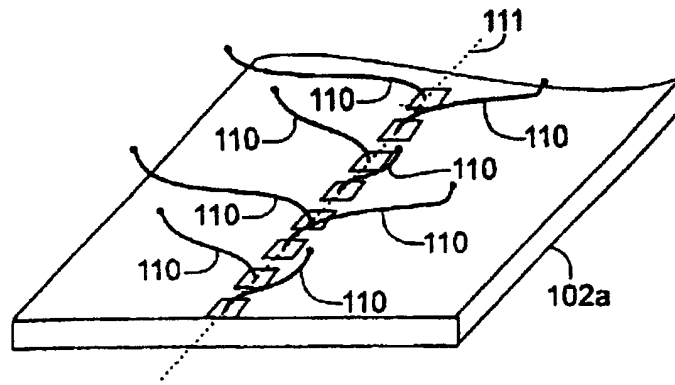


图 1C

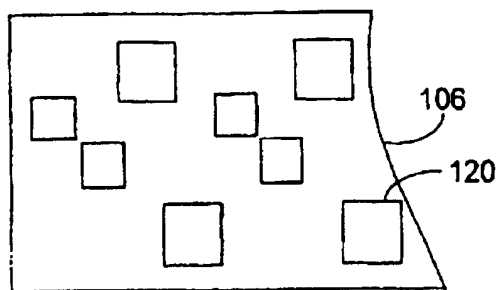


图 1D

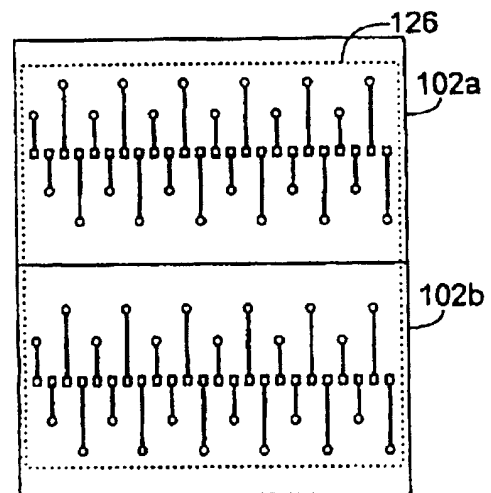


图 1E

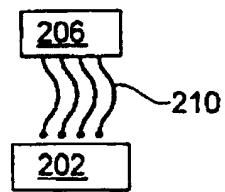


图 2

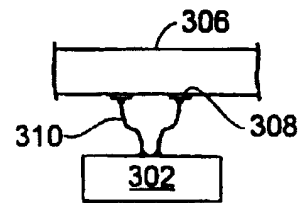


图 3A

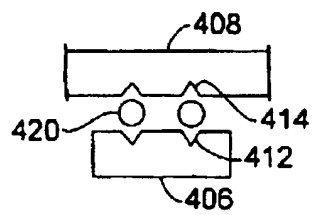


图 4

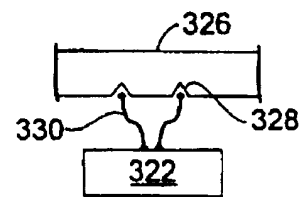


图 3B

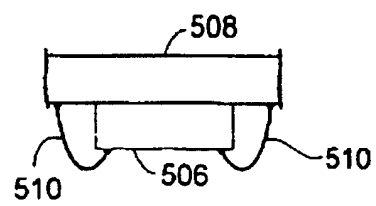


图 5

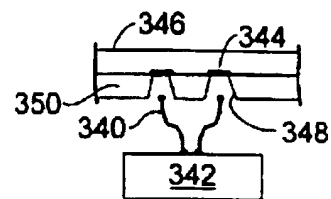


图 3C

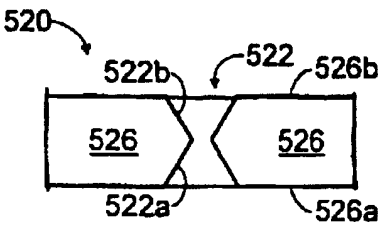


图 5A

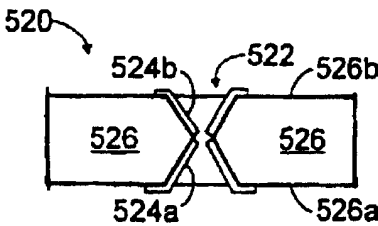


图 5B

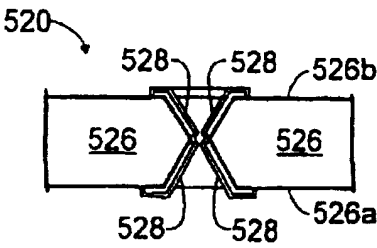


图 5C

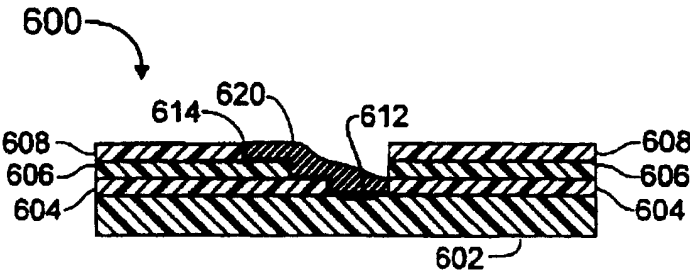


图 6A

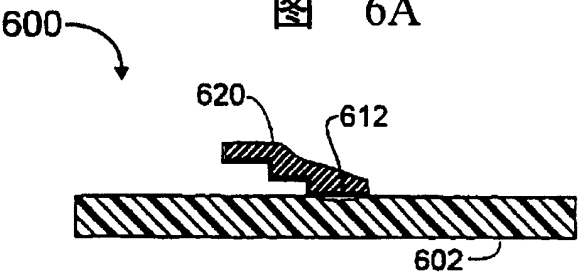


图 6B

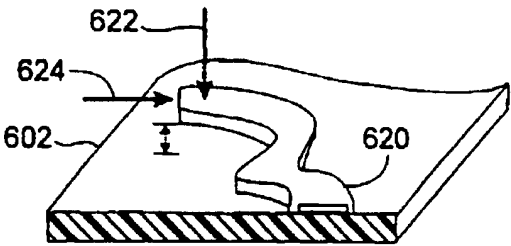


图 6C

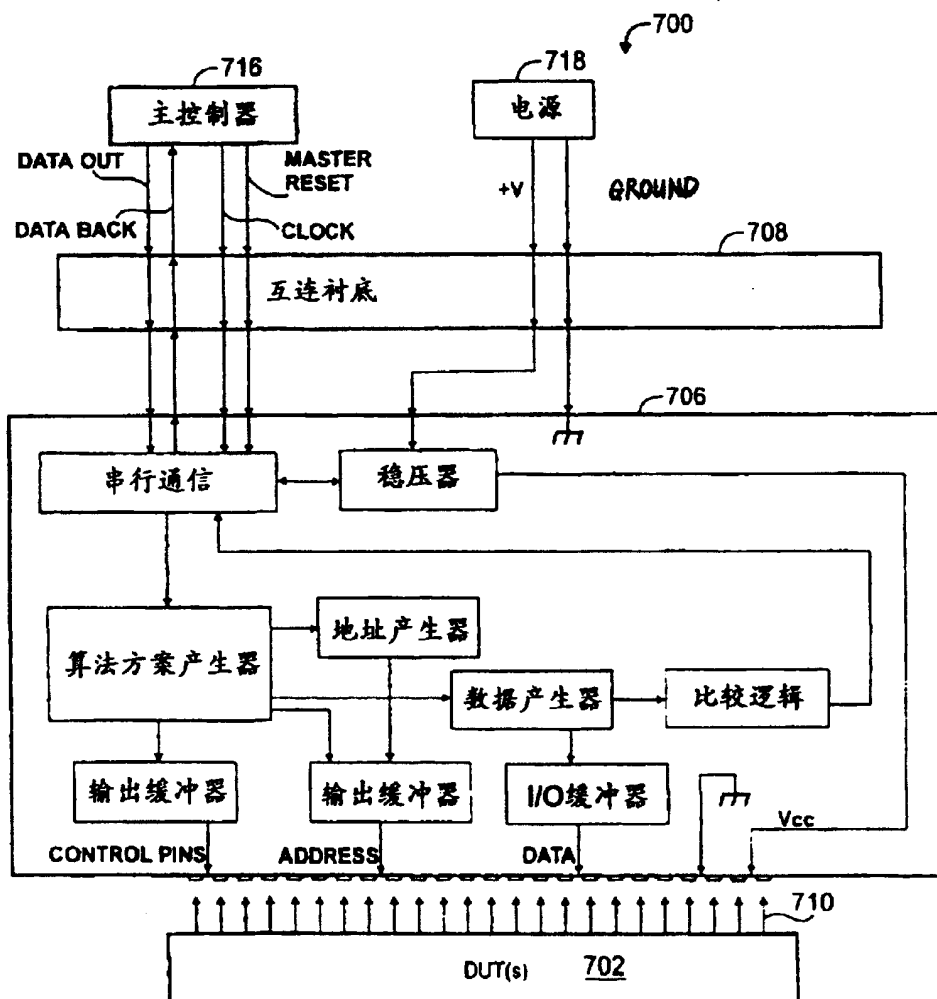


图 7