

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6463117号
(P6463117)

(45) 発行日 平成31年1月30日(2019.1.30)

(24) 登録日 平成31年1月11日(2019.1.11)

(51) Int.Cl.

F 1

HO1L 29/786	(2006.01)	HO1L	29/78	616T
HO1L 21/336	(2006.01)	HO1L	29/78	618B
HO1L 21/28	(2006.01)	HO1L	29/78	616U
HO1L 29/417	(2006.01)	HO1L	29/78	618E
HO1L 29/41	(2006.01)	HO1L	29/78	620

請求項の数 6 (全 63 頁) 最終頁に続く

(21) 出願番号

特願2014-256767 (P2014-256767)

(22) 出願日

平成26年12月19日(2014.12.19)

(65) 公開番号

特開2015-135962 (P2015-135962A)

(43) 公開日

平成27年7月27日(2015.7.27)

審査請求日

平成29年12月12日(2017.12.12)

(31) 優先権主張番号

特願2013-263247 (P2013-263247)

(32) 優先日

平成25年12月20日(2013.12.20)

(33) 優先権主張国

日本国(JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 伊藤 大吾

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 花岡 一哉

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 脇水 佳弘

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

絶縁層と、

前記絶縁層上の酸化物半導体層と、

前記酸化物半導体層と電気的に接続するソース電極層およびドレイン電極層と、

前記酸化物半導体層、前記ソース電極層および前記ドレイン電極層上のゲート絶縁膜と

、前記酸化物半導体層、前記ソース電極層および前記ドレイン電極層と前記ゲート絶縁膜を介して重なるゲート電極層と、を有し、

前記ソース電極層および前記ドレイン電極層はそれぞれ第1の導電層と第2の導電層を有し、

前記第1の導電層は、前記酸化物半導体層の上面と接し、

前記第2の導電層は、前記酸化物半導体層の側面と接し、

前記第2の導電層は、前記第1の導電層の上面と接することなく、前記第1の導電層の側面と接する半導体装置。

【請求項 2】

請求項1において、

前記酸化物半導体層はc軸に配向する結晶を有する半導体装置。

【請求項 3】

絶縁層と、

10

20

前記絶縁層上の第1の酸化物半導体層、第2の酸化物半導体層の順で形成された積層と、
 前記積層と電気的に接続するソース電極層およびドレイン電極層と、
 前記積層、前記ソース電極層および前記ドレイン電極層と接する第3の酸化物半導体層と、

前記第3の酸化物半導体層上のゲート絶縁膜と、
 前記積層、前記ソース電極層、前記ドレイン電極層、前記第3の酸化物半導体層と前記ゲート絶縁膜を介して重なるゲート電極層と、を有し、
 前記ソース電極層および前記ドレイン電極層はそれぞれ第1の導電層と第2の導電層を有し、

前記第1の導電層は、前記第2の酸化物半導体層の上面および前記第3の酸化物半導体層と接し、
 前記第2の導電層は、前記第1の酸化物半導体層および前記第2の酸化物半導体層の側面、ならびに前記第3の酸化物半導体層と接し、
前記第2の導電層は、前記第1の導電層の上面と接することなく、前記第1の導電層の側面と接する半導体装置。

【請求項4】

請求項3において、
 前記第1の酸化物半導体層乃至前記第3の酸化物半導体層は、 $I_n - M - Z_n$ 酸化物(20
 MはA1、Ti、Ga、Y、Zr、La、Ce、NdまたはHf)であり、
 前記第1の酸化物半導体層および前記第3の酸化物半導体層は、I_nに対するMの原子数比が前記第2の酸化物半導体層よりも大きい半導体装置。

【請求項5】

請求項3または請求項4において、
 前記第1の酸化物半導体層乃至前記第3の酸化物半導体層は、c軸に配向する結晶を有する半導体装置。

【請求項6】

請求項1乃至5のいずれか一項において、
 前記第2の導電層は、窒化チタン、窒化タンタル、金、白金、パラジウム、ルテニウム、導電性酸化物、導電性酸窒化物から選ばれた材料の単層、または積層で形成されている半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、酸化物半導体を用いた半導体装置およびその作製方法に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物(コンポジション・オブ・マター)に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用して機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、電子機器は、半導体装置を有する場合がある。

【背景技術】

【0004】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が

注目されている。当該トランジスタは集積回路（I C）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜として、シリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0005】

例えば、酸化物半導体として酸化亜鉛、またはIn-Ga-Zn系酸化物半導体を用いてトランジスタを作製する技術が開示されている（特許文献1および特許文献2参照）。

【0006】

また、近年では電子機器の高性能化、小型化、または軽量化に伴い、微細化されたトランジスタなどの半導体素子を高密度に集積した集積回路の要求が高まっている。

10

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の一態様は、半導体装置に良好な電気特性を付与することを目的の一つとする。または、オン電流の高い半導体装置を提供することを目的の一つとする。または、微細化に適した半導体装置を提供することを目的の一つとする。または、集積度の高い半導体装置を提供することを目的の一つとする。または、低消費電力の半導体装置を提供することを目的の一つとする。または、信頼性の高い半導体装置を提供することを目的の一つとする。または、電源が遮断されてもデータが保持される半導体装置を提供することを目的の一つとする。または、新規な半導体装置を提供することを目的の一つとする。

20

【0009】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

30

【課題を解決するための手段】

【0010】

本発明の一態様は、酸化物半導体層をチャネル形成領域に有し、ソース電極層およびドレイン電極層が当該酸化物半導体層の第1の面と接する第1の導電層と当該酸化物半導体層の第1の面とは異なる面と接する第2の導電層を有するトランジスタに関する。

【0011】

本発明の一態様は、絶縁層と、絶縁層上の酸化物半導体層と、酸化物半導体層と電気的に接続するソース電極層およびドレイン電極層と、酸化物半導体層、ソース電極層およびドレイン電極層上のゲート絶縁膜と、酸化物半導体層、ソース電極層およびドレイン電極層とゲート絶縁膜を介して重なるゲート電極層と、を有し、ソース電極層およびドレイン電極層はそれぞれ第1の導電層と第2の導電層を有し、第1の導電層は、酸化物半導体層の上面と接し、第2の導電層は、酸化物半導体層の側面と接し、第1の導電層および第2の導電層は電気的に接続されていることを特徴とする半導体装置である。

40

【0012】

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。

【0013】

上記半導体装置は、絶縁層を介して酸化物半導体層と重なる導電層が形成された構成としてもよい。

【0014】

50

上記酸化物半導体層は、絶縁層側から第1の酸化物半導体層、第2の酸化物半導体層、第3の酸化物半導体層の順で形成された積層としてもよい。

【0015】

第1の酸化物半導体層乃至第3の酸化物半導体層は、 $In - M - Zn$ 酸化物（MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHf）であり、第1の酸化物半導体層および第3の酸化物半導体層は、Inに対するMの原子数比が第2の酸化物半導体層よりも大きいことが好ましい。

【0016】

また、酸化物半導体層は、c軸に配向する結晶を有することが好ましい。

【0017】

また、本発明の他の一態様は、絶縁層と、絶縁層上の第1の酸化物半導体層、第2の酸化物半導体層の順で形成された積層と、積層と電気的に接続するソース電極層およびドレイン電極層と、積層、ソース電極層およびドレイン電極層と接する第3の酸化物半導体層と、第3の酸化物半導体層上のゲート絶縁膜と、積層、ソース電極層、ドレイン電極層、第3の酸化物半導体層とゲート絶縁膜を介して重なるゲート電極層と、を有し、ソース電極層およびドレイン電極層はそれぞれ第1の導電層と第2の導電層を有し、第1の導電層は、第2の酸化物半導体層の上面および第3の酸化物半導体層と接し、第2の導電層は、第1の酸化物半導体層および第2の酸化物半導体層の側面、ならびに第3の酸化物半導体層と接し、第1の導電層および第2の導電層は電気的に接続されていることを特徴とする半導体装置である。

10

【0018】

第1の酸化物半導体層乃至第3の酸化物半導体層は、 $In - M - Zn$ 酸化物（MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、NdまたはHf）であり、第1の酸化物半導体層および第3の酸化物半導体層は、Inに対するMの原子数比が第2の酸化物半導体層よりも大きいことが好ましい。

【0019】

また、第1の酸化物半導体層乃至第3の酸化物半導体層は、c軸に配向する結晶を有することが好ましい。

【0020】

上記二つの態様の半導体装置において、第1の導電層は、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層で形成されていることが好ましい。

20

【0021】

また、上記二つの態様の半導体装置において、第2の導電層は、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層で形成されていること、第1の導電層とは組成が異なることが好ましい。

【0022】

また、上記二つの態様の半導体装置において、第2の導電層は、窒化チタン、窒化タンタル、金、白金、パラジウム、ルテニウム、酸窒化物半導体から選ばれた材料の単層、または積層で形成されていてもよい。

40

【発明の効果】

【0023】

本発明の一態様を用いることにより、半導体装置に良好な電気特性を付与することができる。または、微細化に適した半導体装置を提供することができる。または、オン電流の高い半導体装置を提供することができる。または、集積度の高い半導体装置を提供することができる。または、低消費電力の半導体装置を提供することができる。または、信頼性の高い半導体装置を提供することができる。または、電源が遮断されてもデータが保持される半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

50

【0024】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0025】

【図1】トランジスタを説明する上面図および断面図。

【図2】トランジスタのチャネル幅方向の断面を説明する図。

【図3】トランジスタを説明する断面図。

【図4】トランジスタを説明する上面図および断面図。

【図5】トランジスタのチャネル幅方向の断面を説明する図。

【図6】トランジスタを説明する断面図。

【図7】トランジスタを説明する上面図および断面図。

【図8】トランジスタのチャネル幅方向の断面を説明する図。

【図9】トランジスタを説明する断面図。

【図10】トランジスタを説明する上面図および断面図。

【図11】トランジスタのチャネル幅方向の断面を説明する図。

【図12】トランジスタを説明する断面図。

【図13】トランジスタの作製方法を説明する図。

10

【図14】トランジスタの作製方法を説明する図。

【図15】トランジスタの作製方法を説明する図。

【図16】トランジスタの作製方法を説明する図。

【図17】トランジスタの作製方法を説明する図。

【図18】トランジスタの作製方法を説明する図。

【図19】酸化物半導体の断面T E M像および局所的なフーリエ変換像。

【図20】酸化物半導体膜のナノビーム電子回折パターンを示す図、および透過電子回折測定装置の一例を示す図。

【図21】透過電子回折測定による構造解析の一例を示す図、および平面T E M像。

【図22】半導体装置の断面図および回路図。

30

【図23】記憶装置の断面図および回路図。

【図24】R Fタグの構成例を説明する図。

【図25】C P Uの構成例を説明する図。

【図26】記憶素子の回路図。

【図27】表示装置の構成例を説明する図および画素の回路図。

【図28】表示モジュールを説明する図。

【図29】電子機器を説明する図。

【図30】R Fタグの使用例を説明する図。

【図31】トランジスタを説明する上面図および断面図。

【図32】トランジスタを説明する上面図および断面図。

40

【図33】トランジスタを説明する上面図および断面図。

【図34】トランジスタを説明する上面図および断面図。

【図35】トランジスタを説明する上面図および断面図。

【図36】トランジスタを説明する上面図および断面図。

【図37】トランジスタを説明する断面図。

【発明を実施するための形態】

【0026】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施

50

の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

【0027】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電気的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。10

【0028】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0029】

XとYとが直接的に接続されている場合の一例としては、XとYとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。20

【0030】

XとYとが電気的に接続されている場合の一例としては、XとYとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電気的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。30

【0031】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（D/A変換回路、A/D変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、增幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動增幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電気的に接続されている場合とを含むものとする。40

【0032】

なお、XとYとが電気的に接続されている、と明示的に記載されている場合は、XとYとが電気的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とが、本明細書等に開示されているものとする。つまり、電気的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合50

と同様な内容が、本明細書等に開示されているものとする。

【0033】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電気的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電気的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

【0034】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電気的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電気的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電気的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電気的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電気的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電気的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

【0035】

または、別の表現方法として、例えば、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路を介して、Xと電気的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（又は第1の端子など）とトランジスタのドレイン（又は第2の端子など）との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路を介して、Yと電気的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路によって、Z1を介して、Xと電気的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路によって、Z2を介して、Yと電気的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の電気的パスによって、Z1を介して、Xと電気的に接続され、前記第1の電気的パスは、第2の電気的パスを有しておらず、前記第2の電気的パスは、トランジスタのソース（又は第1の端子など）からトランジスタのドレイン（又は第2の端子など）への電気的パスであり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の電気的パスによって、Z2を介して、Yと電気的に接続され、前記第3の電気的パスは、第4の電気的パスを有しておらず、前記第4の電気的パスは、トランジスタのドレイン（又は第2の端子など）からトランジスタのソース（又は第1の端子など）への電気的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

10

20

30

40

50

【 0 0 3 6 】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z₁、Z₂は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【 0 0 3 7 】

なお、回路図上は独立している構成要素同士が電気的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電気的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。10

【 0 0 3 8 】

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【 0 0 3 9 】

なお、本明細書等において、様々な基板を用いて、トランジスタを形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板またはシリコン基板）、S O I 基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチール基板、ステンレス・スチール・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、または基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミニノホウケイ酸ガラス、またはソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（P E T）、ポリエチレンナフタレート（P E N）、ポリエーテルサルファン（P E S）に代表されるプラスチック、またはアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、またはポリ塩化ビニルなどがある。基材フィルムの一例としては、ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、または紙類などがある。特に、半導体基板、単結晶基板、またはS O I 基板などを用いてトランジスタを製造することによって、特性、サイズ、または形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、または回路の高集積化を図ることができる。2030

【 0 0 4 0 】

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。40

【 0 0 4 1 】

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、またはゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタを形成することができる。50

ンジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、または薄型化を図ることができる。

【0042】

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置について図面を用いて説明する。

【0043】

本発明の一態様のトランジスタは、シリコン(歪シリコン含む)、ゲルマニウム、シリコングルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体、または酸化物半導体などをチャネル形成領域に用いることができる。特に、シリコンよりもバンドギャップの大きい酸化物半導体を含んでチャネル形成領域を形成することが好ましい。10

【0044】

例えば、上記酸化物半導体として、少なくともインジウム(In)もしくは亜鉛(Zn)を含むことが好ましい。より好ましくはIn-M-Zn系酸化物(MはAl、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)で表記される酸化物を含む構成とする。

【0045】

以下では、特に断りのない限り、一例として、チャネル形成領域に酸化物半導体を含む半導体装置について説明する。

【0046】

図1(A)、(B)および図2(A)、(B)は、本発明の一態様のトランジスタ101の上面図および断面図である。図1(A)は上面図であり、図1(A)に示す一点鎖線A1-A2方向の断面が図1(B)に相当する。また、図1(A)に示す一点鎖線A3-A4方向の断面が図2(A)に相当する。また、図1(A)に示す一点鎖線A5-A6方向の断面が図2(B)に相当する。なお、図1(A)、(B)および図2(A)、(B)では、図の明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線A1-A2方向をチャネル長方向、一点鎖線A3-A4方向をチャネル幅方向と呼称する場合がある。20

【0047】

なお、チャネル長とは、例えば、トランジスタの上面図において、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソース(ソース領域またはソース電極)とドレイン(ドレイン領域またはドレイン電極)との間の距離をいう。なお、一つのトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル長は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。30

【0048】

チャネル幅とは、例えば、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル幅は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。40

【0049】

なお、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅(以下、実効的なチャネル幅と呼ぶ。)と、トランジスタの上面図において示されるチャネル幅(以下、見かけ上のチャネル幅と呼ぶ。)と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャネル幅が、トランジスタの上面図50

において示される見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャネル領域の割合に対して、半導体の側面に形成されるチャネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャネル幅よりも、実際にチャネルの形成される実効的なチャネル幅の方が大きくなる。

【0050】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるためにには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

10

【0051】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャネル幅を、「囲い込みチャネル幅（SCW：Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャネル幅と記載した場合には、囲い込みチャネル幅または見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、囲い込みチャネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

20

【0052】

なお、トランジスタの電界効果移動度や、チャネル幅当たりの電流値などを計算して求める場合、囲い込みチャネル幅を用いて計算する場合がある。その場合には、実効的なチャネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0053】

トランジスタ101は、基板110上の絶縁層120と、当該絶縁層上の酸化物半導体層130と、当該酸化物半導体層と電気的に接続するソース電極層140およびドレイン電極層150と、酸化物半導体層130、ソース電極層140およびドレイン電極層150上のゲート絶縁膜160と、酸化物半導体層130、ソース電極層140の一部およびドレイン電極層150の一部とゲート絶縁膜160を介して重なるゲート電極層170と、を有する。また、上記構成の上には酸化物で形成された絶縁層180が設けられていてよい。また、絶縁層180上に酸化物で形成された絶縁層185が形成されていてよい。絶縁層180および絶縁層185は必要に応じて設ければよく、さらにその上部に他の絶縁層を形成してもよい。

30

【0054】

なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

【0055】

本発明の一態様のトランジスタは、チャネル長が10nm以上300nm以下のトップゲート型構造である。また、ゲート電極層170とソース電極層140が重なる領域191（L_{ovS}）およびゲート電極層170とドレイン電極層150が重なる領域192（L_{ovD}）を有する。領域191および領域192のチャネル長方向の幅は、寄生容量を小さくするために3nm以上300nm未満とすることが好ましい。ただし、本発明の一態様は、これに限定されない。例えば、図31（A）および図31（B）に示すように、領域191および領域192を設けないようにしてもよい。または、例えば、図32（A）および図32（B）に示すように、ゲート電極層170とソース電極層140との間およびゲート電極層170とドレイン電極層150との間にオフセット領域を有する形状であつてもよい。

40

50

【 0 0 5 6 】

ここで、酸化物半導体層を用いたトランジスタにおいて、ソース電極層およびドレイン電極層には、例えば、酸素と結合しやすい導電材料を用いることができる。当該導電材料を用いることで酸化物半導体層に酸素欠損が生じ、当該酸化物半導体層の一部はn型化する。当該n型化した領域をソース領域およびドレイン領域として作用させることで良好なトランジスタ特性を得ることができる。

【 0 0 5 7 】

また、酸化物半導体層は酸化物絶縁層と接していることが好ましい。例えば、酸化物絶縁層を下地絶縁膜として用いることで、酸素欠損などによりn型化している酸化物半導体層のチャネル形成領域に酸素を供給して真性化(i型化)させ、トランジスタの電気特性および信頼性を向上させることができる。10

【 0 0 5 8 】

一方で、従来のトランジスタの構成においては、ソース電極層およびドレイン電極層は下地絶縁膜と広い面積で接している。このため、酸化物絶縁層中の酸素はソース電極層およびドレイン電極層にも奪われ、酸化物半導体層に酸素を十分供給できなくなる問題がある。特にチャネル長が短いトランジスタではその問題が顕著に起こるため、しきい値電圧のマイナスシフト等が起こりやすくなる。

【 0 0 5 9 】

したがって、本発明の一態様では、ソース電極層およびドレイン電極層と下地絶縁膜との接触面積が小さくなる構成のトランジスタを形成することを目的の一つとしている。20

【 0 0 6 0 】

図1(A)、(B)、図2(A)、(B)に示すトランジスタ101におけるソース電極層140およびドレイン電極層150は、それぞれ第1の導電層141、151、第2の導電層142、152を有する。

【 0 0 6 1 】

第1の導電層141、151は酸化物半導体層130の上面(ゲート電極層170側)と接し、第2の導電層142、152は酸化物半導体層130の側面と接するように形成する。

【 0 0 6 2 】

ここで、第2の導電層142、152は、絶縁層120とできるだけ接しないようにサイドウォール型とすることが好ましい。第2の導電層142、152をサイドウォール型とすることで、絶縁層120との接触面積を極めて小さくすることができる。なお、第1の導電層141、151は、酸化物半導体層130を形成する際にハードマスクとして利用する導電膜を利用して形成することが簡便で好ましい。30

【 0 0 6 3 】

例えば、第1の導電層141、151には、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層を用いることができる。

【 0 0 6 4 】

また、第2の導電層142、152は上記と同じ材料の単層、または積層を用いることができる。ただし、第1の導電層141、151と第2の導電層142、152とは、組成が異なる材料であることが好ましい。これは、第2の導電層142、152をサイドウォール型とするためのエッチバッケプロセスにおいて、第1の導電層141、151のエッチングレートと第2の導電層142、152のエッチングレートが大きく異なることが好ましいためである。なお、上記双方のエッチングレートが大きく異なっていれば、第1の導電層141、151と第2の導電層142、152とは同一組成であってもよい。例えば、同一元素からなる組成で非晶質層と結晶層の組み合わせや、結晶構造の異なる層の組み合わせであってもよい。40

【 0 0 6 5 】

なお、上記構成においては、第2の導電層142、152と絶縁層120との接触面積が50

極めて小さいが、絶縁層120中の酸素は第2の導電層142、152の方向に移動しうる。

【0066】

絶縁層120中の酸素が第2の導電層142、152の方向にさらに移動しにくくする構成として、第2の導電層142、152に酸素と結合しにくい導電材料を用いてもよい。例えば、第2の導電層142、152として窒化チタン、窒化タンタル、金、白金、パラジウム、ルテニウム、導電性酸化物、導電性酸窒化物から選ばれた材料の単層、または積層を用いることができる。

【0067】

導電性酸化物としては、インジウム錫酸化物、珪素を含むインジウム錫酸化物、亜鉛を含む酸化インジウム、酸化亜鉛、ガリウムを含む酸化亜鉛、アルミニウムを含む酸化亜鉛、酸化錫、フッ素を含む酸化錫、またはアンチモンを含む酸化錫などを用いることができる。

【0068】

また、導電性酸窒化物としては、酸化物半導体層130に用いる金属酸化物に窒素が添加された材料などを用いることができる。例えば、酸化物半導体層130にIn-Ga-Zn酸化物膜(IGZO膜)を用いる場合は、第2の導電層142、152としてIn-Ga-Zn酸窒化物膜(IGZON膜)を用いることができる。

【0069】

上記導電性酸化物および導電性酸窒化物は、第1の導電層141、151に用いることのできる金属材料とエッチングレートが大きく異なる点においても好ましい。

【0070】

以上の構成とすることで、絶縁層120から酸化物半導体層130への酸素の供給を大きく妨げることなく、酸化物半導体層の導電型を真性(i型)に近づけることができ、トランジスタの電気特性および信頼性を向上させることができる。なお、ソース電極層140およびドレイン電極層150を第1の導電層141、151のみで形成した場合には、酸化物半導体層130の上面が主たる実効チャネル幅となるため、オン電流が低下してしまう。本発明の一態様とすることで、酸化物半導体層130の側面も実効チャネル幅に含まれるようになるため、オン電流を向上させることができる。

【0071】

また、本発明の一態様のトランジスタ101は、図3(A)に示すように、酸化物半導体層130と基板110との間に導電膜172を備えていてもよい。当該導電膜を第2のゲート電極層(バックゲート)として用いることで、更なるオン電流の増加や、しきい値電圧の制御を行うことができる。オン電流を増加させるには、例えば、ゲート電極層170と導電膜172を同電位とし、ダブルゲートトランジスタとして駆動させればよい。その場合には、例えば、図3(B)に示すように、ゲート電極層170と導電膜172をコンタクトホールを介して接続させてもよい。また、しきい値電圧の制御を行うには、ゲート電極層170とは異なる定電位を導電膜172に供給すればよい。

【0072】

また、本発明の一態様のトランジスタは、図4(A)、(B)および図5(A)、(B)に示す構成であってもよい。図4(A)は上面図であり、図4(A)に示す一点鎖線B1-B2方向の断面が図4(B)に相当する。また、図4(A)に示す一点鎖線B3-B4方向の断面が図5(A)に相当する。また、図4(A)に示す一点鎖線B5-B6方向の断面が図5(B)に相当する。なお、図4(A)、(B)および図5(A)、(B)では、図の明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線B1-B2方向をチャネル長方向、一点鎖線B3-B4方向をチャネル幅方向と呼称する場合がある。

【0073】

図4(A)、(B)および図5(A)、(B)に示すトランジスタ102は、酸化物半導体層130が絶縁層120側から第1の酸化物半導体層131、第2の酸化物半導体層1

10

20

30

40

50

32、および第3の酸化物半導体層133の順で形成された点がトランジスタ101とは異なる。

【0074】

例えば、第1の酸化物半導体層131、第2の酸化物半導体層132、および第3の酸化物半導体層133には、それぞれ組成の異なる酸化物半導体層などを用いることができる。

【0075】

また、トランジスタ102は、図6(A)、(B)に示すように、酸化物半導体層130と基板110との間に導電膜172を備えていてもよい。

【0076】

また、本発明の一態様のトランジスタは、図7(A)、(B)および図8(A)、(B)に示す構成であってもよい。図7(A)は上面図であり、図7(A)に示す一点鎖線C1-C2方向の断面が図7(B)に相当する。また、図7(A)に示す一点鎖線C3-C4方向の断面が図8(A)に相当する。また、図7(A)に示す一点鎖線C5-C6方向の断面が図8(B)に相当する。なお、図7(A)、(B)および図8(A)、(B)では、図の明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線C1-C2方向をチャネル長方向、一点鎖線C3-C4方向をチャネル幅方向と呼称する場合がある。

【0077】

図7(A)、(B)および図8(A)、(B)に示すトランジスタ103は、基板110上の絶縁層120と、当該絶縁層上の第1の酸化物半導体層131、第2の酸化物半導体層132の順で形成された積層と、当該積層の一部と電気的に接続するソース電極層140およびドレイン電極層150と、当該積層、ソース電極層140およびドレイン電極層150を覆う第3の酸化物半導体層133と、当該積層、ソース電極層140、ドレイン電極層150および第3の酸化物半導体層133と重なるゲート絶縁膜160およびゲート電極層170と、を有する。また、上記構成の上には酸化物で形成された絶縁層180が設けられていてもよい。また、絶縁層180上に酸化物で形成された絶縁層185が形成されていてもよい。絶縁層180および絶縁層185は必要に応じて設ければよく、さらにその上部に他の絶縁層を形成してもよい。

【0078】

例えば、第1の酸化物半導体層131、第2の酸化物半導体層132、および第3の酸化物半導体層133には、それぞれ組成の異なる酸化物半導体層などを用いることができる。

【0079】

なお、図7に示すトランジスタ103においても、図31、図32と同様な構成とすることができます。その場合の例を、図33、図34に示す。このように、図1、図7に示すトランジスタだけでなく、様々な図面に示すトランジスタにおいても、同様に適用することができる。

【0080】

図8(A)は、図7(A)に示すトランジスタ103の一点鎖線C3-C4方向の断面における一部要素を拡大した図である。当該部位において第3の酸化物半導体層133は、第1の酸化物半導体層131および第2の酸化物半導体層132積層を覆うように形成されている。また、第2の酸化物半導体層132の上面および側面は、第3の酸化物半導体層133およびゲート絶縁膜160を介してゲート電極層170で覆われた構成となっている。

【0081】

図8(B)は、図7(A)に示すトランジスタ103の一点鎖線C5-C6方向の断面における一部要素を拡大した図である。当該部位において第3の酸化物半導体層133は、ドレイン電極層150を介して第1の酸化物半導体層131および第2の酸化物半導体層132積層を覆うように形成されている。

10

20

30

40

50

【 0 0 8 2 】

なお、トランジスタ 103 は、ゲート絶縁膜 160 および第 3 の酸化物半導体層 133 がソース電極層 140 およびドレイン電極層 150 を広く覆う構成であるため、ゲートリーク電流をより小さくすることができる。

【 0 0 8 3 】

また、トランジスタ 103 は、図 9 (A)、(B) に示すように、酸化物半導体層 130 と基板 110 との間に導電膜 172 を備えていてもよい。

【 0 0 8 4 】

また、本発明の一態様のトランジスタは、図 10 (A)、(B) および図 11 (A)、(B) に示す構成であってもよい。図 10 (A) は上面図であり、図 10 (A) に示す一点鎖線 D1 - D2 方向の断面が図 10 (B) に相当する。また、図 10 (A) に示す一点鎖線 D3 - D4 方向の断面が図 11 (A) に相当する。また、図 10 (A) に示す一点鎖線 D5 - D6 方向の断面が図 11 (B) に相当する。なお、図 10 (A)、(B) および図 11 (A)、(B) では、図の明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線 D1 - D2 方向をチャネル長方向、一点鎖線 D3 - D4 方向をチャネル幅方向と呼称する場合がある。

10

【 0 0 8 5 】

図 10 (A)、(B) および図 11 (A)、(B) に示すトランジスタ 104 は、ゲート絶縁膜 160 および第 3 の酸化物半導体層 133 の上面形状がゲート電極層 170 の上面形状と同様または相似形である点がトランジスタ 103 と異なり、その他の点はトランジスタ 103 と同じである。

20

【 0 0 8 6 】

なお、トランジスタ 104 は、トランジスタ 103 よりもリソグラフィ工程を少なくできるため、より簡易にトランジスタを作成することができる。

【 0 0 8 7 】

なお、図 10 に示すトランジスタ 104 においても、図 31、図 32 と同様な構成とすることができる。その場合の例を、図 35、図 36 に示す。

【 0 0 8 8 】

また、トランジスタ 104 は、図 12 (A)、(B) に示すように、酸化物半導体層 130 と基板 110 との間に導電膜 172 を備えていてもよい。

30

【 0 0 8 9 】

上記トランジスタ 101 乃至トランジスタ 104 のいずれの構成においても、ゲート電極層 170 は、酸化物半導体層 130 のチャネル幅方向を電気的に取り囲み、オン電流が高められる。このようなトランジスタの構造を、surrounded channel (s-channel) 構造とよぶ。なお、トランジスタ 102 乃至トランジスタ 104 の構造において、酸化物半導体層 130 を構成する三層の材料を適切に選択することで電流を第 2 の酸化物半導体層 132 の全体に流すことができる。酸化物半導体層 130 内部の第 2 の酸化物半導体層 132 に電流が流れることで、界面散乱の影響を受けにくく、高いオン電流を得ることができる。なお、第 2 の酸化物半導体層 132 を厚くすると、オン電流を向上させることができる。例えば、第 2 の酸化物半導体層 132 の膜厚を 100 nm 乃至 200 nm としてもよい。

40

【 0 0 9 0 】

また、図 32 に示すトランジスタ 101 の構成、および図 36 に示すトランジスタ 104 の構成においては、図 37 (A)、(B) に示すようにオフセット領域を低抵抗化したセルファーライン構造とすることができます。

【 0 0 9 1 】

n 型の低抵抗領域 143、153 は、ゲート電極層 170 をマスクとして不純物を添加することで形成することができる。当該不純物の添加方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。

50

【 0 0 9 2 】

酸化物半導体層 130 の導電率を高める不純物としては、例えば、リン(P)、砒素(As)、およびアンチモン(Sb)、ホウ素(B)、アルミニウム(Al)、窒素(N)、アルゴン(Ar)、ヘリウム(He)、ネオン(Ne)、インジウム(In)、フッ素(F)、塩素(Cl)、チタン(Ti)、亜鉛(Zn)、および炭素(C)のいずれかから選択される一つ以上を用いることができる。

【 0 0 9 3 】

以上の構成のトランジスタを用いることにより、半導体装置に良好な電気特性を付与することができる。

【 0 0 9 4 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【 0 0 9 5 】**(実施の形態 2)**

本実施の形態では、実施の形態 1 に示したトランジスタの構成要素について詳細を説明する。

【 0 0 9 6 】

基板 110 は、単なる支持材料に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。この場合、トランジスタのゲート電極層 170 、ソース電極層 140 、およびドレイン電極層 150 の一つは、上記の他のデバイスと電気的に接続されてもよい。

【 0 0 9 7 】

絶縁層 120 は、基板 110 からの不純物の拡散を防止する役割を有するほか、酸化物半導体層 130 に酸素を供給する役割を担うことができる。したがって、絶縁層 120 は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。例えば、昇温脱離ガス分析法(TDS (Thermal Desorption Spectroscopy))にて、酸素原子に換算しての酸素の放出量が 1.0×10^{19} atoms / cm³ 以上である膜とする。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、または 100 以上 500 以下の範囲が好ましい。また、上述のように基板 110 が他のデバイスが形成された基板である場合、絶縁層 120 は、層間絶縁膜としての機能も有する。その場合は、表面が平坦になるように CMP (Chemical Mechanical Polishing) 法等で平坦化処理を行うことが好ましい。

【 0 0 9 8 】

なお、本実施の形態では、酸化物半導体層 130 が三層構造である場合を主として詳細を説明するが、積層数は問わない。トランジスタ 101 のように酸化物半導体層 130 が一層の場合は、本実施の形態で説明する第 2 の酸化物半導体層 132 に相当する層を用いればよい。また、酸化物半導体層 130 が二層の場合は、例えば、トランジスタ 102 またはトランジスタ 103 に示す酸化物半導体層 130 の構成において、第 3 の酸化物半導体層 133 を設けない構成とすればよい。この構成の場合、第 2 の酸化物半導体層 132 と第 1 の酸化物半導体層 131 を入れ替えることもできる。また、酸化物半導体層 130 が四層以上である場合は、例えば、本実施の形態で説明する三層構造の積層に対して他の酸化物半導体層を積む構成や当該三層構造におけるいずれかの界面に他の酸化物半導体層を挿入する構成とすることができます。

【 0 0 9 9 】

一例としては、第 2 の酸化物半導体層 132 には、第 1 の酸化物半導体層 131 および第 3 の酸化物半導体層 133 よりも電子親和力(真空準位から伝導帯下端までのエネルギー)が大きい酸化物半導体を用いる。電子親和力は、真空準位と価電子帯上端とのエネルギー差(イオン化ポテンシャル)から、伝導帯下端と価電子帯上端とのエネルギー差(エネルギーギャップ)を差し引いた値として求めることができる。

10

20

30

40

50

【0100】

第1の酸化物半導体層131および第3の酸化物半導体層133は、第2の酸化物半導体層132を構成する金属元素を一種以上含み、例えば、伝導帯下端のエネルギーが第2の酸化物半導体層132よりも、0.05eV、0.07eV、0.1eV、0.15eVのいずれか以上であって、2eV、1eV、0.5eV、0.4eVのいずれか以下の範囲で真空準位に近い酸化物半導体で形成することが好ましい。

【0101】

このような構造において、ゲート電極層170に電界を印加すると、酸化物半導体層130のうち、伝導帯下端のエネルギーが最も小さい第2の酸化物半導体層132にチャネルが形成される。

10

【0102】

また、第1の酸化物半導体層131は、第2の酸化物半導体層132を構成する金属元素を一種以上含んで構成されるため、第2の酸化物半導体層132と絶縁層120が接した場合の界面と比較して、第2の酸化物半導体層132と第1の酸化物半導体層131との界面には界面準位が形成されにくくなる。該界面準位はチャネルを形成するがあるため、トランジスタのしきい値電圧が変動することができる。したがって、第1の酸化物半導体層131を設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきを低減することができる。また、当該トランジスタの信頼性を向上させることができる。

【0103】

また、第3の酸化物半導体層133は、第2の酸化物半導体層132を構成する金属元素を一種以上含んで構成されるため、第2の酸化物半導体層132とゲート絶縁膜160が接した場合の界面と比較して、第2の酸化物半導体層132と第3の酸化物半導体層133との界面ではキャリアの散乱が起こりにくくなる。したがって、第3の酸化物半導体層133を設けることにより、トランジスタの電界効果移動度を高くすることができる。

20

【0104】

第1の酸化物半導体層131および第3の酸化物半導体層133には、例えば、Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHfを第2の酸化物半導体層132よりも高い原子数比で含む材料を用いることができる。具体的には、当該原子数比を1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。前述の元素は酸素と強く結合するため、酸素欠損が酸化物半導体層に生じることを抑制する機能を有する。すなわち、第1の酸化物半導体層131および第3の酸化物半導体層133は、第2の酸化物半導体層132よりも酸素欠損が生じにくいことができる。

30

【0105】

なお、第1の酸化物半導体層131、第2の酸化物半導体層132、第3の酸化物半導体層133が、少なくともインジウム、亜鉛およびM(Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)を含むIn-M-Zn酸化物であるとき、第1の酸化物半導体層131をIn:M:Zn=x₁:y₁:z₁ [原子数比]、第2の酸化物半導体層132をIn:M:Zn=x₂:y₂:z₂ [原子数比]、第3の酸化物半導体層133をIn:M:Zn=x₃:y₃:z₃ [原子数比]とすると、y₁/x₁およびy₃/x₃がy₂/x₂よりも大きくなることが好ましい。y₁/x₁およびy₃/x₃はy₂/x₂よりも1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。このとき、第2の酸化物半導体層132において、y₂がx₂以上であるとトランジスタの電気特性を安定させることができる。ただし、y₂がx₂の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、y₂はx₂の3倍未満であることが好ましい。

40

【0106】

第1の酸化物半導体層131および第3の酸化物半導体層133におけるZnおよびOを除いた場合において、InおよびMの原子数比率は、好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが75atomic%以上とする。また、第2の酸化物半導体層132のZnおよび

50

Oを除いてのInおよびMの原子数比率は、好ましくはInが25 atomic%以上、Mが75 atomic%未満、さらに好ましくはInが34 atomic%以上、Mが66 atomic%未満とする。

【0107】

第1の酸化物半導体層131および第3の酸化物半導体層133の厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、第2の酸化物半導体層132の厚さは、3nm以上200nm以下、好ましくは10nm以上150nm以下、さらに好ましくは20nm以上100nm以下とする。また、第2の酸化物半導体層132は、第1の酸化物半導体層131および第3の酸化物半導体層133より厚い方が好ましい。

10

【0108】

なお、酸化物半導体層をチャネルとするトランジスタに安定した電気特性を付与するためには、酸化物半導体層中の不純物濃度を低減し、酸化物半導体層を真性または実質的に真性にすることが有効である。ここで、実質的に真性とは、酸化物半導体層のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。

【0109】

また、酸化物半導体層において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体層中で不純物準位の形成に寄与する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。したがって、第1の酸化物半導体層131、第2の酸化物半導体層132および第3の酸化物半導体層133の層中や、それぞれの界面において不純物濃度を低減させることが好ましい。

20

【0110】

酸化物半導体層を真性または実質的に真性とするとには、SIMS (Secondary Ion Mass Spectrometry) 分析において、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。また、水素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、窒素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

30

【0111】

また、酸化物半導体層が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物半導体層の結晶性を低下させことがある。酸化物半導体層の結晶性を低下させないためには、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有していればよい。また、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、炭素濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有していればよい。

40

【0112】

また、上述のように高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジ

50

スタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を0.1V、5V、または、10V程度とした場合に、トランジスタのチャネル幅で規格化したオフ電流を数yA/ μ m乃至数zA/ μ mにまで低減することが可能となる。

【0113】

なお、トランジスタのゲート絶縁膜としては、シリコンを含む絶縁膜が多く用いられるため、上記理由により酸化物半導体層のチャネルとなる領域は、本発明の一態様のトランジスタのようにゲート絶縁膜と接しない構造が好ましいということができる。また、ゲート絶縁膜と酸化物半導体層との界面にチャネルが形成される場合、該界面でキャリアの散乱が起り、トランジスタの電界効果移動度が低くなることがある。このような観点からも、酸化物半導体層のチャネルとなる領域はゲート絶縁膜から離すことが好ましいといえる。10

【0114】

したがって、酸化物半導体層130を第1の酸化物半導体層131、第2の酸化物半導体層132、第3の酸化物半導体層133の積層構造とすることで、第2の酸化物半導体層132にチャネルを形成することができ、高い電界効果移動度および安定した電気特性を有したトランジスタを形成することができる。

【0115】

第1の酸化物半導体層131、第2の酸化物半導体層132、第3の酸化物半導体層133のバンド構造においては、伝導帯下端のエネルギーが連続的に変化する。これは、第1の酸化物半導体層131、第2の酸化物半導体層132、第3の酸化物半導体層133の組成が近似することにより、酸素が相互に拡散しやすい点からも理解される。したがって、第1の酸化物半導体層131、第2の酸化物半導体層132、第3の酸化物半導体層133は組成が異なる層の積層体ではあるが、物性的に連続であるということもでき、本明細書の図面において、当該積層体のそれぞれの界面は点線で表している。20

【0116】

主成分を共通として積層された酸化物半導体層130は、各層を単に積層するのではなく連続接合（ここでは特に伝導帯下端のエネルギーが各層の間で連続的に変化するU字型の井戸構造（U Shape Well））が形成されるように作製する。すなわち、各層の界面にトラップ中心や再結合中心のような欠陥準位を形成するような不純物が存在しないように積層構造を形成する。仮に、積層された酸化物半導体層の層間に不純物が混在していると、エネルギー・バンドの連続性が失われ、界面でキャリアがトラップあるいは再結合により消滅してしまう。30

【0117】

例えば、第1の酸化物半導体層131および第3の酸化物半導体層133にはIn:Ga:Zn = 1:3:2、1:3:3、1:3:4、1:3:6、1:6:4または1:9:6（原子数比）、第2の酸化物半導体層132にはIn:Ga:Zn = 1:1:1、5:5:6、または3:1:2（原子数比）などのIn-Ga-Zn酸化物などを用いることができる。また、第1の酸化物半導体層131にIn:Ga:Zn = 1:6:4または1:9:6（原子数比）、第3の酸化物半導体層133にIn:Ga:Zn = 1:3:2、1:3:3、1:3:4（原子数比）のIn-Ga-Zn酸化物などを用いてよい。なお、第1の酸化物半導体層131、第2の酸化物半導体層132、および第3の酸化物半導体層133の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス40%の変動を含む。40

【0118】

酸化物半導体層130における第2の酸化物半導体層132はウェル（井戸）となり、酸化物半導体層130を用いたトランジスタにおいて、チャネルは第2の酸化物半導体層132に形成される。なお、酸化物半導体層130は伝導帯下端のエネルギーが連続的に変化しているため、U字型井戸とも呼ぶことができる。また、このような構成で形成されたチャネルを埋め込みチャネルということもできる。

【0119】

50

また、第1の酸化物半導体層131および第3の酸化物半導体層133と、酸化シリコン膜などの絶縁膜との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得る。第1の酸化物半導体層131および第3の酸化物半導体層133があることにより、第2の酸化物半導体層132と当該トラップ準位とを遠ざけることができる。

【0120】

ただし、第1の酸化物半導体層131および第3の酸化物半導体層133の伝導帯下端のエネルギーと、第2の酸化物半導体層132の伝導帯下端のエネルギーとの差が小さい場合、第2の酸化物半導体層132の電子が該エネルギー差を超えてトラップ準位に達することがある。マイナスの電荷となる電子がトラップ準位に捕獲されることで、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

10

【0121】

したがって、トランジスタのしきい値電圧の変動を低減するには、第1の酸化物半導体層131および第3の酸化物半導体層133の伝導帯下端のエネルギーと、第2の酸化物半導体層132の伝導帯下端のエネルギーとの間に一定以上の差を設けることが必要となる。それぞれの当該エネルギー差は、0.1eV以上が好ましく、0.15eV以上がより好ましい。

【0122】

第1の酸化物半導体層131、第2の酸化物半導体層132および第3の酸化物半導体層133には、結晶部が含まれることが好ましい。特にc軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。また、c軸に配向した結晶は歪曲に強く、フレキシブル基板を用いた半導体装置の信頼性を向上させることができる。

20

【0123】

ソース電極層140およびドレイン電極層150における第1の導電層141、151には、例えば、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層を用いることができる。代表的には、特に酸素と結合しやすいTiや、後のプロセス温度が比較的高くできることなどから、融点の高いWを用いることがより好ましい。また、低抵抗のCuやCu-Mnなどの合金と上記材料との積層を用いてもよい。

【0124】

上記材料は酸化物半導体膜から酸素を引き抜く性質を有する。そのため、上記材料と接した酸化物半導体層の一部の領域では酸化物半導体膜中の酸素が脱離し、酸素欠損が形成される。膜中に僅かに含まれる水素と当該酸素欠損が結合することにより当該領域は顕著にn型化する。したがって、n型化した当該領域はトランジスタのソースまたはドレインとして作用させることができる。

30

【0125】

また、第2の導電層142、152には、例えば、上記第1の導電層141、151に用いることのできる材料、窒化チタン、窒化タンタル、金、白金、パラジウム、ルテニウム、導電性酸化物、および導電性酸窒化物から選ばれた材料の単層、または積層を用いることができる。なお、第1の導電層141、151と第2の導電層142、152は異なる材料であることが好ましい。

40

【0126】

ゲート絶縁膜160には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニア、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、ゲート絶縁膜160は上記材料の積層であってもよい。なお、ゲート絶縁膜160に、ランタン(La)、窒素、ジルコニア(Zr)などを、不純物として含んでいてもよい。

【0127】

また、ゲート絶縁膜160の積層構造の一例について説明する。ゲート絶縁膜160は、例えば、酸素、窒素、シリコン、ハフニウムなどを有する。具体的には、酸化ハフニウム

50

、および酸化シリコンまたは酸化窒化シリコンを含むと好ましい。

【0128】

酸化ハフニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、等価酸化膜厚に対して物理的な膜厚を大きくできるため、等価酸化膜厚を 10 nm 以下または 5 nm 以下とした場合でも、トンネル電流によるリーク電流を小さくすることができる。即ち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

10

【0129】

ところで、結晶構造を有する酸化ハフニウムの被形成面は、欠陥に起因した界面準位を有する場合がある。該界面準位はトラップセンターとして機能する場合がある。そのため、酸化ハフニウムがトランジスタのチャネル領域に近接して配置されるとき、該界面準位によってトランジスタの電気特性が劣化する場合がある。そこで、該界面準位の影響を低減するために、トランジスタのチャネル領域と酸化ハフニウムとの間に、別の膜を配置することによって互いに離間させることが好ましい場合がある。この膜は、緩衝機能を有する。緩衝機能を有する膜は、ゲート絶縁膜 160 に含まれる膜であってもよいし、酸化物半導体膜に含まれる膜であってもよい。即ち、緩衝機能を有する膜としては、酸化シリコン、酸化窒化シリコン、酸化物半導体などを用いることができる。なお、緩衝機能を有する膜には、たとえば、チャネル領域となる半導体よりもエネルギーギャップの大きい半導体または絶縁体を用いる。または、緩衝機能を有する膜には、たとえば、チャネル領域となる半導体よりも電子親和力の小さい半導体または絶縁体を用いる。または、緩衝機能を有する膜には、たとえば、チャネル領域となる半導体よりもイオン化工エネルギーの大きい半導体または絶縁体を用いる。

20

【0130】

一方、上述した結晶構造を有する酸化ハフニウムの被形成面における界面準位（トラップセンター）に電荷をトラップさせることで、トランジスタのしきい値電圧を制御できる場合がある。該電荷を安定して存在させるためには、たとえば、チャネル領域と酸化ハフニウムとの間に、酸化ハフニウムよりもエネルギーギャップの大きい絶縁体を配置すればよい。または、酸化ハフニウムよりも電子親和力の小さい半導体または絶縁体を配置すればよい。または、緩衝機能を有する膜には、酸化ハフニウムよりもイオン化工エネルギーの大きい半導体または絶縁体を配置すればよい。このような絶縁体を用いることで、界面準位にトラップされた電荷の放出が起こりにくくなり、長期間に渡って電荷を保持することができる。

30

【0131】

そのような絶縁体として、例えば、酸化シリコン、酸化窒化シリコンが挙げられる。ゲート絶縁膜 160 内の界面準位に電荷を捕獲させるためには、酸化物半導体層 130 からゲート電極層 170 に向かって電子を移動させればよい。具体的な例としては、高い温度（例えば、125 以上 450 以下、代表的には 150 以上 300 以下）の下で、ゲート電極層 170 の電位をソース電極やドレイン電極の電位より高い状態にて 1 秒以上、代表的には 1 分以上維持すればよい。

40

【0132】

このようにゲート絶縁膜 160 などの界面準位に所望の量の電子を捕獲させたトランジスタは、しきい値電圧がプラス側にシフトする。ゲート電極層 170 の電圧や、電圧を印加する時間を調整することによって、電子を捕獲させる量（しきい値電圧の変動量）を制御することができる。なお、電荷を捕獲させることができれば、ゲート絶縁膜 160 内でなくても構わない。同様の構造を有する積層膜を、他の絶縁層に用いても構わない。

【0133】

ゲート電極層 170 には、例えば、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、M

50

O、Ru、Ag、Mn、Nd、Sc、TaおよびWなどの導電膜を用いることができる。また、上記材料の合金や上記材料の導電性窒化物を用いてもよい。また、上記材料、上記材料の合金、および上記材料の導電性窒化物から選ばれた複数の材料の積層であってもよい。代表的には、タングステン、タングステンと窒化チタンの積層、タングステンと窒化タンタルの積層などを用いることができる。また、低抵抗のCuまたはCu-Mnの合金や上記材料とCuまたはCu-Mnの合金との積層を用いてもよい。

【0134】

ゲート絶縁膜160およびゲート電極層170上に形成する絶縁層180には、酸化アルミニウム膜を含むことが好ましい。酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウム膜は、トランジスタの作製工程中および作製後において、トランジスタの電気特性の変動要因となる水素、水分などの不純物の酸化物半導体層130への混入防止、酸化物半導体層130を構成する主成分材料である酸素の酸化物半導体層からの放出防止、絶縁層120からの酸素の不必要的放出防止の効果を有する保護膜として用いることに適している。また、酸化アルミニウム膜に含まれる酸素を酸化物半導体層中に拡散させることもできる。

10

【0135】

また、絶縁層180上には絶縁層185が形成されていることが好ましい。当該絶縁層には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、当該酸化物絶縁層は上記材料の積層であってもよい。

20

【0136】

ここで、絶縁層185は絶縁層120と同様に化学量論組成よりも多くの酸素を有することが好ましい。絶縁層185から放出される酸素はゲート絶縁膜160を経由して酸化物半導体層130のチャネル形成領域に拡散させることができることから、チャネル形成領域に形成された酸素欠損に酸素を補填することができる。したがって、安定したトランジスタの電気特性を得ることができる。

【0137】

半導体装置を高集積化するにはトランジスタの微細化が必須である。一方、トランジスタの微細化によりトランジスタの電気特性が悪化することが知られており、チャネル幅が縮小するとオン電流は低下する。

30

【0138】

例えば、本発明の一態様のトランジスタ103およびトランジスタ104では、前述したように、チャネルが形成される第2の酸化物半導体層132を覆うように第3の酸化物半導体層133が形成されており、チャネル形成層とゲート絶縁膜が接しない構成となっている。そのため、チャネル形成層とゲート絶縁膜との界面で生じるキャリアの散乱を抑えることができ、トランジスタのオン電流を大きくすることができる。

【0139】

また、本発明の一態様のトランジスタでは、前述したように酸化物半導体層130のチャネル幅方向を電気的に取り囲むようにゲート電極層170が形成されているため、酸化物半導体層130に対しては垂直方向からのゲート電界に加えて、側面方向からのゲート電界が印加される。すなわち、チャネル形成層に対して全体的にゲート電界が印加されることになり実効チャネル幅が拡大するため、さらにオン電流を高められる。

40

【0140】

また、本発明の一態様のトランジスタ103およびトランジスタ104では、チャネルが形成される第2の酸化物半導体層132を第1の酸化物半導体層131上に形成することで界面準位を形成しにくくする効果や、第2の酸化物半導体層132を三層構造の中間に位置する層として上下からの不純物混入の影響を排除できる効果などを併せて有する。そのため、上述したトランジスタのオン電流の向上に加えて、しきい値電圧の安定化

50

や、S値(サブスレッショルド値)を小さくすることができる。したがって、ゲート電圧V_Gが0V時の電流を下げることができ、消費電力を低減させることができる。また、トランジスタのしきい値電圧が安定化することから、半導体装置の長期信頼性を向上させることができる。また、本発明の一態様のトランジスタは、微細化にともなう電気特性の劣化が抑えられることから、集積度の高い半導体装置の形成に適しているといえる。

【0141】

なお、本実施の形態は、本明細書で示す他の実施の形態および実施例と適宜組み合わせることができる。

【0142】

(実施の形態3)

10

本実施の形態では、実施の形態1で説明したトランジスタ101、トランジスタ102、トランジスタ103、およびトランジスタ104の作製方法を説明する。

【0143】

始めに、図13乃至図15を用いてトランジスタ102の作製方法を説明する。また、酸化物半導体層130の構成のみが異なるトランジスタ101の作製方法を合わせて説明する。図13乃至図15において、図面の左側にはトランジスタのチャネル長方向の断面を示し、右側にはチャネル幅方向の断面を示す。なお、チャネル幅方向の図面は拡大図のため、各要素の見かけ上の膜厚は左右の図面で異なる。

【0144】

基板110には、ガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI(Silicon On Insulator)基板などを用いることも可能であり、これらの基板上に半導体素子が設けられたものを用いてもよい。

20

【0145】

絶縁層120は、プラズマCVD法またはスパッタ法等により、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニア、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化物絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁膜、または上記材料を混合した膜を用いて形成することができる。また、上記材料の積層であってもよく、少なくとも酸化物半導体層130と接する上層は酸化物半導体層130への酸素の供給源となりえる過剰な酸素を含む材料で形成することが好ましい。

30

【0146】

また、絶縁層120にイオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いて酸素を添加してもよい。酸素を添加することによって、絶縁層120から酸化物半導体層130への酸素の供給をさらに容易にすることができます。

【0147】

なお、基板110の表面が絶縁体であり、後に設ける酸化物半導体層130への不純物拡散の影響が無い場合は、絶縁層120を設けない構成とすることができる。

40

【0148】

次に、絶縁層120、ソース電極層140およびドレイン電極層150上に第1の酸化物半導体層131となる第1の酸化物半導体膜131a、第2の酸化物半導体層132となる第2の酸化物半導体膜132a、および第3の酸化物半導体層133となる第3の酸化物半導体膜133aをスパッタリング法、CVD法、MBE法などを用いて成膜する。

【0149】

なお、図1に示すトランジスタ101を形成する場合は、第2の酸化物半導体膜132aの单膜を設ければよい。

【0150】

50

酸化物半導体層 130 が積層構造である場合、酸化物半導体膜はロードロック室を備えたマルチチャンバー方式の成膜装置（例えばスパッタ装置）を用いて各層を大気に触れさせることなく連続して積層することが好ましい。スパッタ装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべく、クライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ 5×10^{-7} Pa 乃至 1×10^{-4} Pa 程度まで）できること、かつ、成膜される基板を 100 以上、好ましくは 500 以上に加熱できることができることが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせて排気系からチャンバー内に炭素成分や水分等を含む気体が逆流しないようにしておくことが好ましい。また、ターボ分子ポンプとクライオポンプを組み合わせた排気系を用いてもよい。

10

【0151】

高純度真性酸化物半導体を得るためにには、チャンバー内を高真空排気するのみならずスパッタガスの高純度化も必要である。スパッタガスとして用いる酸素ガスやアルゴンガスは、露点が -40 以下、好ましくは -80 以下、より好ましくは -100 以下にまで高純度化したガスを用いることで酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。

【0152】

第 1 の酸化物半導体膜 131a、第 2 の酸化物半導体膜 132a、および第 3 の酸化物半導体膜 133a には、実施の形態 1 で説明した材料を用いることができる。例えば、第 1 の酸化物半導体膜 131a に In : Ga : Zn = 1 : 3 : 6、1 : 3 : 4、1 : 3 : 3 または 1 : 3 : 2 [原子数比] の In - Ga - Zn 酸化物、第 2 の酸化物半導体膜 132a に In : Ga : Zn = 1 : 1 : 1、3 : 1 : 2 または 5 : 5 : 6 [原子数比] の In - Ga - Zn 酸化物、第 3 の酸化物半導体膜 133a に In : Ga : Zn = 1 : 3 : 6、1 : 3 : 4、1 : 3 : 3 または 1 : 3 : 2 [原子数比] の In - Ga - Zn 酸化物を用いることができる。なお、第 1 の酸化物半導体膜 131a、第 2 の酸化物半導体膜 132a、および第 3 の酸化物半導体膜 133a の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス 20 % の変動を含む。また、成膜法にスパッタ法を用いる場合は、上記材料をターゲットとして成膜することができる。

20

【0153】

また、第 1 の酸化物半導体膜 131a、第 2 の酸化物半導体膜 132a、および第 3 の酸化物半導体膜 133a として用いることのできる酸化物半導体は、少なくともインジウム (In) もしくは亜鉛 (Zn) を含むことが好ましい。または、In と Zn の双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

30

【0154】

スタビライザーとしては、ガリウム (Ga)、スズ (Sn)、ハフニウム (Hf)、アルミニウム (Al)、またはジルコニウム (Zr) 等がある。また、他のスタビライザーとしては、ランタノイドである、ラントン (La)、セリウム (Ce)、プラセオジム (Pr)、ネオジム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) 等がある。

40

【0155】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化ガリウム、酸化亜鉛、In - Zn 酸化物、Sn - Zn 酸化物、Al - Zn 酸化物、Zn - Mg 酸化物、Sn - Mg 酸化物、In - Mg 酸化物、In - Ga 酸化物、In - Ga - Zn 酸化物、In - Al - Zn 酸化物、In - Sn - Zn 酸化物、Sn - Ga - Zn 酸化物、Al - Ga - Zn 酸化物、Sn - Al - Zn 酸化物、In - Hf - Zn 酸化物、In - La - Zn 酸化物、In - Ce - Zn 酸化物、In - Pr - Zn 酸化物、In - Nd - Zn 酸化物、In - Sm - Zn 酸化物、In - Eu - Zn 酸化物、In - Gd - Zn 酸化物、In - Tb - Zn 酸化

50

物、In-Dy-Zn酸化物、In-Ho-Zn酸化物、In-Er-Zn酸化物、In-Tm-Zn酸化物、In-Yb-Zn酸化物、In-Lu-Zn酸化物、In-Sn-Ga-Zn酸化物、In-Hf-Ga-Zn酸化物、In-Al-Ga-Zn酸化物、In-Sn-Al-Zn酸化物、In-Sn-Hf-Zn酸化物、In-Hf-Al-Zn酸化物を用いることができる。

【0156】

なお、ここで、例えば、In-Ga-Zn酸化物とは、InとGaとZnを主成分として有する酸化物という意味である。また、InとGaとZn以外の金属元素が入っていてもよい。また、本明細書においては、In-Ga-Zn酸化物で構成した膜をIGZO膜とも呼ぶ。

10

【0157】

また、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、Mは、Ga、Y、Zr、La、Ce、またはNdから選ばれた一つの金属元素または複数の金属元素を示す。また、 $In_2SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0158】

ただし、実施の形態1に詳細を記したように、第1の酸化物半導体膜131aおよび第3の酸化物半導体膜133aは、第2の酸化物半導体膜132aよりも電子親和力が小さくなるように材料を選択する。

20

【0159】

なお、酸化物半導体膜の成膜には、スパッタ法を用いることが好ましい。スパッタ法としては、RFスパッタ法、DCスパッタ法、ACスパッタ法等を用いることができる。

【0160】

また、第2の酸化物半導体膜132aは、第1の酸化物半導体膜131aおよび第3の酸化物半導体膜133aよりもインジウムの含有量を多くするとよい。酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、Inの含有率を多くすることにより、より多くのs軌道が重なるため、InがGaよりも多い組成となる酸化物はInがGaと同等または少ない組成となる酸化物と比較して移動度が高くなる。そのため、第2の酸化物半導体層132にインジウムの含有量が多い酸化物を用いることで、高い移動度のトランジスタを実現することができる。

30

【0161】

第3の酸化物半導体膜133aの形成後に、第1の加熱処理を行ってもよい。第1の加熱処理は、250以上650以下、好ましくは300以上500以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、または減圧状態で行えばよい。また、第1の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。第1の加熱処理によって、第1の酸化物半導体膜131a乃至第3の酸化物半導体膜133aの結晶性を高め、さらに絶縁層120、および第1の酸化物半導体膜131a乃至第3の酸化物半導体膜133aから水素や水などの不純物を除去することができる。なお、第1の加熱処理は、後述する第1の酸化物半導体膜131a乃至第3の酸化物半導体膜133aを形成するエッチングの後に行ってもよい。

40

【0162】

次に、第3の酸化物半導体膜133a上に導電層145を形成する(図13(A)参照)。導電層145は、例えば、次の方法を用いて形成することができる。

【0163】

まず、第3の酸化物半導体膜133a上に第1の導電膜を形成する。第1の導電膜としては、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層を用いることができる。

【0164】

次に、第1の導電膜上にネガ型のレジスト膜を形成し、当該レジスト膜に対して電子ビー

50

ム露光、液浸露光、EUV露光などの方法を用いて露光し、現像処理を行うことで第1のレジストマスクを形成する。なお、第1の導電膜とレジスト膜の間には密着剤として有機塗布膜を形成することが好ましい。また、ナノインプリントリソグラフィ法を用いて第1のレジストマスクを形成してもよい。

【0165】

次に、第1のレジストマスクを用いて、第1の導電膜を選択的にエッチングし、第1のレジストマスクをアッシングすることにより導電層145を形成する。

【0166】

次に、上記導電層145をハードマスクとして用い、第3の酸化物半導体膜133a、第2の酸化物半導体膜132a、および第1の酸化物半導体膜131aを選択的にエッチングし、第3の酸化物半導体層133、第2の酸化物半導体層132、第1の酸化物半導体層131の積層からなる酸化物半導体層130を形成する(図13(B)参照)。

10

【0167】

次に、酸化物半導体層130および導電層145を覆うように第2の導電膜146aを形成する(図13(C)参照)。第2の導電膜146aとしては、第1の導電膜に用いることのできる材料、窒化チタン、窒化タンタル、金、白金、パラジウム、ルテニウム、導電性酸化物、および導電性酸窒化物から選ばれた材料の単層、または積層を用いることができる。

【0168】

次に、エッチバックを行い、酸化物半導体層130および導電層145の側壁に導電層146を形成する(図14(A)参照)。

20

【0169】

次に、ソース領域およびドレイン領域となる部分の上に第2のレジストマスク155を形成する(図14(B)参照)。そして、酸化物半導体層130と接して形成されていた導電層145の一部および導電層146の一部をエッチングし、第1の導電層141、151、および第2の導電層142、152のそれぞれを有するソース電極層140およびドレイン電極層150を形成する(図14(C)参照)。なお、説明の明瞭化のため、図14(B)、(C)の右図には、チャネル形成領域における断面(上)とドレイン領域における断面(下)を示している。

【0170】

30

次に、酸化物半導体層130、ソース電極層140、およびドレイン電極層150上にゲート絶縁膜160を形成する(図15(A)参照)。ゲート絶縁膜160には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化グルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。なお、ゲート絶縁膜160は、上記材料の積層であってもよい。ゲート絶縁膜160は、スパッタ法、CVD法、MBE法などを用いて形成することができる。

【0171】

次に、ゲート絶縁膜160上にゲート電極層170となる第3の導電膜を形成する。第3の導電膜としては、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Mn、Nd、Sc、TaおよびWの単層、積層または合金を用いることができる。第2の導電膜は、スパッタ法やCVD法などにより形成することができる。また、第2の導電膜としては、窒素を含んだ導電膜を用いてもよく、上記導電膜と窒素を含んだ導電膜の積層を用いてもよい。

40

【0172】

次に、第3の導電膜上に第3のレジストマスクを形成し、当該レジストマスクを用いて、第3の導電膜を選択的にエッチングし、ゲート電極層170を形成する(図15(B)参照)。

【0173】

次に、ゲート絶縁膜160およびゲート電極層170上に絶縁層180および絶縁層18

50

5を形成する(図15(C)参照)。絶縁層180および絶縁層185は、絶縁層120と同様の材料、方法を用いて形成することができる。なお、絶縁層180には酸化アルミニウムを用いることが特に好ましい。

【0174】

また、絶縁層180および/または絶縁層185にイオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いて酸素を添加してもよい。酸素を添加することによって、絶縁層180および/または絶縁層185から酸化物半導体層130への酸素の供給をさらに容易にすることができます。

【0175】

次に、第2の加熱処理を行ってもよい。第2の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第2の加熱処理により、絶縁層120、絶縁層180、絶縁層185から過剰酸素が放出されやすくなり、酸化物半導体層130の酸素欠損を低減することができます。

10

【0176】

以上の工程において、図4に示したトランジスタ102を作製することができる。また、前述したように、酸化物半導体層130を単層とすることで図1に示したトランジスタ101を作製することができる。

【0177】

次に、図7に示すトランジスタ103の作製方法について説明する。なお、トランジスタ101およびトランジスタ102の作製方法と重複する工程の詳細な説明は省略する。

20

【0178】

基板110上に絶縁層120と形成し、当該絶縁層上に第1の酸化物半導体層131となる第1の酸化物半導体膜131a、および第2の酸化物半導体層132となる第2の酸化物半導体膜132aをスパッタリング法、CVD法、MBE法などを用いて成膜する。

【0179】

次に、第1の導電膜を第2の酸化物半導体膜132a上に形成し、前述した方法を用いて導電層145を形成する、そして、導電層145をハードマスクとして第1の酸化物半導体膜131aおよび第2の酸化物半導体膜132aを選択的にエッチングし、第1の酸化物半導体層131、第2の酸化物半導体層132および導電層145の積層を形成する(図16(A)参照)。

30

【0180】

次に、上記積層を覆うように第2の導電膜146aを形成する。そして、エッチバックを行い、当該積層の側壁に導電層146を形成する。

【0181】

次に、導電層145の一部および導電層146の一部をエッチングし、第1の導電層141、151、および第2の導電層142、152のそれぞれを有するソース電極層140およびドレイン電極層150を形成する(図16(B)参照)。なお、説明の明瞭化のため、図16(B)の右図には、チャネル形成領域における断面(上)とドレイン領域における断面(下)を示している。

【0182】

40

次に、第1の酸化物半導体層131および第2の酸化物半導体層132の積層上、ならびにソース電極層140およびドレイン電極層150上に第3の酸化物半導体層133となる第3の酸化物半導体膜133aを形成する。さらに、第3の酸化物半導体膜133a上にゲート絶縁膜160を形成する。

【0183】

次に、第1の酸化物半導体層131および第2の酸化物半導体層132の積層、ならびにソース電極層140およびドレイン電極層150を覆うようにゲート絶縁膜160上に第3のレジストマスク156を形成する(図16(C)参照)。

【0184】

次に、第3のレジストマスク156を用いてゲート絶縁膜160の一部および第3の酸化

50

物半導体膜 133a の一部をエッティングし、第 3 の酸化物半導体層を形成する（図 17 (A) 参照）。

【0185】

次に、ゲート絶縁膜 160 上にゲート電極層 170 となる第 3 の導電膜 170a を形成し、選択的にエッティングしてゲート電極層 170 を形成する（図 17 (B) 参照）。

【0186】

次に、ゲート絶縁膜 160 およびゲート電極層 170 上に絶縁層 180 および絶縁層 185 を形成する（図 17 (C) 参照）。

【0187】

以上の工程において、図 7 に示したトランジスタ 103 を作製することができる。 10

【0188】

次に、図 10 に示すトランジスタ 104 の作製方法について説明する。なお、トランジスタ 101 乃至トランジスタ 103 の作製方法と重複する工程の詳細な説明は省略する。

【0189】

まず、図 16 (B) に示す工程までトランジスタ 103 と同じ工程を行う。

【0190】

次に、第 1 の酸化物半導体層 131 および第 2 の酸化物半導体層 132 の積層上、ならびにソース電極層 140 およびドレイン電極層 150 上に第 3 の酸化物半導体層 133 となる第 3 の酸化物半導体膜 133a を形成する。さらに、第 3 の酸化物半導体膜 133a 上にゲート絶縁膜 160 および第 3 の導電膜 170a を形成する。 20

【0191】

次に、第 3 の導電膜 170a 上に第 4 のレジストマスク 157 を形成する（図 18 (A) 参照）。そして、当該レジストマスクを用いて、第 3 の導電膜 170a を選択的にエッティングし、ゲート電極層 170 を形成する。

【0192】

続いて、ゲート電極層 170 をマスクとしてゲート絶縁膜 160 を選択的にエッティングする。

【0193】

続いて、ゲート電極層 170 またはゲート絶縁膜 160 をマスクとして第 3 の酸化物半導体膜 133a をエッティングし、第 3 の酸化物半導体層 133 を形成する（図 18 (B) 参照）。 30

【0194】

上記、第 3 の導電膜 170a、ゲート絶縁膜 160、および第 3 の酸化物半導体膜 133a のエッティングは各層毎に行ってもよいし、連続で行ってもよい。また、エッティング方法はドライエッティング、ウエットエッティングのどちらを用いてもよく、各層毎に適切なエッティング方法を選択してもよい。

【0195】

次に、ソース電極層 140、ドレイン電極層 150、およびゲート電極層 170 上に絶縁層 180 および絶縁層 185 を形成する（図 18 (C) 参照）。

【0196】

以上の工程において、図 10 に示したトランジスタ 104 を作製することができる。 40

【0197】

なお、本実施の形態で説明した金属膜、半導体膜、無機絶縁膜など様々な膜は、代表的にはスパッタ法やプラズマ CVD 法により形成することができるが、他の方法、例えば、熱 CVD 法により形成してもよい。熱 CVD 法の例としては、MOCVD (Metal Organic Chemical Vapor Deposition) 法や ALD (Atomic Layer Deposition) 法などがある。

【0198】

熱 CVD 法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。 50

【0199】

また、熱CVD法では、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0200】

ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後に不活性ガス（アルゴン、或いは窒素など）などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の層を成膜し、後から導入される第2の原料ガスと反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

【0201】

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された金属膜、半導体膜、無機絶縁膜など様々な膜を形成することができ、例えば、In-Ga-ZnO_x (X > 0) 膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、およびジメチル亜鉛を用いることができる。なお、トリメチルインジウムの化学式は、In(CH₃)₃である。また、トリメチルガリウムの化学式は、Ga(CH₃)₃である。また、ジメチル亜鉛の化学式は、Zn(CH₃)₂である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（化学式Ga(C₂H₅)₃）を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛（化学式Zn(C₂H₅)₂）を用いることもできる。

【0202】

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシド溶液、代表的にはテトラキスジメチルアミドハフニウム（TDMAH））を気化させた原料ガスと、酸化剤としてオゾン(O₃)の2種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式はHf[N(CH₃)₂]₄である。また、他の材料液としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。

【0203】

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体（トリメチルアルミニウムTMAなど）を気化させた原料ガスと、酸化剤としてH₂Oの2種類のガスを用いる。なお、トリメチルアルミニウムの化学式はAl(CH₃)₃である。また、他の材料液としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス(2,2,6,6-テトラメチル-3,5-ヘプタンジオナート)などがある。

【0204】

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス(O₂、一酸化二窒素)のラジカルを供給して吸着物と反応させる。

【0205】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、WF₆ガスとB₂H₆ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、WF₆

10

20

30

40

50

ガスとH₂ガスを同時に導入してタンゲステン膜を形成する。なお、B₂H₆ガスに代えてSiH₄ガスを用いてもよい。

【0206】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えばIn-Ga-ZnO_x(X>0)膜を成膜する場合には、In(CH₃)₃ガスとO₃ガスを順次繰り返し導入してIn-O層を形成し、その後、Ga(CH₃)₃ガスとO₃ガスを同時に導入してGaO層を形成し、更にその後Zn(CH₃)₂とO₃ガスを同時に導入してZnO層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜてIn-Ga-O層やIn-Zn-O層、Ga-Zn-O層などの混合化合物層を形成しても良い。なお、O₃ガスに変えてAr等の不活性ガスでバーピングして得られたたH₂Oガスを用いても良いが、Hを含まないO₃ガスを用いる方が好ましい。また、In(CH₃)₃ガスにかえて、In(C₂H₅)₃ガスを用いても良い。また、Ga(CH₃)₃ガスにかえて、Ga(C₂H₅)₃ガスを用いても良い。また、Zn(CH₃)₂ガスを用いても良い。10

【0207】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。。

【0208】

(実施の形態4)

本実施の形態では、本発明の一態様であるトランジスタに使用することができる酸化物半導体膜について説明する。20

【0209】

なお、本明細書において、「平行」とは、二つの直線が-10°以上10°以下の角度で配置されている状態をいう。したがって、-5°以上5°以下の場合も含まれる。また、「垂直」とは、二つの直線が80°以上100°以下の角度で配置されている状態をいう。したがって、85°以上95°以下の場合も含まれる。

【0210】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。。

【0211】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。30

【0212】

まずは、CAAC-OS膜について説明する。

【0213】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0214】

CAAC-OS膜を透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって観察すると、明確な結晶部同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。40

【0215】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察(断面TEM観察)すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0216】

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察(平面TE50

M観察)すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0217】

図19(a)は、CAAC-OS膜の断面TEM像である。また、図19(b)は、図19(a)をさらに拡大した断面TEM像であり、理解を容易にするために原子配列を強調表示している。

【0218】

図19(c)は、図19(a)のA-O-A'間ににおいて、丸で囲んだ領域(直径約4nm)の局所的なフーリエ変換像である。図19(c)より、各領域においてc軸配向性が確認できる。また、A-O間とO-A'間とでは、c軸の向きが異なるため、異なるグレインであることが示唆される。また、A-O間では、c軸の角度が14.3°、16.6°、26.4°のように少しづつ連続的に変化していることがわかる。同様に、O-A'間では、c軸の角度が-18.3°、-17.6°、-15.9°と少しづつ連続的に変化していることがわかる。

【0219】

なお、CAAC-OS膜に対し、電子回折を行うと、配向性を示すスポット(輝点)が観測される。例えば、CAAC-OS膜の上面に対し、例えば1nm以上30nm以下の電子線を用いる電子回折(ナノビーム電子回折ともいう。)を行うと、スポットが観測される(図20(A)参照。)。

【0220】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0221】

なお、CAAC-OS膜に含まれるほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。したがって、CAAC-OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。ただし、CAAC-OS膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面TEM像において、 2500 nm^2 以上、 $5\mu\text{m}^2$ 以上または $1000\mu\text{m}^2$ 以上となる結晶領域が観察される場合がある。

【0222】

CAAC-OS膜に対し、X線回折(XRD:X-Ray Diffraction)装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2θ)が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0223】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の(110)面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、 2θ を 56° 近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

【0224】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。したがって、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

10

20

30

40

50

【0225】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。したがって、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶のc軸がC A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0226】

また、C A A C - O S 膜中において、c軸配向した結晶部の分布が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりもc軸配向した結晶部の割合が高くなることがある。また、不純物の添加されたC A A C - O S 膜は、不純物が添加された領域が変質し、部分的にc軸配向した結晶部の割合の異なる領域が形成されることもある。

10

【0227】

なお、InGaZnO₄の結晶を有するC A A C - O S 膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、C A A C - O S 膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

20

【0228】

C A A C - O S 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【0229】

また、C A A C - O S 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

30

【0230】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないと、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

40

【0231】

また、C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

次に、微結晶酸化物半導体膜について説明する。

【0232】

微結晶酸化物半導体膜は、TEMによる観察像では、明確に結晶部を確認することができ

50

ない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、1 nm以上100 nm以下、または1 nm以上10 nm以下の大きさであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶(nano crystal)を有する酸化物半導体膜を、nano-crystalline Oxide Semiconductor(nano-crystalline Oxide Semiconductor)膜と呼ぶ。また、nano-crystalline Oxide Semiconductor膜は、例えば、TEMによる観察像では、結晶粒界を明確に確認できない場合がある。

【0233】

nano-crystalline Oxide Semiconductor膜は、微小な領域(例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域)において原子配列に周期性を有する。また、nano-crystalline Oxide Semiconductor膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nano-crystalline Oxide Semiconductor膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nano-crystalline Oxide Semiconductor膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nano-crystalline Oxide Semiconductor膜に対し、結晶部よりも大きいプローブ径(例えば50 nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nano-crystalline Oxide Semiconductor膜に対し、結晶部の大きさと近いか結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nano-crystalline Oxide Semiconductor膜に対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nano-crystalline Oxide Semiconductor膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある(図20(B)参照。)。

【0234】

nano-crystalline Oxide Semiconductor膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nano-crystalline Oxide Semiconductor膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nano-crystalline Oxide Semiconductor膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nancrystalline Oxide Semiconductor膜は、CACC-Oxide Semiconductor膜と比べて欠陥準位密度が高くなる。

【0235】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CACC-Oxide Semiconductor膜のうち、二種以上を有する積層膜であってもよい。

【0236】

酸化物半導体膜が複数の構造を有する場合、ナノビーム電子回折を用いることで構造解析が可能となる場合がある。

【0237】

図20(C)に、電子銃室10と、電子銃室10の下の光学系12と、光学系12の下の試料室14と、試料室14の下の光学系16と、光学系16の下の観察室20と、観察室20に設置されたカメラ18と、観察室20の下のフィルム室22と、を有する透過電子回折測定装置を示す。カメラ18は、観察室20内部に向けて設置される。なお、フィルム室22を有さなくても構わない。

【0238】

また、図20(D)に、図20(C)で示した透過電子回折測定装置内部の構造を示す。透過電子回折測定装置内部では、電子銃室10に設置された電子銃から放出された電子が、光学系12を介して試料室14に配置された物質28に照射される。物質28を通過した電子は、光学系16を介して観察室20内部に設置された蛍光板32に入射する。蛍光板32では、入射した電子の強度に応じたパターンが現れることで透過電子回折パターンを測定することができる。

【0239】

カメラ18は、蛍光板32を向いて設置されており、蛍光板32に現れたパターンを撮影することが可能である。カメラ18のレンズの中央、および蛍光板32の中央を通る直線と、蛍光板32の上面と、の為す角度は、例えば、15°以上80°以下、30°以上75°以下、または45°以上70°以下とする。該角度が小さいほど、カメラ18で撮影

10

20

30

40

50

される透過電子回折パターンは歪みが大きくなる。ただし、あらかじめ該角度がわかっていないれば、得られた透過電子回折パターンの歪みを補正することも可能である。なお、カメラ18をフィルム室22に設置しても構わない場合がある。例えば、カメラ18をフィルム室22に、電子24の入射方向と対向するように設置してもよい。この場合、蛍光板32の裏面から歪みの少ない透過電子回折パターンを撮影することができる。

【0240】

試料室14には、試料である物質28を固定するためのホルダが設置されている。ホルダは、物質28を通過する電子を透過するような構造をしている。ホルダは、例えば、物質28をX軸、Y軸、Z軸などに移動させる機能を有していてもよい。ホルダの移動機能は、例えば、1nm以上10nm以下、5nm以上50nm以下、10nm以上100nm以下、50nm以上500nm以下、100nm以上1μm以下などの範囲で移動させる精度を有すればよい。これらの範囲は、物質28の構造によって最適な範囲を設定すればよい。

10

【0241】

次に、上述した透過電子回折測定装置を用いて、物質の透過電子回折パターンを測定する方法について説明する。

【0242】

例えば、図20(D)に示すように物質におけるナノビームである電子24の照射位置を変化させる(スキャンする)ことで、物質の構造が変化していく様子を確認することができる。このとき、物質28がCAAC-O_S膜であれば、図20(A)に示したような回折パターンが観測される。または、物質28がn_c-O_S膜であれば、図20(B)に示したような回折パターンが観測される。

20

【0243】

ところで、物質28がCAAC-O_S膜であったとしても、部分的にn_c-O_S膜などと同様の回折パターンが観測される場合がある。したがって、CAAC-O_S膜の良否は、一定の範囲におけるCAAC-O_S膜の回折パターンが観測される領域の割合(CAAC化率ともいう。)で表すことができる場合がある。例えば、良質なCAAC-O_S膜であれば、CAAC化率は、50%以上、好ましくは80%以上、さらに好ましくは90%以上、より好ましくは95%以上となる。なお、CAAC-O_S膜と異なる回折パターンが観測される領域の割合を非CAAC化率と表記する。

30

【0244】

一例として、成膜直後(as-sputteredと表記。)、または酸素を含む雰囲気における450℃加熱処理後のCAAC-O_S膜を有する各試料の上面に対し、スキャンしながら透過電子回折パターンを取得した。ここでは、5nm/秒の速度で60秒間スキャンしながら回折パターンを観測し、観測された回折パターンを0.5秒ごとに静止画に変換することで、CAAC化率を導出した。なお、電子線としては、プローブ径が1nmのナノビーム電子線を用いた。なお、同様の測定は6試料に対して行った。そしてCAAC化率の算出には、6試料における平均値を用いた。

【0245】

各試料におけるCAAC化率を図21(A)に示す。成膜直後のCAAC-O_S膜のCAAC化率は75.7%(非CAAC化率は24.3%)であった。また、450℃加熱処理後のCAAC-O_S膜のCAAC化率は85.3%(非CAAC化率は14.7%)であった。成膜直後と比べて、450℃加熱処理後のCAAC化率が高いことがわかる。即ち、高い温度(例えば400℃以上)における加熱処理によって、非CAAC化率が低くなる(CAAC化率が高くなる)ことがわかる。また、500℃未満の加熱処理においても高いCAAC化率を有するCAAC-O_S膜が得られることがわかる。

40

【0246】

ここで、CAAC-O_S膜と異なる回折パターンのほとんどはn_c-O_S膜と同様の回折パターンであった。また、測定領域において非晶質酸化物半導体膜は、確認することができなかった。したがって、加熱処理によって、n_c-O_S膜と同様の構造を有する領域が

50

、隣接する領域の構造の影響を受けて再配列し、C A A C化していることが示唆される。

【0247】

図21(B)および図21(C)は、成膜直後および450℃加熱処理後のC A A C-O S膜の平面TEM像である。図21(B)と図21(C)とを比較することにより、450℃加熱処理後のC A A C-O S膜は、膜質がより均質であることがわかる。即ち、高い温度における加熱処理によって、C A A C-O S膜の膜質が向上することがわかる。

【0248】

このような測定方法を用いれば、複数の構造を有する酸化物半導体膜の構造解析が可能となる場合がある。

【0249】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0250】

(実施の形態5)

本実施の形態では、本発明の一態様のトランジスタを利用した回路の一例について図面を参照して説明する。

【0251】

[断面構造]

図22(A)に本発明の一態様の半導体装置の断面図を示す。図22(A)に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ2200を有し、上部に第2の半導体材料を用いたトランジスタ2100を有している。図22(A)では、第2の半導体材料を用いたトランジスタ2100として、先の実施の形態で例示したトランジスタを適用した例を示している。なお、一点鎖線より左側がトランジスタのチャネル長方向の断面、右側がチャネル幅方向の断面である。

【0252】

第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが好ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料(シリコン(歪シリコン含む)、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体など)とし、第2の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料として単結晶シリコンなどを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い。

【0253】

トランジスタ2200は、nチャネル型のトランジスタまたはpチャネル型のトランジスタのいずれであってもよく、回路によって適切なトランジスタを用いればよい。また、酸化物半導体を用いた本発明の一態様のトランジスタを用いるほかは、用いる材料や構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0254】

図22(A)に示す構成では、トランジスタ2200の上部に、絶縁膜2201、絶縁膜2207を介してトランジスタ2100が設けられている。また、トランジスタ2200とトランジスタ2100の間には、複数の配線2202が設けられている。また、各種絶縁膜に埋め込まれた複数のプラグ2203により、上層と下層にそれぞれ設けられた配線や電極が電気的に接続されている。また、トランジスタ2100を覆う絶縁膜2204と、絶縁膜2204上に配線2205、2209と、トランジスタ2100のソース電極層およびドレイン電極層と同一の導電膜を加工して得られた配線2206、2210と、が設けられている。

【0255】

このように、2種類のトランジスタを積層することにより、回路の占有面積が低減され、より高密度に複数の回路を配置することができる。

【0256】

10

20

30

40

50

ここで、下層に設けられるトランジスタ 2200 にシリコン系半導体材料を用いた場合、トランジスタ 2200 の半導体膜の近傍に設けられる絶縁膜中の水素はシリコンのダングリングボンドを終端し、トランジスタ 2200 の信頼性を向上させる効果がある。一方、上層に設けられるトランジスタ 2100 に酸化物半導体を用いた場合、トランジスタ 2100 の半導体膜の近傍に設けられる絶縁膜中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなるため、トランジスタ 2100 の信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体材料を用いたトランジスタ 2200 の上層に酸化物半導体を用いたトランジスタ 2100 を積層して設ける場合、これらの間に水素の拡散を防止する機能を有する絶縁膜 2207 を設けることは特に効果的である。絶縁膜 2207 により、下層に水素を閉じ込めてることでトランジスタ 2200 の信頼性が向上することに加え、下層から上層に水素が拡散することが抑制されることでトランジスタ 2100 の信頼性も同時に向上させることができる。10

【 0257 】

絶縁膜 2207 としては、例えば酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア (YSZ) 等を用いることができる。

【 0258 】

また、酸化物半導体膜を含んで構成されるトランジスタ 2100 を覆うように、トランジスタ 2100 上に水素の拡散を防止する機能を有するブロック膜 2208 (トランジスタ 101 乃至トランジスタ 103 では絶縁層 180 に相当) を形成することが好ましい。20 ブロック膜 2208 としては、絶縁膜 2207 と同様の材料を用いることができ、特に酸化アルミニウムを適用することが好ましい。酸化アルミニウム膜は、水素、水分などの不純物および酸素の双方に対して膜を透過させない遮断 (ブロッキング) 効果が高い。したがって、トランジスタ 2100 を覆うブロック膜 2208 として酸化アルミニウム膜を用いることで、トランジスタ 2100 に含まれる酸化物半導体膜からの酸素の脱離を防止するとともに、酸化物半導体膜への水および水素の混入を防止することができる。

【 0259 】

なお、トランジスタ 2200 は、プレーナ型のトランジスタだけでなく、様々なタイプのトランジスタとすることができる。例えば、FIN (フィン) 型、TRI - GATE (トライゲート) 型などのトランジスタなどとすることができます。その場合の断面図の例を、30 図 22 (D) に示す。半導体基板 2211 の上に、絶縁膜 2212 が設けられている。半導体基板 2211 は、先端の細い凸部 (フィンともいう) を有する。なお、凸部の上には、絶縁膜が設けられていてもよい。その絶縁膜は、凸部を形成するときに、半導体基板 2211 がエッチングされないようにするためのマスクとして機能するものである。なお、凸部は、先端が細くなくてもよく、例えば、略直方体の凸部であってもよいし、先端が太い凸部であってもよい。半導体基板 2211 の凸部の上には、ゲート絶縁膜 2214 が設けられ、その上には、ゲート電極 2213 が設けられている。半導体基板 2211 には、ソース領域およびドレイン領域 2215 が形成されている。なお、ここでは、半導体基板 2211 が、凸部を有する例を示したが、本発明の一態様に係る半導体装置は、これに限定されない。例えば、SOI 基板を加工して、凸部を有する半導体領域を形成しても構わない。40

【 0260 】

[回路構成例]

上記構成において、トランジスタ 2100 やトランジスタ 2200 の電極の接続構成を異ならせることにより、様々な回路を構成することができる。以下では、本発明の一態様の半導体装置を用いることにより実現できる回路構成の例を説明する。

【 0261 】

[CMOS 回路]

図 22 (B) に示す回路図は、p チャネル型のトランジスタ 2200 と n チャネル型のトランジスタ 2100 を直列に接続し、且つそれぞれのゲートを接続した、いわゆる CMOS50

S回路の構成を示している。

【0262】

[アナログスイッチ]

また、図22(C)に示す回路図は、トランジスタ2100とトランジスタ2200のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるアナログスイッチとして機能させることができる。

【0263】

[記憶装置の例]

本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置(記憶装置)の一例を図23に示す。

10

【0264】

図23(A)に示す半導体装置は、第1の半導体材料を用いたトランジスタ3200と第2の半導体材料を用いたトランジスタ3300、および容量素子3400を有している。なお、トランジスタ3300としては、上記実施の形態で説明したトランジスタを用いることができる。

【0265】

図23(B)に図23(A)に示す半導体装置の断面図を示す。当該断面図の半導体装置では、トランジスタ3300にバックゲートを設けた構成を示しているが、バックゲートを設けない構成であってもよい。

20

【0266】

トランジスタ3300は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ3300は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0267】

図23(A)において、第1の配線3001はトランジスタ3200のソース電極と電気的に接続され、第2の配線3002はトランジスタ3200のドレイン電極と電気的に接続されている。また、第3の配線3003はトランジスタ3300のソース電極またはドレイン電極の一方と電気的に接続され、第4の配線3004はトランジスタ3300のゲート電極と電気的に接続されている。そして、トランジスタ3200のゲート電極は、トランジスタ3300のソース電極またはドレイン電極の他方、および容量素子3400の電極の一方と電気的に接続され、第5の配線3005は容量素子3400の電極の他方と電気的に接続されている。

30

【0268】

図23(A)に示す半導体装置では、トランジスタ3200のゲート電極の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0269】

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300がオン状態となる電位にして、トランジスタ3300をオン状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート電極、および容量素子3400に与えられる。すなわち、トランジスタ3200のゲートには、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300がオフ状態となる電位にして、トランジスタ3300をオフ状態とすることにより、トランジスタ3200のゲートに与えられた電荷が保持される(保持)。

40

【0270】

50

トランジスタ3300のオフ電流は極めて小さいため、トランジスタ3200のゲートの電荷は長時間にわたって保持される。

【0271】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位(定電位)を与えた状態で、第5の配線3005に適切な電位(読み出し電位)を与えると、トランジスタ3200のゲートに保持された電荷量に応じて、第2の配線3002は異なる電位をとる。一般に、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ3200のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ3200を「オン状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ3200のゲートに与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線3005の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ3200は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線3005の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ3200は「オフ状態」のままである。このため、第2の配線3002の電位を判別することで、保持されている情報を読み出すことができる。

【0272】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲートの状態にかかわらずトランジスタ3200が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線3005に与えればよい。または、ゲートの状態にかかわらずトランジスタ3200が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線3005に与えればよい。

【0273】

図23(C)に示す半導体装置は、トランジスタ3200を設けていない点で図23(A)と相違している。この場合も上記と同様の動作により情報の書き込みおよび保持動作が可能である。

【0274】

次に、情報の読み出しについて説明する。トランジスタ3300がオン状態となると、浮遊状態である第3の配線3003と容量素子3400とが導通し、第3の配線3003と容量素子3400の間で電荷が再分配される。その結果、第3の配線3003の電位が変化する。第3の配線3003の電位の変化量は、容量素子3400の第1の端子の電位(あるいは容量素子3400に蓄積された電荷)によって、異なる値をとる。

【0275】

例えば、容量素子3400の第1の端子の電位をV、容量素子3400の容量をC、第3の配線3003が有する容量成分をCB、電荷が再分配される前の第3の配線3003の電位をVB0とすると、電荷が再分配された後の第3の配線3003の電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。したがって、メモリセルの状態として、容量素子3400の第1の端子の電位がV1とV0($V1 > V0$)の2状態をとるとすると、電位V1を保持している場合の第3の配線3003の電位($= (CB \times VB0 + C \times V1) / (CB + C)$)は、電位V0を保持している場合の第3の配線3003の電位($= (CB \times VB0 + C \times V0) / (CB + C)$)よりも高くなることがわかる。

【0276】

そして、第3の配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

【0277】

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体材料が適用された

10

20

30

40

50

トランジスタを用い、トランジスタ 3300 として第 2 の半導体材料が適用されたトランジスタを駆動回路上に積層して設ける構成とすればよい。

【0278】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0279】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限ではなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

10

【0280】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくとも、発明の一態様が明確であると言える。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先が複数のケース考えられる場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

20

【0281】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であると言える。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくとも、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくとも、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

30

【0282】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数または複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、N 個（N は整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、M 個（M は整数で、M < N）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の例としては、

40

50

N個（Nは整数）の層を有して構成される断面図から、M個（Mは整数で、M < N）の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、N個（Nは整数）の要素を有して構成されるフローチャートから、M個（Mは整数で、M < N）の要素を抜き出して、発明の一態様を構成することは可能である。

【0283】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0284】

（実施の形態6）

本実施の形態では、先の実施の形態で説明したトランジスタ、または記憶装置を含むRFタグについて、図24を参照して説明する。

10

【0285】

本実施の形態におけるRFタグは、内部に記憶回路を有し、記憶回路に必要な情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、RFタグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには極めて高い信頼性が要求される。

【0286】

RFタグの構成について図24を用いて説明する。図24は、RFタグの構成例を示すブロック図である。

20

【0287】

図24に示すようにRFタグ800は、通信器801（質問器、リーダ／ライタなどともいう）に接続されたアンテナ802から送信される無線信号803を受信するアンテナ804を有する。またRFタグ800は、整流回路805、定電圧回路806、復調回路807、変調回路808、論理回路809、記憶回路810、ROM811を有している。なお、復調回路807に含まれる整流作用を示すトランジスタに逆方向電流を十分に抑制することが可能な材料、例えば、酸化物半導体、が用いられた構成としてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別される。本実施の形態に示すRFタグ800は、そのいずれの方式に用いることも可能である。

30

【0288】

次に各回路の構成について説明する。アンテナ804は、通信器801に接続されたアンテナ802との間で無線信号803の送受信を行うためのものである。また、整流回路805は、アンテナ804で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路805の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないよう制御するための回路である。

40

【0289】

定電圧回路806は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路806は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路809のリセット信号を生成するための回路である。

【0290】

復調回路807は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路808は、アンテナ804より出力するデータに応

50

じて変調を行うための回路である。

【0291】

論理回路809は復調信号を解析し、処理を行うための回路である。記憶回路810は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ROM811は、固有番号(ID)などを格納し、処理に応じて出力をを行うための回路である。

【0292】

なお、上述の各回路は、必要に応じて、適宜、取捨することができる。

【0293】

ここで、先の実施の形態で説明した記憶回路を、記憶回路810に用いることができる。
本発明の一態様の記憶回路は、電源が遮断された状態であっても情報を保持できるため、RFタグに好適に用いることができる。さらに本発明の一態様の記憶回路は、データの書き込みに必要な電力(電圧)が従来の不揮発性メモリに比べて著しく小さいため、データの読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

10

【0294】

また、本発明の一態様の記憶回路は、不揮発性のメモリとして用いることが可能であるため、ROM811に適用することもできる。その場合には、生産者がROM811にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製したRFタグすべてについて固有番号を付与するのではなく、出荷する良品にのみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。

20

【0295】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0296】

(実施の形態7)

本実施の形態では、先の実施の形態で説明した記憶装置を含むCPUについて説明する。

30

【0297】

図25は、先の実施の形態で説明したトランジスタを少なくとも一部に用いたCPUの一例の構成を示すブロック図である。

【0298】

図25に示すCPUは、基板1190上に、ALU1191(ALU: Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198(Bus I/F)、書き換え可能なROM1199、およびROMインターフェース1189(ROM I/F)を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてよい。もちろん、図25に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図25に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができます。

40

【0299】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタ

50

ラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195に入力される。

【0300】

ALUコントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195は、デコードされた命令に基づき、各種制御を行う。具体的に ALUコントローラ 1192 は、ALU1191 の動作を制御するための信号を生成する。また、インタラプトコントローラ 1194 は、CPU のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1197 は、レジスタ 1196 のアドレスを生成し、CPU の状態に応じてレジスタ 1196 の読み出しや書き込みを行う。

10

【0301】

また、タイミングコントローラ 1195 は、ALU1191、ALUコントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、およびレジスタコントローラ 1197 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1195 は、基準クロック信号 CLK1 を元に、内部クロック信号 CLK2 を生成する内部クロック生成部を備えており、内部クロック信号 CLK2 を上記各種回路に供給する。

【0302】

図 25 に示す CPU では、レジスタ 1196 に、メモリセルが設けられている。レジスタ 1196 のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

20

【0303】

図 25 に示す CPU において、レジスタコントローラ 1197 は、ALU1191 からの指示に従い、レジスタ 1196 における保持動作の選択を行う。すなわち、レジスタ 1196 が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ 1196 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内のメモリセルへの電源電圧の供給を停止することができる。

30

【0304】

図 26 は、レジスタ 1196 として用いることのできる記憶素子の回路図の一例である。記憶素子 1200 は、電源遮断で記憶データが揮発する回路 1201 と、電源遮断で記憶データが揮発しない回路 1202 と、スイッチ 1203 と、スイッチ 1204 と、論理素子 1206 と、容量素子 1207 と、選択機能を有する回路 1220 と、を有する。回路 1202 は、容量素子 1208 と、トランジスタ 1209 と、トランジスタ 1210 と、を有する。なお、記憶素子 1200 は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。

【0305】

ここで、回路 1202 には、先の実施の形態で説明した記憶装置を用いることができる。記憶素子 1200 への電源電圧の供給が停止した際、回路 1202 のトランジスタ 1209 のゲートには接地電位 (0V)、またはトランジスタ 1209 がオフする電位が入力され続ける構成とする。例えば、トランジスタ 1209 の第 1 ゲートが抵抗等の負荷を介して接地される構成とする。

40

【0306】

スイッチ 1203 は、一導電型（例えば、n チャネル型）のトランジスタ 1213 を用いて構成され、スイッチ 1204 は、一導電型とは逆の導電型（例えば、p チャネル型）のトランジスタ 1214 を用いて構成した例を示す。ここで、スイッチ 1203 の第 1 の端子はトランジスタ 1213 のソースとドレインの一方に対応し、スイッチ 1203 の第 2 の端子はトランジスタ 1213 のソースとドレインの他方に対応し、スイッチ 1203 は

50

トランジスタ1213のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ1213のオン状態またはオフ状態）が選択される。スイッチ1204の第1の端子はトランジスタ1214のソースとドレインの一方に対応し、スイッチ1204の第2の端子はトランジスタ1214のソースとドレインの他方に対応し、スイッチ1204はトランジスタ1214のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ1214のオン状態またはオフ状態）が選択される。

【0307】

トランジスタ1209のソースとドレインの一方は、容量素子1208の一対の電極のうちの一方、およびトランジスタ1210のゲートと電気的に接続される。ここで、接続部分をノードM2とする。トランジスタ1210のソースとドレインの一方は、低電源電位を供給することのできる配線（例えばGND線）に電気的に接続され、他方は、スイッチ1203の第1の端子（トランジスタ1213のソースとドレインの一方）と電気的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）はスイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と電気的に接続される。スイッチ1204の第2の端子（トランジスタ1214のソースとドレインの他方）は電源電位VDDを供給することのできる配線と電気的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）と、スイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と、論理素子1206の入力端子と、容量素子1207の一対の電極のうちの一方と、は電気的に接続される。ここで、接続部分をノードM1とする。容量素子1207の一対の電極のうちの他方は、一定の電位が入力される構成とすることができます。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができます。容量素子1207の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電気的に接続される。容量素子1208の一対の電極のうちの他方は、一定の電位が入力される構成とすることができます。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができます。容量素子1208の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電気的に接続される。

【0308】

なお、容量素子1207および容量素子1208は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0309】

トランジスタ1209の第1ゲート（第1のゲート電極）には、制御信号WEが入力される。スイッチ1203およびスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

【0310】

なお、図26におけるトランジスタ1209では第2ゲート（第2のゲート電極：バックゲート）を有する構成を図示している。第1ゲートには制御信号WEを入力し、第2ゲートには制御信号WE2を入力することができる。制御信号WE2は、一定の電位の信号とすればよい。当該一定の電位には、例えば、接地電位GNDやトランジスタ1209のソース電位よりも小さい電位などが選ばれる。このとき、制御信号WE2は、トランジスタ1209のしきい値電圧を制御するための電位信号であり、トランジスタ1209のゲート電圧VGが0V時の電流をより低減することができる。また、制御信号WE2は、制御信号WEと同じ電位信号であってもよい。なお、トランジスタ1209としては、第2ゲートを有さないトランジスタを用いることもできる。

【0311】

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデータ

10

20

30

40

50

に対応する信号が入力される。図26では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

【0312】

なお、図26では、スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号は、論理素子1206および回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号を当該ノードに入力することができる。10

【0313】

また、図26において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板1190にチャネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子1200に用いられるトランジスタ全てを、チャネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャネルが形成されるトランジスタとすることもできる。20

【0314】

図25における回路1201には、例えばフリップフロップ回路を用いることができる。また、論理素子1206としては、例えばインバータやクロックドインバータ等を用いることができる。

【0315】

本発明の一態様における半導体装置では、記憶素子1200に電源電圧が供給されない間は、回路1201に記憶されていたデータを、回路1202に設けられた容量素子1208によって保持することができる。30

【0316】

また、酸化物半導体層にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ1209として用いることによって、記憶素子1200に電源電圧が供給されない間も容量素子1208に保持された信号は長期間にわたり保たれる。こうして、記憶素子1200は電源電圧の供給が停止した間も記憶内容(データ)を保持することが可能である。40

【0317】

また、スイッチ1203およびスイッチ1204を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路1201が元のデータを保持しなおすまでの時間を短くすることができる。

【0318】

また、回路1202において、容量素子1208によって保持された信号はトランジスタ1210のゲートに入力される。そのため、記憶素子1200への電源電圧の供給が再開された後、容量素子1208によって保持された信号を、トランジスタ1210の状態(オン状態、またはオフ状態)に変換して、回路1202から読み出すことができる。それ故、容量素子1208に保持された信号に対応する電位が多少変動していても、元の信号50

を正確に読み出すことが可能である。

【0319】

このような記憶素子1200を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うため、消費電力を抑えることができる。

【0320】

本実施の形態では、記憶素子1200をCPUに用いる例として説明したが、記憶素子1200は、DSP(Digital Signal Processor)、カスタムLSI、PLD(Programmable Logic Device)等のLSI、RF-ID(Radio Frequency Identification)にも応用可能である。

【0321】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0322】

(実施の形態8)

本実施の形態では、本発明の一態様のトランジスタを利用した表示装置の構成例について説明する。

【0323】

[構成例]

図27(A)は、本発明の一態様の表示装置の上面図であり、図27(B)は、本発明の一態様の表示装置の画素に液晶素子を適用する場合に用いることができる画素回路を説明するための回路図である。また、図27(C)は、本発明の一態様の表示装置の画素に有機EL素子を適用する場合に用いることができる画素回路を説明するための回路図である。

【0324】

画素部に配置するトランジスタは、上記実施の形態に従って形成することができる。また、当該トランジスタはnチャネル型とすることが容易なので、駆動回路のうち、nチャネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成する。このように、画素部や駆動回路に上記実施の形態に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

【0325】

アクティブマトリクス型表示装置の上面図の一例を図27(A)に示す。表示装置の基板700上には、画素部701、第1の走査線駆動回路702、第2の走査線駆動回路703、信号線駆動回路704を有する。画素部701には、複数の信号線が信号線駆動回路704から延伸して配置され、複数の走査線が第1の走査線駆動回路702、および第2の走査線駆動回路703から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板700はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路(コントローラ、制御ICともいう)に接続されている。

【0326】

図27(A)では、第1の走査線駆動回路702、第2の走査線駆動回路703、信号線駆動回路704は、画素部701と同じ基板700上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板700外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板700上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、または歩留まりの向上を図ることができる。

10

20

30

40

50

【0327】**[液晶表示装置]**

また、画素の回路構成の一例を図27(B)に示す。ここでは、一例としてVA型液晶表示装置の画素に適用することができる画素回路を示す。

【0328】

この画素回路は、一つの画素に複数の画素電極層を有する構成に適用できる。それぞれの画素電極層は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極層に印加する信号を、独立して制御できる。

【0329】

トランジスタ716に接続する走査線712と、トランジスタ717に接続する走査線713には、異なるゲート信号を与えることができるよう分離されている。一方、信号線714は、トランジスタ716とトランジスタ717で共通に用いられている。トランジスタ716とトランジスタ717は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い液晶表示装置を提供することができる。

10

【0330】

トランジスタ716と電気的に接続する第1の画素電極層と、トランジスタ717と電気的に接続する第2の画素電極層の形状について説明する。第1の画素電極層と第2の画素電極層の形状は、スリットによって分離されている。第1の画素電極層はV字型に広がる形状を有し、第2の画素電極層は第1の画素電極層の外側を囲むように形成される。

20

【0331】

トランジスタ716のゲート電極は走査線712と接続され、トランジスタ717のゲート電極は走査線713と接続されている。走査線712と走査線713に異なるゲート信号を与えてトランジスタ716とトランジスタ717の動作タイミングを異ならせ、液晶の配向を制御できる。

【0332】

また、容量配線710と、誘電体として機能するゲート絶縁膜と、第1の画素電極層または第2の画素電極層と電気的に接続する容量電極とで保持容量を形成してもよい。

【0333】

マルチドメイン構造は、一画素に第1の液晶素子718と第2の液晶素子719を備える。第1の液晶素子718は第1の画素電極層と対向電極層とその間の液晶層とで構成され、第2の液晶素子719は第2の画素電極層と対向電極層とその間の液晶層とで構成される。

30

【0334】

なお、図27(B)に示す画素回路は、これに限定されない。例えば、図27(B)に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、または論理回路などを追加してもよい。

【0335】**[有機EL表示装置]**

画素の回路構成の他の一例を図27(C)に示す。ここでは、有機EL素子を用いた表示装置の画素構造を示す。

40

【0336】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子および正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0337】

図27(C)は、適用可能な画素回路の一例を示す図である。ここではnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。なお、本発明の一態様の金属酸化物膜は

50

、nチャネル型のトランジスタのチャネル形成領域に用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【0338】

適用可能な画素回路の構成およびデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【0339】

画素720は、スイッチング用トランジスタ721、駆動用トランジスタ722、発光素子724および容量素子723を有している。スイッチング用トランジスタ721は、ゲート電極層が走査線726に接続され、第1電極（ソース電極層およびドレイン電極層の一方）が信号線725に接続され、第2電極（ソース電極層およびドレイン電極層の他方）が駆動用トランジスタ722のゲート電極層に接続されている。駆動用トランジスタ722は、ゲート電極層が容量素子723を介して電源線727に接続され、第1電極が電源線727に接続され、第2電極が発光素子724の第1電極（画素電極）に接続されている。発光素子724の第2電極は共通電極728に相当する。共通電極728は、同一基板上に形成される共通電位線と電気的に接続される。

【0340】

スイッチング用トランジスタ721および駆動用トランジスタ722には他の実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い有機EL表示装置を提供することができる。

【0341】

発光素子724の第2電極（共通電極728）の電位は低電源電位に設定する。なお、低電源電位とは、電源線727に供給される高電源電位より低い電位であり、例えばGND、0Vなどを低電源電位として設定することができる。発光素子724の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子724に印加することにより、発光素子724に電流を流して発光させる。なお、発光素子724の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

【0342】

なお、容量素子723は駆動用トランジスタ722のゲート容量を代用することにより省略できる。駆動用トランジスタ722のゲート容量については、チャネル形成領域とゲート電極層との間で容量が形成されていてもよい。

【0343】

次に、駆動用トランジスタ722に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ722が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を、駆動用トランジスタ722に入力する。なお、駆動用トランジスタ722を線形領域で動作させるために、電源線727の電圧よりも高い電圧を駆動用トランジスタ722のゲート電極層にかける。また、信号線725には、電源線電圧に駆動用トランジスタ722の閾値電圧 V_{th} を加えた値以上の電圧をかける。

【0344】

アナログ階調駆動を行う場合、駆動用トランジスタ722のゲート電極層に発光素子724の順方向電圧に駆動用トランジスタ722の閾値電圧 V_{th} を加えた値以上の電圧をかける。なお、駆動用トランジスタ722が飽和領域で動作するようにビデオ信号を入力し、発光素子724に電流を流す。また、駆動用トランジスタ722を飽和領域で動作させるために、電源線727の電位を、駆動用トランジスタ722のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子724にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0345】

なお、画素回路の構成は、図27(C)に示す画素構成に限定されない。例えば、図27(C)に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタまたは論理回路などを追加してもよい。

10

20

30

40

50

【0346】

図27で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極（第1の電極）、高電位側にドレイン電極（第2の電極）がそれぞれ電気的に接続される構成とする。さらに、制御回路等により第1のゲート電極の電位を制御し、第2のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

【0347】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、および発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することができる。表示素子、表示装置、発光素子または発光装置は、例えば、E L（エレクトロルミネッセンス）素子（有機物および無機物を含むE L素子、有機E L素子、無機E L素子）、L E D（白色L E D、赤色L E D、緑色L E D、青色L E Dなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（G L V）、プラズマディスプレイ（P D P）、M E M S（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子、デジタルマイクロミラーデバイス（D M D）、D M S（デジタル・マイクロ・シャッター）、M I R A S O L（登録商標）、I M O D（インターフェアレンス・モジュレーション）素子、シャッター方式のM E M S表示素子、光干渉方式のM E M S表示素子、エレクトロウェッティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらの他にも、電気的または磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していても良い。E L素子を用いた表示装置の一例としては、E Lディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッショニングディスプレイ（F E D）またはS E D方式平面型ディスプレイ（S E D：Surface-conduction Electron-emitter Display）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インク、電子粉流体、または電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、S R A Mなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

【0348】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0349】

(実施の形態9)

本実施の形態では、本発明の一態様の半導体装置を適用した表示モジュールについて、図28を用いて説明を行う。

【0350】

図28に示す表示モジュール8000は、上部カバー8001と下部カバー8002との間に、F P C 8003に接続されたタッチパネル8004、F P C 8005に接続された表示パネル8006、バックライトユニット8007、フレーム8009、プリント基板8010、バッテリー8011を有する。なお、バックライトユニット8007、バッテリー8011、タッチパネル8004などは、設けられない場合もある。

【0351】

本発明の一態様の半導体装置は、例えば、表示パネル8006に用いることができる。

【0352】

10

20

30

40

50

上部カバー 8001 および下部カバー 8002 は、タッチパネル 8004 および表示パネル 8006 のサイズに合わせて、形状や寸法を適宜変更することができる。

【0353】

タッチパネル 8004 は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル 8006 に重畳して用いることができる。また、表示パネル 8006 の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。または、表示パネル 8006 の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。または、表示パネル 8006 の各画素内にタッチセンサ用電極を設け、静電容量方式のタッチパネルとすることも可能である。

【0354】

バックライトユニット 8007 は、光源 8008 を有する。光源 8008 をバックライトユニット 8007 の端部に設け、光拡散板を用いる構成としてもよい。

【0355】

フレーム 8009 は、表示パネル 8006 の保護機能の他、プリント基板 8010 の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム 8009 は、放熱板としての機能を有していてもよい。

【0356】

プリント基板 8010 は、電源回路、ビデオ信号およびクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー 8011 であってもよい。なお、商用電源を用いる場合には、バッテリー 8011 を省略することができる。

【0357】

また、表示モジュール 8000 には、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

【0358】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0359】

(実施の形態 10)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には D V D : D i g i t a l V e r s a t i l e D i s c 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（A T M）、自動販売機などが挙げられる。これら電子機器の具体例を図 29 に示す。

【0360】

図 29 (A) は携帯型ゲーム機であり、筐体 901、筐体 902、表示部 903、表示部 904、マイクロフォン 905、スピーカー 906、操作キー 907、スタイラス 908 等を有する。なお、図 29 (A) に示した携帯型ゲーム機は、2 つの表示部 903 と表示部 904 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0361】

図 29 (B) は携帯データ端末であり、第 1 筐体 911、第 2 筐体 912、第 1 表示部 913、第 2 表示部 914、接続部 915、操作キー 916 等を有する。第 1 表示部 913 は第 1 筐体 911 に設けられており、第 2 表示部 914 は第 2 筐体 912 に設けられている。そして、第 1 筐体 911 と第 2 筐体 912 とは、接続部 915 により接続されており、第 1 筐体 911 と第 2 筐体 912 の間の角度は、接続部 915 により変更が可能である。

10

20

30

40

50

。第1表示部913における映像を、接続部915における第1筐体911と第2筐体912との間の角度に従って、切り替える構成としても良い。また、第1表示部913および第2表示部914の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

【0362】

図29(C)はノート型パーソナルコンピュータであり、筐体921、表示部922、キーボード923、ポインティングデバイス924等を有する。

10

【0363】

図29(D)は腕時計型の情報端末であり、筐体931、表示部932、リストバンド933等を有する。表示部932はタッチパネルとなっていてもよい。

【0364】

図29(E)はビデオカメラであり、第1筐体941、第2筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944およびレンズ945は第1筐体941に設けられており、表示部943は第2筐体942に設けられている。そして、第1筐体941と第2筐体942とは、接続部946により接続されており、第1筐体941と第2筐体942の間の角度は、接続部946により変更ができる。表示部943における映像を、接続部946における第1筐体941と第2筐体942との間の角度に従って切り替える構成としても良い。

20

【0365】

図29(F)は普通自動車であり、車体951、車輪952、ダッシュボード953、ライト954等を有する。

【0366】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0367】

(実施の形態11)

本実施の形態では、本発明の一態様に係るRFタグの使用例について図30を用いながら説明する。RFタグの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類(運転免許証や住民票等、図30(A)、図30(B)参照)、乗り物類(自転車等、図30(C)参照)、包装用容器類(包装紙やボトル等、図30(D)参照)、記録媒体(DVDやビデオテープ等)、身の回り品(鞄や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器(液晶表示装置、EL表示装置、テレビジョン装置、または携帯電話)等の物品、若しくは各物品に取り付ける荷札(図30(E)、図30(F)参照)等に設けて使用することができる。

30

【0368】

本発明の一態様に係るRFタグ4000は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るRFタグ4000は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係るRFタグ4000を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係るRFタグを取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るRFタグを取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

40

50

【0369】

以上のように、本発明の一態様に係わるRFタグを本実施の形態に挙げた各用途に用いることにより、情報の書き込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くとることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。

【0370】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【符号の説明】

【0371】

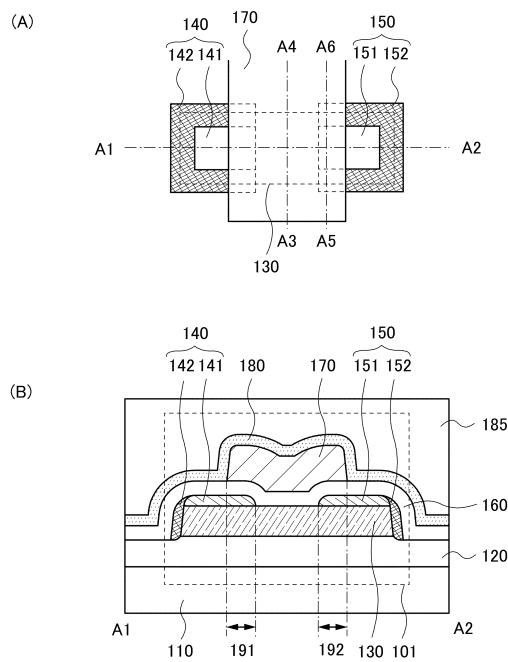
1 0	電子銃室	10
1 2	光学系	
1 4	試料室	
1 6	光学系	
1 8	カメラ	
2 0	観察室	
2 2	フィルム室	
2 4	電子	
2 8	物質	20
3 2	蛍光板	
1 0 1	トランジスタ	
1 0 2	トランジスタ	
1 0 3	トランジスタ	
1 0 4	トランジスタ	
1 1 0	基板	
1 2 0	絶縁層	
1 3 0	酸化物半導体層	
1 3 1	第1の酸化物半導体層	
1 3 1 a	第1の酸化物半導体膜	30
1 3 2	第2の酸化物半導体層	
1 3 2 a	第2の酸化物半導体膜	
1 3 3	第3の酸化物半導体層	
1 3 3 a	第3の酸化物半導体膜	
1 4 0	ソース電極層	
1 4 1	第1の導電層	
1 4 2	第2の導電層	
1 4 3	低抵抗領域	
1 4 5	導電層	
1 4 6	導電層	40
1 4 6 a	第2の導電膜	
1 5 0	ドレイン電極層	
1 5 1	第1の導電層	
1 5 2	第2の導電層	
1 5 3	低抵抗領域	
1 5 5	第2のレジストマスク	
1 5 6	第3のレジストマスク	
1 5 7	第4のレジストマスク	
1 6 0	ゲート絶縁膜	
1 7 0	ゲート電極層	50

1 7 0 a	第 3 の導電膜	
1 7 2	導電膜	
1 8 0	絶縁層	
1 8 5	絶縁層	
1 9 1	領域	
1 9 2	領域	
7 0 0	基板	
7 0 1	画素部	
7 0 2	走査線駆動回路	10
7 0 3	走査線駆動回路	
7 0 4	信号線駆動回路	
7 1 0	容量配線	
7 1 2	走査線	
7 1 3	走査線	
7 1 4	信号線	
7 1 6	トランジスタ	
7 1 7	トランジスタ	
7 1 8	液晶素子	
7 1 9	液晶素子	
7 2 0	画素	20
7 2 1	スイッチング用トランジスタ	
7 2 2	駆動用トランジスタ	
7 2 3	容量素子	
7 2 4	発光素子	
7 2 5	信号線	
7 2 6	走査線	
7 2 7	電源線	
7 2 8	共通電極	
8 0 0	R F タグ	
8 0 1	通信器	30
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	
8 0 6	定電圧回路	
8 0 7	復調回路	
8 0 8	変調回路	
8 0 9	論理回路	
8 1 0	記憶回路	
8 1 1	R O M	40
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイルス	
9 1 1	筐体	
9 1 2	筐体	50

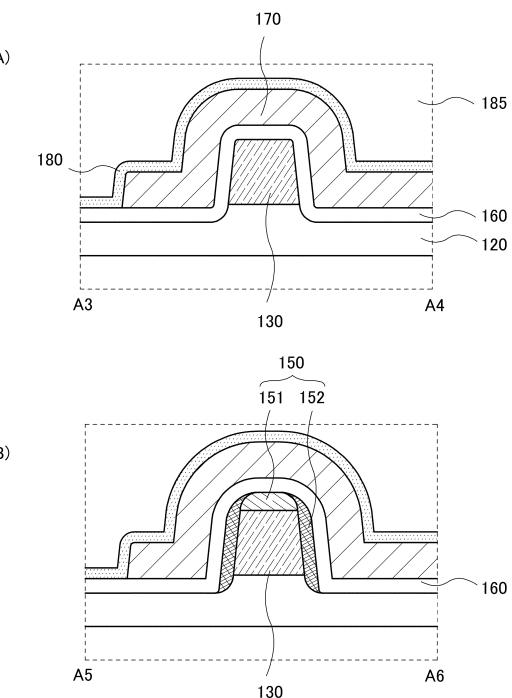
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キー ボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	10
9 3 2	表示部	
9 3 3	リストバンド	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	20
9 5 4	ライト	
1 1 8 9	R O M インターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L U コントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタープトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	30
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	40
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	
2 2 0 1	絶縁膜	
2 2 0 2	配線	
2 2 0 3	プラグ	50

2 2 0 4	絶縁膜	
2 2 0 5	配線	
2 2 0 6	配線	
2 2 0 7	絶縁膜	
2 2 0 8	プロック膜	
2 2 1 0	配線	
2 2 1 1	半導体基板	
2 2 1 2	絶縁膜	
2 2 1 3	ゲート電極	
2 2 1 4	ゲート絶縁膜	10
2 2 1 5	ソース領域及びドレイン領域	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	
3 2 0 0	トランジスタ	
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	
4 0 0 0	R F タグ	20
8 0 0 0	表示モジュール	
8 0 0 1	上部カバー	
8 0 0 2	下部カバー	
8 0 0 3	F P C	
8 0 0 4	タッチパネル	
8 0 0 5	F P C	
8 0 0 6	表示パネル	
8 0 0 7	バックライトユニット	
8 0 0 8	光源	
8 0 0 9	フレーム	30
8 0 1 0	プリント基板	
8 0 1 1	バッテリー	

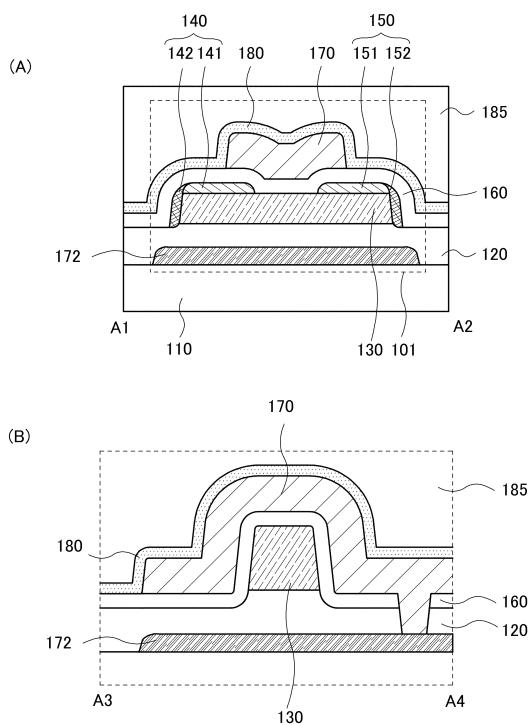
【図1】



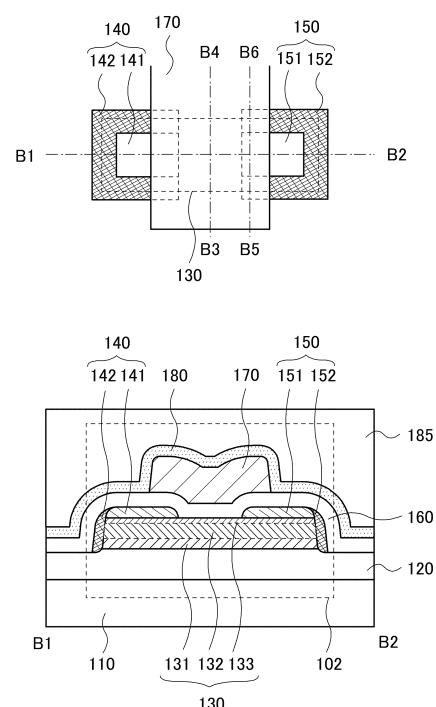
【図2】



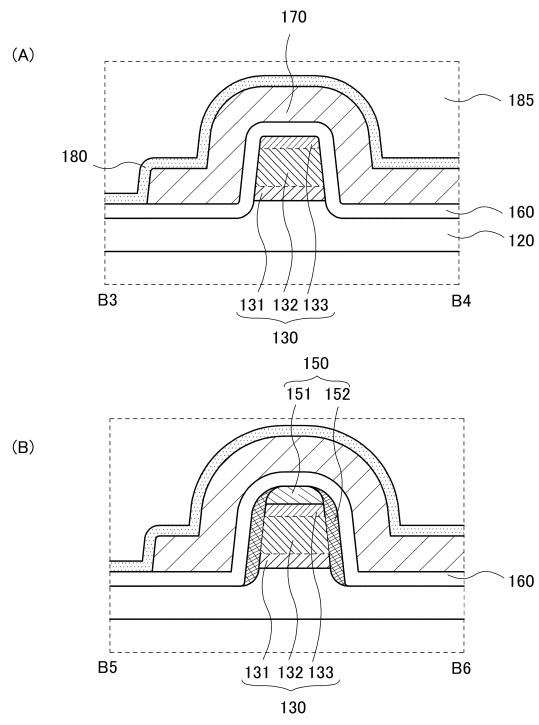
【図3】



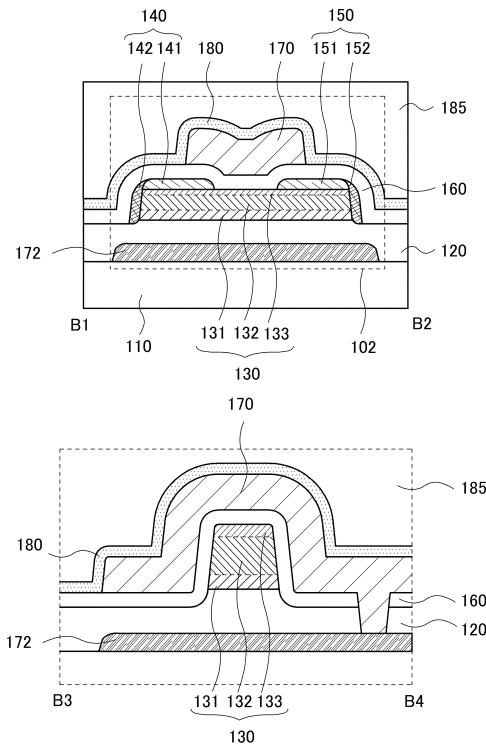
【図4】



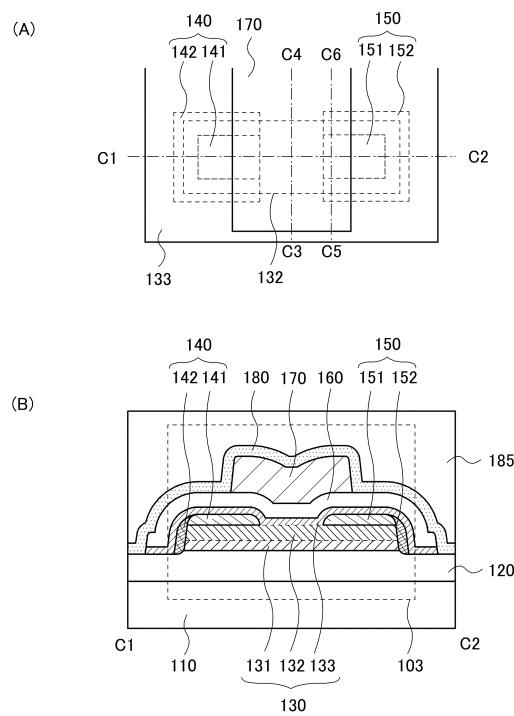
【図5】



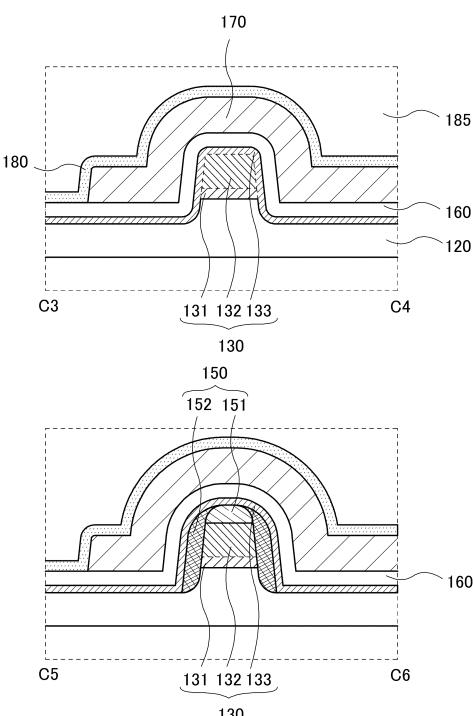
【図6】



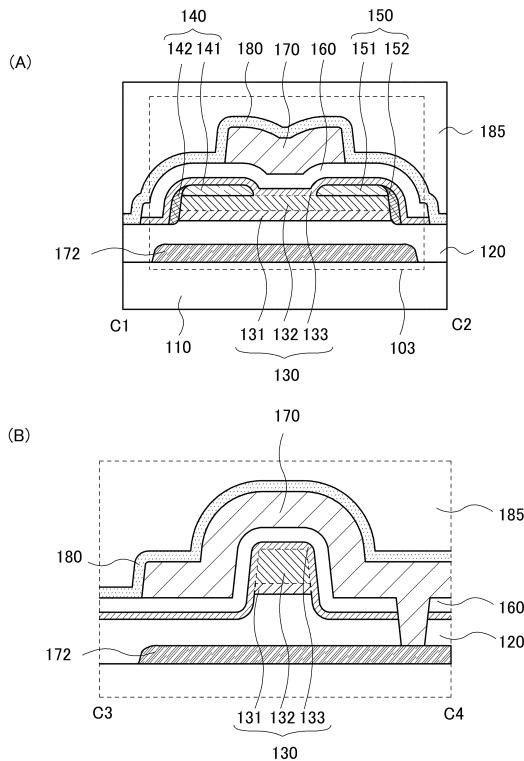
【図7】



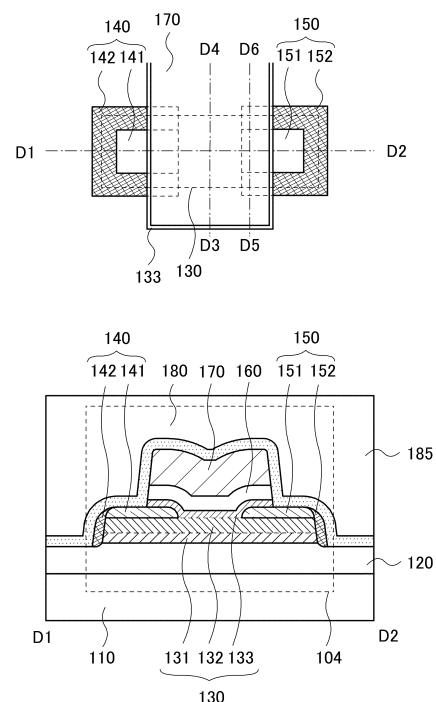
【図8】



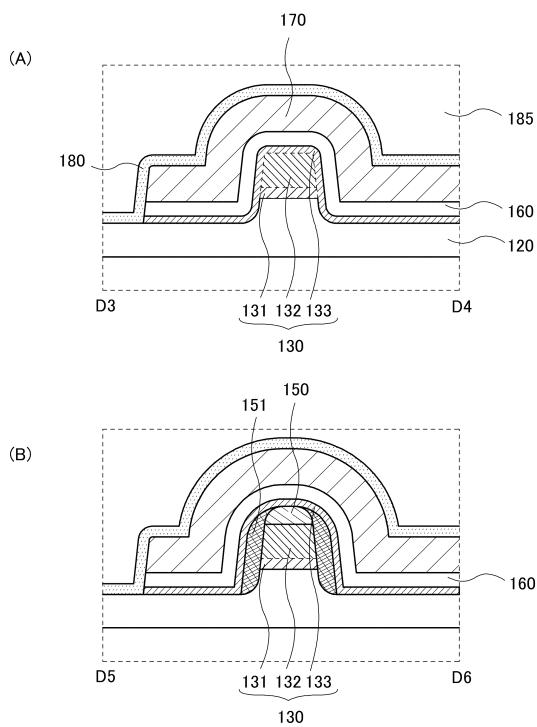
【図9】



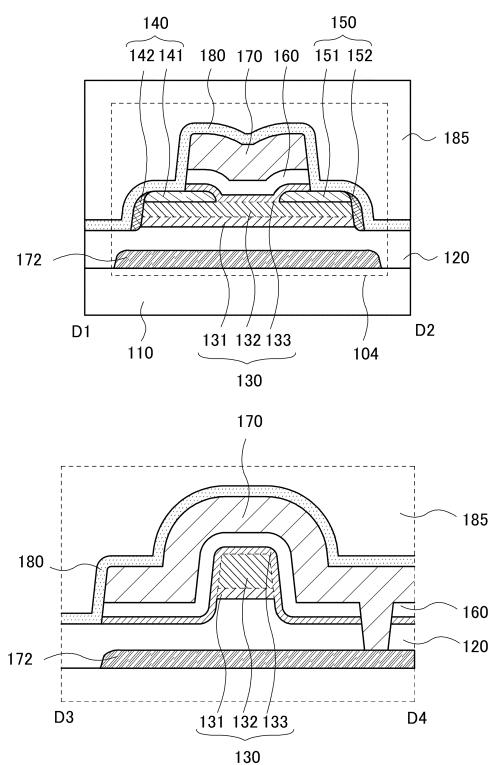
【図10】



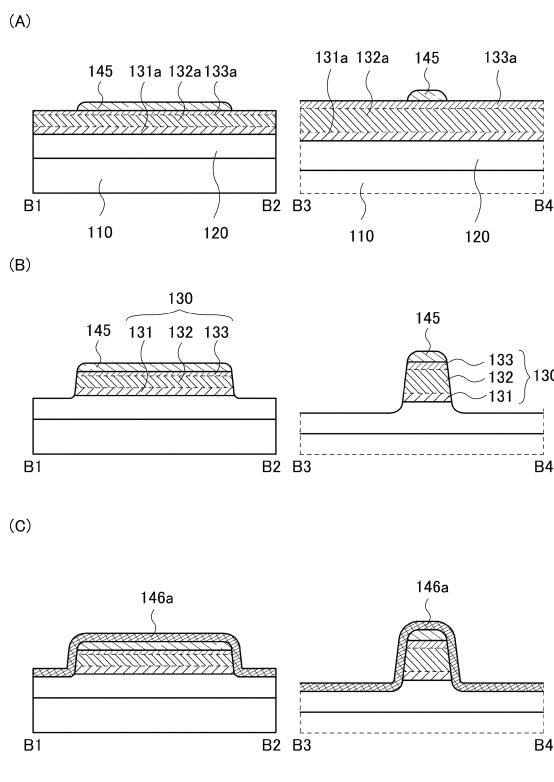
【図11】



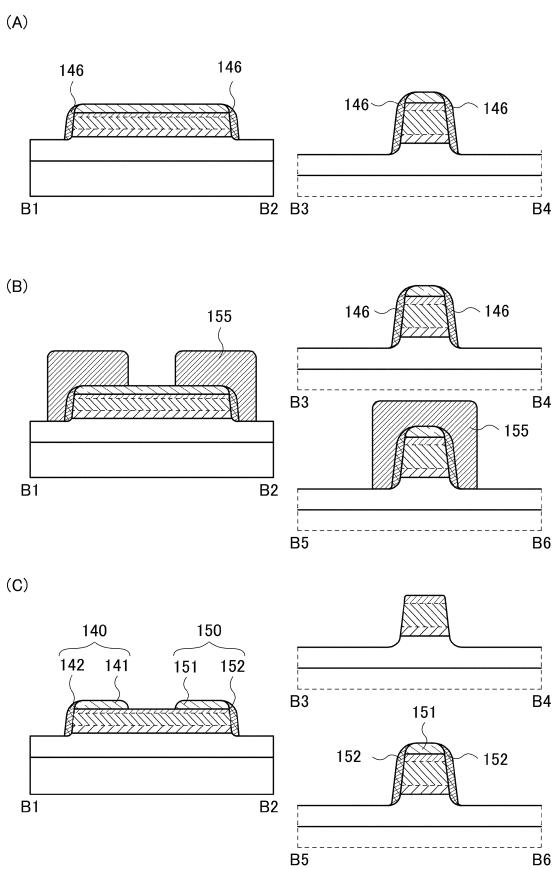
【図12】



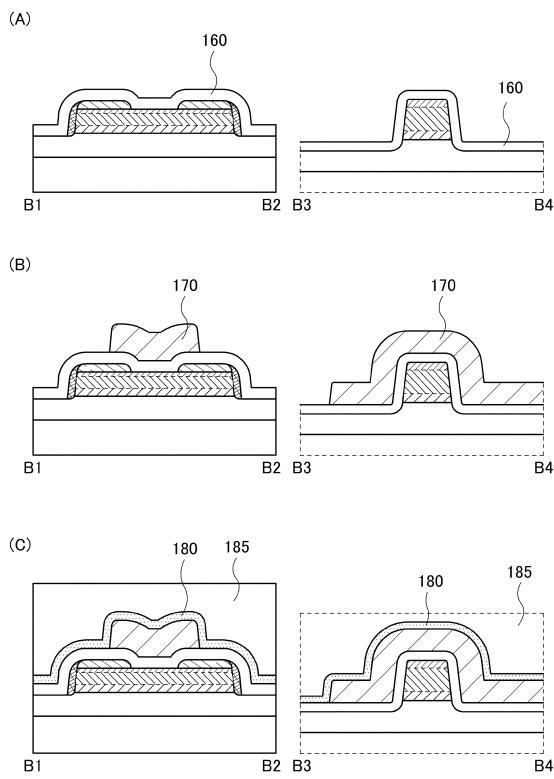
【図13】



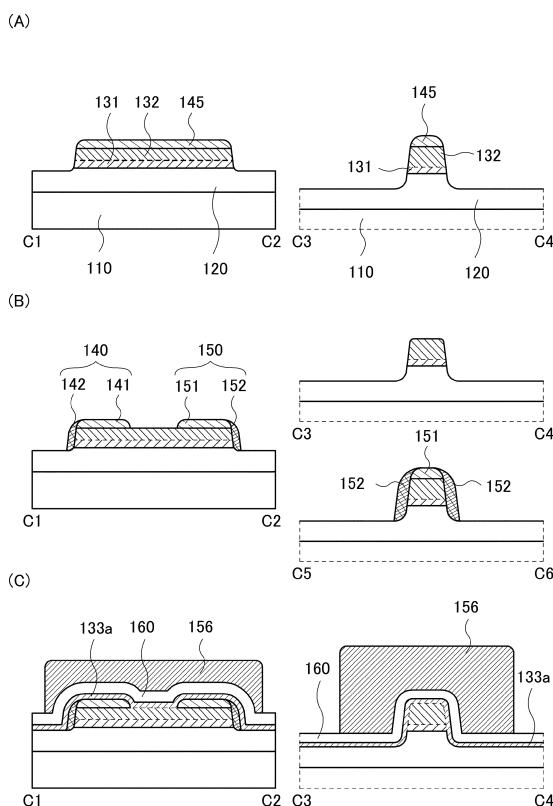
【図14】



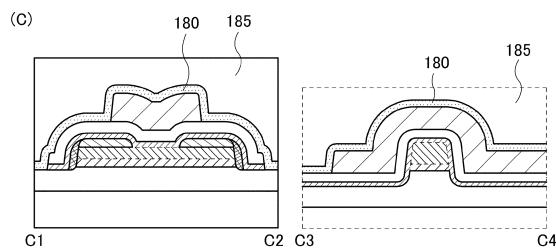
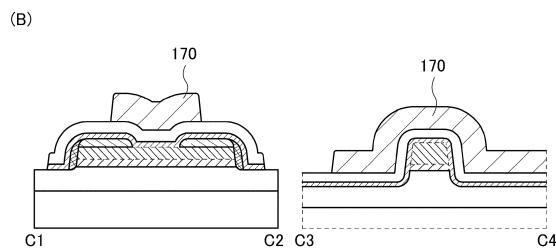
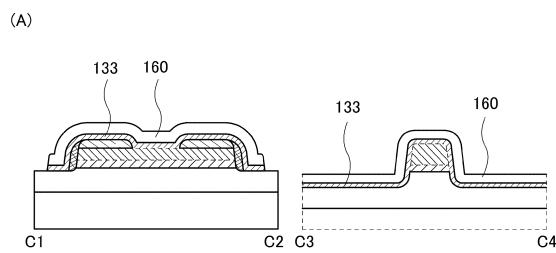
【図15】



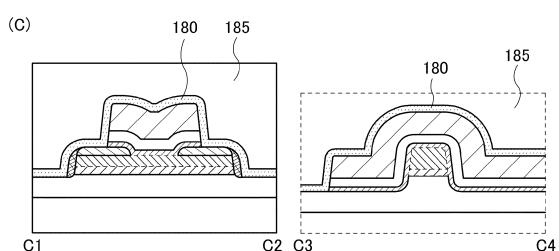
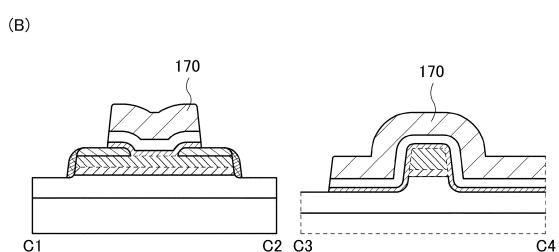
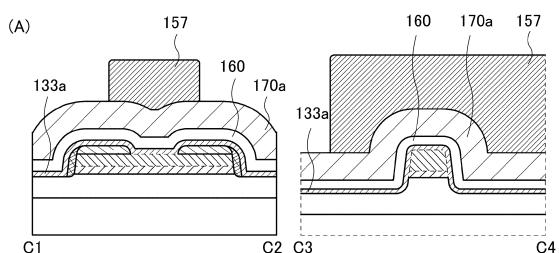
【図16】



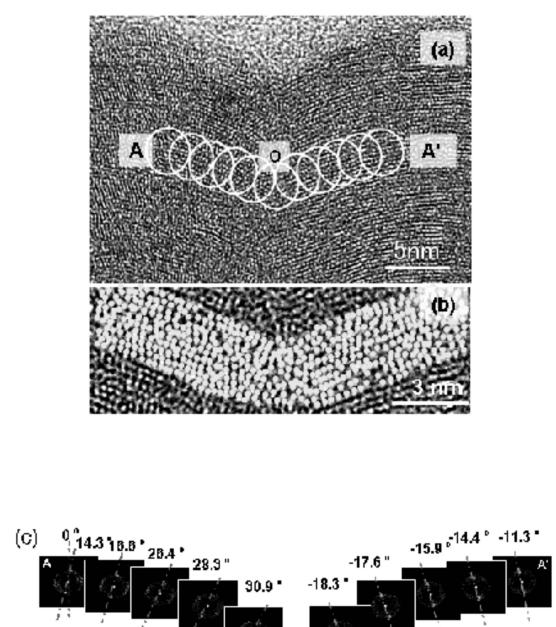
【図17】



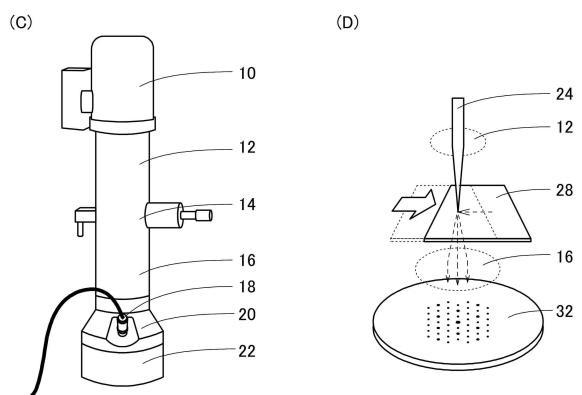
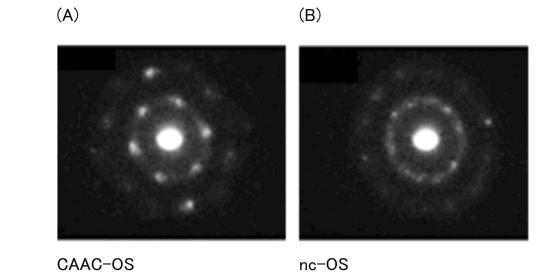
【図18】



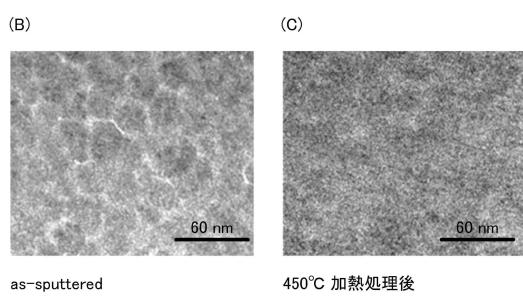
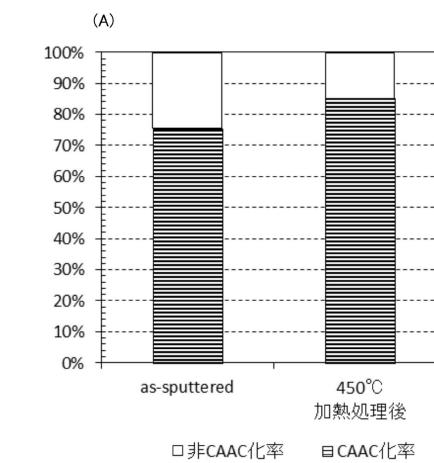
【図19】



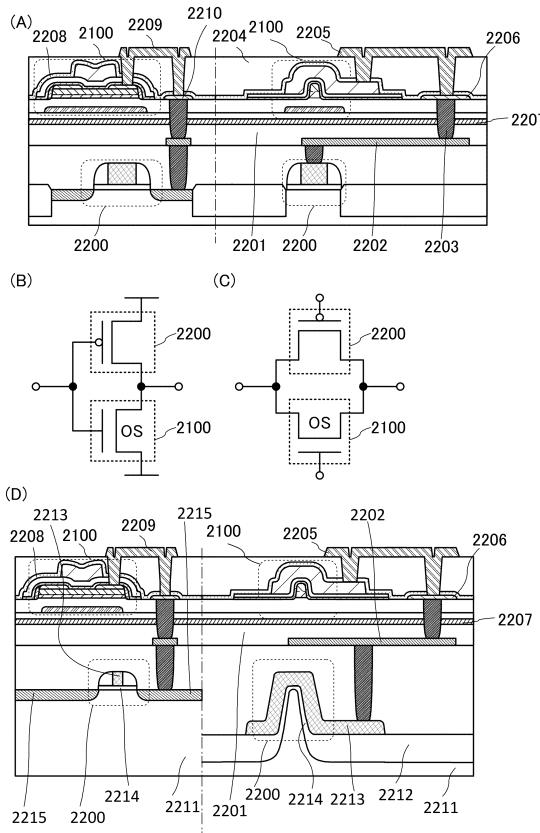
【図20】



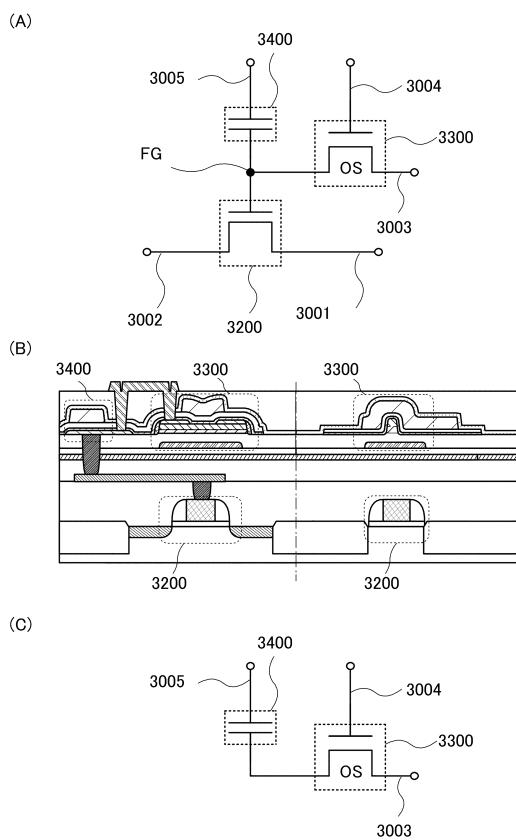
【図21】



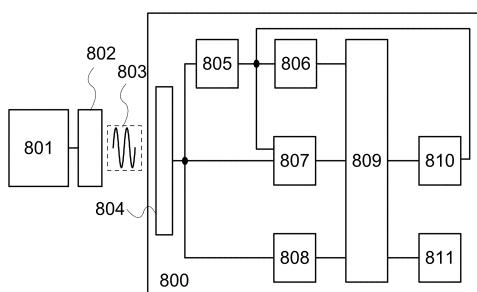
【図22】



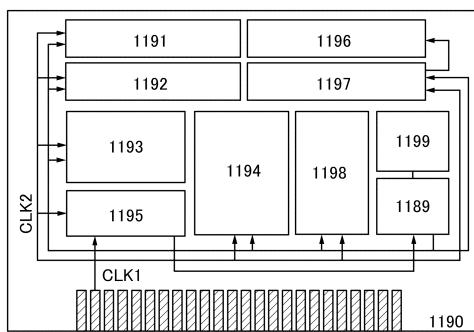
【図23】



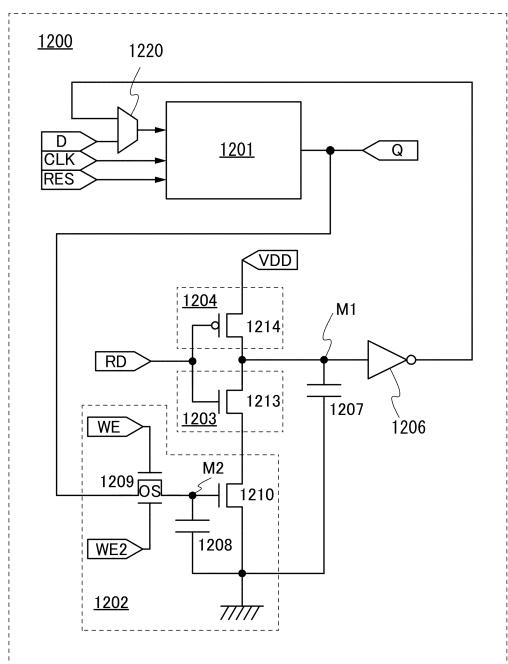
【図24】



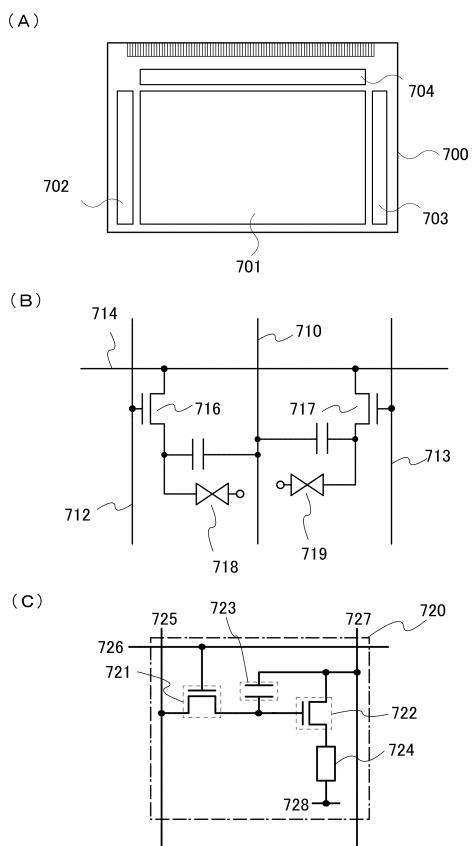
【図25】



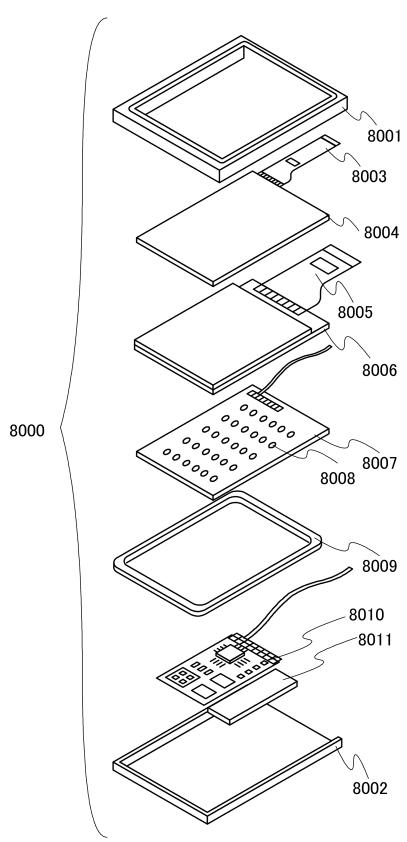
【図26】



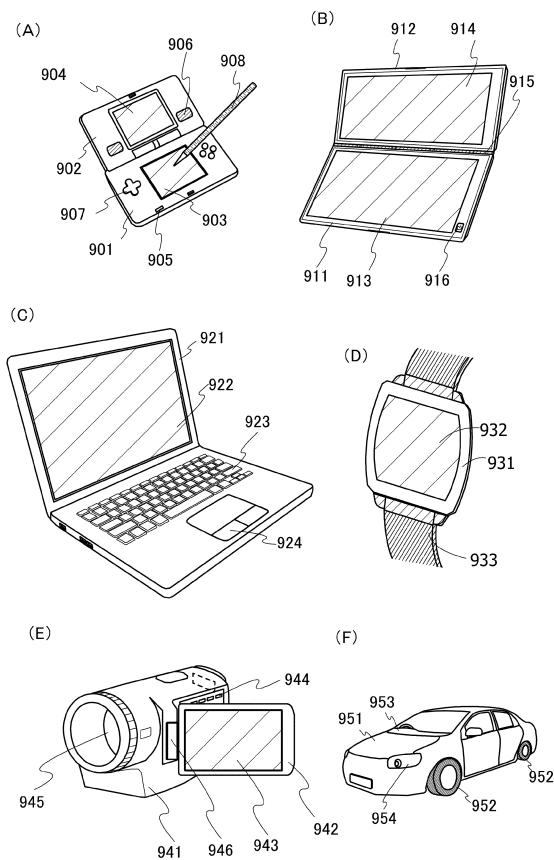
【図27】



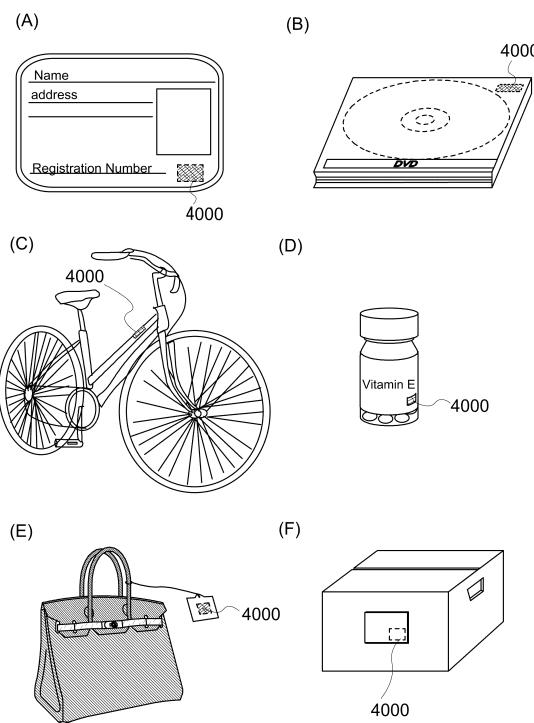
【図28】



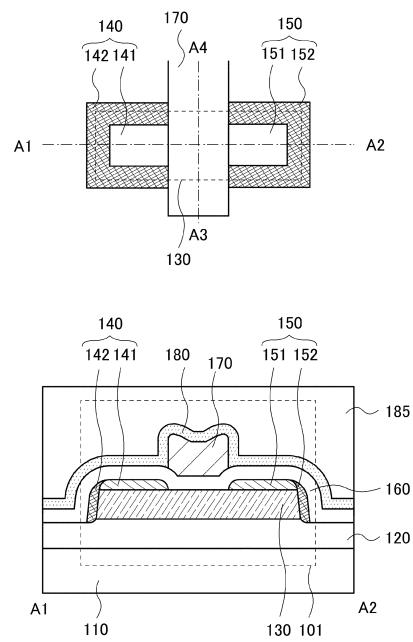
【図29】



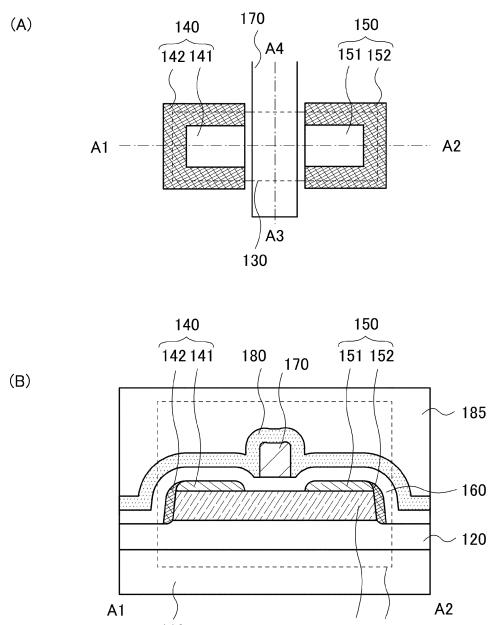
【図30】



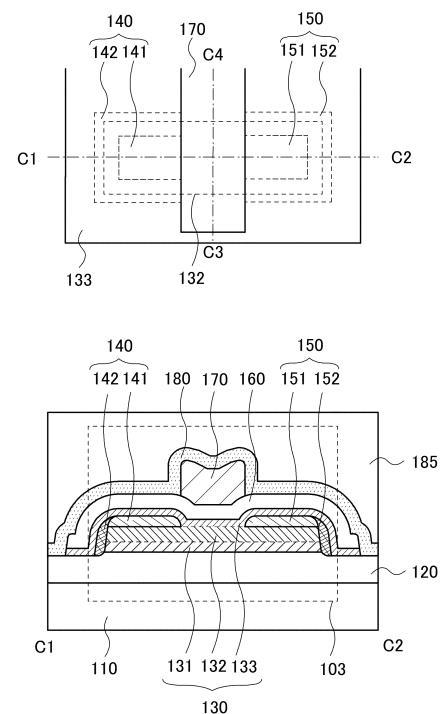
【図31】



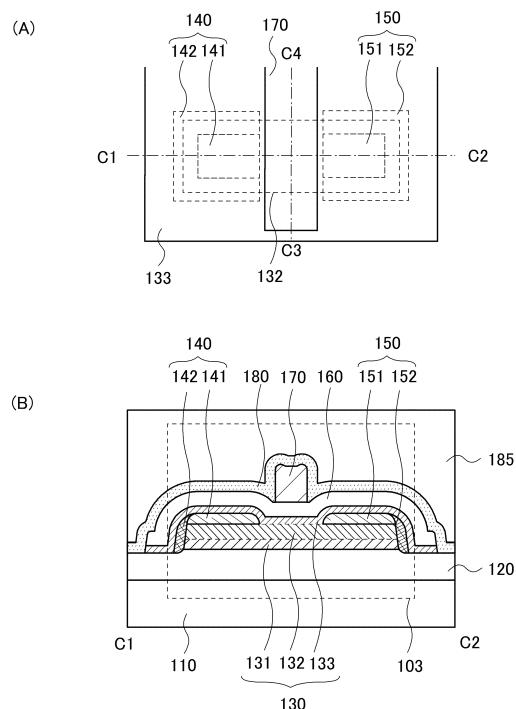
【図32】



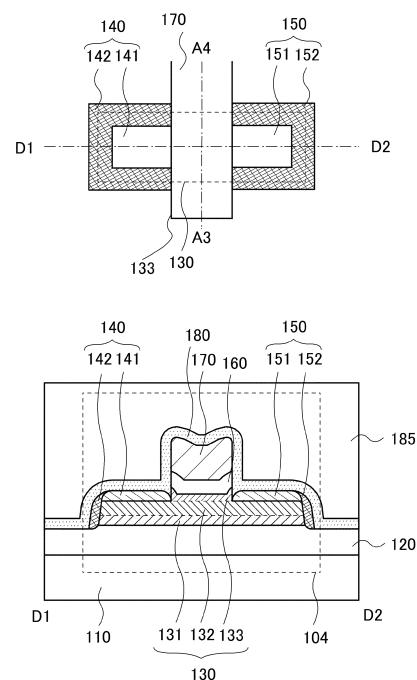
【図33】



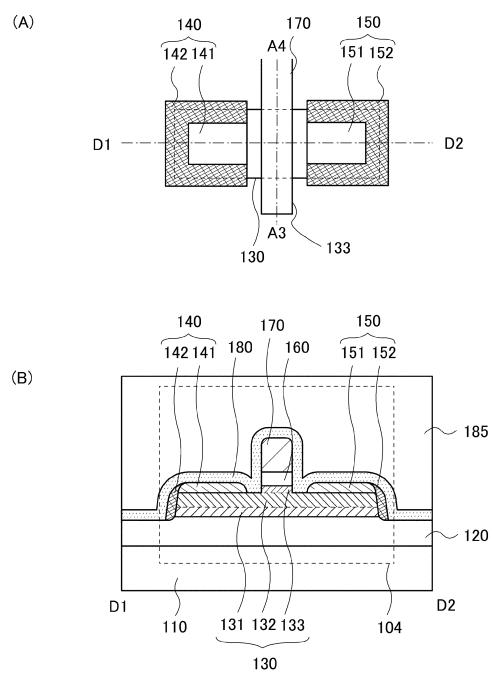
【図34】



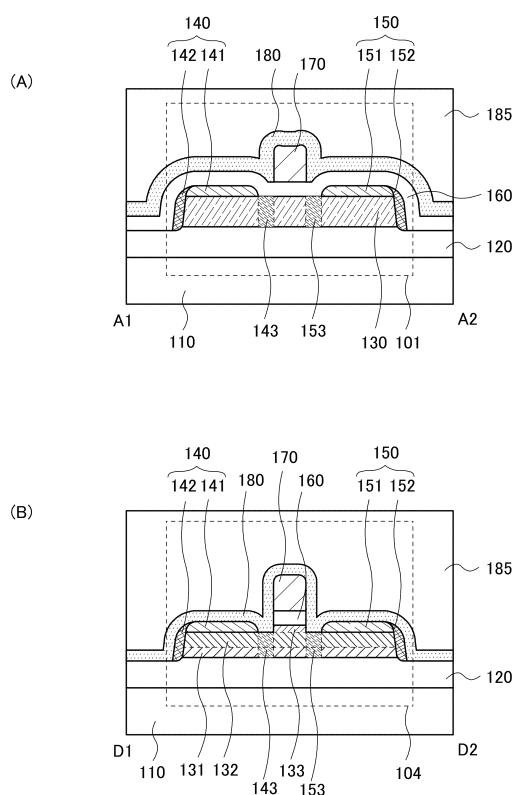
【図35】



【図36】



【図37】



フロントページの続き

(51)Int.Cl.	F I
H 01L 21/8234 (2006.01)	H 01L 29/78 6 1 6 V
H 01L 27/088 (2006.01)	H 01L 29/78 6 1 6 M
H 01L 21/8238 (2006.01)	H 01L 21/28 3 0 1 B
H 01L 27/092 (2006.01)	H 01L 21/28 3 0 1 R
H 01L 21/8242 (2006.01)	H 01L 29/50 M
H 01L 27/108 (2006.01)	H 01L 29/44 L
H 01L 27/10 (2006.01)	H 01L 27/088 E
G 02F 1/1368 (2006.01)	H 01L 27/092 G
	H 01L 27/108 3 2 1
	H 01L 27/108 6 7 1 Z
	H 01L 27/108 6 8 1 F
	H 01L 27/10 4 6 1
	H 01L 27/108 6 2 1 Z
	G 02F 1/1368

(56)参考文献 特開2012-146946(JP,A)
 特開2012-134475(JP,A)
 特開2010-182929(JP,A)
 特開2011-243745(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01L 29 / 786
 G 02F 1 / 1368
 H 01L 21 / 28
 H 01L 21 / 336
 H 01L 21 / 8234
 H 01L 21 / 8238
 H 01L 21 / 8242
 H 01L 27 / 088
 H 01L 27 / 092
 H 01L 27 / 10
 H 01L 27 / 108
 H 01L 29 / 41
 H 01L 29 / 417