



- (51) 국제특허분류:
H03M 13/11 (2006.01)
- (21) 국제출원번호: PCT/KR2014/009205
- (22) 국제출원일: 2014년 9월 30일 (30.09.2014)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2014-0048065 2014년 4월 22일 (22.04.2014) KR
- (71) 출원인: **아주대학교 산학협력단 (AJOU UNIVERSITY INDUSTRY-ACADEMIC COOPERATION FOUNDATION)** [KR/KR]; 443-749 경기도 수원시 영통구 월드컵로 206 (원천동), Gyeonggi-do (KR).
- (72) 발명자: **선우명훈 (SUNWOO, Myung Hoon)**; 137-040 서울시 서초구 신반포로 45, 68 동 501호 (반포동, 반포주공아파트), Seoul (KR). **이재학 (LEE, Jea Hack)**; 680-845 울산시 남구 문수로 335 번길 51, 102 동 507호 (옥동, 정도아파트), Ulsan (KR).
- (74) 대리인: **심경식 (SHIM, Kyoung-Shik)** 등; 135-937 서울시 강남구 도곡로 7길 15, 진우빌딩 4층 (역삼동), Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

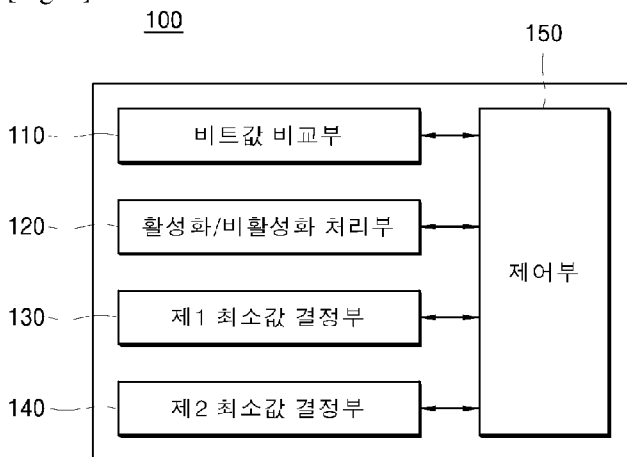
공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: BIT-SERIAL TYPE DECODER AND METHOD FOR SEARCHING FOR MINIMUM VALUE THEREOF

(54) 발명의 명칭: 비트-직렬 방식의 복호기 및 그 최소값 탐색 방법

[Fig. 1]



- 110 ... Bit value comparing unit
120 ... Activation/deactivation processing unit
130 ... First minimum value determining unit
140 ... Second minimum value determining unit
150 ... Control unit

(57) Abstract: A bit-serial type decoder according to an embodiment of the present invention comprises: a bit value comparing unit for sequentially comparing bit values of input values transmitted from a variable node to a check node, from a highest bit to a lowest bit; an activation/deactivation processing unit for determining whether to activate a bit value of each of the input values, according to a result of the comparison by the bit value comparing unit; a first minimum value determining unit for determining an input value having a bit value activated in a predetermined first bit as a first minimum value, when the first bit, which has one bit value activated by the activation/deactivation processing unit, is found for the first time between the highest bit and the lowest bit; and a second minimum value determining unit for determining a second minimum value through reversely processing a bit value deactivated by the activation/deactivation processing unit, in the first bit having the first minimum value determined therein.

(57) 요약서: 본 발명의 일 실시예에 따른 비트-직렬 방식의 복호기는 변수 노드에서 체크 노드로 전송되는 입력값들 각각의 비트값을 최상위 비트에서부터 최하위 비트까지 순차적으로 비교하는 비트값 비교부; 상기 비트값 비교부의 비교 결과에 따라, 상기 입력값들 각각의 비트값의 활성화 여부를

[다음 쪽 계속]



결정하는 활성화/비활성화 처리부; 상기 최상위 비트에서부터 상기 최하위 비트 사이에서, 상기 활성화/비활성화 처리부에 의해 활성화된 비트값이 하나인 임의의 제 1 비트가 최초로 발견되는 경우, 상기 제 1 비트에서 활성화된 비트값을 가지는 입력값을 제 1 최소값으로 결정하는 제 1 최소값 결정부; 및 상기 제 1 최소값이 결정된 상기 제 1 비트에서, 상기 활성화/비활성화 처리부에 의해 비활성화된 비트값을 반전 처리하여 제 2 최소값을 결정하는 제 2 최소값 결정부를 포함한다.

명세서

발명의 명칭: 비트-직렬 방식의 복호기 및 그 최소값 탐색 방법

기술분야

- [1] 본 발명의 실시예들은 비트-직렬 방식의 복호기 및 그 최소값 탐색 방법에 관한 것이다.

배경기술

- [2] 최근 들어 대부분의 통신시스템 표준에서는 오류 정정을 위한 기술들이 필수적으로 사용되고 있으며, 여러 오류 정정 부호 중 샤논의 한계(Shannon limit)에 가장 가까운 성능을 보이는 LDPC(Low-Density Parity-Check) 부호가 주로 채택되는 추세이다.
- [3] LDPC 부호의 복호 과정은 크게 네 가지 과정으로 구성된다. 제1 과정인 초기화 과정, 제2 과정인 체크 노드 갱신 과정, 제3 과정인 변수 노드 갱신 과정, 제4 과정인 판정 과정으로 구성된다. 이러한 LDPC 부호의 복호에 사용되는 알고리즘에는 대표적으로 오류 정정 성능 향상을 목적으로 하는 합-곱(Sum-Product) 알고리즘과 하드웨어 복잡도를 줄이기 위한 최소-합(Min-Sum) 알고리즘 등이 있다.
- [4] 최소-합 알고리즘을 사용하는 LDPC 복호 과정의 경우, 체크 노드 갱신 과정은 두 개의 최소값을 찾는 알고리즘을 사용하기 때문에 다른 과정에 비해 상당히 큰 하드웨어 복잡도를 가진다. 최근 체크 노드 갱신의 연산의 하드웨어 복잡도를 줄이기 위해 비트-직렬 방식의 LDPC 복호기가 제안되었다. 이 복호기는 하드웨어 복잡도 대비 처리율에서 뛰어난 성능을 보인다.
- [5] 비트-직렬 방식이 적용된 LDPC 복호기의 최소값 탐색 알고리즘은 해당 복호기의 체크 노드 갱신에서 사용하는 최소값 탐색 시 첫 번째 최소값(제1 최소값)만을 찾아 복호 연산을 진행한다. 두 번째 최소값(제2 최소값)은 탐색하지 않고 제1 최소값에 '1'을 더한 값을 사용한다.
- [6] 이와 같이 기존에는 두 번째 최소값(제2 최소값)은 탐색하지 않고 제1 최소값에 '1'을 더한 값을 제2 최소값으로 사용하여 복호를 하기 때문에, 이런 근사치를 사용한 복호 연산으로 인해 비트-직렬 방식의 LDPC 복호는 하드웨어 복잡도가 감소하는데 비해 BER(Bit Error Rate) 성능 열화가 발생하는 단점을 가지고 있다.
- [7] 관련 선행기술로는 대한민국 공개특허공보 제2008-0052274호(발명의 명칭: 저밀도 패리티 검사 부호의 검사노드를 갱신하는 방법 및 장치, 공개일자: 2008년 06월 11일)가 있다.

발명의 상세한 설명

기술적 과제

- [8] 본 발명의 일 실시예는 2개의 최소값 탐색 시 낮은 하드웨어 복잡도 및 높은 처리율을 유지하면서 최소값을 탐색함으로써 성능 열화가 발생하는 것을

방지하고 복호 연산에 필요한 시간을 단축할 수 있는 비트-직렬 방식의 복호기 및 그 최소값 탐색 방법을 제공한다.

- [9] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제(들)로 제한되지 않으며, 언급되지 않은 또 다른 과제(들)은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

- [10] 본 발명의 일 실시예에 따른 비트-직렬 방식의 복호기는 입력값들 각각의 비트값을 최상위 비트에서부터 최하위 비트까지 순차적으로 비교하는 비트값 비교부; 상기 비트값 비교부의 비교 결과에 따라, 상기 입력값들 각각의 비트값의 활성화 여부를 결정하는 활성화/비활성화 처리부; 상기 최상위 비트에서부터 상기 최하위 비트 사이에서, 상기 활성화/비활성화 처리부에 의해 활성화된 비트값이 하나인 임의의 제1 비트가 최초로 발견되는 경우, 상기 제1 비트에서 활성화된 비트값을 가지는 입력값을 제1 최소값으로 결정하는 제1 최소값 결정부; 및 상기 제1 최소값이 결정된 상기 제1 비트에서, 상기 활성화/비활성화 처리부에 의해 비활성화된 비트값을 반전 처리하여 제2 최소값을 결정하는 제2 최소값 결정부를 포함한다.

발명의 효과

- [11] 본 발명의 일 실시예에 따르면, 체크 노드 갱신 시 낮은 하드웨어 복잡도 및 높은 처리율을 유지하면서 최소값을 탐색할 수 있다.
- [12] 본 발명의 일 실시예에 따르면, 최소값 탐색 알고리즘을 갱신하여 성능 열화가 발생하는 것을 방지하고 복호 연산에 필요한 시간을 단축할 수 있다.

도면의 간단한 설명

- [13] 도 1은 본 발명의 일 실시예에 따른 비트-직렬 방식의 복호기를 설명하기 위해 도시한 블록도이다.
- [14] 도 2는 본 발명의 일 실시예에 따른 비트-직렬 방식의 복호기가 제1 및 제2 최소값을 결정하는 과정을 보다 구체적으로 설명하기 위해 도시한 예시도이다.
- [15] 도 3은 비트-직렬 방식의 LDPC 복호기에서의 체크 노드 갱신 과정의 일례를 도시한 도면이다.
- [16] 도 4는 본 발명의 일 실시예에 따른 비트-직렬 방식의 복호기의 최소값 탐색 방법을 설명하기 위해 도시한 흐름도이다.
- [17] 도 5는 본 발명의 일 실시예에 따라 변수 노드에서 체크 노드로 전송되는 입력값들 각각의 비트값에 대한 활성화 여부를 결정하는 과정을 설명하기 위해 도시한 흐름도이다.
- [18] 도 6은 본 발명의 일 실시예에 따라 제2 최소값을 결정하는 과정을 설명하기 위해 도시한 흐름도이다.
- [19] 도 7은 본 발명의 다른 실시예에 따른 비트-직렬 방식의 복호기의 최소값 탐색 방법을 설명하기 위해 도시한 흐름도이다.

- [20] 도 8은 본 발명의 또 다른 실시예에 따른 비트-직렬 방식의 복호기의 최소값 탐색 방법을 설명하기 위해 도시한 흐름도이다.

발명의 실시를 위한 최선의 형태

- [21] 본 발명의 일 실시예에 따른 비트-직렬 방식의 복호기는 입력값들 각각의 비트값을 최상위 비트에서부터 최하위 비트까지 순차적으로 비교하는 비트값 비교부; 상기 비트값 비교부의 비교 결과에 따라, 상기 입력값들 각각의 비트값의 활성화 여부를 결정하는 활성화/비활성화 처리부; 상기 최상위 비트에서부터 상기 최하위 비트 사이에서, 상기 활성화/비활성화 처리부에 의해 활성화된 비트값이 하나인 임의의 제1 비트가 최초로 발견되는 경우, 상기 제1 비트에서 활성화된 비트값을 가지는 입력값을 제1 최소값으로 결정하는 제1 최소값 결정부; 및 상기 제1 최소값이 결정된 상기 제1 비트에서, 상기 활성화/비활성화 처리부에 의해 비활성화된 비트값을 반전 처리하여 제2 최소값을 결정하는 제2 최소값 결정부를 포함한다.
- [22] 상기 입력값들은 LDPC 복호기의 변수 노드에서 체크 노드로 전송되는 값들을 포함할 수 있다.
- [23] 상기 활성화/비활성화 처리부는 상기 최상위 비트에서부터 상기 제1 비트까지 한 비트 단위로 비교한 결과에 따라, 상기 각각의 비트값 중 상대적으로 작은 비트값을 활성화 처리하고, 상대적으로 큰 비트값을 비활성화 처리할 수 있다.
- [24] 상기 활성화/비활성화 처리부는 상기 비트값의 활성화 또는 비활성화 처리 시, 해당 비트값에 상태 플래그(status flag)를 부여하고, 상기 제1 및 제2 최소값 결정부는 상기 상태 플래그에 기초하여 상기 제1 및 제2 최소값을 결정할 수 있다.
- [25] 상기 활성화/비활성화 처리부는 상기 비트값의 활성화 처리 시 해당 비트값에 '0'의 상태 플래그를 부여하고, 상기 비트값의 비활성화 처리 시 해당 비트값에 '1'의 상태 플래그를 부여할 수 있다.
- [26] 상기 활성화/비활성화 처리부는 상기 비활성화 처리 시, 해당 입력값의 비트값들을 상기 비활성화 처리된 비트에서부터 상기 최하위 비트까지 모두 비활성화 처리하여 상기 제1 및 제2 최소값 후보에서 제외시킬 수 있다.
- [27] 상기 제2 최소값 결정부는 상기 제1 비트에서 반전 처리를 통해 활성화된 비트값을 가지는 입력값들에 대해, 상기 제1 비트와 상기 최하위 비트 사이에서, 상기 활성화/비활성화 처리부에 의해 활성화된 비트값이 하나인 임의의 제2 비트가 최초로 발견되는 경우, 상기 제2 비트에서 활성화된 비트값을 가지는 입력값을 상기 제2 최소값으로 결정할 수 있다.
- [28] 본 발명의 다른 실시예에 따른 비트-직렬 방식의 복호기는 입력값들 각각의 비트값을 첫 번째 비트부터 마지막 비트까지 순차적으로 비교하는 비트값 비교부; 상기 비교 결과에 따라 상기 각각의 비트값의 활성화 여부를 결정하는 활성화/비활성화 처리부; 상기 입력값들 중 연속으로 활성화 처리된 비트 수가

- 가장 많은 입력값을 제1 최소값으로 결정하는 제1 최소값 결정부; 및 상기 입력값들 중 연속으로 활성화 처리된 비트 수가 상기 제1 최소값 다음으로 많은 입력값을 제2 최소값으로 결정하는 제2 최소값 결정부를 포함한다.
- [29] 상기 제2 최소값 결정부는 상기 제2 최소값 결정부에 의해 결정된 상기 제2 최소값이 복수개일 경우, 상기 제1 최소값이 결정된 임의의 제1 비트에서, 상기 복수개의 제2 최소값의 비트값을 반전 처리하여 상기 제2 최소값을 결정할 수 있다.
- [30] 상기 제2 최소값 결정부는 상기 제1 비트에서 반전 처리를 통해 활성화된 비트값을 가지는 입력값들에 대해, 상기 제1 비트에서부터 임의의 제2 비트까지 연속하여 활성화 처리된 비트 수가 가장 많은 입력값을 상기 제2 최소값으로 결정할 수 있다.
- [31] 본 발명의 일 실시예에 따른 비트-직렬 방식의 복호기의 최소값 탐색 방법은 비트-직렬 방식의 복호기의 비트값 비교부에서, 입력값들 각각의 비트값을 최상위 비트에서부터 최하위 비트까지 순차적으로 비교하는 단계; 상기 비트-직렬 방식의 복호기의 활성화/비활성화 처리부에서, 상기 비트값 비교부의 비교 결과에 따라, 상기 입력값들 각각의 비트값의 활성화 여부를 결정하는 단계; 상기 비트-직렬 방식의 복호기의 제1 최소값 결정부에서, 상기 최상위 비트에서부터 상기 최하위 비트 사이에서, 상기 활성화/비활성화 처리부에 의해 활성화된 비트값이 하나인 임의의 제1 비트가 최초로 발견되는 경우, 상기 제1 비트에서 활성화된 비트값을 가지는 입력값을 제1 최소값으로 결정하는 단계; 및 상기 비트-직렬 방식의 복호기의 제2 최소값 결정부에서, 상기 제1 최소값이 결정된 상기 제1 비트에서, 상기 활성화/비활성화 처리부에 의해 비활성화된 비트값을 반전 처리하여 제2 최소값을 결정하는 단계를 포함한다.
- [32] 상기 입력값들은 LDPC 복호기의 변수 노드에서 체크 노드로 전송되는 값들을 포함할 수 있다.
- [33] 상기 입력값들 각각의 비트값의 활성화 여부를 결정하는 단계는 상기 최상위 비트에서부터 상기 제1 비트까지 한 비트 단위로 비교한 결과에 따라, 상기 각각의 비트값 중 상대적으로 작은 비트값을 활성화 처리하고, 상대적으로 큰 비트값을 비활성화 처리하는 단계를 포함할 수 있다.
- [34] 상기 입력값들 각각의 비트값의 활성화 여부를 결정하는 단계는 상기 비트값의 활성화 또는 비활성화 처리 시, 해당 비트값에 상태 플래그(status flag)를 부여하는 단계를 더 포함하고, 상기 상태 플래그는 상기 제1 및 제2 최소값의 결정하기 위한 기초 자료로서 이용될 수 있다.
- [35] 상기 입력값들 각각의 비트값의 활성화 여부를 결정하는 단계는 상기 비활성화 처리 시, 해당 입력값의 비트값들을 상기 비활성화 처리된 비트에서부터 상기 최하위 비트까지 모두 비활성화 처리하여 상기 제1 및 제2 최소값 후보에서 제외시키는 단계를 더 포함할 수 있다.
- [36] 상기 제2 최소값을 결정하는 단계는 상기 제1 비트에서 반전 처리를 통해

활성화된 비트값을 가지는 입력값들에 대해, 상기 제1 비트와 상기 최하위 비트 사이에서, 상기 활성화/비활성화 처리부에 의해 활성화된 비트값이 하나인 임의의 제2 비트가 최초로 발견되는 경우, 상기 제2 비트에서 활성화된 비트값을 가지는 입력값을 상기 제2 최소값으로 결정하는 단계를 포함할 수 있다.

[37] 본 발명의 다른 실시예에 따른 비트-직렬 방식의 복호기의 최소값 탐색 방법은 비트-직렬 방식의 복호기의 비트값 비교부에서, 입력값들 각각의 비트값을 첫 번째 비트부터 마지막 비트까지 순차적으로 비교하는 단계; 상기 비트-직렬 방식의 복호기의 활성화/비활성화 처리부에서, 상기 비교 결과에 따라 상기 각각의 비트값의 활성화 여부를 결정하는 단계; 비트-직렬 방식의 복호기의 제1 최소값 결정부에서, 상기 입력값들 중 연속으로 활성화 처리된 비트 수가 가장 많은 입력값을 제1 최소값으로 결정하는 단계; 및 비트-직렬 방식의 복호기의 제2 최소값 결정부에서, 상기 입력값들 중 연속으로 활성화 처리된 비트 수가 상기 제1 최소값 다음으로 많은 입력값을 제2 최소값으로 결정하는 단계를 포함할 수 있다.

[38] 본 발명의 다른 실시예에 따른 비트-직렬 방식의 복호기의 최소값 탐색 방법은 상기 제2 최소값 결정부에 의해 결정된 상기 제2 최소값이 복수개일 경우, 상기 제2 최소값 결정부에서, 상기 제1 최소값이 결정된 임의의 제1 비트에서, 상기 복수개의 제2 최소값의 비트값을 반전 처리하여 상기 제2 최소값을 결정하는 단계를 더 포함할 수 있다.

[39] 상기 제2 최소값을 결정하는 단계는 상기 제1 비트에서 반전 처리를 통해 활성화된 비트값을 가지는 입력값들에 대해, 상기 제1 비트에서부터 임의의 제2 비트까지 연속하여 활성화 처리된 비트 수가 가장 많은 입력값을 상기 제2 최소값으로 결정하는 단계를 포함할 수 있다.

[40] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 첨부 도면들에 포함되어 있다.

발명의 실시를 위한 형태

[41] 본 발명의 이점 및/또는 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.

[42] 본 발명의 목적은 낮은 하드웨어 복잡도를 유지하면서 두 번째 최소값까지 탐색 가능하며 추가적인 latency가 필요 없는 두 최소값 탐색 알고리즘을 제안하는 것이다. 즉, 본 발명은 높은 처리율을 유지하면서 약간의 연산 추가로

최소-합 LDPC 복호 연산에 필요한 두 최소값을 모두 얻어 성능 열화가 발생하는 것을 방지할 수 있다.

- [43] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다.
- [44] 도 1은 본 발명의 일 실시예에 따른 비트-직렬 방식의 복호기를 설명하기 위해 도시한 블록도이다.
- [45] 도 1을 참조하면, 본 발명의 일 실시예에 따른 비트-직렬 방식의 복호기(100)는 비트값 비교부(110), 활성화/비활성화 처리부(120), 제1 최소값 결정부(130), 제2 최소값 결정부(140), 및 제어부(150)를 포함할 수 있다.
- [46] 상기 비트값 비교부(110)는 복수의 입력값들 각각의 비트값을 최상위 비트에서부터 최하위 비트까지 순차적으로 비교한다.
- [47] 이를 위해, 상기 비트값 비교부(110)는 복수의 입력값들 각각의 비트값을 최상위 비트에서부터 한 비트씩 입력받아 그 비교 결과를 출력할 수 있다. 이때, 상기 입력값은 LDPC 복호기의 변수 노드에서 체크 노드로 전송되는 값을 포함할 수 있다.
- [48] 예를 들어, 입력값 A는 '01001', 입력값 B는 '01010', 입력값 C는 '01011', 입력값 D는 '10000'인 경우, 상기 비트값 비교부(110)는 최상위 비트인 '0', '0', '0', '1'의 비트값을 각각 비교하며, 순차적으로 그 다음 비트에서부터 최하위 비트까지 비교한 후 비교 결과를 출력할 수 있다.
- [49] 상기 활성화/비활성화 처리부(120)는 상기 비트값 비교부(110)의 비교 결과에 따라, 상기 입력값들 각각의 비트값의 활성화 여부를 결정한다.
- [50] 즉, 상기 활성화/비활성화 처리부(120)는 상기 입력값들 각각의 비트값을 비교한 결과에 따라 상대적으로 작은 비트값을 활성화 처리하고, 상대적으로 큰 비트값을 비활성화 처리할 수 있다.
- [51] 여기서, 상기 활성화/비활성화 처리는 상기 제1 최소값이 결정되는 임의의 제1 비트까지 계속하여 수행될 수 있다.
- [52] 상기 활성화/비활성화 처리부(120)는 상기 비트값의 활성화 또는 비활성화 처리 시, 해당 비트값에 상태 플래그(status flag)를 부여할 수 있다. 즉, 상기 활성화/비활성화 처리부(120)는 상기 비트값의 활성화 처리 시 해당 비트값에 '0'의 상태 플래그를 부여하고, 상기 비트값의 비활성화 처리 시 해당 비트값에 '1'의 상태 플래그를 부여할 수 있다.
- [53] 상기 상태 플래그는 상기 제1 최소값 결정부(130) 및 상기 제2 최소값 결정부(140)에서 제1 및 제2 최소값을 결정할 때에 기초 자료로서 이용될 수 있다.
- [54] 상기 상태 플래그는 제1 최소값이 결정되기 전에는 제1 최소값 후보를 나타내고, 상기 제1 최소값이 결정된 후에는 제2 최소값 후보 여부를 나타낸다. 즉, 상기 상태 플래그의 활성화 또는 비활성화를 통해 해당 입력값이 후보인지 아닌지를 나타낸다. 연산이 시작되어 모든 입력값의 비트값 각각의 상태

플래그가 활성화 되면 해당 입력값은 최소값 후보로 지정될 수 있는 것이다.

- [55] 한편, 상기 활성화/비활성화 처리부(120)는 상기 비트값의 비활성화 처리 시, 해당 입력값의 비트값들을 상기 비활성화 처리된 비트에서부터 상기 최하위 비트까지 모두 비활성화 처리하여 상기 제1 및 제2 최소값 후보에서 제외시킬 수 있다.
- [56] 즉, 상기 활성화/비활성화 처리부(120)는 비활성화 처리 대상의 비트값에 '1'의 상태 플래그를 부여할 때, 그 비활성화 처리된 비트부터 최하위 비트까지의 비트값에 대해서도 모두 '1'의 상태 플래그를 부여하여 모든 비트를 비활성화 처리할 수 있다. 이는 앞서 언급한 바와 같이 해당 입력값을 제1 및 제2 최소값 후보에서 제외시키기 위함이며, 이에 따라 최소값 탐색을 위한 처리율을 향상시켜 연산 시간을 단축시킬 수 있다.
- [57] 상기 제1 최소값 결정부(130)는 입력값들에 대한 최상위 비트에서부터 최하위 비트 사이에서, 상기 활성화/비활성화 처리부에 의해 활성화된 비트값이 하나인 임의의 제1 비트가 최초로 발견되면, 상기 제1 비트에서 활성화된 비트값을 가지는 입력값을 제1 최소값으로 결정한다.
- [58] 즉, 상기 제1 최소값 결정부(130)는 복수의 입력값들에 대한 임의의 제1 비트에서 상태 플래그가 '0'인 비트값이 하나인 경우가 최초로 발견되면, 상기 제1 비트에서 상태 플래그가 '0'인 비트값을 가지는 입력값을 제1 최소값으로 결정한다.
- [59] 상기 제2 최소값 결정부(140)는 상기 제1 최소값이 결정된 상기 제1 비트에서, 상기 활성화/비활성화 처리부(120)에 의해 비활성화된 비트값을 반전 처리하여 제2 최소값을 결정한다.
- [60] 즉, 상기 제2 최소값 결정부(140)는 상기 제1 비트에서 반전 처리를 통해 활성화된 비트값을 가지는 입력값들에 대해, 상기 제1 비트와 상기 최하위 비트 사이에서, 상기 활성화/비활성화 처리부(120)에 의해 활성화된 비트값이 하나인 임의의 제2 비트가 최초로 발견되는 경우, 상기 제2 비트에서 활성화된 비트값을 가지는 입력값을 상기 제2 최소값으로 결정할 수 있다.
- [61] 상기 제어부(150)는 본 발명의 일 실시예에 따른 비트-직렬 방식의 복호기(100), 즉 상기 비트값 비교부(110), 상기 활성화/비활성화 처리부(120), 상기 제1 최소값 결정부(130), 상기 제2 최소값 결정부(140) 등의 동작을 전반적으로 제어할 수 있다.
- [62] 이와 같이, 본 발명의 일 실시예에서는 제1 최소값이 결정되기 전에는 상태 플래그들이 해당 입력값들의 제1 최소값 후보 여부를 나타내고, 제1 최소값이 결정된 후에는 상태 플래그들이 해당 입력값의 제2 최소값 후보 여부를 나타낸다. 활성화된 상태 플래그들의 입력값들 중 '0'의 개수에 따라서 아래의 케이스 1~3과 같은 연산을 하게 된다.
- [63] 1. Case 1
- [64] '0'이 없을 경우, 다시 말해 상태 플래그가 모두 '1'인 경우, 현재 입력값들을 통해

제1 최소값 후보 여부를 알 수 없다. 따라서 Case 1의 경우 상태 플래그의 변화 없이 다음 비트의 입력을 받게 된다.

[65] 2. Case 2

[66] '0'이 2개 이상 있을 경우, 상태 플래그가 '1'인 입력값은 제1 최소값 또는 제2 최소값 후보에서 제외되어 모든 상태 플래그를 비활성화(상태 플래그 = '1')시킨다.

[67] 예를 들어, 제1 최소값이 결정 되지 않았을 경우, 상태 플래그들은 제1 최소값 후보 여부를 나타내고 있다. 상태 플래그가 활성화된 '1'이면, 해당 입력값은 제1 최소값 후보에서 제외되어 모든 상태 플래그가 비활성화된다. 위와 같은 연산을 반복하며 최소값 후보를 줄여 나간다. 최종적으로 제1 최소값 후보가 한 개가 되면 해당 입력값을 제1 최소값으로 결정한다.

[68]

[69] 3. Case 3

[70] '0'이 1개 있을 경우, 하나의 최소값 후보만 남게 되므로 해당 입력값이 제1 최소값 또는 제2 최소값으로 결정된다. 예를 들어, 최소값이 결정되기 전의 경우, 상태 플래그는 최소값 후보들을 나타낸다. 활성화된 상태 플래그의 입력 중 '0'이 1개 있을 경우 해당 입력값은 제1 최소값으로 결정하게 된다. 상태 플래그는 제1 최소값으로 결정된 입력값만 비활성화시킨다. 따라서 다음 입력값이 들어오면 제1 최소값이 결정된 후이기 때문에, 상태 플래그는 제2 최소값의 후보들만 나타낸다. 제1 최소값이 결정된 후의 경우, 활성화된 상태 플래그의 입력 중 '0'이 1개 있다면 해당 입력값이 제2 최소값이 된다. 따라서, 해당 상태 플래그를 제외한 모든 상태 플래그를 비활성화하여 제1 최소값 및 제2 최소값을 결정한다.

[71]

[72] 도 2는 본 발명의 일 실시예에 따른 비트-직렬 방식의 복호기가 제1 및 제2 최소값을 결정하는 과정을 보다 구체적으로 설명하기 위해 도시한 예시도이다.

[73] 먼저 도 2의 (A)에 도시된 바와 같이, 입력값 A는 '01001', 입력값 B는 '01010', 입력값 C는 '01011', 입력값 D는 '10000'인 경우, 네 번째 비트(4비트)의 비트값은 각각 '0', '1', '1', '0'이기 때문에 도 2의 (B)에 도시된 바와 같이 입력값 A의 비트값의 상태 플래그만 '0'이 되고 나머지 입력값 B, C, D의 비트값의 상태 플래그는 '1'이 된다. 참고로, 입력값 D의 경우 최상위 비트(1비트)가 '1'이기 때문에 모든 비트값의 상태 플래그는 '1'이 된다. 따라서, 입력값 A가 제1 최소값으로 결정된다.

[74] 상기 제1 최소값이 결정되기 전에는 도 2의 (B)와 같이 입력값 A, B, C, D 각각의 4비트의 상태 플래그는 '0', '1', '1', '1'이지만, 상기 제1 최소값이 결정된 후에는 4비트의 상태 플래그는 반전 처리된다. 즉, 도 2의 (C)에 도시된 바와 같이 입력값 B, C의 4비트의 상태 플래그 '1'은 반전 처리되어 상태 플래그 '0'이 되고, 입력값 A의 4비트의 상태 플래그 '0'은 반전 처리되어 '1'이 된다. 이때, 입력값 D는 이미 최소값 후보에서 제외된 상태이기 때문에 그것의 4비트의 상태 플래그

'1'은 그 상태를 유지한다. 이후, 그 다음의 비트인 5비트에서 입력값 B의 비트값이 입력값 C의 비트값보다 작으므로, 입력값 B의 비트값에는 상태 플래그 '0'이 부여되고, 입력값 C의 비트값에는 상태 플래그 '1'이 부여된다. 이처럼, 5비트에서 상태 플래그 '0'인 활성화된 비트값이 하나만 발견되었으므로, 입력값 B가 제2 최소값으로 결정된다.

[75]

[76] 한편, 상기 비트-직렬 방식의 복호기(100)는 본 발명의 일 실시예와는 다른 실시 형태로 구현될 수 있다. 이하에서는 본 발명의 다른 실시예를 도 1을 참조하여 설명하기로 한다.

[77] 본 발명의 다른 실시예에 따른 비트-직렬 방식의 복호기(100)의 구성은 도 1의 그것과 동일한다. 다만, 각 구성요소들 중 일부를 제외한 나머지 구성은 그 기능 및 작용에 있어서 차이점이 있으며, 이하의 실시예에서는 공통된 부분을 배제하고 차이점이 있는 구성에 대해서만 자세히 설명하기로 한다.

[78] 상기 제1 최소값 결정부(130)는 상기 비트값 비교부(110)에 의해 비교된 입력값들 중에서, 상기 활성화/비활성화 처리부(120)에 의해 연속으로 활성화 처리된 비트 수가 가장 많은 입력값을 제1 최소값으로 결정할 수 있다.

[79] 상기 제2 최소값 결정부(140)는 상기 입력값들 중 연속으로 활성화 처리된 비트 수가 상기 제1 최소값 다음으로 많은 입력값을 제2 최소값으로 결정할 수 있다.

[80] 이때, 상기 제2 최소값이 하나인 경우에는 상기 제2 최소값이 바로 결정될 수 있지만, 상기 제2 최소값이 복수개일 경우에는 별도의 추가 작업이 필요하다.

[81] 즉, 상기 제2 최소값 결정부(140)는 상기 제2 최소값이 복수개일 경우, 상기 제1 최소값이 결정된 임의의 제1 비트에서, 상기 복수개의 제2 최소값의 비트값을 반전 처리하여 상기 제2 최소값을 결정할 수 있다.

[82] 보다 구체적으로, 상기 제2 최소값 결정부(140)는 상기 제1 비트에서 반전 처리를 통해 활성화된 비트값을 가지는 입력값들에 대해, 상기 제1 비트에서부터 임의의 제2 비트까지 연속하여 활성화 처리된 비트 수가 가장 많은 입력값을 상기 제2 최소값으로 결정할 수 있다.

[83] 예를 들어, 입력값 A는 '01001', 입력값 B는 '01010', 입력값 C는 '01011', 입력값 D는 '10000'인 경우에 대해 가정한다. 이러한 경우, 상기 제1 최소값 결정부(130)는 입력값 A, B, C, D 중에서 네 번째 비트에서 연속으로 활성화된(상태 플래그 '0') 비트 수가 가장 많은 입력값 A를 상기 제1 최소값으로 결정한다.

[84] 상기 제1 최소값을 결정한 후, 상기 제2 최소값 결정부(140)는 입력값 B, C, D 중에서 세 번째 비트에서 연속으로 활성화된 비트 수가 가장 많은 입력값 B, C를 상기 제2 최소값 후보로 선택한다. 상기 제2 최소값 후보가 하나만 있는 경우에는 그것을 상기 제2 최소값으로 최종 결정하면 되지만, 위에서와 같이 상기 제2 최소값 후보가 복수개인 경우에는 별도의 추가 작업이 필요하다.

[85] 즉, 상기 제2 최소값 후보로 선택된 입력값 B, C의 네 번째 비트의 비트값들이

반전 처리되어 활성화되며, 이에 따라 상기 제2 최소값 결정부(140)는 상기 입력값 B, C 중에서 다섯 번째 비트에서 연속으로 활성화된 비트 수가 더 많은 입력값 B를 상기 제2 최소값으로 최종 결정한다.

- [86] 참고로, 본 발명의 실시예들은 도 3과 같은 비트-직렬 방식의 LDPC 복호기에서의 체크 노드 갱신 시 2개의 최소값을 탐색하는 방법에 근거하여 설명하였다. 체크 노드에서 변수 노드로 보내는 값(α_{ij1} , α_{ij2} , α_{ij3} , α_{ij4})은 각각 자신과 연결된 변수 노드를 제외한 나머지 변수 노드의 β 값 중에서 최소값을 찾는다. 하지만, 자신에 연결된 변수 노드의 β 값이 최소값이라면 두 번째 최소값을 가지는 β 값이 필요하다. 따라서, 도 3에 도시된 바와 같이, 비트-직렬 방식의 LDPC 복호기에서는 상기 체크 노드 갱신 시 변수 노드에서 체크 노드로 보내는 값(β_{ij1} , β_{ij2} , β_{ij3} , β_{ij4}) 중에서 2개의 최소값을 찾는다.
- [87] 이와 같이, 본 발명의 실시예들에서는 도 3과 같은 비트-직렬 방식의 LDPC 복호기에 한정하여 설명하고 있지만, 이에 한정되지 않고 그 밖의 모든 복호기에 적용될 수 있다. 이하의 실시예에서도 마찬가지이다.
- [88]
- [89] 도 4는 본 발명의 일 실시예에 따른 비트-직렬 방식의 복호기의 최소값 탐색 방법을 설명하기 위해 도시한 흐름도이다.
- [90] 도 1 및 도 4를 참조하면, 단계(410)에서 상기 비트-직렬 방식의 복호기(100)의 비트값 비교부(110)는 복수의 입력값들 각각의 비트값을 최상위 비트에서부터 최하위 비트까지 순차적으로 비교한다. 이때, 상기 입력값들은 LDPC 복호기의 변수 노드에서 체크 노드로 전송되는 값들을 포함할 수 있다.
- [91] 다음으로, 단계(420)에서 상기 비트-직렬 방식의 복호기(100)의 활성화/비활성화 처리부(120)는 상기 비트값 비교부(110)의 비교 결과에 따라, 상기 입력값들 각각의 비트값의 활성화 여부를 결정한다. 상기 단계(420)에 대한 자세한 설명은 도 5를 참조하여 후술한다.
- [92] 상기 최상위 비트에서부터 상기 최하위 비트 사이에서, 상기 활성화/비활성화 처리부(120)에 의해 활성화된 비트값이 하나인 임의의 제1 비트가 최초로 발견되는 경우(430의 "예" 방향), 단계(340)에서 상기 비트-직렬 방식의 복호기(100)의 제1 최소값 결정부(130)는 상기 제1 비트에서 활성화된 비트값을 가지는 입력값을 제1 최소값으로 결정한다.
- [93] 반면, 상기 최상위 비트에서부터 상기 최하위 비트 사이에서, 상기 활성화/비활성화 처리부(120)에 의해 활성화된 비트값이 하나인 임의의 제1 비트가 최초로 발견되지 않는 경우(430의 "아니오" 방향), 상기 비트-직렬 방식의 복호기(100)는 상기 활성화된 비트값이 하나인 임의의 제1 비트가 최초로 발견될 때까지 상기 단계(410)에서 상기 단계(430)까지를 반복 수행한다.
- [94] 다음으로, 단계(450)에서 상기 비트-직렬 방식의 복호기(100)의 제2 최소값 결정부(140)는 상기 제1 최소값이 결정된 상기 제1 비트에서, 상기 활성화/비활성화 처리부(120)에 의해 비활성화된 비트값을 반전 처리하여 제2

최소값을 결정한다. 상기 단계(450)에 대한 자세한 설명은 도 6을 참조하여 후술한다.

[95]

[96] 도 5는 본 발명의 일 실시예에 따라 입력값들 각각의 비트값에 대한 활성화 여부를 결정하는 과정을 설명하기 위해 도시한 흐름도이다.

[97] 도 1 및 도 5를 참조하면, 단계(510)에서 상기 비트-직렬 방식의 복호기(100)의 활성화/비활성화 처리부(120)는 상기 최상위 비트에서부터 상기 제1 비트까지 한 비트 단위로 비교한 결과, 상기 각각의 비트값 중 상대적으로 작은 비트값을 활성화 처리한다.

[98] 다음으로, 단계(520)에서 상기 비트-직렬 방식의 복호기(100)의 활성화/비활성화 처리부(120)는 상기 활성화 처리된 비트값에 상태 플래그 '0'을 부여한다.

[99] 다음으로, 단계(530)에서 상기 비트-직렬 방식의 복호기(100)의 활성화/비활성화 처리부(120)는 상기 최상위 비트에서부터 상기 제1 비트까지 한 비트 단위로 비교한 결과, 상기 각각의 비트값 중 상대적으로 큰 비트값을 비활성화 처리한다.

[100] 다음으로, 단계(540)에서 상기 비트-직렬 방식의 복호기(100)의 활성화/비활성화 처리부(120)는 상기 비활성화 처리된 비트값에 상태 플래그 '1'을 부여한다.

[101]

[102] 도 6은 본 발명의 일 실시예에 따라 제2 최소값을 결정하는 과정을 설명하기 위해 도시한 흐름도이다.

[103] 도 1 및 도 6을 참조하면, 단계(610)에서 상기 비트-직렬 방식의 복호기(100)의 제2 최소값 결정부(140)는 상기 제1 비트에서 반전 처리를 통해 활성화된 비트값을 가지는 입력값들에 대해, 상기 제1 비트부터 상기 최하위 비트까지의 비트값들을 순차적으로 입력받는다.

[104] 다음으로, 단계(620)에서 상기 비트-직렬 방식의 복호기(100)의 제2 최소값 결정부(140)는 상기 입력된 비트값들의 상태 플래그를 분석한다. 여기서, 상기 분석 대상의 상태 플래그는 상기 활성화/비활성화 처리부(120)에 의해 상기 입력된 비트값들에 이미 부여되어 레지스터에 저장된 것이므로, 상기 제2 최소값 결정부(140)는 상기 레지스터에 저장된 상태 플래그를 체크하는 것으로 상기 입력된 비트값들의 상태 플래그를 분석하여 그 결과를 출력할 수 있다.

[105] 다음으로, 단계(630)에서 상기 비트-직렬 방식의 복호기(100)의 제2 최소값 결정부(140)는 상기 입력된 비트값들의 상태 플래그가 '0'인 것이 하나인지 여부를 판단한다.

[106] 상기 판단 결과, 상태 플래그 '0'이 하나인 경우(630의 "예" 방향), 단계(640)에서 상기 비트-직렬 방식의 복호기(100)의 제2 최소값 결정부(140)는 해당 비트값을 가지는 입력값을 상기 제2 최소값으로 결정한다.

- [107] 반면, 상기 판단 결과, 상태 플래그 '0'이 하나가 아닌 경우(630의 "아니오" 방향), 상기 비트-직렬 방식의 복호기(100)의 제2 최소값 결정부(140)는 상기 제1 비트의 다음 비트에 대해 상기 단계(610)에서 상기 단계(630)까지의 과정을 상태 플래그 '0'이 하나가 될 때까지 반복 수행한다.
- [108]
- [109] 도 7은 본 발명의 다른 실시예에 따른 비트-직렬 방식의 복호기의 최소값 탐색 방법을 설명하기 위해 도시한 흐름도이다. 참고로, 도 7은 제2 최소값이 하나인 경우로 한정된 실시 형태를 나타낸다.
- [110] 도 1 및 도 7을 참조하면, 단계(710)에서 상기 비트-직렬 방식의 복호기(100)의 비트값 비교부(110)는 변수 노드에서 체크 노드로 전송되는 입력값들 각각의 비트값을 첫 번째 비트(최상위 비트)부터 마지막 비트(최하위 비트)까지 순차적으로 비교한다.
- [111] 다음으로, 단계(720)에서 상기 비트-직렬 방식의 복호기(100)의 활성화/비활성화 처리부(120)는 상기 비교 결과에 따라 상기 각각의 비트값의 활성화 여부를 결정한다.
- [112] 다음으로, 단계(730)에서 상기 비트-직렬 방식의 복호기(100)의 제1 최소값 결정부(130)는 상기 입력값들 중 연속으로 활성화 처리된 비트 수가 가장 많은 입력값을 제1 최소값으로 결정한다.
- [113] 다음으로, 단계(740)에서 상기 비트-직렬 방식의 복호기(100)의 제2 최소값 결정부(140)는 상기 입력값들 중 연속으로 활성화 처리된 비트 수가 상기 제1 최소값 다음으로 많은 입력값을 제2 최소값으로 결정한다.
- [114]
- [115] 도 8은 본 발명의 또 다른 실시예에 따른 비트-직렬 방식의 복호기의 최소값 탐색 방법을 설명하기 위해 도시한 흐름도이다. 참고로, 도 8은 제2 최소값이 복수개인 경우에 대한 실시 형태를 나타낸다.
- [116] 도 1 및 도 8을 참조하면, 단계(810)에서 상기 비트-직렬 방식의 복호기(100)의 비트값 비교부(110)는 변수 노드에서 체크 노드로 전송되는 입력값들 각각의 비트값을 첫 번째 비트(최상위 비트)부터 마지막 비트(최하위 비트)까지 순차적으로 비교한다.
- [117] 다음으로, 단계(820)에서 상기 비트-직렬 방식의 복호기(100)의 활성화/비활성화 처리부(120)는 상기 비교 결과에 따라 상기 각각의 비트값의 활성화 여부를 결정한다.
- [118] 다음으로, 단계(830)에서 상기 비트-직렬 방식의 복호기(100)의 제1 최소값 결정부(130)는 상기 입력값들 중 연속으로 활성화 처리된 비트 수가 가장 많은 입력값을 제1 최소값으로 결정한다.
- [119] 다음으로, 단계(840)에서 상기 비트-직렬 방식의 복호기(100)의 제2 최소값 결정부(140)는 상기 입력값들 중 연속으로 활성화 처리된 비트 수가 상기 제1 최소값 다음으로 많은 입력값을 제2 최소값으로 결정한다.

- [120] 이때, 상기 제2 최소값이 복수개인 경우(850의 "예" 방향), 단계(860)에서 상기 비트-직렬 방식의 복호기(100)의 제2 최소값 결정부(140)는 상기 제1 최소값이 결정된 임의의 제1 비트에서, 상기 복수개의 제2 최소값의 비트값을 반전 처리한다.
- [121] 다음으로, 단계(870)에서 상기 비트-직렬 방식의 복호기(100)의 제2 최소값 결정부(140)는 상기 반전 처리를 통해 활성화된 비트값을 가지는 입력값들에 대해, 상기 제1 비트에서부터 임의의 제2 비트까지 연속하여 활성화 처리된 비트 수가 가장 많은 입력값을 제2 최소값으로 최종 결정한다.
- [122] 물론, 상기 단계(850)에서 상기 제2 최소값이 복수개가 아닌 경우(850의 "아니오" 방향), 상기 비트-직렬 방식의 복호기(100)의 제2 최소값 결정부(140)는 상기 단계(860) 및 상기 단계(870)을 수행하지 않고 본 실시예를 즉시 종료한다.
- [123]
- [124] 본 발명의 실시예들은 다양한 컴퓨터로 구현되는 동작을 수행하기 위한 프로그램 명령을 포함하는 컴퓨터 판독 가능 매체를 포함한다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 로컬 데이터 파일, 로컬 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체는 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체, CD-ROM, DVD와 같은 광기록 매체, 플롭티컬 디스크와 같은 자기-광 매체, 및 롬, 램, 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.
- [125]
- [126] 지금까지 본 발명에 따른 구체적인 실시예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서는 여러 가지 변형이 가능함은 물론이다. 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 안 되며, 후술하는 특허 청구의 범위뿐 아니라 이 특허 청구의 범위와 균등한 것들에 의해 정해져야 한다.
- [127] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 이는 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명 사상은 아래에 기재된 특허청구범위에 의해서만 파악되어야 하고, 이의 균등 또는 등가적 변형 모두는 본 발명 사상의 범주에 속한다고 할 것이다.
- [128] [부호의 설명]
- [129] 110: 비트값 비교부

- [130] 120: 활성화/비활성화 처리부
- [131] 130: 제1 최소값 결정부
- [132] 140: 제2 최소값 결정부
- [133] 150: 제어부

청구범위

[청구항 1]

입력값들 각각의 비트값을 최상위 비트에서부터 최하위 비트까지 순차적으로 비교하는 비트값 비교부;
 상기 비트값 비교부의 비교 결과에 따라, 상기 입력값들 각각의 비트값의 활성화 여부를 결정하는 활성화/비활성화 처리부;
 상기 최상위 비트에서부터 상기 최하위 비트 사이에서, 상기 활성화/비활성화 처리부에 의해 활성화된 비트값이 하나인 임의의 제1 비트가 최초로 발견되는 경우, 상기 제1 비트에서 활성화된 비트값을 가지는 입력값을 제1 최소값으로 결정하는 제1 최소값 결정부; 및
 상기 제1 최소값이 결정된 상기 제1 비트에서, 상기 활성화/비활성화 처리부에 의해 비활성화된 비트값을 반전 처리하여 제2 최소값을 결정하는 제2 최소값 결정부를 포함하는 것을 특징으로 하는 비트-직렬 방식의 복호기.

[청구항 2]

제1항에 있어서,
 상기 입력값들은
 LDPC(Low-Density Parity-Check) 복호기의 변수 노드에서 체크 노드로 전송되는 값들을 포함하는 것을 특징으로 하는 비트-직렬 방식의 복호기.

[청구항 3]

제1항에 있어서,
 상기 활성화/비활성화 처리부는
 상기 최상위 비트에서부터 상기 제1 비트까지 한 비트 단위로 비교한 결과에 따라, 상기 각각의 비트값 중 상대적으로 작은 비트값을 활성화 처리하고, 상대적으로 큰 비트값을 비활성화 처리하는 것을 특징으로 하는 비트-직렬 방식의 복호기.

[청구항 4]

제3항에 있어서,
 상기 활성화/비활성화 처리부는
 상기 비트값의 활성화 또는 비활성화 처리 시, 해당 비트값에 상태 플래그(status flag)를 부여하고,
 상기 제1 및 제2 최소값 결정부는
 상기 상태 플래그에 기초하여 상기 제1 및 제2 최소값을 결정하는 것을 특징으로 하는 비트-직렬 방식의 복호기.

[청구항 5]

제4항에 있어서,
 상기 활성화/비활성화 처리부는
 상기 비트값의 활성화 처리 시 해당 비트값에 '0'의 상태 플래그를 부여하고, 상기 비트값의 비활성화 처리 시 해당 비트값에 '1'의 상태 플래그를 부여하는 것을 특징으로 하는 비트-직렬 방식의

복호기.

[청구항 6]

제3항에 있어서,

상기 활성화/비활성화 처리부는

상기 비활성화 처리 시, 해당 입력값의 비트값들을 상기 비활성화 처리된 비트에서부터 상기 최하위 비트까지 모두 비활성화 처리하여 상기 제1 및 제2 최소값 후보에서 제외시키는 것을 특징으로 하는 비트-직렬 방식의 복호기.

[청구항 7]

제1항에 있어서,

상기 제2 최소값 결정부는

상기 제1 비트에서 반전 처리를 통해 활성화된 비트값을 가지는 입력값들에 대해, 상기 제1 비트와 상기 최하위 비트 사이에서, 상기 활성화/비활성화 처리부에 의해 활성화된 비트값이 하나인 임의의 제2 비트가 최초로 발견되는 경우, 상기 제2 비트에서 활성화된 비트값을 가지는 입력값을 상기 제2 최소값으로 결정하는 것을 특징으로 하는 비트-직렬 방식의 복호기.

[청구항 8]

입력값들 각각의 비트값을 최상위 비트부터 최하위 비트까지 순차적으로 비교하는 비트값 비교부;

상기 비교 결과에 따라 상기 각각의 비트값의 활성화 여부를 결정하는 활성화/비활성화 처리부;

상기 입력값들 중 연속으로 활성화 처리된 비트 수가 가장 많은 입력값을 제1 최소값으로 결정하는 제1 최소값 결정부; 및

상기 입력값들 중 연속으로 활성화 처리된 비트 수가 상기 제1 최소값 다음으로 많은 입력값을 제2 최소값으로 결정하는 제2 최소값 결정부

를 포함하는 것을 특징으로 하는 비트-직렬 방식의 복호기.

[청구항 9]

제8항에 있어서,

상기 제2 최소값 결정부는

상기 제2 최소값 결정부에 의해 결정된 상기 제2 최소값이

복수개일 경우, 상기 제1 최소값이 결정된 임의의 제1 비트에서,

상기 복수개의 제2 최소값의 비트값을 반전 처리하여 상기 제2 최소값을 결정하는 것을 특징으로 하는 비트-직렬 방식의 복호기.

[청구항 10]

제9항에 있어서,

상기 제2 최소값 결정부는

상기 제1 비트에서 반전 처리를 통해 활성화된 비트값을 가지는 입력값들에 대해, 상기 제1 비트에서부터 임의의 제2 비트까지 연속하여 활성화 처리된 비트 수가 가장 많은 입력값을 상기 제2 최소값으로 결정하는 것을 특징으로 하는 비트-직렬 방식의 복호기.

- [청구항 11] 비트-직렬 방식의 복호기의 비트값 비교부에서, 입력값들 각각의 비트값을 최상위 비트에서부터 최하위 비트까지 순차적으로 비교하는 단계;
 상기 비트-직렬 방식의 복호기의 활성화/비활성화 처리부에서, 상기 비트값 비교부의 비교 결과에 따라, 상기 입력값들 각각의 비트값의 활성화 여부를 결정하는 단계;
 상기 비트-직렬 방식의 복호기의 제1 최소값 결정부에서, 상기 최상위 비트에서부터 상기 최하위 비트 사이에서, 상기 활성화/비활성화 처리부에 의해 활성화된 비트값이 하나인 임의의 제1 비트가 최초로 발견되는 경우, 상기 제1 비트에서 활성화된 비트값을 가지는 입력값을 제1 최소값으로 결정하는 단계; 및
 상기 비트-직렬 방식의 복호기의 제2 최소값 결정부에서, 상기 제1 최소값이 결정된 상기 제1 비트에서, 상기 활성화/비활성화 처리부에 의해 비활성화된 비트값을 반전 처리하여 제2 최소값을 결정하는 단계
 를 포함하는 것을 특징으로 하는 비트-직렬 방식의 복호기의 최소값 탐색 방법.
- [청구항 12] 제11항에 있어서,
 상기 입력값들은
 LDPC 복호기의 변수 노드에서 체크 노드로 전송되는 값들을 포함하는 것을 특징으로 하는 비트-직렬 방식의 복호기의 최소값 탐색 방법.
- [청구항 13] 제11항에 있어서,
 상기 입력값들 각각의 비트값의 활성화 여부를 결정하는 단계는
 상기 최상위 비트에서부터 상기 제1 비트까지 한 비트 단위로 비교한 결과에 따라, 상기 각각의 비트값 중 상대적으로 작은 비트값을 활성화 처리하고, 상대적으로 큰 비트값을 비활성화 처리하는 단계
 를 포함하는 것을 특징으로 하는 비트-직렬 방식의 복호기의 최소값 탐색 방법.
- [청구항 14] 제13항에 있어서,
 상기 입력값들 각각의 비트값의 활성화 여부를 결정하는 단계는
 상기 비트값의 활성화 또는 비활성화 처리 시, 해당 비트값에 상태 플래그(status flag)를 부여하는 단계
 를 더 포함하고,
 상기 상태 플래그는
 상기 제1 및 제2 최소값의 결정하기 위한 기초 자료로서 이용되는 것을 특징으로 하는 비트-직렬 방식의 복호기의 최소값 탐색 방법.

- [청구항 15] 제13항에 있어서,
 상기 입력값들 각각의 비트값의 활성화 여부를 결정하는 단계는
 상기 비활성화 처리 시, 해당 입력값의 비트값들을 상기 비활성화
 처리된 비트에서부터 상기 최하위 비트까지 모두 비활성화
 처리하여 상기 제1 및 제2 최소값 후보에서 제외시키는 단계
 를 더 포함하는 것을 특징으로 하는 비트-직렬 방식의 복호기의
 최소값 탐색 방법.
- [청구항 16] 제11항에 있어서,
 상기 제2 최소값을 결정하는 단계는
 상기 제1 비트에서 반전 처리를 통해 활성화된 비트값을 가지는
 입력값들에 대해, 상기 제1 비트와 상기 최하위 비트 사이에서,
 상기 활성화/비활성화 처리부에 의해 활성화된 비트값이 하나인
 임의의 제2 비트가 최초로 발견되는 경우, 상기 제2 비트에서
 활성화된 비트값을 가지는 입력값을 상기 제2 최소값으로
 결정하는 단계
 를 포함하는 것을 특징으로 하는 비트-직렬 방식의 복호기의
 최소값 탐색 방법.
- [청구항 17] 비트-직렬 방식의 복호기의 비트값 비교부에서, 입력값들 각각의
 비트값을 최상위 비트부터 최하위 비트까지 순차적으로 비교하는
 단계;
 상기 비트-직렬 방식의 복호기의 활성화/비활성화 처리부에서,
 상기 비교 결과에 따라 상기 각각의 비트값의 활성화 여부를
 결정하는 단계;
 비트-직렬 방식의 복호기의 제1 최소값 결정부에서, 상기
 입력값들 중 연속으로 활성화 처리된 비트 수가 가장 많은
 입력값을 제1 최소값으로 결정하는 단계; 및
 비트-직렬 방식의 복호기의 제2 최소값 결정부에서, 상기
 입력값들 중 연속으로 활성화 처리된 비트 수가 상기 제1 최소값
 다음으로 많은 입력값을 제2 최소값으로 결정하는 단계
 를 포함하는 것을 특징으로 하는 비트-직렬 방식의 복호기의
 최소값 탐색 방법.
- [청구항 18] 제17항에 있어서,
 상기 제2 최소값 결정부에 의해 결정된 상기 제2 최소값이
 복수개일 경우,
 상기 제2 최소값 결정부에서, 상기 제1 최소값이 결정된 임의의
 제1 비트에서, 상기 복수개의 제2 최소값의 비트값을 반전
 처리하여 상기 제2 최소값을 결정하는 단계
 를 더 포함하는 것을 특징으로 하는 비트-직렬 방식의 복호기의

[청구항 19]

최소값 탐색 방법.

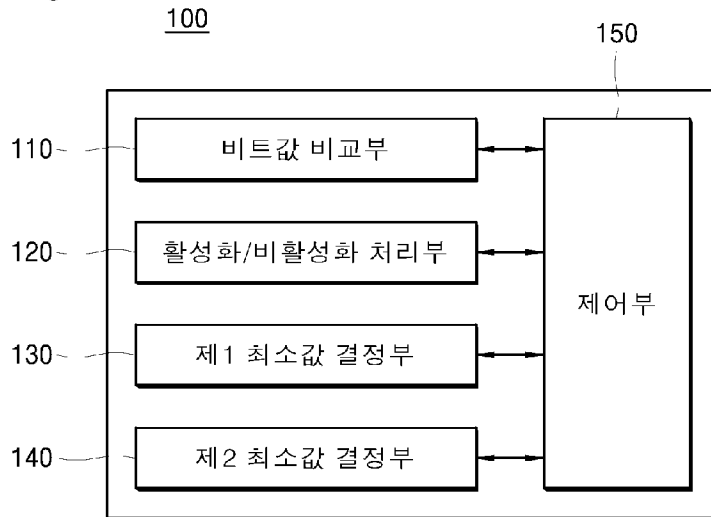
제18항에 있어서,

상기 제2 최소값을 결정하는 단계는

상기 제1 비트에서 반전 처리를 통해 활성화된 비트값을 가지는
입력값들에 대해, 상기 제1 비트에서부터 임의의 제2 비트까지
연속하여 활성화 처리된 비트 수가 가장 많은 입력값을 상기 제2
최소값으로 결정하는 단계

를 포함하는 것을 특징으로 하는 비트-직렬 방식의 복호기의
최소값 탐색 방법.

[Fig. 1]



[Fig. 2]

(A) <입력값들의 각 비트별 비트값>

입력값	1비트 (최상위)	2비트	3비트	4비트	5비트 (최하위)
A	0	1	0	0	1
B	0	1	0	1	0
C	0	1	0	1	1
D	1	0	0	0	0

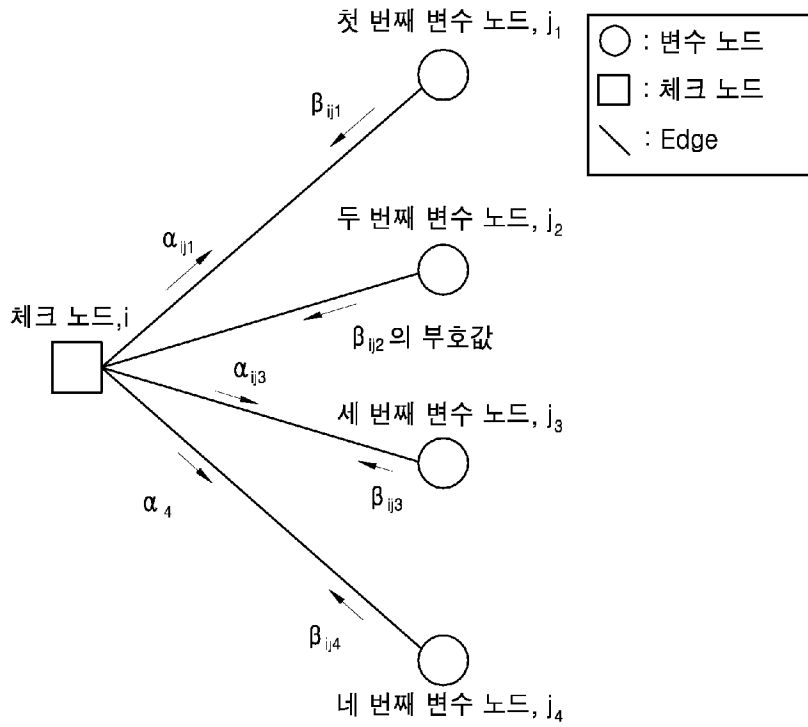
(B) <입력값들의 각 비트별 상태 플래그 - 제1 최소값 결정 전>

입력값	1비트 (최상위)	2비트	3비트	4비트	5비트 (최하위)
A	0	0	0	0	
B	0	0	0	1	
C	0	0	0	1	
D	1	1	1	1	1

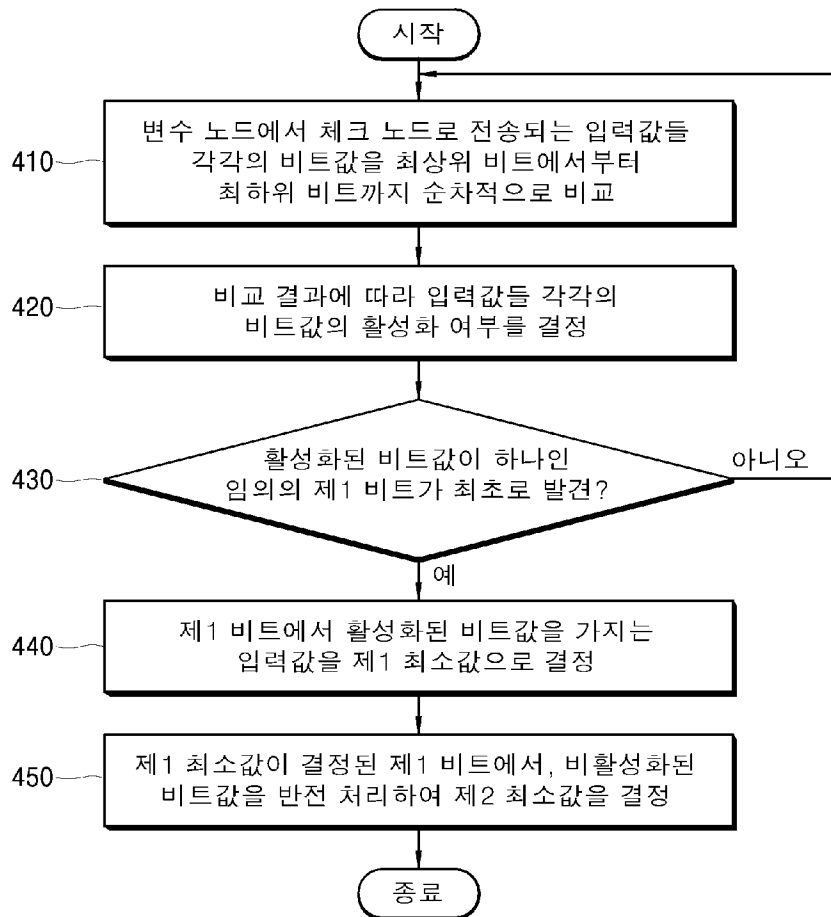
(C) <입력값들의 각 비트별 상태 플래그 - 제1 최소값 결정 후>

입력값	1비트 (최상위)	2비트	3비트	4비트	5비트 (최하위)
A	0	0	0	1	1
B	0	0	0	0	0
C	0	0	0	0	1
D	1	1	1	1	1

[Fig. 3]

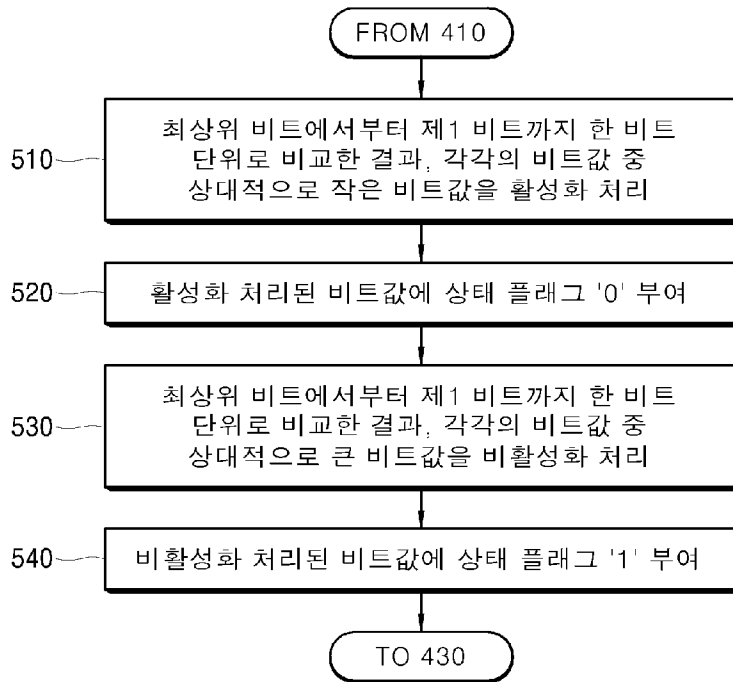


[Fig. 4]



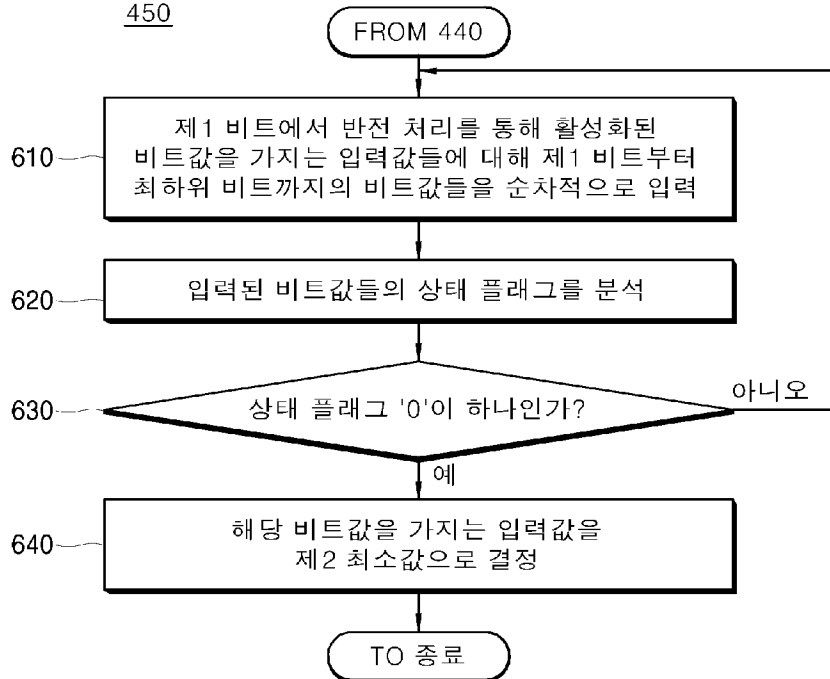
[Fig. 5]

420

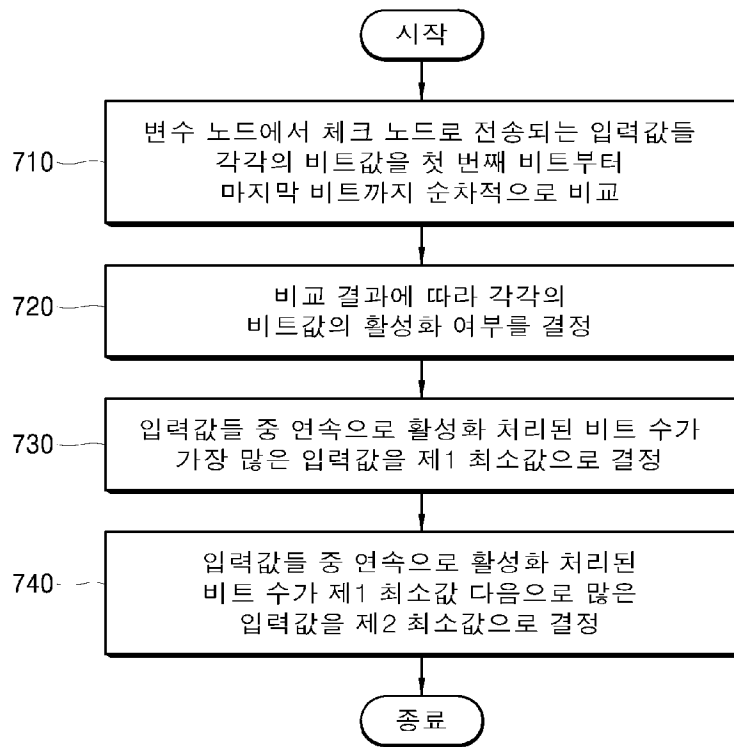


[Fig. 6]

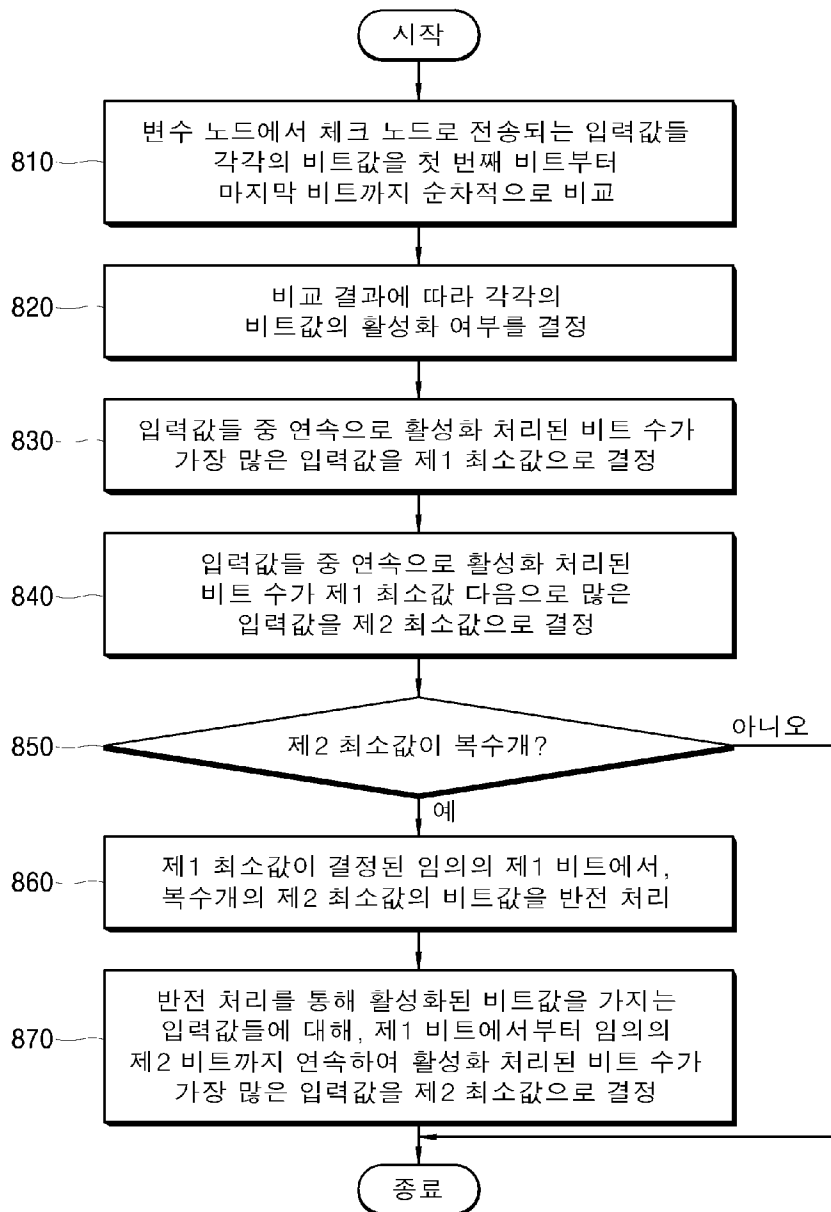
450



[Fig. 7]



[Fig. 8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2014/009205**A. CLASSIFICATION OF SUBJECT MATTER*****H03M 13/11(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M 13/11; H03M 13/09; G06F 15/00; H03M 13/05; G06F 11/10; G06F 7/00; H04L 27/06; G06F 7/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: bit-serial type, LDPC, minimum value

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2010-0037119 A1 (OH, Jong - Ee et al.) 11 February 2010 See paragraphs [0055]-[0098]; claim 1; and figures 1-6.	1-19
A	US 2009-0164540 A1 (JOH, Jong - Ee et al.) 25 June 2009 See paragraphs [0039], [0054]-[0112]; and figures 1-7.	1-19
A	US 8234320 B1 (YEO, Engling) 31 July 2012 See column 3, line 32 - column 6, line 61; and figures 1-12.	1-19
A	US 2008-0222499 A1 (HUNG, Jui - Hui et al.) 11 September 2008 See paragraphs [0016]-[0021]; and figures 1-4.	1-19
A	US 2008-0292025 A1 (EFIMOV, Andrey et al.) 27 November 2008 Paragraphs [0015]-[0082]; and figures 1-8.	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

31 DECEMBER 2014 (31.12.2014)

Date of mailing of the international search report

31 DECEMBER 2014 (31.12.2014)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2014/009205

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2010-0037119 A1	11/02/2010	KR 10-0864838 B1 WO 2008-069567 A1	23/10/2008 12/06/2008
US 2009-0164540 A1	25/06/2009	KR 10-1065480 B1 KR 10-2009-0066336 A	19/09/2011 24/06/2009
US 8234320 B1	31/07/2012	NONE	
US 2008-0222499 A1	11/09/2008	TW 200838160 A TW 1328934 B US 7966543 B2	16/09/2008 11/08/2010 21/06/2011
US 2008-0292025 A1	27/11/2008	CN 101432970 A CN 101432970 B EP 2025062 A1 US 7836383 B2 WO 2007-126328 A1 WO 2007-126328 A9	13/05/2009 14/11/2012 18/02/2009 16/11/2010 08/11/2007 11/12/2008

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H03M 13/11(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H03M 13/11; H03M 13/09; G06F 15/00; H03M 13/05; G06F 11/10; G06F 7/00; H04L 27/06; G06F 7/38

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 비트-직렬 방식, LDPC, 최소값

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	US 2010-0037119 A1 (JONG-EE OH et al.) 2010.02.11 단락 [0055]-[0098]; 청구항 1; 및 도면 1-6 참조.	1-19
A	US 2009-0164540 A1 (JONG-EE OH et al.) 2009.06.25 단락 [0039], [0054]-[0112]; 및 도면 1-7 참조.	1-19
A	US 8234320 B1 (ENGLING YEO) 2012.07.31 컬럼 3, 라인 32 - 컬럼 6, 라인 61; 및 도면 1-12 참조.	1-19
A	US 2008-0222499 A1 (JUI-HUI HUNG et al.) 2008.09.11 단락 [0016]-[0021]; 및 도면 1-4 참조.	1-19
A	US 2008-0292025 A1 (ANDREY EFIMOV et al.) 2008.11.27 단락 [0015]-[0082]; 및 도면 1-8.	1-19

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2014년 12월 31일 (31.12.2014)

국제조사보고서 발송일

2014년 12월 31일 (31.12.2014)

ISA/KR의 명칭 및 우편주소

 대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

김도원

전화번호 +82-42-481-5560



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2010-0037119 A1	2010/02/11	KR 10-0864838 B1 WO 2008-069567 A1	2008/10/23 2008/06/12
US 2009-0164540 A1	2009/06/25	KR 10-1065480 B1 KR 10-2009-0066336 A	2011/09/19 2009/06/24
US 8234320 B1	2012/07/31	없음	
US 2008-0222499 A1	2008/09/11	TW 200838160 A TW I328934 B US 7966543 B2	2008/09/16 2010/08/11 2011/06/21
US 2008-0292025 A1	2008/11/27	CN 101432970 A CN 101432970 B EP 2025062 A1 US 7836383 B2 WO 2007-126328 A1 WO 2007-126328 A9	2009/05/13 2012/11/14 2009/02/18 2010/11/16 2007/11/08 2008/12/11