

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成20年12月25日(2008.12.25)

【公開番号】特開2007-133982(P2007-133982A)

【公開日】平成19年5月31日(2007.5.31)

【年通号数】公開・登録公報2007-020

【出願番号】特願2005-326608(P2005-326608)

【国際特許分類】

G 11 B 20/14 (2006.01)

H 03 M 7/14 (2006.01)

【F I】

G 11 B 20/14 3 4 1 A

H 03 M 7/14 B

【手続補正書】

【提出日】平成20年11月6日(2008.11.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基本データ長がmビットのデータを、最小ランがd ($d > 0$)、かつ最大ランがkの、基本符号語長がnビットの可変長符号($d, k; m, n; r$) (最大拘束長 $r > 1$)に変換する変調テーブルにおいて、

基本データ長がmビットの基礎データからなるデータパターンを基本符号語長がnビットの可変長符号の基礎符号からなる符号パターンに変換する基礎テーブルと、

置換データからなるデータパターンを置換符号からなる符号パターンに置換する置換テーブルとを備え、

前記置換テーブルは、データパターンとしての、前記最小ランの連続をN ($N > 1$)回以下に制限する最小ラン連続制限データパターンと、符号パターンとしての、前記最小ラン連続制限データパターンに対応する最小ラン連続制限符号パターンを含み、

前記最小ラン連続制限符号パターンの少なくとも1つは、直前あるいは直後の符号語列により値が決定される不確定符号を含み、

前記不確定符号を含む最小ラン連続制限符号パターンを全体として変換するかまたは分割して個別に変換するかを決定する条件が、前記不確定符号を含む最小ラン連続制限符号パターンに対応する前記最小ラン連続制限データパターンの直後のデータビットで規定されている

変調テーブル。

【請求項2】

前記条件が、前記不確定符号を含む最小ラン連続制限符号パターンに対応する最小ラン連続制限データパターンである第1の最小ラン連続制限データパターンを一部に含む最小ラン連続制限データパターンであって、全体を分割して個別に変換する第2の最小ラン連続制限データパターンとして規定されている

請求項1に記載の変調テーブル。

【請求項3】

前記第1の最小ラン連続制限データパターンに含まれる第3の最小ラン連続制限データパターンは、次の3符号が“010”であるとき、全体が一括して前記不確定符号を含まな

い他の置換符号に変換される

請求項 2 に記載の変調テーブル。

【請求項 4】

前記条件が、前記不確定符号を含む最小ラン連続制限符号パターンに対応する最小ラン連続制限データパターンの直後に位置するデータビットとして規定されている

請求項 1 に記載の変調テーブル。

【請求項 5】

前記不確定符号を含む最小ラン連続制限符号パターンは、 $d = 1$ における最小ランの連続を制限する場合、直前の 3 符号が “010” のとき “0” となり、直前の 3 符号が “010” でないとき “1” となる不確定符号 “\$” を含む符号語 “\$0\$” を含む

請求項 1 に記載の変調テーブル。

【請求項 6】

前記符号語 “\$0\$” は、さらに直前の符号が “1” のとき “000” となる

請求項 5 に記載の変調テーブル。

【請求項 7】

前記最小ランの連続 N は、5 回以下である

請求項 1 に記載の変調テーブル。

【請求項 8】

基本データ長が m のデータを、最小ランが d、かつ最大ランが k の、基本符号語長が n の可変長符号 $(d, k; m, n; r)$ (最大拘束長 $r > 1$) に変換する変調装置において、

入力データの、前記最小ランの連続を N ($N > 1$) 回以下に制限する第 1 の最小ラン連続制限データパターンと一致する部分を、一括して、前記第 1 の最小ラン連続制限データパターンに対応する、不確定符号を含む第 1 の最小ラン連続制限符号パターンに変換する第 1 の変換手段と、

前記不確定符号を確定する確定手段と、

入力データの、前記第 1 の最小ラン連続制限データパターンの一部を構成する部分データパターンと一致する部分を、個別に、対応する符号パターンに変換する第 2 の変換手段と、

前記第 1 の最小ラン連続制限データパターンを前記第 1 の最小ラン連続制限符号パターンに一括して変換する場合の条件を、入力データを構成するデータビットから検出する検出手段と、

入力データが前記条件を満足することが検出された場合、一括して変換され、かつ前記不確定符号が確定された前記第 1 の最小ラン連続制限符号パターンを選択し、入力データが前記条件を満足しないことが検出された場合、前記第 1 の最小ラン連続制限データパターンが、前記部分データパターン毎に個別に変換された符号パターンを選択する選択手段と

を備える変調装置。

【請求項 9】

前記選択手段は、前記入力データが前記第 1 の最小ラン連続制限データパターンと一致する部分を含み、かつ、その一致する部分の直後のデータビットが予め設定されている所定のデータビットではない場合、前記条件が満足されたと判定する

請求項 8 に記載の変調装置。

【請求項 10】

RLL 規則を守るための情報を生成する RLL 情報生成手段と、

前記最小ランの連続を N 回以下に制限するための情報を生成する制限情報生成手段とをさらに備え、

前記確定手段は、生成された前記 RLL 規則を守るための情報と前記最小ランの連続を N 回以下に制限するための情報に基づいて、前記不確定符号を確定する

請求項 8 に記載の変調装置。

【請求項 11】

入力データの、前記第1の最小ラン連続制限データパターンの一部のデータパターンを構成する第2の最小ラン連続制限データパターンと一致する部分を、一括して、前記第1の最小ラン連続制限符号パターンと異なる第2の最小ラン連続制限符号パターンに変換する第3の変換手段をさらに備え、

前記選択手段は、前記第2の最小ラン連続制限データパターンの次の3符号が“010”であるとき、前記第2の最小ラン連続制限符号パターンを選択する

請求項10に記載の変調装置。

【請求項12】

前記入力データのうちの少なくとも12ビットのデータを記憶する記憶手段をさらに備える

請求項8に記載の変調装置。

【請求項13】

前記第1の変換手段は、前記最小ランの連続を、5回以下に制限する

請求項8に記載の変調装置。

【請求項14】

請求項8に記載の変調装置により変調された信号が記録されている記録媒体。

【請求項15】

基本データ長がmのデータを、最小ランがd、かつ最大ランがkの、基本符号語長がnの可変長符号(d,k;m,n;r) (最大拘束長r > 1)に変換する変調方法において、

入力データの、前記最小ランの連続をN(N > 1)回以下に制限する最小ラン連続制限データパターンと一致する部分を、一括して、前記最小ラン連続制限データパターンに対応する、不確定符号を含む最小ラン連続制限符号パターンに変換する第1の変換ステップと、

前記不確定符号を確定する確定ステップと、

入力データの、前記最小ラン連続制限データパターンの一部を構成する部分データパターンと一致する部分を、個別に、対応する符号パターンに変換する第2の変換ステップと、

前記最小ラン連続制限データパターンを前記不確定符号を含む最小ラン連続制限符号パターンに一括して変換する場合の条件を、入力データを構成するデータビットから検出する検出ステップと、

入力データが前記条件を満足することが検出された場合、一括して変換され、かつ前記不確定符号が確定された前記最小ラン連続制限符号パターンを選択し、入力データが前記条件を満足しないことが検出された場合、前記最小ラン連続制限データパターンが、前記部分データパターン毎に個別に変換された符号パターンを選択する選択ステップと

を含む変調方法。

【請求項16】

基本データ長がmのデータを、最小ランがd、かつ最大ランがkの、基本符号語長がnの可変長符号(d,k;m,n;r) (最大拘束長r > 1)に変換するプログラムにおいて、

入力データの、前記最小ランの連続をN(N > 1)回以下に制限する最小ラン連続制限データパターンと一致する部分を、一括して、前記最小ラン連続制限データパターンに対応する、不確定符号を含む最小ラン連続制限符号パターンに変換する第1の変換ステップと、

前記不確定符号を確定する確定ステップと、

入力データの、前記最小ラン連続制限データパターンの一部を構成する部分データパターンと一致する部分を、個別に、対応する符号パターンに変換する第2の変換ステップと、

前記最小ラン連続制限データパターンを前記不確定符号を含む最小ラン連続制限符号パターンに一括して変換する場合の条件を、入力データを構成するデータビットから検出する検出ステップと、

入力データが前記条件を満足することが検出された場合、一括して変換され、かつ前記

不確定符号が確定された前記最小ラン連続制限符号パターンを選択し、入力データが前記条件を満足しないことが検出された場合、前記最小ラン連続制限データパターンが、前記部分データパターン毎に個別に変換された符号パターンを選択する選択ステップとをコンピュータに実行させるプログラム。

【請求項 1 7】

請求項 1 6 に記載のプログラムが記録されている記録媒体。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 3

【補正方法】変更

【補正の内容】

【0 0 5 3】

また本発明の側面は、基本データ長が m のデータを、最小ランが d 、かつ最大ランが k の、基本符号語長が n の可変長符号($d, k; m, n; r$) (最大拘束長 $r > 1$) に変換する変調方法、プログラム、またはプログラムが記載された記録媒体において、入力データの、前記最小ランの連続を N ($N > 1$) 回以下に制限する最小ラン連続制限データパターンと一致する部分を、一括して、前記最小ラン連続制限データパターンに対応する、不確定符号を含む最小ラン連続制限符号パターンに変換する第 1 の変換ステップと、前記不確定符号を確定する確定ステップと、入力データの、前記最小ラン連続制限データパターンの一部を構成する部分データパターンと一致する部分を、個別に、対応する符号パターンに変換する第 2 の変換ステップと、前記最小ラン連続制限データパターンを前記不確定符号を含む最小ラン連続制限符号パターンに一括して変換する場合の条件を、入力データを構成するデータビットから検出する検出ステップと、入力データが前記条件を満足することが検出された場合、一括して変換され、かつ前記不確定符号が確定された前記最小ラン連続制限符号パターンを選択し、入力データが前記条件を満足しないことが検出された場合、前記最小ラン連続制限データパターンが、前記部分データパターン毎に個別に変換された符号パターンを選択する選択ステップとを含む変調方法、それらのステップをコンピュータに実行させるプログラム、またはプログラムが記載された記録媒体である。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 0

【補正方法】変更

【補正の内容】

【0 0 7 0】

また本発明の側面は、基本データ長が m のデータを、最小ランが d 、かつ最大ランが k の、基本符号語長が n の可変長符号($d, k; m, n; r$) (最大拘束長 $r > 1$) に変換する変調方法において、入力データの、前記最小ランの連続を N ($N > 1$) 回以下に制限する最小ラン連続制限データパターン (例えば、表 3 の (1001110111)) と一致する部分を、一括して、前記最小ラン連続制限データパターンに対応する、不確定符号を含む最小ラン連続制限符号パターン (例えば、表 3 の符号パターン “ \$0\$ 010 000 000 101 ”) に変換する第 1 の変換ステップ (例えば、図 12 のステップ S81) と、前記不確定符号を確定する確定ステップ (例えば、図 12 のステップ S84, S86) と、入力データの、前記最小ラン連続制限データパターンの一部を構成する部分データパターンと一致する部分を、個別に、対応する符号パターンに変換する第 2 の変換ステップ (例えば、図 9 のステップ 5) と、前記最小ラン連続制限データパターンを前記不確定符号を含む最小ラン連続制限符号パターンに一括して変換する場合の条件を、入力データを構成するデータビットから検出する検出ステップ (例えば、図 10 のステップ S31 乃至 S33 、図 11 のステップ S52, S53) と、入力データが前記条件を満足することが検出された場合 (例えば、図 17 のステップ S231 で最小ラン連続制限データ検出フラグ (10data) が on と判定され、ステップ S232 で予想フラグが on ではないと判定された場合) 、一括して変換され、かつ前記不確定符号が確定された前記最小ラン

連続制限符号パターンを選択し（例えば、図17のステップS233）、入力データが前記条件を満足しないことが検出された場合（例えば、図17のステップS231で最小ラン連続制限データ検出フラグ(10data)がonではないと判定されるか、またはステップS232で予想フラグがonであると判定された場合）、前記最小ラン連続制限データパターンが、前記部分データパターン毎に個別に変換された符号パターンを選択する選択ステップ（例えば、図17のステップS236乃至S245）とを含む変調方法（例えば、図1の変調装置1の変調方法）である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0 1 0 3

【補正方法】変更

【補正の内容】

【0 1 0 3】

図2は、変調装置1の各部に入出力されるデータのデータフォーマットを示す図であり、同期パターンを含んだ、DSV制御ビットの挿入の関係が示されている。図示せぬ装置からDSV制御ビット決定挿入部21に入力されるデータ列（図2A）には、ユーザデータの他、ECC（Error-Correcting Code）等の情報データが含まれている。DSV制御ビット決定挿入部21は、このデータ列の所定間隔の位置にDSV制御ビットを1ビット挿入する（図2B）。先頭の区間は、シンクSYNC（同期パターン）を挿入することを前提として、あらかじめ他の区間と異なる長さとされている。図2B中のDSV区間(DATA1, DATA2、およびDATA3)の長さをそれぞれaビットデータ、bビットデータ、およびcビットデータとすると、変換率m:n = 2:3の変調テーブル（表3）を用いた変調部22による変調により、各DSV区間(DATA1, DATA2、およびDATA3)の変換cbit（チャネルビット）区間は、 $(a \times 3 / 2) = (1.5a)$ あるいは $(b \times 3 / 2) = (1.5b)$ となる（図2C）。その後、同期パターン挿入部23は、所定の位置（図2ではDATA1位置の前の先頭位置）にシンク（SYNC）を挿入する（図2D）。SYNCのチャネルビット数をc(cbit)とすれば、a,b,cの間には、次の式（1）の関係が成り立つようになる。

$$1.5a + c = 1.5b \quad \dots (1)$$

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0 1 4 4

【補正方法】変更

【補正の内容】

【0 1 4 4】

ステップS54において、最小ラン連続制限テーブル92Bは、10データ / 15チャネルビット処理を実行する。この処理の詳細は図12に示されている。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0 1 8 4

【補正方法】変更

【補正の内容】

【0 1 8 4】

また、最小ラン連続制限データの検出は、最小ラン連続制限データ検出部91により、入力データ列の10データが表3にある拘束長*i* = 5の10データの最小ラン連続制限データ（1001110111）と一致するかどうか比較することで行われる。一致したとき、さらに続くデータが（01）であるかが、予想フラグに基づいて、変換パターン決定部53により判定される。続くデータが（01）ではない（最小ラン連続制限データ検出予想部81より出力される予想フラグがoffである）ときは、データ（1001110111）は一括して変換されるが、続くデータが（01）である（予想フラグがonである）ときは、データ（1001110111）は一括して変換されず、分割して先頭から2ビットが処理される（例外処理される）。10データが

データパターン（1001110111）と一致しなかった場合、最小ラン連続制限データ検出部91は6データが表3にある拘束長*i*=3の6データの最小ラン連続制限データ（110111）と一致するかどうかを判定する。一致したとき、最小ラン連続制限データ検出部91は、さらに続くチャネルビット列が“010”であるかをデータ列内で見るために、後続の5データを参照する。5データの先頭から、（01），（001），（00000），終端（0000）のうちのいずれかのパターンと一致した時に、6データの最小ランの連続制限コード検出処理が行われる。