

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年7月16日(16.07.2020)



(10) 国際公開番号

WO 2020/144767 A1

(51) 国際特許分類:
H01L 21/82 (2006.01)

(21) 国際出願番号: PCT/JP2019/000367

(22) 国際出願日: 2019年1月9日(09.01.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

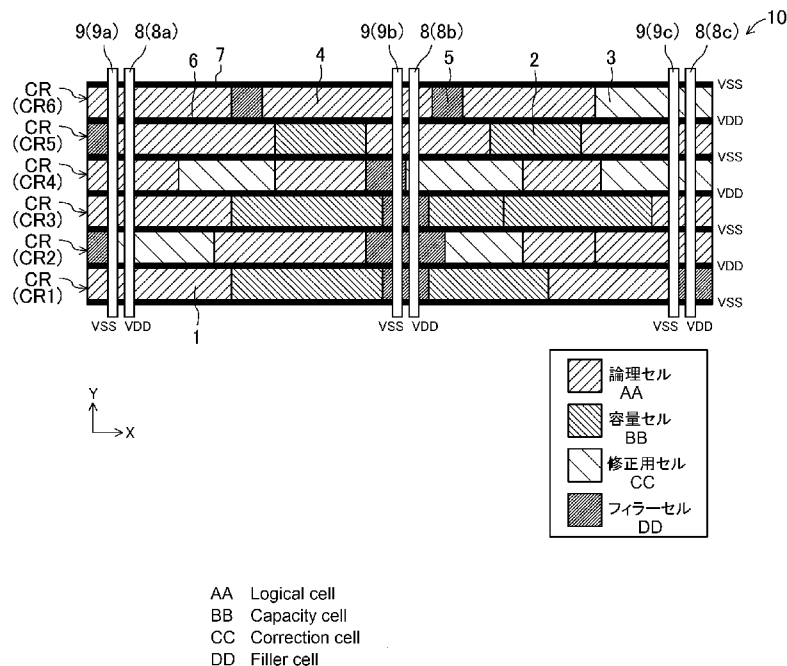
(72) 発明者: 落合 広 宣 (OCHIAI Hironobu); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).

(74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置



(57) Abstract: Between strap power supply wirings (8a, 8b) that supply a power supply potential VDD, standard cell rows (CR1, CR3, CR5), in which, of the capacity cells (2) and the correction cells (3), only capacity cells (2) are arranged, and standard cell rows (CR2, CR4, CR6) in which, of the capacity cells (2) and the correction cells (3), only the correction cells (3) are arranged, are arranged alternately in the Y direction.

[続葉有]

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 電源電位 VDD を供給するストラップ電源配線 (8 a, 8 b) の間において、容量セル (2) および修正用セル (3) のうち容量セル (2) のみが配置されたスタンダードセル列 (C R 1, C R 3, C R 5) と、容量セル (2) および修正用セル (3) のうち修正用セル (3) のみが配置されたスタンダードセル列 (C R 2, C R 4, C R 6) とが、Y方向において、交互に配置される。

明 細 書

発明の名称：半導体集積回路装置

技術分野

[0001] 本開示は、スタンダードセルを備えた半導体集積回路装置、特にスタンダードセルとしてデカップリング容量セルおよび修正用セルを備えた半導体集積回路装置に関するものである。

背景技術

[0002] 半導体基板上に半導体集積回路を形成する方法として、スタンダードセル方式が知られている。スタンダードセル方式とは、特定の論理機能を有する基本的単位（例えば、インバータ、ラッチ、フリップフロップ、全加算器など）をスタンダードセルとして予め用意しておき、半導体基板上に複数のスタンダードセルを配置して、それらのスタンダードセルを配線で接続することによって、LSIチップを設計する方式のことである。

[0003] また、近年、LSIの大規模化、高速化、低電圧化に伴い、電源電圧降下や電源ノイズの影響が大きくなってきており、これらを抑制するためのスタンダードセルとしてデカップリング容量セルが半導体集積回路装置内に配置される。

[0004] また、半導体集積回路装置の設計後に動作不具合や機能追加への対応をより少ないマスクの修正（たとえば一部のメタル配線層のマスクの修正）によって可能とするためのスタンダードセルとして、修正用セルが半導体集積回路装置内に配置される。

[0005] 特許文献1では、複数のスタンダードセル列で構成された半導体集積回路装置において、デカップリング容量セル（以下、適宜、単に容量セルともいう）と修正用セルとが複数のセル列に配置された半導体集積回路装置およびその設計方法が開示されている。

先行技術文献

特許文献

[0006] 特許文献1：特開2007-234857号公報

発明の概要

発明が解決しようとする課題

[0007] ところで、特許文献1では、デカップリング容量セルおよび修正用セルの配置順については開示されているが、デカップリング容量セルおよび修正用セルの配置パターンについては開示されていない。

[0008] スタANDARDセルで構成された半導体集積回路装置において、各スタンダードセル列に含まれる電源配線に生じる電源電圧降下や電源ノイズを抑制するために、電源配線ごとにデカップリング容量セルを備える方が好ましい。また、修正用セルに対する配線による配線遅延を抑制するために、動作不具合や機能追加を行いたい部分の近傍に修正用セルを備える方が好ましい。しかし、これらを満たすためには、多数のデカップリング容量セルおよび修正用セルを半導体集積回路装置に備える必要があり、半導体集積回路装置の面積が大きくなる。

[0009] 本開示は、これらの課題を解決する、修正用セルおよびデカップリング容量セルを用いた半導体集積回路装置を提供する。

課題を解決するための手段

[0010] 本開示では、第1方向に延びる複数の電源配線と、前記第1方向に並ぶ複数のスタンダードセルをそれぞれ備え、前記電源配線同士の間それぞれ配置された、複数のセル列と、前記複数のセル列の上方において、前記第1方向と垂直をなす第2方向に延びており、前記第1方向において離間して隣り合う、同一電源電圧を供給する第1および第2ストラップ電源配線とを備え、前記複数の電源配線は、第1電源電圧を供給する第1電源配線、および、前記第1電源電圧と異なる第2電源電圧を供給する第2電源配線を含み、前記第1電源配線と前記第2電源配線とは、前記第2方向において交互に配置されており、前記複数のセル列は、前記第1ストラップ電源配線と前記第2ストラップ電源配線との間の第1領域において、容量セルおよび修正用セルのうち容量セルのみが配置された第1セル列と、前記第1領域において容量

セルおよび修正用セルのうち修正用セルのみが配置された第2セル列とを含み、前記第1セル列と前記第2セル列とは、前記第2方向において交互に配置されている。

[0011] この態様によると、複数のセル列は、第1ストラップ電源配線と第2ストラップ電源配線との間の第1領域において、容量セルおよび修正用セルのうち容量セルのみが配置された第1セル列と、第1領域において容量セルおよび修正用セルのうち修正用セルのみが配置された第2セル列とを含む。第1セル列と第2セル列とは、第2方向において、交互に配置される。すなわち、容量セルおよび修正用セルは、第2方向に並んで配置されたセル列において、交互に配置される。これにより、半導体集積回路装置に配置される容量セルおよび修正用セルの数を抑えつつ、容量セルおよび修正用セルを半導体集積回路装置に確実に配置することができる。

[0012] また、容量セルが配置された第1セル列は、第2方向において、一列おきに配置される。これにより、いずれの電源配線も容量セルと接続されるため、回路ブロック内の局所的な電源電圧降下や電源ノイズの発生を抑制することができる。

[0013] また、修正用セルが配置された第2セル列は、第2方向において、一列おきに配置される。これにより、動作不具合や機能追加を行いたい部分の近傍に修正用セルが配置される可能性が高くなり、修正用セルに対する配線による配線遅延を抑制することができる。

発明の効果

[0014] 本開示によると、半導体集積回路装置の面積を抑えつつ、電源配線に生じる電源効果や電源ノイズを抑制し、かつ、修正用セルに対する配線遅延を抑制することができる。

図面の簡単な説明

[0015] [図1]デカップリング容量セルの一例を示す回路図。

[図2] (a), (b) は、修正用セルの一例を示す回路図。

[図3]第1実施形態に係る半導体集積回路装置のレイアウト構造を示す平面図

。

[図4]半導体集積回路装置の設計手順を示すフローチャート。

[図5]第1実施形態におけるステップS2実行後の半導体集積回路装置のレイアウト構造を示す平面図。

[図6]第1実施形態におけるステップS3実行後の半導体集積回路装置のレイアウト構造を示す平面図。

[図7]第1実施形態におけるステップS5実行後の半導体集積回路装置のレイアウト構造を示す平面図。

[図8]第2実施形態に係る半導体集積回路装置のレイアウト構造を示す平面図

。

[図9]第2実施形態におけるステップS5実行後の半導体集積回路装置のレイアウト構造を示す平面図。

発明を実施するための形態

[0016] 以下、実施の形態について、図面を参照して説明する。以下の実施の形態では、半導体集積回路装置は複数のスタンダードセル（以下、適宜、単にセルともいう）を備える。

[0017] まず、デカップリング容量セル（以下、適宜、単に容量セルともいう）および修正用セルについて説明する。図1はデカップリング容量セルの構成例を示す回路図であり、図2（a），（b）は修正用セルの構成例を示す回路図である。なお、図1および図2では、構成を回路記号によって図示しているが、実際には、拡散領域やゲート配線、メタル配線等からなるレイアウトが形成される。

[0018] 「デカップリング容量セル」は、半導体集積回路装置内の電源電圧降下や電源ノイズを抑制するために設けられるスタンダードセルである。デカップリング容量セルは、P型MOS（Metal Oxide Semiconductor）トランジスタ（PMOS）およびN型MOSトランジスタ（NMOS）を用いて構成される。P型およびN型MOSトランジスタ（以下、単にP型およびN型トランジスタという）は、それぞれのドレインおよびソースに電源VDD，VSS

のいずれか一方が接続され、ゲートに逆極性の電源が印加されるように構成される。なお、本明細書において、 VDD 、 VSS は、電源および電源から供給される電圧を示すものとする。

[0019] 図1に示すように、デカップリング容量セルには、デカップリング容量セル回路21が構成されている。デカップリング容量セル回路21は、固定値出力部22と、デカップリング容量部23とを備える。

[0020] 固定値出力部22は、P型トランジスタP1と、N型トランジスタN1とを備える。デカップリング容量部23は、P型トランジスタP2と、N型トランジスタN2とを備える。P型トランジスタP1は、ソースが電源 VDD に、ゲートがP型トランジスタP2のゲートおよびN型トランジスタN1のドレインに、ドレインがN型トランジスタN1のゲートおよびN型トランジスタN2のゲートにそれぞれ接続されている。N型トランジスタN1は、ソースが電源 VSS に接続されている。P型トランジスタP2は、ソースおよびドレインがそれぞれ電源 VDD に接続されている。N型トランジスタN2は、ドレインおよびソースがそれぞれ電源 VSS に接続されている。また、固定値出力部22により、P型トランジスタP2およびN型トランジスタN2のゲートには、それぞれ、電圧 VSS 、 VDD が常に印加される。これにより、P型トランジスタP2およびN型トランジスタN2が常にオン状態となり、P型トランジスタP2およびN型トランジスタN2のゲート酸化膜部分が容量として機能する。

[0021] なお、デカップリング容量セル回路21に固定値出力部22が設けられていなくてもよい。この場合、P型トランジスタP2のゲート、および、N型トランジスタN2のゲートが、それぞれ、電源 VSS 、 VDD に直接接続される。また、デカップリング容量セルは、トランジスタを用いずに、配線間容量を利用した構成であってもよい。

[0022] 「修正用セル」は、論理ブロックにおけるセル配置配線が実施された後、動作不具合や機能追加が発生した場合に使用されるスタンダードセルである。

[0023] 図2(a)に示すように、修正用セルには、修正用セル回路31が構成されている。修正用セル回路31は、P型トランジスタP3と、N型トランジスタN3とを備える。

[0024] P型トランジスタP3は、ソースが電源VDDに、ゲートが入力端子AおよびN型トランジスタN3のゲートに、ドレインが出力端子YおよびN型トランジスタN3のドレインに、それぞれ接続されている。N型トランジスタN3は、ソースが電源VSSに接続されている。すなわち、修正用セル回路31は、入力端子Aに入力された信号を反転して出力端子Yから出力するインバータ回路である。

[0025] 図2(a)に示すように、修正用セル回路31では、予め、入力端子Aに電源VSSを接続しておき、出力端子Yを未接続にしておく。そして、半導体集積回路装置の修正時に、インバータ回路の追加が必要となるとき、入力端子Aから電源VSSを切り離して、入力端子Aおよび出力端子Yを他の回路に接続する。これにより、半導体集積回路装置を所望の回路に修正することができる。

[0026] また、修正用セルに構成される論理回路は、インバータ回路として機能する修正用セル回路31以外の論理回路であってもよいし、特定の機能を持った論理回路でなくてもよい。例えば、図2(b)に示すように、修正用セルにP型トランジスタP4およびN型トランジスタN4を備える修正用セル回路32を構成してもよい。P型トランジスタP4は、ゲートが端子A1に、ソースが端子Y1に、ドレインが端子Y2にそれぞれ接続されている。N型トランジスタN4は、ゲートが端子A2に、ソースが端子Y3に、ドレインが端子Y4にそれぞれ接続されている。修正用セル回路32では、予め、端子A1、A2、Y1～Y4を未接続にしておき、半導体集積回路装置を修正するときに、端子A1、A2、Y1～Y4を所望の回路を構成するように接続することで修正を実現する。

[0027] (第1実施形態)

次に、第1実施形態に係る半導体集積回路装置の構造を説明する。

[0028] 図3は第1実施形態に係る半導体集積回路装置の構成を示す平面図であり、容量セルおよび修正用セルが配置された回路ブロックにおけるレイアウトパターンを簡略化して図示している（以降の平面図も同様）。図3に示す半導体集積回路装置10は、基板に、複数のスタンダードセル1が配置されている。また、X方向（図面横方向、第1方向）に並べて配置された複数のスタンダードセル1を備えたスタンダードセル列CRが、Y方向（図面縦方向、第1方向と垂直をなす第2方向）に複数列（図3では、6列）配置されている。スタンダードセル1は、例えばインバータや論理回路等の機能を有する基本回路素子であり、スタンダードセルを組み合わせることで配置配線することによって、所定の機能を実現する半導体集積回路装置を設計・製造することができる。

[0029] スタンダードセル列CRは、図面下部から図面上部にかけて、スタンダードセル列CR1～CR6の順で配置されている。なお、図3等において、図面下部から数えて奇数番目に配置されたスタンダードセル列CR（CR1，CR3，CR5）を奇数列のスタンダードセル列CRとし、図面下部から数えて偶数番目に配置されたスタンダードセル列CR（CR2，CR4，CR6）を偶数列のスタンダードセル列CRとする。

[0030] スタンダードセル列CR同士の間、スタンダードセル1に電源電位VDDを供給する電源配線6（右横にVDDと記す）と、スタンダードセル1に電源電位VSSを供給する電源配線7（右横にVSSと記す）とが、交互に配置されている。電源配線6，7はともに、X方向に延びるように配置されている。電源配線6は、そのY方向両側のスタンダードセル列CRに電源電位VDDを供給する。また、電源配線7は、そのY方向両側のスタンダードセル列CRに電源電位VSSを供給する。

[0031] 半導体集積回路装置10には、電源配線6，7の上層に、Y方向に延びるように配置されたストラップ電源配線8，9が設けられている。ストラップ電源配線8は、コンタクトを介して電源配線6と接続されており、その下方に配置されたスタンダードセル1に電源電位VDDを供給する。また、スト

ラップ電源配線 9 は、コンタクトを介して電源配線 7 と接続されており、その下方に配置されたスタンダードセル 1 に電源電位 V_{SS} を供給する。なお、図 3 では、電源配線 6 とストラップ電源配線 8 とのコンタクト、および、電源配線 7 とストラップ電源配線 9 とのコンタクトについては、省略して図示している。

[0032] 図 3 に示すように、ストラップ電源配線 8, 9 は、X 方向において、交互に、配置されている。例えば、ストラップ電源配線 8 (8 a, 8 b, 8 c) は、等ピッチで離間して配置されており、ストラップ電源配線 9 (9 a, 9 b, 9 c) は、等ピッチで離間して配置されている。

[0033] また、図 3 では、ストラップ電源配線 8 a, 9 a、ストラップ電源配線 8 b, 9 b、および、ストラップ電源配線 8 c, 9 c は、それぞれ、互いに隣接して配置されている。ただし、電源電位 V_{DD} を供給するストラップ電源配線と、電源電位 V_{SS} を供給するストラップ電源配線とは、隣接して配置されなくてもよい。

[0034] また、スタンダードセル列 C R に配置されるスタンダードセル 1 には、容量セル 2 と、修正用セル 3 と、論理セル 4 と、フィラーセル 5 とが含まれる。

[0035] 容量セル 2 は、上述したとおり、半導体集積回路装置 10 内の電源電圧降下や電源ノイズを抑制するために設けられるスタンダードセルである。図 3 に示すように、容量セル 2 には、X 方向の寸法が異なる複数種類の容量セルが含まれる。

[0036] 修正用セル 3 は、上述したとおり、論理ブロックにおけるセル配置配線が実施された後、動作不具合や機能追加が発生した場合に使用されるスタンダードセルである。図 3 に示すように、修正用セル 3 には、X 方向の寸法が異なる複数種類の修正用セルが含まれる。各修正用セル 3 は、それぞれの内部に含まれる論理回路によって、X 方向の寸法が異なる。

[0037] 論理セル 4 は、所望の回路を実現するために基板上に配置されるスタンダードセルである。論理セル 4 は、例えば、P 型トランジスタや N 型トランジ

スタ等で構成され、それぞれが所定の論理機能を有する。

[0038] フィラーセル5は、論理機能を有しておらず、回路ブロックの論理機能に寄与せず、論理セル、容量セル、修正用セルの間に生じた隙間を埋めるために配置されたスタンダードセルである。フィラーセル5は、論理機能を有さないトランジスタ（ダミートランジスタ）が含まれることがある。

[0039] 次に、図3～図7を参照しながら、第1実施形態に係る半導体集積回路装置の設計方法を説明する。

[0040] 図4は半導体集積回路装置の設計方法を示すフローチャートである。図5～図7は、それぞれ、図4のフローにおけるステップS2、ステップS3およびステップS5実行後の半導体集積回路装置のレイアウト構造を示す平面図である。

[0041] 半導体集積回路装置の設計には、入力されたネットリストデータに基づき、所望の回路を実現する半導体集積回路装置のレイアウトデータを出力する装置、例えば、半導体集積回路装置の設計用コンピュータが用いられる。

[0042] 具体的には、ステップS1において、所望の回路を構成する論理セル4と、論理セル4間の接続とを記載したネットリストデータを設計用コンピュータに入力する。

[0043] ステップS2において、レイアウトデータの基板上に電源配線6, 7が配置される。図5に示すように、X方向に延びる電源配線6, 7が、Y方向において、交互に配置される。電源配線6, 7は、それぞれ、Y方向に隣接する電源配線6, 7との間にスタンダードセル列CRが配置可能な間隔を空けて配置される。

[0044] また、電源配線6, 7の上層には、Y方向に延びるストラップ電源配線8, 9がX方向に交互に配置される。図5に示すように、図面左側にストラップ電源配線8a, 9aが、図面中央にストラップ電源配線8b, 9bが、図面右側にストラップ電源配線8c, 9cが、それぞれ、配置される。また、図示は省略するが、ストラップ電源配線8a～8cは、それぞれ、コンタクトを介して電源配線6と接続され、ストラップ電源配線9a～9cは、それ

ぞれ、コンタクトを介して電源配線 7 と接続される。

[0045] ステップ S 3 において、ネットリストデータに基づいて、基板上に論理セル 4 が配置される。図 6 に示すように、論理セル 4 は、ネットリストデータに含まれる所望の回路構成を実現するように、スタンダードセル列 C R 1 ～ C R 6 に配置される。

[0046] ステップ S 4 において、ネットリストデータに基づいて、信号配線が行われる。図示は省略するが、ネットリストデータに基づき、基板上に配置された論理セル 4 間の信号配線が行われる。

[0047] ステップ S 5 において、容量セル 2 が配置される。図 6 に示すように、スタンダードセル列 C R には、論理セル 4 が配置されていない空き領域（スタンダードセル列 C R 1 ～ C R 6 における白色部分）が存在する。この空き領域に容量セル 2 が配置される。図 7 に示すように、容量セル 2 は、奇数列のスタンダードセル列 C R であるスタンダードセル列 C R 1, C R 3, C R 5 の空き領域にのみ配置される。すなわち、容量セル 2 は、Y 方向に並べて配置されたスタンダードセル列 C R において、一列おきに配置される。なお、容量セル 2 は、奇数列のスタンダードセル列 C R の空き領域に可能な限り配置される。

[0048] ステップ S 6 において、修正用セル 3 が配置される。図 7 に示すように、スタンダードセル列 C R には、容量セル 2 および論理セル 4 が配置されていない空き領域（スタンダードセル列 C R 1 ～ C R 6 における白色部分）が存在する。この空き領域に修正用セル 3 が配置される。具体的には、修正用セル 3 は、偶数列のスタンダードセル列 C R であるスタンダードセル列 C R 2, C R 4, C R 6 の、論理セル 4 が配置されていない空き領域に配置される。すなわち、修正用セル 3 は、容量セル 2 が配置されていない偶数列のスタンダードセル列 C R 2, C R 4, C R 6 にのみ配置される。このため、修正用セル 3 は、Y 方向に並べて配置されたスタンダードセル列 C R において、一列おきに配置される。なお、修正用セル 3 は、偶数列のスタンダードセル列 C R の空き領域に可能な限り配置される。

- [0049] ステップS 7において、フィラーセル5が配置される。容量セル2、修正用セル3、論理セル4およびフィラーセル5が基板上に配置されると、図3のようなレイアウト構造となる。フィラーセル5は、容量セル2、修正用セル3および論理セル4のいずれも配置されていないスタンダードセル列CRの空き領域に配置される。フィラーセル5は、容量セル2、修正用セル3および論理セル4のいずれも配置できないようなスタンダードセル列CRの極小の空き領域に配置される。
- [0050] ステップS 8において、設計用コンピュータから、容量セル2、修正用セル3、論理セル4およびフィラーセル5が配置された半導体集積回路装置10のレイアウトデータが出力される。
- [0051] 以上の構成により、X方向に隣り合う、ストラップ電源配線8a, 9aとストラップ電源配線8b, 9bとの間、および、ストラップ電源配線8b, 9bとストラップ電源配線8c, 9cとの間において、容量セル2は奇数列のスタンダードセル列CR (CR 1, CR 3, CR 5) に配置され、修正用セル3は偶数列のスタンダードセル列CR (CR 2, CR 4, CR 6) に配置される。すなわち、容量セル2および修正用セル3のうち容量セル2のみが配置されたスタンダードセル列CR (CR 1, CR 3, CR 5) と、容量セル2および修正用セル3のうち容量セル2のみが配置されたスタンダードセル列CR (CR 2, CR 4, CR 6) とが、Y方向において、交互に配置される。これにより、容量セル2および修正用セル3が、Y方向に並べて配置されたスタンダードセル列CRにおいて、交互に配置されるため、半導体集積回路装置10に配置される容量セル2および修正用セル3の数を抑えつつ、容量セル2および修正用セル3を確実に半導体集積回路装置10内に配置することができる。
- [0052] また、容量セル2は、隣接する電源配線6, 7の間に配置され、その電源配線6, 7に接続される。また、容量セル2は、Y方向に並べて配置されたスタンダードセル列CRにおいて、一列おきに配置される。すなわち、いずれの電源配線6, 7も容量セル2と接続されることになる。これにより、回

路ブロック内の局所的な電源電圧降下や電源ノイズの発生を抑制することができる。

[0053] また、修正用セル 3 は、Y 方向に並べて配置されたスタンダードセル列 C R において、一列おきに配置される。これにより、動作不具合や機能追加を行いたい部分の近傍に修正用セルが配置される可能性が高くなり、修正用セルに対する配線による配線遅延を抑制することができる。

[0054] なお、容量セル 2 が奇数列のスタンダードセル列 C R に配置され、修正用セル 3 が偶数列のスタンダードセル列 C R に配置されているが、これに限られない。容量セル 2 が偶数列のスタンダードセル列 C R に配置され、修正用セル 3 が奇数列のスタンダードセル列 C R に配置されてもよい。

[0055] (第 2 実施形態)

図 8 は第 2 実施形態に係る半導体集積回路装置の構成を示す平面図である。スタンダードセル列 C R 1 ~ C R 6、電源配線 6、7、ストラップ電源配線 8、9、および、論理セル 4 の配置に関しては、図 3 と同様であるので、説明を省略する。

[0056] 図 3 では、ストラップ電源配線 8 a、9 a とストラップ電源配線 8 b、9 b との間、および、ストラップ電源配線 8 b、9 b とストラップ電源配線 8 c、9 c との間において、容量セル 2 は奇数列のスタンダードセル列 C R に配置され、修正用セル 3 は偶数列のスタンダードセル列 C R に配置されている。すなわち、ストラップ電源配線 8 a、9 a とストラップ電源配線 8 b、9 b との間、ストラップ電源配線 8 b、9 b とストラップ電源配線 8 c、9 c との間において、容量セル 2 および修正用セル 3 は、それぞれ、同じ配置方法で配置される。

[0057] これに対して、図 8 では、ストラップ電源配線 8 a、9 a とストラップ電源配線 8 b、9 b との間、ストラップ電源配線 8 b、9 b とストラップ電源配線 8 c、9 c との間において、容量セル 2 および修正用セル 3 は、それぞれ、異なる配置方法で配置される。

[0058] 具体的には、容量セル 2 は、ストラップ電源配線 8 a、9 a とストラップ

電源配線 8 b, 9 b との間においては、奇数列のスタンダードセル列 C R (C R 1, C R 3, C R 5) に配置され、ストラップ電源配線 8 b, 9 b とストラップ電源配線 8 c, 9 c との間においては、偶数列のスタンダードセル列 C R (C R 2, C R 4, C R 6) に配置される。

[0059] また、修正用セル 3 は、ストラップ電源配線 8 a, 9 a とストラップ電源配線 8 b, 9 b との間において、偶数列のスタンダードセル列 C R (C R 2, C R 4, C R 6) に配置され、ストラップ電源配線 8 b, 9 b とストラップ電源配線 8 c, 9 c との間において、奇数列のスタンダードセル列 C R に配置される。

[0060] 次に、図 4、図 6、図 8 および図 9 を参照しながら、第 2 実施形態に係る半導体集積回路装置の設計方法について説明する。図 9 はステップ S 5 実行後の半導体集積回路装置のレイアウト構造である。図 4 において、ステップ S 1 ~ S 4, S 7, S 8 は第 1 実施形態と同様であるので、説明を省略する。

[0061] ステップ S 5 において、容量セル 2 が配置される。図 6 および図 9 に示すように、容量セル 2 は、ストラップ電源配線 8 a, 9 a とストラップ電源配線 8 b, 9 b との間においては、奇数列のスタンダードセル列 C R (C R 1, C R 3, C R 5) の空き領域に配置され、ストラップ電源配線 8 b, 9 b とストラップ電源配線 8 c, 9 c との間においては、偶数列のスタンダードセル列 C R (C R 2, C R 4, C R 6) の空き領域に配置される。すなわち、ストラップ電源配線 8 a, 9 a とストラップ電源配線 8 c, 9 c との間において、電源配線 6, 7 それぞれの Y 方向両側には、容量セル 2 が配置される。

[0062] ステップ S 6 において、修正用セル 3 が配置される。図 8 および図 9 に示すように、修正用セル 3 は、ストラップ電源配線 8 a, 9 a とストラップ電源配線 8 b, 9 b との間において、偶数列のスタンダードセル列 C R (C R 2, C R 4, C R 6) の空き領域に配置され、ストラップ電源配線 8 b, 9 b とストラップ電源配線 8 c, 9 c との間において、奇数列のスタンダード

セル列CR（CR1，CR3，CR5）の空き領域に配置される。

[0063] 図9の構成によって、図3と同様の効果を得ることができる。

[0064] また、例えば、スタンダードセル列CR3，CR4の間に配置された電源配線6において電源ノイズが発生した場合、電源配線6に接続された容量セル2を介して、電源配線6の両隣に配置された電源配線7（スタンダードセル列CR2，CR3の間に配置された電源配線7、および、スタンダードセル列CR4，CR5の間に配置された電源配線7）に電源ノイズが伝搬する。すなわち、電源配線6，7のいずれかで電源ノイズが発生した場合に、容量セル2を介して、両隣に配置された電源配線6，7に電源ノイズが伝搬する。これにより、電源配線6，7において発生した電源ノイズが分散されるので、電源ノイズの影響を低減することができる。

[0065] なお、容量セル2と修正用セル3とを逆に配置してもよい。この場合、容量セル2は、ストラップ電源配線8a，9aとストラップ電源配線8b，9bとの間においては、奇数列のスタンダードセル列CRに配置され、ストラップ電源配線8b，9bとストラップ電源配線8c，9cとの間においては、偶数列のスタンダードセル列CRに配置される。また、修正用セル3は、ストラップ電源配線8a，9aとストラップ電源配線8b，9bとの間においては、偶数列のスタンダードセル列CRに配置され、ストラップ電源配線8b，9bとストラップ電源配線8c，9cとの間においては、奇数列のスタンダードセル列CRに配置される。

[0066] なお、上記各実施形態では、容量セル2が配置された後、修正用セル3が配置されたとしたが、これに限られず、修正用セル3が配置された後、容量セル2が配置されてもよい。

[0067] また、上記各実施形態では、Y方向に並べて配置されるスタンダードセル列は6列としたが、これに限られず、スタンダードセル列は2列以上であればよい。

産業上の利用可能性

[0068] 本開示では、スタンダードセルを備えた半導体集積回路装置について、デ

カップリング容量セルおよび修正用セルを、半導体集積回路装置の面積を抑えつつ、配置することができる。

符号の説明

- [0069] 1 スタンダードセル
2 デカップリング容量セル
3 修正用セル
6, 7 電源配線
8, 9 (8 a ~ 8 c, 9 a ~ 9 c) ストラップ電源配線
C R (C R 1 ~ C R 6) スタンダードセル列

請求の範囲

[請求項1]

第1方向に延びる複数の電源配線と、

前記第1方向に並ぶ複数のスタンダードセルをそれぞれ備え、前記電源配線同士の間それぞれ配置された、複数のセル列と、

前記複数のセル列の上方において、前記第1方向と垂直をなす第2方向に延びており、前記第1方向において離間して隣り合う、同一電源電圧を供給する第1および第2ストラップ電源配線とを備え、

前記複数の電源配線は、第1電源電圧を供給する第1電源配線、および、前記第1電源電圧と異なる第2電源電圧を供給する第2電源配線を含み、前記第1電源配線と前記第2電源配線とは、前記第2方向において交互に配置されており、

前記複数のセル列は、前記第1ストラップ電源配線と前記第2ストラップ電源配線との間の第1領域において、容量セルおよび修正用セルのうち容量セルのみが配置された第1セル列と、前記第1領域において容量セルおよび修正用セルのうち修正用セルのみが配置された第2セル列とを含み、前記第1セル列と前記第2セル列とは、前記第2方向において交互に配置されていることを特徴とする半導体集積回路装置。

[請求項2]

請求項1記載の半導体集積回路装置において、

前記複数のセル列の上方において前記第2方向に延びており、前記第1方向において前記第2ストラップ電源配線と、前記第1ストラップ電源配線と反対側に、離間して隣り合う、前記第1および第2ストラップ電源配線と同一電源電圧を供給する第3ストラップ電源配線を備え、

前記第2ストラップ電源配線と前記第3ストラップ電源配線との間の領域において、前記第1セル列は、容量セルおよび修正用セルのうち容量セルのみが配置されており、前記第2セル列は、容量セルおよび修正用セルのうち修正用セルのみが配置されていることを特徴とす

る半導体集積回路装置。

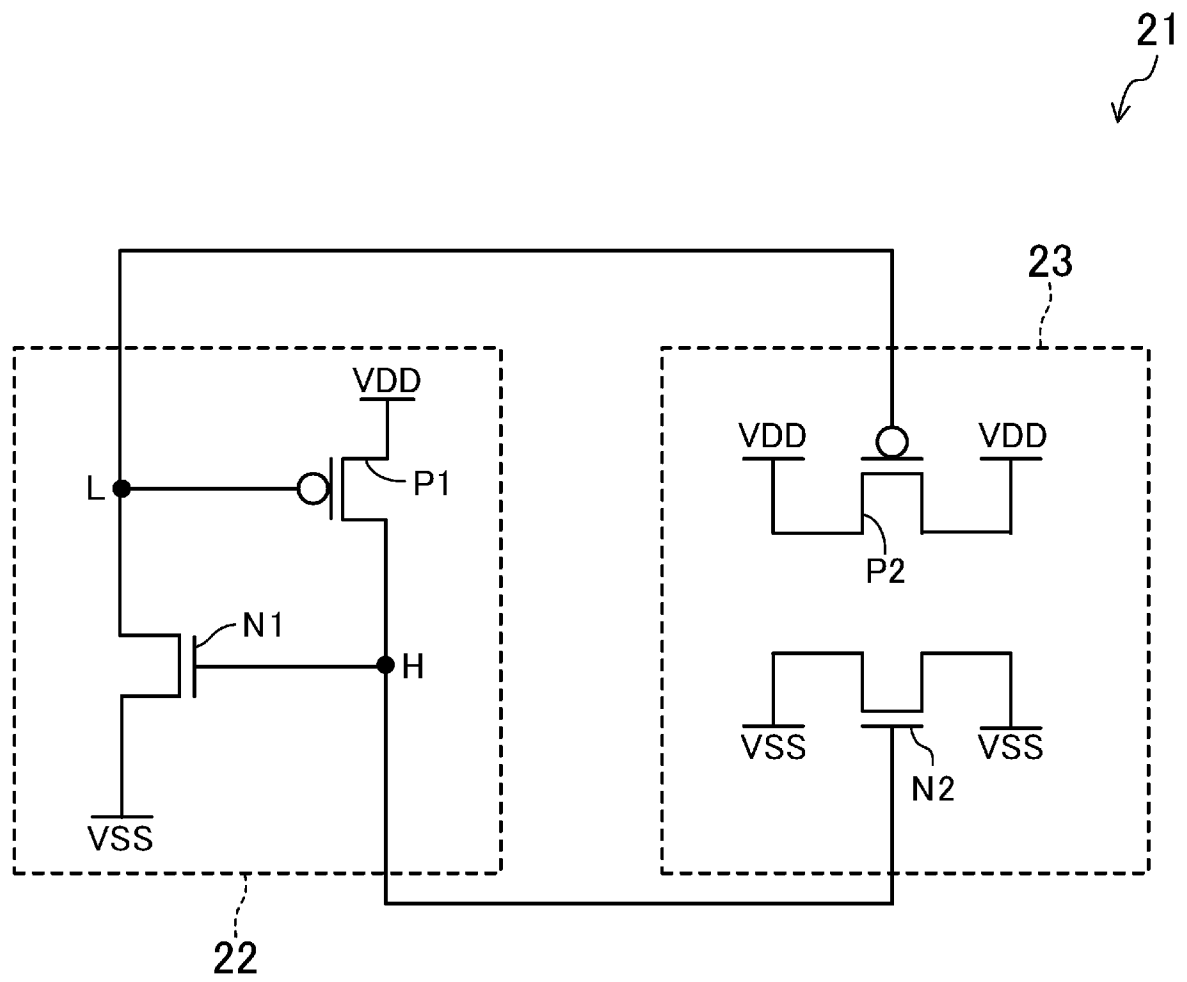
[請求項3]

請求項1記載の半導体集積回路装置において、

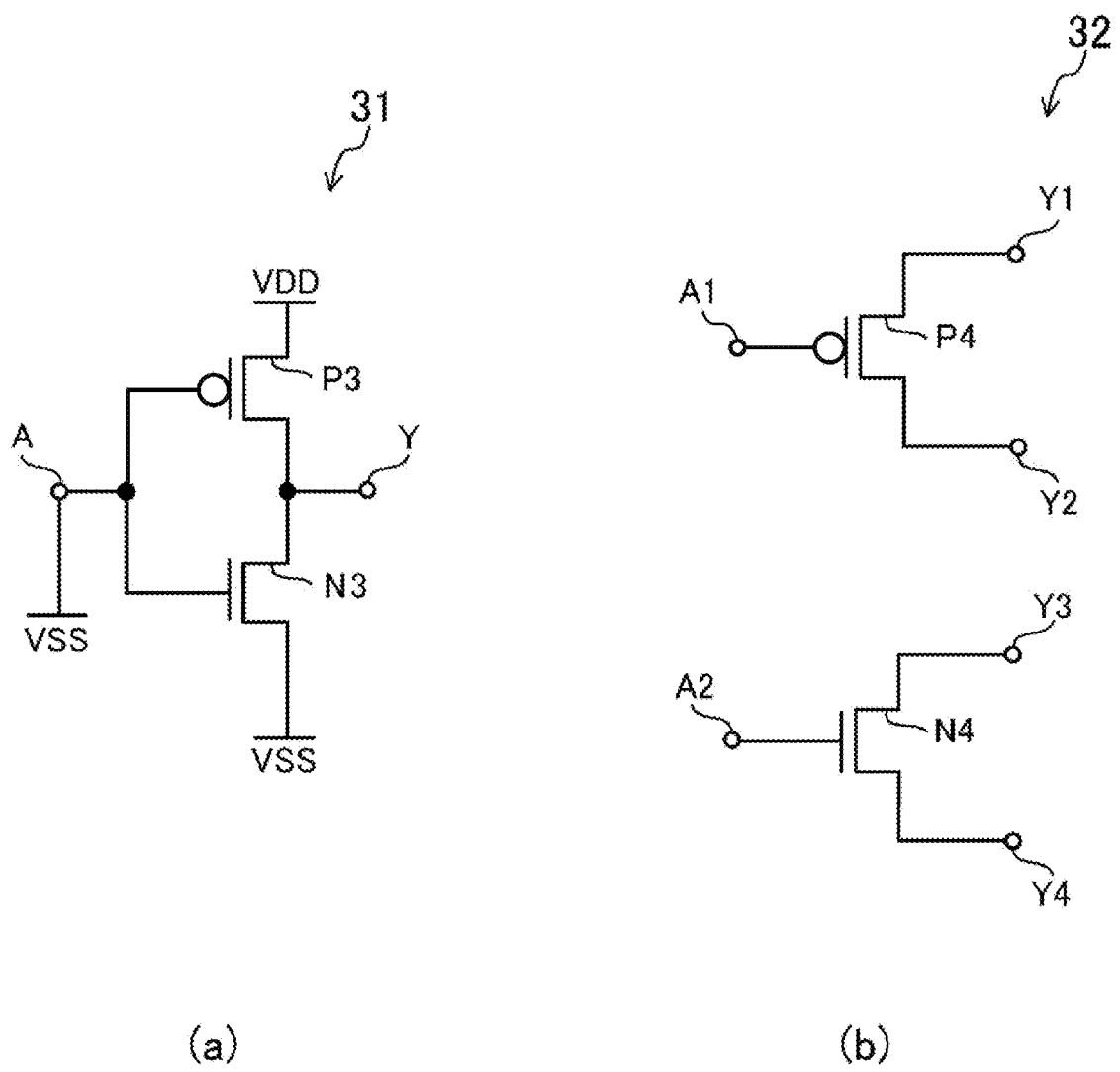
前記複数のセル列の上方において前記第2方向に延びており、前記第1方向において前記第2ストラップ電源配線と、前記第1ストラップ電源配線と反対側に、離間して隣り合う、前記第1および第2ストラップ電源配線と同一電源電圧を供給する第3ストラップ電源配線を備え、

前記第2ストラップ電源配線と前記第3ストラップ電源配線との間の領域において、前記第1セル列は、容量セルおよび修正用セルのうち修正用セルのみが配置されており、前記第2セル列は、容量セルおよび修正用セルのうち容量セルのみが配置されていることを特徴とする半導体集積回路装置。

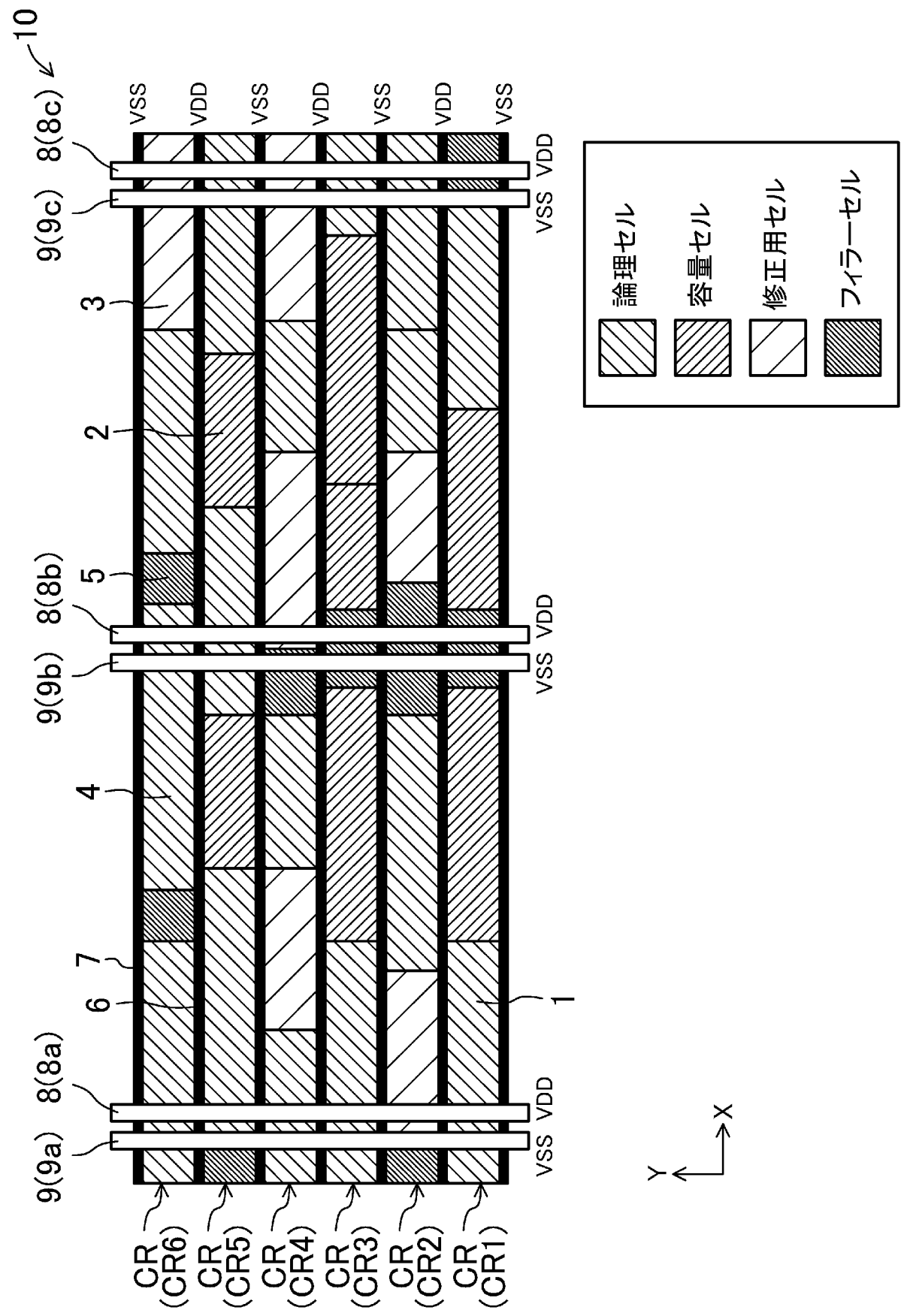
[図1]



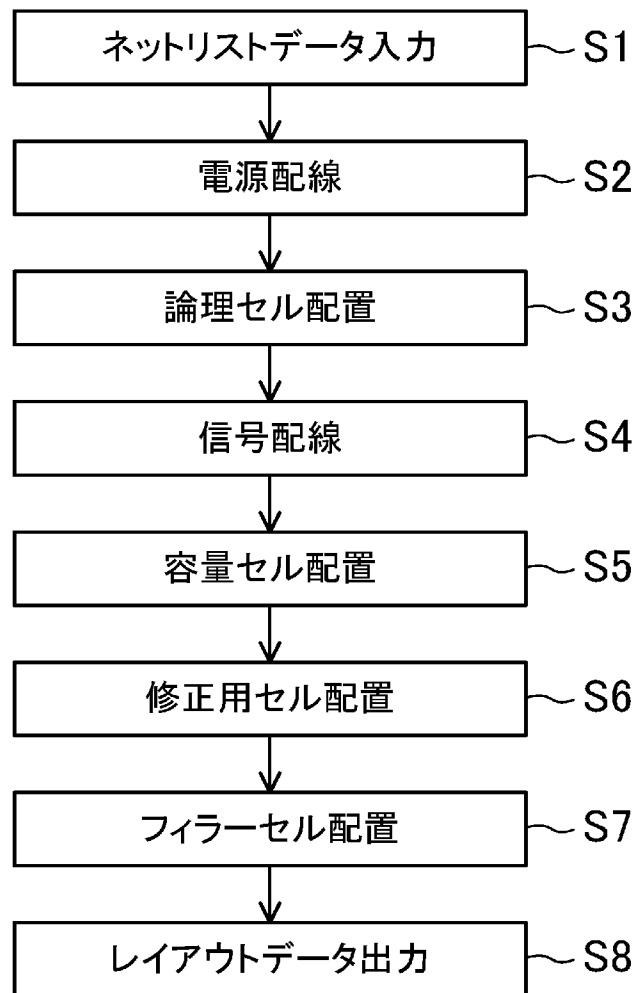
[図2]



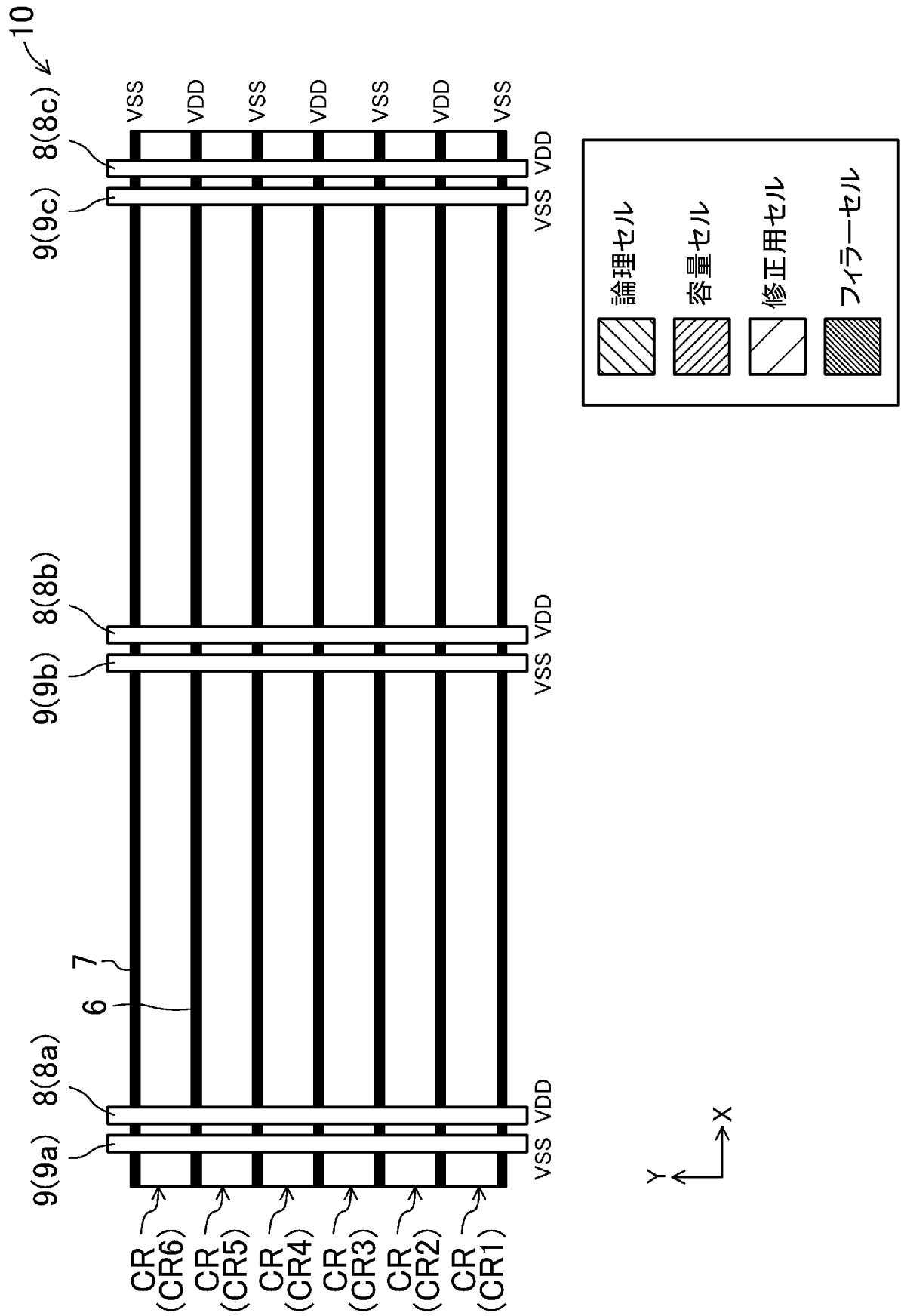
[図3]



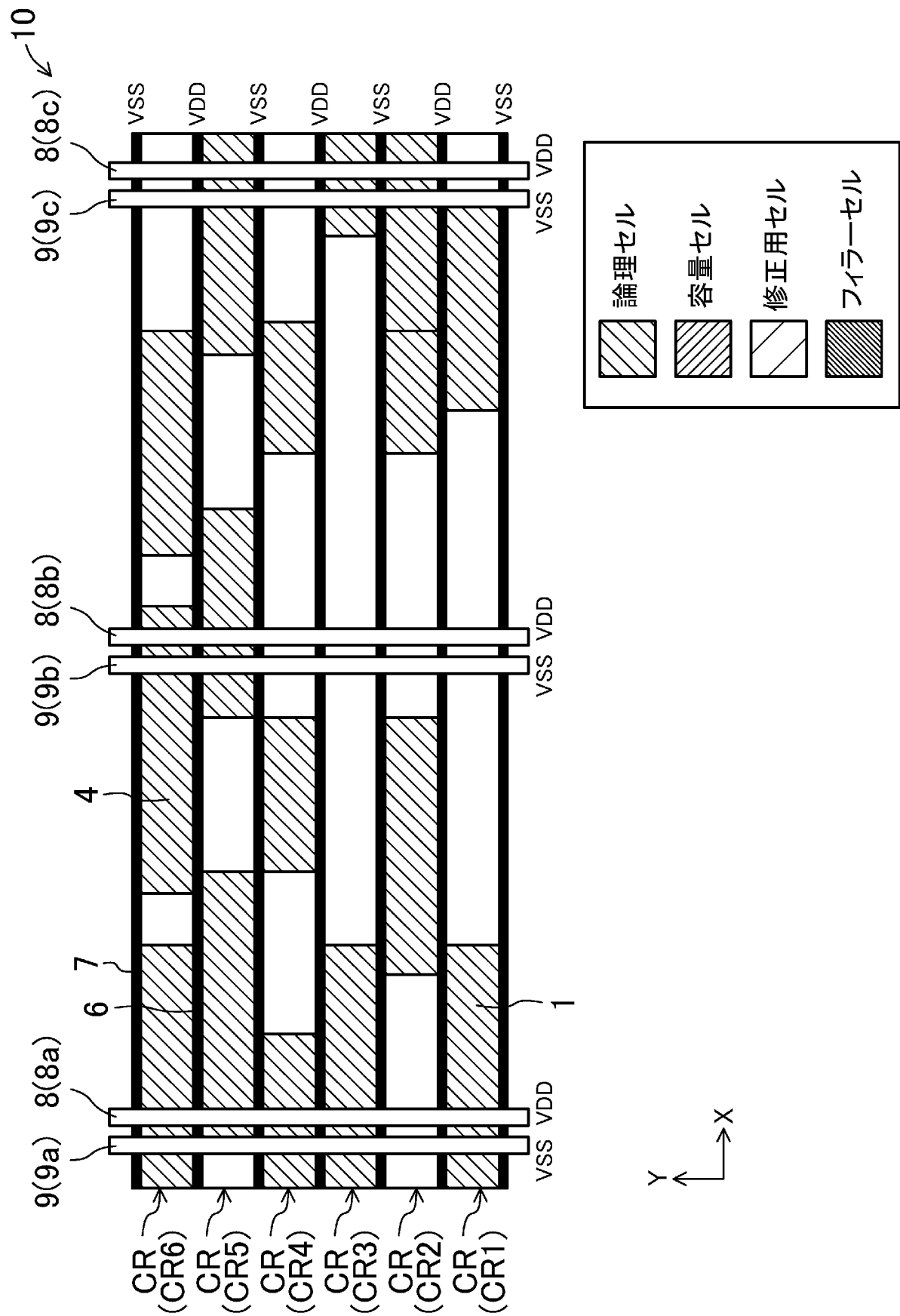
[図4]



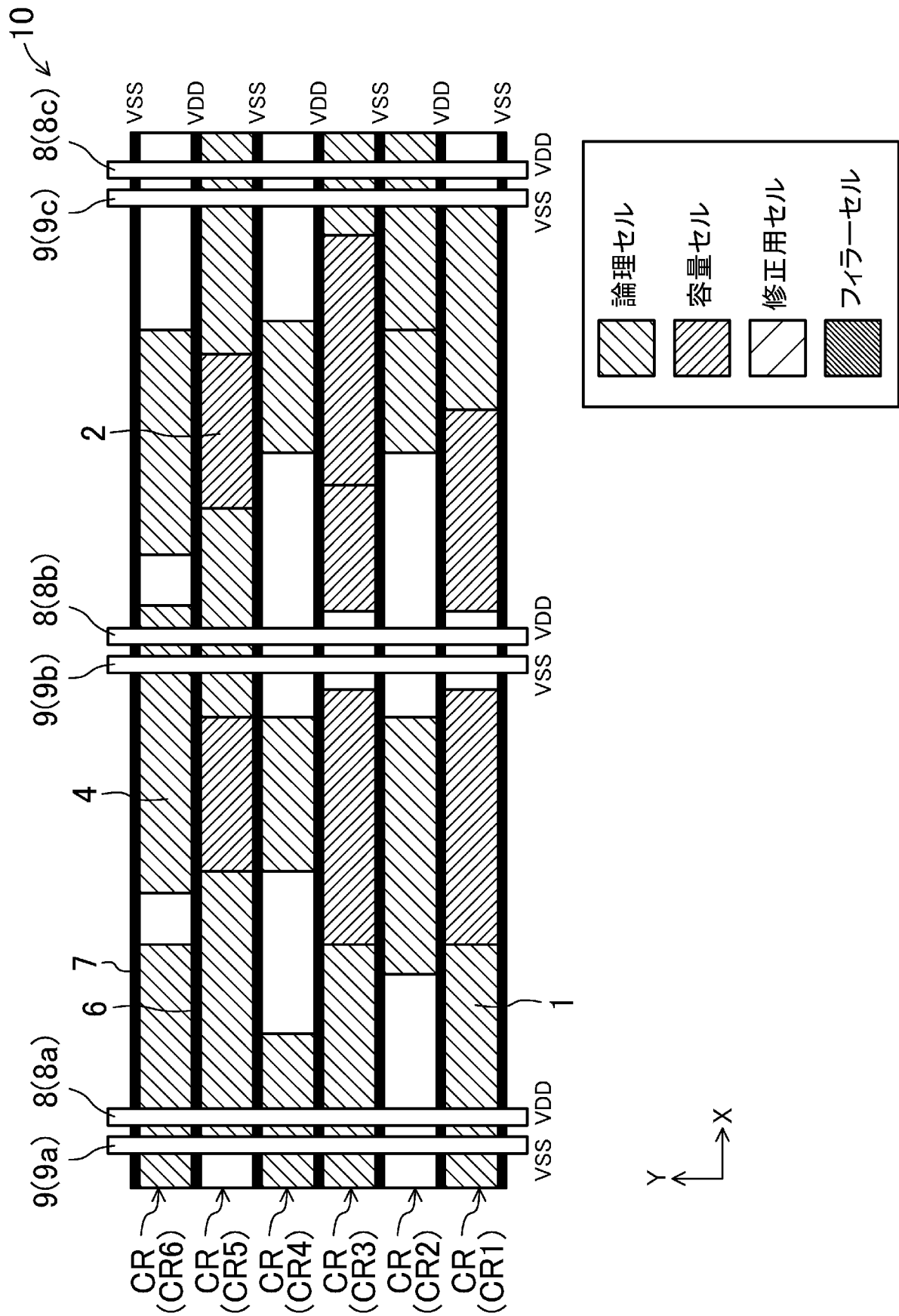
[図5]



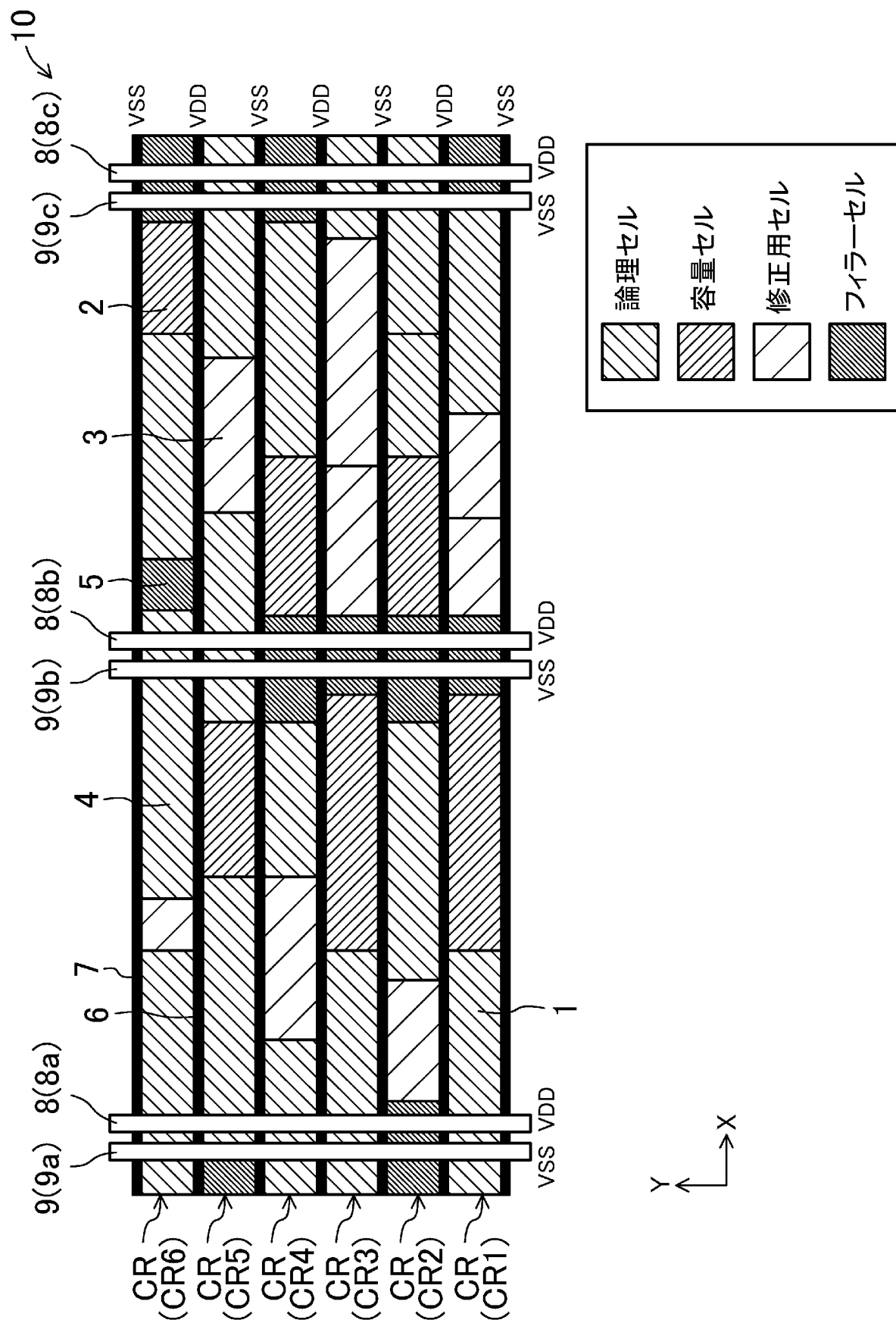
【図6】



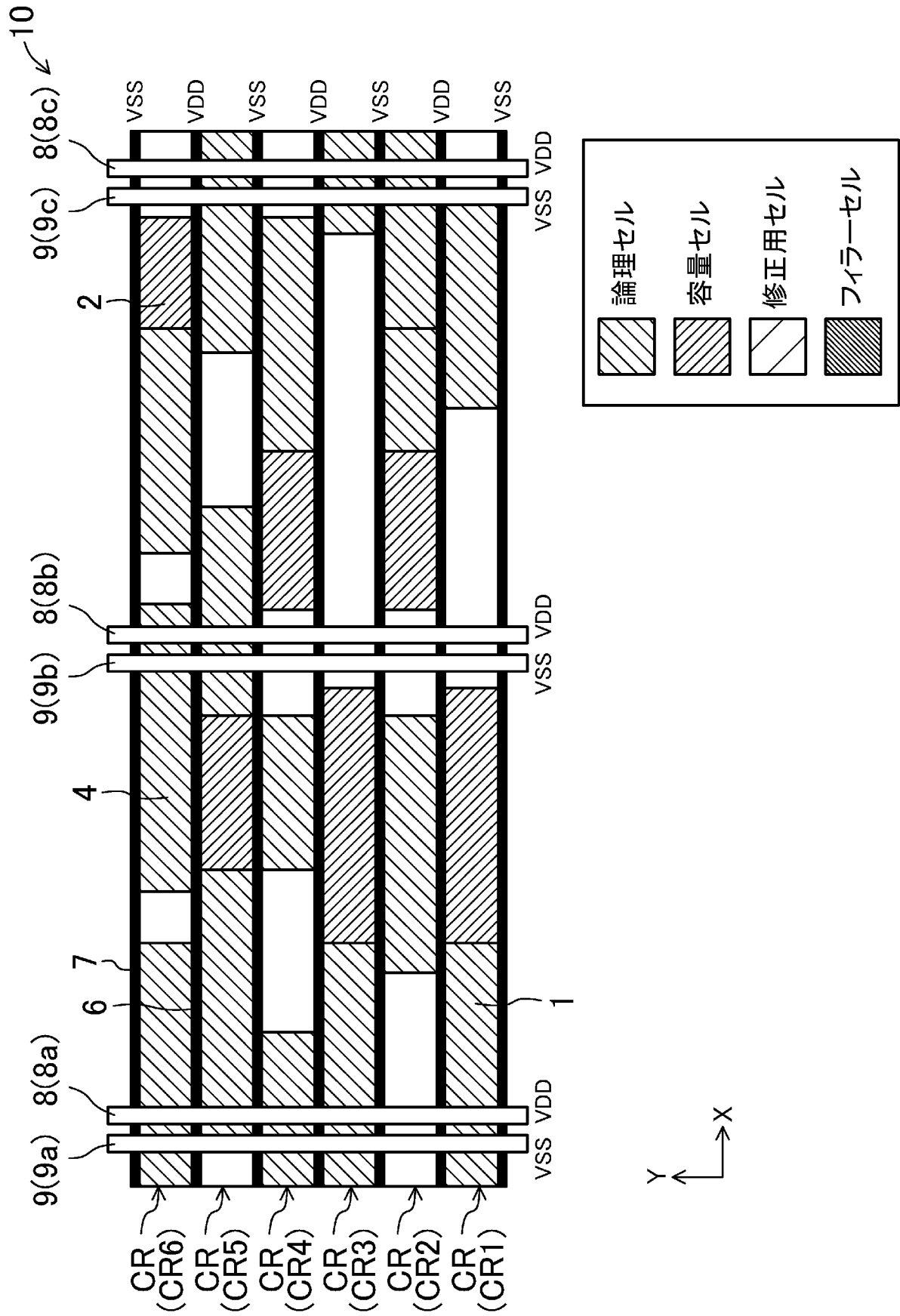
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/000367

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/82 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2017/090389 A1 (SOCIONEXT INC.) 01 June 2017, entire text, all drawings & US 2018/0269154 A1 & CN 108292629 A	1-3
A	JP 2008-277788 A (NEC ELECTRONICS CORPORATION) 13 November 2008, entire text, all drawings & US 2008/0246108 A1	1-3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 March 2019 (08.03.2019)

Date of mailing of the international search report
19 March 2019 (19.03.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/000367

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-148464 A (TOSHIBA MICRO-ELECTRONICS CORP.) 29 May 2001, entire text, all drawings & US 6396087 B1	1-3
A	JP 2007-234857 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 13 September 2007, entire text, all drawings & US 2007/0205451 A1 & US 2010/0308905 A1	1-3
A	WO 2013/132841 A1 (PANASONIC CORP.) 12 September 2013, entire text, all drawings & US 2014/0299920 A1	1-3
A	JP 2016-130919 A (SOCIONEXT INC.) 21 July 2016, entire text, all drawings (Family: none)	1-3
A	JP 2002-110798 A (HITACHI, LTD.) 12 April 2002, entire text, all drawings (Family: none)	1-3
A	JP 2005-142226 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 02 June 2005, entire text, all drawings & US 2005/0097492 A1 & US 2008/0141202 A1 & CN 1614766 A & CN 1953180 A & CN 101013697 A	1-3
A	JP 2001-358221 A (FUJITSU LTD.) 26 December 2001, entire text, all drawings & US 2001/0056569 A1 & US 2003/0135835 A1	1-3

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/82(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2017/090389 A1 (株式会社ソシオネクスト) 2017.06.01, 全文, 全図 & US 2018/0269154 A1 & CN 108292629 A	1-3
A	JP 2008-277788 A (NECエレクトロニクス株式会社) 2008.11.13, 全文, 全図 & US 2008/0246108 A1	1-3

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

08.03.2019

国際調査報告の発送日

19.03.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 武宜

5 F

4056

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-148464 A (東芝マイクロエレクトロニクス株式会社) 2001.05.29, 全文, 全図 & US 6396087 B1	1-3
A	JP 2007-234857 A (松下電器産業株式会社) 2007.09.13, 全文, 全図 & US 2007/0205451 A1 & US 2010/0308905 A1	1-3
A	WO 2013/132841 A1 (パナソニック株式会社) 2013.09.12, 全文, 全図 & US 2014/0299920 A1	1-3
A	JP 2016-130919 A (株式会社ソシオネクスト) 2016.07.21, 全文, 全図 (ファミリーなし)	1-3
A	JP 2002-110798 A (株式会社日立製作所) 2002.04.12, 全文, 全図 (ファミリーなし)	1-3
A	JP 2005-142226 A (松下電器産業株式会社) 2005.06.02, 全文, 全図 & US 2005/0097492 A1 & US 2008/0141202 A1 & CN 1614766 A & CN 1953180 A & CN 101013697 A	1-3
A	JP 2001-358221 A (富士通株式会社) 2001.12.26, 全文, 全図 & US 2001/0056569 A1 & US 2003/0135835 A1	1-3