

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 27/108 (2006.01)



[12] 发明专利说明书

专利号 ZL 03106345.4

[45] 授权公告日 2007 年 1 月 3 日

[11] 授权公告号 CN 1293644C

[22] 申请日 2003.2.25 [21] 申请号 03106345.4

[30] 优先权

[32] 2002. 8. 21 [33] JP [31] 240537/02

[73] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 相原一洋

审查员 熊 洁

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 刘宗杰 叶恺东

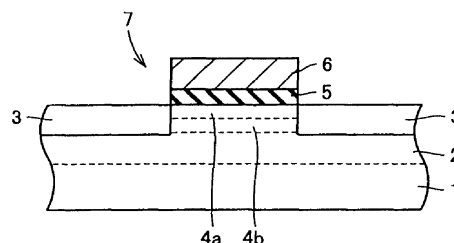
权利要求书 1 页 说明书 7 页 附图 2 页

[54] 发明名称

半导体器件

[57] 摘要

本发明提供一种包括半导体衬底的半导体器件，其特征在于：所述半导体衬底具有：导电部；通过与该导电部的下表面相接，使得在构成该导电部的半导体中产生晶格畸变，使流过该导电部的电子的迁移率提高；以及氧化抑制部，构成上述半导体衬底的一个表面，并覆盖上述导电部的上表面，具有抑制上述导电部被自然氧化的功能；其中所述氧化抑制部配置在一个栅绝缘膜之下，该栅绝缘膜包括 Al_2O_3 膜或者 HfO_2 膜；以及所述氧化抑制部和下面的导电部用作晶体管的沟道区。按照上述结构，SiGe 结晶膜抑制了 Si 结晶膜的自然氧化。其结果是，得到消除因 Si 结晶膜表面的自然氧化引起的在 Si 结晶膜中的导电性降低而产生的问题的半导体器件。



1、一种包括半导体衬底的半导体器件，其特征在于：

所述半导体衬底具有：

导电部；

通过与该导电部的下表面相接，使得在构成该导电部的半导体中产生晶格畸变，使流过该导电部的电子的迁移率提高的迁移率提高部；以及

氧化抑制部，构成上述半导体衬底的一个表面，并覆盖上述导电部的上表面，具有抑制上述导电部被自然氧化的功能；其中

所述氧化抑制部配置在一个栅绝缘膜之下，该栅绝缘膜包括 Al_2O_3 膜或者 HfO_2 膜；以及

所述氧化抑制部和下面的导电部用作晶体管的沟道区。

2、如权利要求 1 所述的半导体器件，其特征在于：

上述氧化抑制部具有使流过该导电部的电子的迁移率提高的功能。

3、如权利要求 1 所述的半导体器件，其特征在于：

上述氧化抑制部和上述迁移率提高部由相同成分的物质构成。

4、一种包括半导体衬底的半导体器件，其特征在于：

半导体衬底具有：

在第 1 SiGe 层上形成的 Si 层；以及

在该 Si 层上形成并与该 Si 层相接，而且构成所述半导体衬底的表面层的第 2 SiGe 层，其中

所述第 2 SiGe 层配置在一个栅绝缘膜之下，该栅绝缘膜包括 Al_2O_3 膜或者 HfO_2 膜；以及

所述 Si 层和所述第 2 SiGe 层用作晶体管的沟道区。

半导体器件

技术领域

本发明涉及具备半导体衬底的半导体器件。

背景技术

作为使用具备半导体衬底的半导体器件的一例的晶体管，DRAM（动态随机存储器）的晶体管广为人知。图5是现有的DRAM的晶体管的剖面图。图5所示的现有的DRAM晶体管具有如下的结构。

现有的晶体管在半导体衬底1上形成包含p型杂质的SiGe结晶膜衬底2。还有，在SiGe结晶膜衬底2上，形成具有作为沟道区功能的包含p型杂质的Si结晶膜4。还有，在Si结晶膜4的两侧形成具有作为源/漏区功能的包含n型杂质的Si结晶膜3。还有，在Si结晶膜4上通过栅绝缘膜5形成栅电极6。

由上述Si结晶膜3、Si结晶膜4、栅绝缘膜5及栅电极6构成n沟道晶体管7。

在上述现有的晶体管中，Si结晶膜4在SiGe结晶膜衬底2上形成。由此，在Si结晶膜4上产生晶格畸变。由此，提高了流过Si结晶膜4中的电子的迁移率。即，现有的晶体管由于利用在SiGe结晶膜衬底2上形成的Si结晶膜4作为构成沟道区的材料，漏电流增大。

此外，在现有的技术中，Si结晶膜4在半导体衬底内形成，在作为电子流过的导电部的一例而被记载的同时，SiGe结晶膜2通过与导电部的下表面相接，使在构成导电部的半导体中产生晶格畸变，作为提高流过该导电部的电子的迁移率的迁移率提高部的一例而被记载。

上述现有的晶体管是作为沟道区的Si结晶膜4的表面与栅绝缘膜接触的结构。因此，在形成栅绝缘膜5的阶段，Si结晶膜4的表面露出于外侧。因此，在导电部的一例的Si结晶膜4的表面上成为容易形成自然氧化膜等的结构。由此，在形成栅绝缘膜5后，因栅绝缘膜5的存在而引起Si结晶膜4的表面被氧化。其结果是，栅绝缘膜5自身的介电常数降低。据此，当在栅电极上施加电压的情况下，在Si结晶膜4上形成的沟道区成为不完全的沟道区。其结果是，产生不能得到所希望的漏电流的问题。

还有，在现有的晶体管中，作为源/漏区的 Si 结晶膜 4 的表面与在源/漏区上流过电流的导电构件（例如：接触栓）接触。即使在形成该导电构件的阶段，Si 结晶膜 3 的表面也露出于外侧。因此，在现有的晶体管中，在导电部的一例的 Si 结晶膜 3 的表面上容易形成自然氧化膜等。由此，在导电构件和作为源/漏区的 Si 结晶膜 3 之间的接触电阻增加。其结果是，产生晶体管工作速度降低的问题。

发明内容

本发明的目的在于：提供消除因在导电部的表面的自然氧化引起的在导电部中的导电性降低而产生的问题的半导体器件。

另一目的在于：提供消除因在 Si 结晶膜的表面的自然氧化引起的在 Si 结晶膜中的导电性降低而产生的问题的半导体器件。

根据本发明的一个方面的一种包括半导体衬底的半导体器件，其特征在于：所述半导体衬底具有：导电部；通过与该导电部的下表面相接，使得在构成该导电部的半导体中产生晶格畸变，使流过该导电部的电子的迁移率提高的迁移率提高部；以及氧化抑制部，构成上述半导体衬底的一个表面，并覆盖上述导电部的上表面，具有抑制上述导电部被自然氧化的功能；其中所述氧化抑制部配置在一个栅绝缘膜之下，该栅绝缘膜包括 Al_2O_3 膜或者 HfO_2 膜；以及所述氧化抑制部和下面的导电部用作晶体管的沟道区。

按照上述结构，由于半导体衬底的表面层由难于被自然氧化的氧化抑制部构成，能够消除因半导体衬底的表面层被自然氧化而产生的问题。还有，由于电子在因迁移率提高部的影响而产生晶格畸变的导电部移动，电子的迁移率得到提高。

根据本发明的另一方面的一种包括半导体衬底的半导体器件，其特征在于：半导体衬底具有：在第 1 SiGe 层上形成的 Si 层；以及在该 Si 层上形成并与该 Si 层相接，而且构成所述半导体衬底的表面层的第 2 SiGe 层，其中所述第 2 SiGe 层配置在一个栅绝缘膜之下，该栅绝缘膜包括 Al_2O_3 膜或者 HfO_2 膜；以及所述 Si 层和所述第 2 SiGe 层用作晶体管的沟道区。

按照上述的结构，由于半导体衬底的表面层由难于被自然氧化的第 2 SiGe 层构成，能够消除因半导体衬底的表面层被自然氧化而产生的问题。还有，由于电子在因第 2 SiGe 层的影响而产生晶格畸变的 Si

层中移动，电子的迁移率并不降低。进而，由于设置在 Si 层的表面上的是使在 Si 层中产生晶格畸变的第 1 SiGe 层，使电子迁移率降低的可能性降低了。

附图说明

图 1 是本发明的实施例 1 的半导体器件的剖面图。

图 2 是本发明的实施例 2 的半导体器件的剖面图。

图 3 是本发明的实施例 3 的半导体器件的剖面图。

图 4 是本发明的实施例 4 的半导体器件的剖面图。

图 5 是现有的半导体器件的剖面图。

具体实施方式

以下，使用图 1~图 4，说明本发明的实施例的半导体器件。

(实施例 1)

首先，使用图 1 说明本发明的实施例 1 的半导体器件。

如图 1 所示，在本实施例的半导体器件中，在半导体衬底 1 上形成包含 p 型杂质的 SiGe 结晶膜衬底 2。还有，在 SiGe 结晶膜衬底 2 上，形成具有作为沟道区功能的包含 p 型杂质的 Si 结晶膜 4b。还有，在 Si 结晶膜 4b 上，形成具有作为沟道区功能的包含 p 型杂质的 SiGe 结晶膜 4a。还有，在 SiGe 结晶膜 4a 及 Si 结晶膜 4b 的两侧，形成具有作为源/漏功能的包含 n 型杂质的 Si 结晶膜 3。还有，在 SiGe 结晶膜 4a 上，通过栅绝缘膜 5 形成栅电极 6。此外，SiGe 结晶膜 4a 是极薄的膜。

由上述的 Si 结晶膜 3、SiGe 膜 4a、Si 膜 4b、栅绝缘膜 5 及栅电极 6 构成 n 沟道晶体管 7。

按照上述本实施例的半导体器件，在沟道区的表面上使用难于被自然氧化的 SiGe 结晶膜 4a。因此，在沟道区的表面上能够不形成自然氧化膜而形成栅绝缘膜 5。其结果是，能够抑制栅绝缘膜的介电常数的降低。所以，当在栅电极上施加电压时，能够抑制沟道区成为不完全的沟道区。因此，晶体管能够得到所希望的漏电流。

还有，在上述实施例的半导体器件中，在沟道区上形成有晶格畸变的 Si 结晶膜 4b。因此，能够不使流过沟道区的电子的迁移率降低而得到所希望的漏电流。

进而，由于设置在 Si 结晶膜 4b 的表面上的是使在 Si 结晶膜 4b

中产生晶格畸变的 SiGe 结晶膜 4a,使电子的迁移率降低的可能性降低了。

(实施例 2)

其次,使用图 2 说明本发明的实施例 2 的半导体器件。如图 2 所示,在本实施例的半导体器件中,在半导体衬底 1 上形成包含 p 型杂质的 SiGe 结晶膜衬底 2。还有,在结晶膜衬底 2 上形成具有作为沟道区功能的包含 p 型杂质的 Si 结晶膜 4b。还有,在 Si 结晶膜 4b 上,形成具有作为沟道区功能的包含 p 型杂质的 SiGe 结晶膜 4a。还有,在 SiGe 结晶膜 4a 及 Si 结晶膜 4b 的两侧形成具有作为源/漏区功能的、包含 n 型杂质的 Si 结晶膜 3b 和位于 Si 结晶膜 3b 之上的包含 n 型杂质的 SiGe 结晶膜 3a。还有,在 SiGe 结晶膜 4a 上,通过栅绝缘膜 5 形成栅电极 6。此外,包含 p 型杂质的 SiGe 结晶膜 4a 是极薄的膜。

由上述的 SiGe 结晶膜 3a、Si 结晶膜 3b、SiGe 膜 4a、Si 结晶膜 4b、栅绝缘膜 5 及栅电极 6 构成 n 沟道晶体管 7。

按照上述本实施例的半导体器件,在沟道区的表面上使用难于被自然氧化的 SiGe 结晶膜 4a。因此,与实施例 1 的半导体器件同样,晶体管能够得到所希望的漏电流。

还有,在上述实施例的半导体器件中,在沟道区上形成有晶格畸变的 Si 结晶膜 4b。因此,能够不使流过沟道区的电子的迁移率降低得到所希望的漏电流。

进而,由于设置在 Si 结晶膜 4b 的表面上的是使 Si 结晶膜 4b 中产生晶格畸变的 SiGe 结晶膜 4a,使电子的迁移率降低的可能性降低了。

还有,采用本实施例的半导体器件,在源/漏区的表面上使用难于被自然氧化的 SiGe 结晶膜 3a。因此,能够在源/漏区的表面上不形成自然氧化膜而在源/漏区表面上直接连接导电构件。其结果是,能够抑制在源/漏区和与源/漏区连接的导电构件之间的接触电阻的增加。因此,能够抑制晶体管的工作速度的降低。

还有,SiGe 结晶膜 3a 的电阻率与 Si 结晶膜 3b 相比要低得多。因此,能够充分降低源/漏区的电阻。从而,能够促进晶体管工作的高速化。

进而,由于设置在 Si 结晶膜 3b 的表面上的是使 Si 结晶膜 3b 中

产生晶格畸变的 SiGe 结晶膜 3a, 使电子的迁移率降低的可能性降低了。

(实施例 3)

再次, 使用图 3 说明本发明的实施例 3 的半导体器件。

如图 3 所示, 在本实施例的半导体器件中, 在半导体衬底 1 上形成包含 n 型杂质的 SiGe 结晶膜衬底 2。还有, 在 SiGe 结晶膜衬底 2 上, 形成具有作为沟道区功能的包含 n 型杂质的 Si 结晶膜 4b。还有, 在 Si 结晶膜 4b 上, 形成具有作为沟道区功能的包含 n 型杂质的 SiGe 结晶膜 4a。还有, 在 SiGe 结晶膜 4a 及 Si 结晶膜 4b 的两侧形成具有作为源/漏区功能的包含 p 型杂质的 Si 结晶膜 3。还有, 在 SiGe 的结晶膜 4a 上通过栅绝缘膜 5 形成栅电极 6。此外, 包含 n 型杂质的 SiGe 的结晶膜 4a 是极薄的膜。

由上述的 Si 结晶膜 3、SiGe 结晶膜 4、Si 结晶膜 4b、栅绝缘膜 5 及栅电极 6 构成 P 沟道晶体管 7。

即, 当本实施例的半导体器件与实施例 1 的半导体器件进行比较时, 除 n 型与 p 型互为相反以外没有不同点。

按照上述本实施例的半导体器件, 与实施例 1 的半导体器件同样, 在沟道区的表面上使用难于被自然氧化的 SiGe 结晶膜 4a。因此, 能够在沟道区的表面上不形成自然氧化膜而形成栅绝缘膜。其结果是, 能够抑制栅绝缘膜的介电常数的降低。所以, 当在栅电极上施加电压时, 能够抑制沟道区成为不完全的沟道区。因此, 晶体管能够得到所希望的漏电流。

还有, 上述本实施例的半导体器件与实施例 1 的半导体器件同样, 在沟道区上形成有晶格畸变的 Si 结晶膜 4b。因此, 能够不降低流过沟道区的电子的迁移率而得到所希望的漏电流。

进而, 由于设置在 Si 结晶膜 4b 的表面上的是使 Si 结晶膜 4b 中产生晶格畸变的 SiGe 结晶膜 4a, 使电子的迁移率降低的可能性降低了。

(实施例 4)

再次, 使用图 4 说明本发明的实施例 4 的半导体器件。

如图 4 所示, 在本实施例的半导体器件中, 在半导体衬底上形成包含 n 型杂质的 SiGe 结晶膜衬底 2。还有, 在 SiGe 结晶膜衬底 2 上,

形成具有作为沟道区功能的包含 n 型杂质的 Si 结晶膜 4b。还有，在 Si 结晶膜 4b 上，形成具有作为沟道区功能的包含 n 型杂质的 SiGe 结晶膜 4a。还有，在 SiGe 结晶膜 4a 及 Si 结晶膜 4b 的两侧形成具有作为源/漏区功能的包含 p 型杂质的 Si 结晶膜 3b 和位于 Si 结晶膜 3b 上的包含 p 型杂质的 SiGe 结晶膜 3a。还有，在 SiGe 的结晶膜 4a 上通过栅绝缘膜 5 形成栅电极 6。此外，包含 n 型杂质的 SiGe 的结晶膜 4a 是极薄的膜。

由上述的 SiGe 结晶膜 3a、Si 结晶膜 3b、SiGe 结晶膜 4a、Si 结晶膜 4b、栅绝缘膜 5 及栅电极 6 构成 P 沟道晶体管 7。

即，当本实施例的半导体器件与实施例 2 的半导体器件进行比较时，除 n 型与 p 型互为相反以外没有不同点。

按照上述本实施例的半导体器件，与实施例 2 所述的半导体器件同样，在沟道区的表面上使用难于被自然氧化的 SiGe 结晶膜 4a。因此，与实施例 2 的半导体器件同样，晶体管能够得到所希望的漏电流。

还有，上述本实施例的半导体器件与实施例 2 的半导体器件同样，在沟道区上形成有晶格畸变的 Si 结晶膜 4b。因此，能够不降低流过沟道区的电子的迁移率而得到所希望的漏电流。

进而，由于设置在 Si 结晶膜 4b 的表面上的是使 Si 结晶膜 4b 中产生晶格畸变的 SiGe 结晶膜 4a，使电子的迁移率降低的可能性降低了。

还有，本实施例的半导体器件与实施例 2 的半导体器件同样，在源/漏区的表面上使用难于被自然氧化的 SiGe 结晶膜 3a。因此，能够在源/漏区的表面上直接连接导电构件而在源/漏区的表面上不形成自然氧化膜。其结果是，能够抑制源/漏区与连接源/漏区的导电构件之间的接触电阻的增加。因此，能够抑制晶体管的工作速度的降低。

还有，SiGe 结晶膜 3a 的电阻率比 Si 结晶膜 3b 低得多。因此，能够使源/漏区的电阻充分地降低。从而，能够促进晶体管工作的高速化。

进而，由于设置在 Si 结晶膜 3b 的表面上的是使 Si 结晶膜 3b 中产生晶格畸变的 SiGe 结晶膜 3a，使电子的迁移率降低的可能性降低了。

(实施例 5)

本实施例的半导体器件的结构与用图1~图4说明过的实施例1~4的任何一个所述的半导体器件的结构相同。但是，在实施例1~4的半导体器件的结构中，栅绝缘膜只是作为电介质膜被叙述，在本实施例的半导体器件中，绝缘膜使用的是高电介质膜 AlO_3 膜或者 HfO_2 膜。其结果是，按照本实施例的半导体器件，能够抑制因自然氧化而导致性能降低显著的高电介质膜的自然氧化。

此外，在上述的实施例1~4的半导体器件中，作为本发明的在半导体衬底内所形成的电子流过的导电部，使用Si结晶膜3b、4b。还有，作为本发明的、通过与导电部的下表面相接，使得在构成导电部的半导体中产生晶格畸变，从而使流过该导电部的电子的迁移率提高的迁移率提高部使用了SiGe结晶膜衬底。还有，通过一边构成半导体衬底的表面一边覆盖导电部的上表面，作为具有抑制导电部被自然氧化的功能的氧化抑制部使用了SiGe结晶膜3a、4a。

按照上述的结构，由于半导体衬底的表面层由难于被自然氧化的氧化抑制部构成，就能够消除因半导体衬底的表面层被自然氧化而产生的问题。还有，由于电子是在因迁移率提高部的影响而产生晶格畸变的导电部中迁移，电子的迁移率得到提高。

还有，作为氧化抑制部的SiGe结晶膜3a、4a具有提高流过作为导电部的Si结晶膜3b、4b的电子迁移率的功能。

按照上述的结构，能够进一步提高在导电部中的电子的迁移率。

进而，作为氧化抑制部的SiGe结晶膜3a、4a和作为迁移率提高部的SiGe结晶膜衬底2由相同的物质构成。

按照上述结构，由于在氧化抑制部上也具备使得在导电部中产生晶格畸变的功能，使电子迁移率降低的可能性降低了。

还有，在实施例1~4的半导体器件中，作为从上下夹持Si结晶膜的膜，使用的是SiGe结晶膜，但使用SiGeC结晶膜来代替SiGe结晶膜也能够得到与实施例1~4的半导体器件同样的效果。

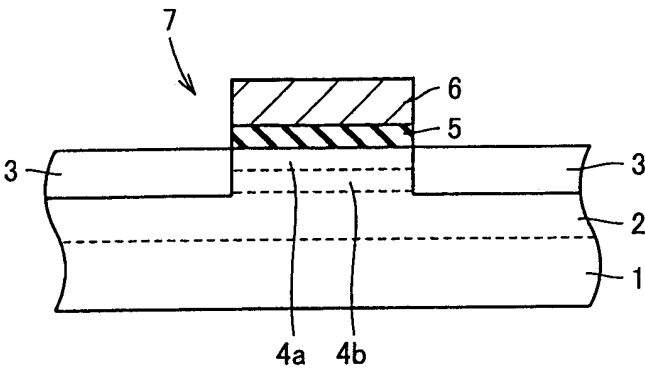


图 1

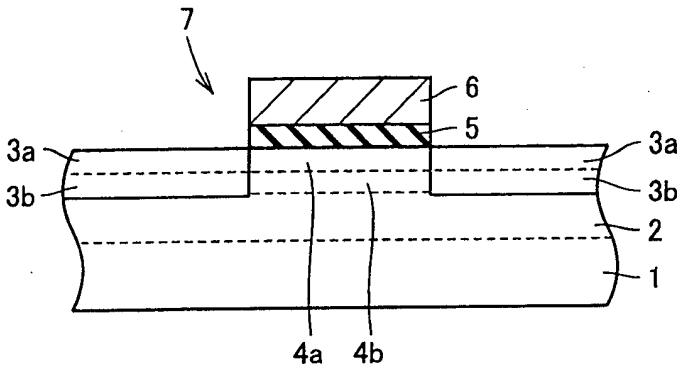


图 2

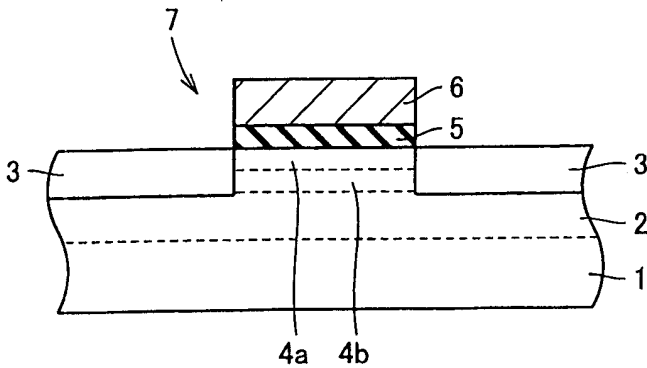


图 3

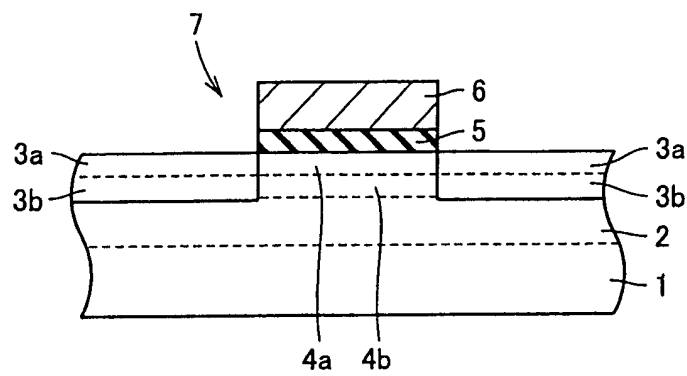


图 4

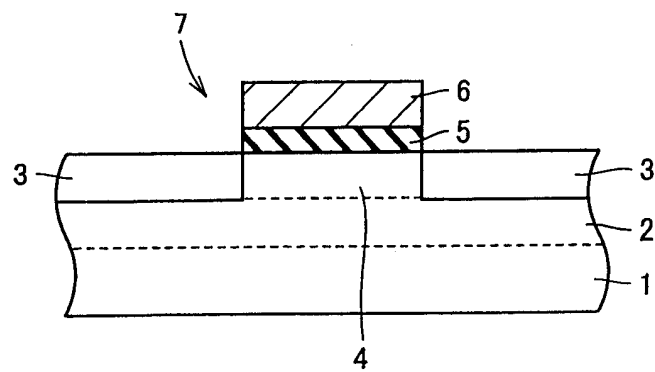


图 5