

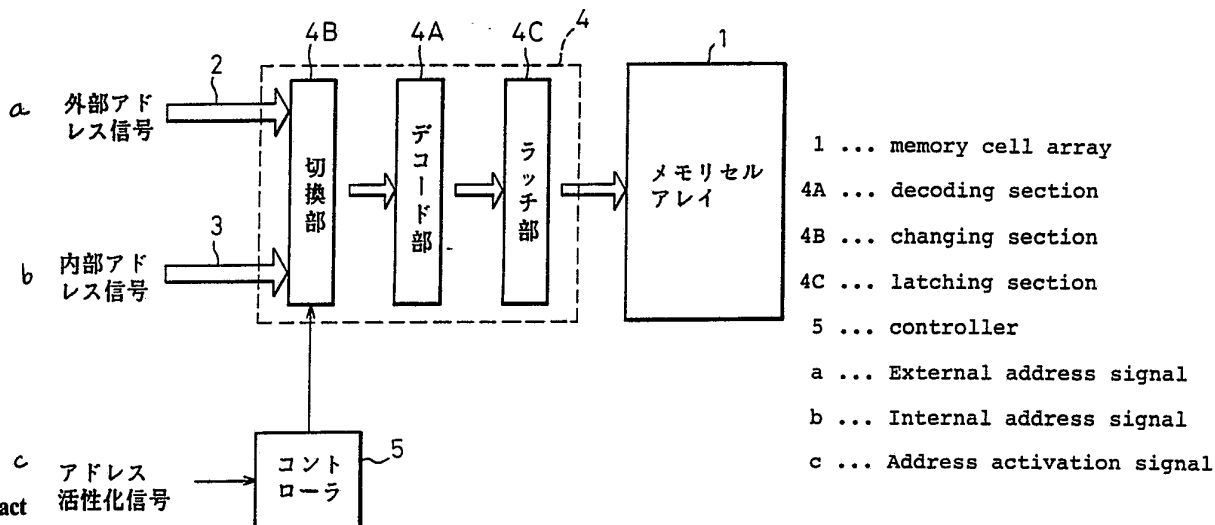


特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類 5 G11C 11/406, 11/408</p>	<p>A1</p>	<p>(11) 国際公開番号 WO 92/09084 (43) 国際公開日 1992年5月29日(29. 05. 1992)</p>
<p>(21) 国際出願番号 PCT/JP91/01563 (22) 国際出願日 1991年11月15日(15. 11. 91) (30) 優先権データ 特願平2/310566 1990年11月16日(16. 11. 90) JP (71) 出願人(米国を除くすべての指定国について) 富士通株式会社(FUJITSU LIMITED)[JP/JP] 〒211 神奈川県川崎市中原区上小田中1015番地 Kanagawa, (JP) 富士通ヴェルエスアイ株式会社 (FUJITSU VLSI LIMITED)[JP/JP] 〒487 愛知県春日井市高蔵寺町二丁目1844番2 Aichi, (JP) (72) 発明者; および (75) 発明者/出願人(米国についてのみ) 川本 悟(KAWAMOTO, Satoru)[JP/JP] 〒487 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴェルエスアイ株式会社内 Aichi, (JP) (74) 代理人 弁理士 青木 朗, 外(AOKI, Akira et al.) 〒105 東京都港区虎ノ門一丁目8番10号 静光虎ノ門ビル 青和特許法律事務所 Tokyo, (JP) (81) 指定国 DE(欧州特許), FR(欧州特許), GB(欧州特許), JP, KR, US.</p>	<p>添付公開書類 国際調査報告書</p>	

(54) Title : SEMICONDUCTOR MEMORY HAVING HIGH-SPEED ADDRESS DECODER

(54) 発明の名称 高速動作が可能なアドレスデコーダを有する半導体記憶装置



(57) Abstract

A semiconductor memory comprising a memory cell array (1), a first address bus (2) for transferring external address signals, a second address bus (3) for transferring internal address signals, an address decoder (4), and a controller (5); wherein the address decoder (4) includes a decoding section (4A) for decoding the address signal inputted to the address decoder (4) to select the predetermined word line of the memory cell array (1) and a changing section (4B) for changing the address signal to be inputted to the decoding section (4A) to the external or internal address signal by selecting either of the first and second address buses (2 and 3). Thus, it is possible to decrease the transfer time by transferring the external and internal address signals to the address decoder (4) through the first and second address buses (2 and 3) in accordance with an address activation signal before operation mode is decided and accelerate the access time of the memory cell by decreasing the decoding time.

(57) 要約

メモリセルアレイ (1), 外部アドレス信号を転送する第1のアドレスバス (2), 内部アドレス信号を転送する第2のアドレスバス (3), アドレスデコーダ (4), および, コントローラ (5) を備えた半導体記憶装置であって、アドレスデコーダ (4) に、入力されたアドレス信号をデコードしてメモリセルアレイ (1) の所定のワード線を選択するデコード部 (4A) と、第1または第2のアドレスバス (2, 3) のいずれか一方を選択してデコード部 (4A) に入力するアドレス信号を外部アドレス信号または内部アドレス信号に切換える切換部 (4B) を設ける。これによって、外部アドレス信号および内部アドレス信号を、動作モードの判定を待たずに、アドレス活性化信号に基づいてそれぞれ第1および第2のアドレスバス (2, 3) を介してアドレスデコーダ (4) まで転送して転送時間を短縮することができ、デコード時間を速くしてメモリセルのアクセスを高速化することができる。

情報としての用途のみ

PCTに基づいて公開される国際出願のハンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	ES	スペイン	ML	マリ
AU	オーストラリア	FI	フィンランド	MN	モンゴル
BB	バルバドス	FR	フランス	MR	モーリタニア
BE	ベルギー	GA	ガボン	MW	マラウイ
BF	ブルキナ・ファソ	GI	ギニア	NL	オランダ
BG	ブルガリア	GB	イギリス	NO	ノルウェー
BJ	ベナン	GR	ギリシャ	PL	ポーランド
BR	ブラジル	HU	ハンガリー	RO	ルーマニア
CA	カナダ	IT	イタリア	SD	スーダン
CF	中央アフリカ共和国	JP	日本	SE	スウェーデン
CG	コンゴ	KP	朝鮮民主主義人民共和国	SN	セネガル
CH	スイス	KR	大韓民国	SU ⁺	ソヴィエト連邦
CI	コート・ジボアール	LI	リヒテンシュタイン	TD	チャード
CM	カメルーン	LK	スリランカ	TG	トーゴ
CS	チェコスロバキア	LU	ルクセンブルグ	US	米国
DE	ドイツ	MC	モナコ		
DK	デンマーク	MG	マダガスカル		

⁺SUの指定はロシア連邦の指定としての効力を有する。しかし、その指定が旧ソヴィエト連邦のロシア連邦以外の他の国で効力を有するかは不明である。

明 細 書高速動作が可能なアドレスデコーダ
を有する半導体記憶装置

技術分野

本発明は、半導体記憶装置に関し、特に、アドレス信号をデコードしてメモリセルを選択する高速動作が可能なアドレスデコーダを有する半導体記憶装置に関する。

背景技術

近年、半導体メモリには、アクセスの高速化と各種の動作モード等の高付加価値化が要求されている。例えば、ダイナミック・ランダムアクセスメモリ（DRAM）では、外部アドレス信号に基づいた通常の読出し書込み動作と、チップ内に設けたアドレスカウンタからの内部アドレス信号に基づいたリフレッシュ動作との2種類の動作モードがある。そのため、各種動作モードでの使用アドレス信号のデコード結果を速くすることが要望されている。

具体的に、例えば、DRAMは、メモリセル、センスアンプ、コラムデコーダ、ワードドライバ、ロウアドレスバッファ、クロックジェネレータ、モード判定回路、および、スイッチ回路等を備えている。

このようなDRAMにおいて、まず、通常の読出し書込み動作時には、クロックジェネレータからの制御信号に基づい

て、バッファセルのアドレスラッチ回路により、その入力端子に供給されている外部アドレス信号がラッチされ、その後、モード判定回路による動作モードの判定結果に基づいて、アドレスラッチ回路にラッチされた外部アドレス信号のデータがアドレスバスを介してロウデコーダに転送される。そして、転送されたデータがロウデコーダによりデコードされ、デコードアドレスがワードドライバに転送されて所定のワード線が選択される。次に、リフレッシュ動作時には、上述したのと同様に、クロックジェネレータからの制御信号に基づいて、バッファセルのアドレスラッチ回路により、入力端子に供給されている外部アドレス信号のデータがラッチされ、その後、モード判定回路による動作モードの判定結果に基づいて、内部アドレス信号のデータがロウデコーダに転送される。そして、上述したのと同様にして、所定のワード線が選択される。

ここで、チップをリセットする場合には、選択しているワード線をリセット信号によりリセットした後、クロックジェネレータ 86 の制御信号が変化し、この制御信号の遷移に基づいて、モード判定回路のモード信号が所定のレベルに復帰する。このモード信号の所定レベルへの復帰により、スイッチ回路の両スイッチ制御信号が変化すると共に、アドレスバスの各信号線がリセットされ、これによりデコードアドレスもリセットされることになる。

このように、従来のロウ系コントローラでは、外部アドレス信号または内部アドレス信号がアドレスバスに出力される時期は、ロウアドレスストロブ信号およびコラムアドレス

ストロブ信号に基づいてモード判定回路により動作モードが判定され、モード信号（動作モード信号）のいずれか一方が所定レベルに決まってからとなる。そのため、従来の半導体記憶装置では、デコード時間が遅くなり、アクセスを高速化できないという課題がある。また、チップのリセット時には、そのとき選択しているワード線のディスチャージが完了するまで、該ワード線を選択しているアドレスバスおよびデコードアドレスをリセットすることができず、リセット時間の短縮が困難なため、サイクルタイムを高速化できないことになっていた。

発明の開示

本発明は、アドレスデコーダのデコード時間を短縮してメモリセルのアクセス時間を高速化することを目的とする。さらに、さらに、本発明は、チップのリセット時間を短縮してサイクルタイムを高速化することも目的とする。

本発明の第1の形態によれば、メモリセルアレイと、アドレス活性化信号に基づいて外部アドレス信号を転送する第1のアドレスバスと、前記アドレス活性化信号に基づいて内部アドレス信号を転送する第2のアドレスバスと、入力されたアドレス信号をデコードしてメモリセルアレイの所定のワード線を選択するデコード部、および、前記第1または第2のアドレスバスのいずれか一方を選択して該デコード部に入力するアドレス信号を外部アドレス信号または内部アドレス信号に切替える切替部を有するアドレスデコーダと、前記アド

レス活性化信号に基づいて動作モードを判定し、前記切換部を制御するコントローラとを備えたことを特徴とする半導体記憶装置が提供される。

前記アドレスデコーダは、さらに、前記デコード部のデコード結果をラッチするラッチ部を備えているかも知れない。

本発明の第2の形態によれば、メモリセルアレイと、アドレス活性化信号に基づいて外部アドレス信号を転送する第1のアドレスバスと、前記アドレス活性化信号に基づいて内部アドレス信号を転送する第2のアドレスバスと、前記第1のアドレスバスを介して入力された外部アドレス信号をデコードする第1のデコード部、前記第2のアドレスバスを介して入力された内部アドレス信号をデコードする第2のデコード部、該第1または第2のデコード部のデコード結果のいずれか一方を選択して前記メモリセルアレイの所定のワード線を選択する切換部を有するアドレスデコーダと、前記アドレス活性化信号に基づいて動作モードを判定し、前記切換部を制御するコントローラとを備えたことを特徴とする半導体記憶装置が提供される。

前記アドレスデコーダは、さらに、前記切換部の出力をラッチするラッチ部を備えているかも知れない。

本発明の第3の形態によれば、メモリセルアレイ、および、アドレス信号をデコードして該メモリセルアレイの所定のメモリセルを選択するアドレスデコーダとを備えた半導体記憶装置であって、前記アドレスデコーダに、デコード結果をラッチするラッチ部を設けたことを特徴とする半導体記憶装置

が提供される。

上述した本発明の第1～第3の形態において、前記アドレスデコーダは、ダイナミック・ランダムアクセスメモリにおけるロウデコーダとして構成することができ、さらに、前記アドレスデコーダは、前記ロウデコーダのプリデコーダとして構成することができる。

図面の簡単な説明

第1図は従来の半導体記憶装置の一例を示すブロック回路図、

第2図は第1図の半導体記憶装置のチップレイアウトを示す図、

第3図は第1図に示す半導体記憶装置の動作を説明するためのタイミング図、

第4図は従来の半導体記憶装置の他の例を示すブロック回路図、

第5図は第4図に示す半導体記憶装置の動作を説明するためのタイミング図、

第6図は本発明に係る半導体記憶装置の第1の形態を示す原理ブロック図、

第7図は本発明に係る半導体記憶装置の第2の形態を示す原理ブロック図、

第8図は本発明に係る半導体記憶装置の第3の形態を示す原理ブロック図、

第9図は本発明の半導体記憶装置の一実施例を示すブロッ

ク回路図、

第10図は第9図の半導体記憶装置におけるロウ系コントローラの一例を示す回路図、

第11図は第9図の半導体記憶装置におけるデコード部およびラッチ部の一例を示す回路図、

第12図は半導体記憶装置の一例を概略的に示すブロック図、

第13図は第9図に示す半導体記憶装置の動作を説明するためのタイミング図、

第14図は第9図の半導体記憶装置のチップレイアウトを示す図、

第15図は本発明の半導体記憶装置の他の実施例を示すブロック回路図、

第16図は第15図の半導体記憶装置におけるデコードセルを示す回路図、および、

第17図は第16図のデコードセルをプリデコードとして適用したロウデコードおよびワードドライバを示す回路図である。

発明を実施するための最良の形態

最初に、本発明に係る半導体記憶装置の実施例を詳述する前に、従来のDRAMにおけるロウ系のコントローラおよびアドレスバッファ（ロウアドレスバッファ）を第1図～第5図を参照して説明する。

第1図は従来の半導体記憶装置の一例を示すブロック回路

図であり、第2図は第1図の半導体記憶装置のチップレイアウトを示す図である。第2図において、コア部110は、メモリセル、センスアンプ、コラムデコーダ、ワードドライバ(91)、および、ロウ(アドレス)メインデコーダを含んでいる。

第1図に示されるように、ロウアドレスバッファ80は、3つのバッファセル81A~81Cからなり、各バッファセル81A~81CはnMOSトランジスタよりなる第1および第2のスイッチ82、83と、アドレスラッチ回路84とを備えて構成されている。各バッファセル81A~81Cの第1のスイッチ82には3ビットの外部アドレス信号EAの各ビットEA0~EA2が供給されるとともに、第2のスイッチ83にはチップ内に設けたアドレスカウンタ85から3ビットの内部アドレス信号CAの各ビットCA0~CA2が供給されるようになっている。

クロックジェネレータ86は、ロウアドレスストロブ信号 \overline{RAS} に基づいて制御信号RASXをモード判定回路87に出力すると共に、制御信号RASXを遅延回路88を介して前記各バッファセル81A~81Cのアドレスラッチ回路84に出力する。

モード判定回路87は、ロウアドレスストロブ信号 \overline{RAS} がLレベル(低レベル)となった時、コラムアドレスストロブ信号 \overline{CAS} がHレベル(高レベル)であると、通常の読出し書込み動作であると判定し、モード信号MODEをHレベルに、また、モード信号 \overline{MODE} をLレベルに保持する。

また、モード判定回路 87 は、ロウアドレスストロブ信号 \overline{RAS} が L レベルとなった時、コラムアドレスストロブ信号 \overline{CAS} が L レベルであると、メモリセルアレイ（第 2 図中のコア部 110 に含まれている）のリフレッシュ動作であると判定し、モード信号 MODE を H レベルに、また、モード信号 \overline{MODE} を L レベルに保持する。

スイッチ回路 89 は、モード判定回路 87 からのモード信号 MODE、 \overline{MODE} がそれぞれ H、L レベルであると、スイッチ制御信号 NORZ、REFZ をそれぞれ H、L レベルとし、また、モード信号 MODE、 \overline{MODE} がそれぞれ L、H レベルであると、スイッチ制御信号 NORZ、REFZ をそれぞれ L、H レベルとする。

第 3 図は第 1 図に示す半導体記憶装置の動作を説明するためのタイミング図である。

まず、通常の読出し書込み動作時には、第 3 図中に実線で示すように、スイッチ回路 89 のスイッチ制御信号 NORZ が H レベルとなってロウアドレスバッファ 80 の各バッファセル 81A ~ 81C のスイッチ 82 がオンすると、アドレスラッチ回路 84 の入力端子 A_{in} に外部アドレス信号 EA の各ビット EA0 ~ EA2 が供給され、クロックジェネレータ 86 からの制御信号 RASX に基づいて各バッファセル 81A ~ 81C のアドレスラッチ回路 84 により入力端子 A_{in} に供給されているアドレスデータがラッチされる。この後、各アドレスラッチ回路 84 にラッチされたビットデータ EA0 ~ EA2 は、アドレスバス RA の各信号線 RA0 ~ RA2

を介してロウデコーダ90に転送される。そして、ロウデコーダ90によって各信号線RA0～RA2のビットデータがデコードされ、デコードアドレスが信号線を介してワードドライバ91に転送されて所定のワード線が選択されることになる。

次に、リフレッシュ動作時には、スイッチ回路89のスイッチ制御信号REFZがHレベルとなって各バッファセル81A～81Cのスイッチ83がオンすると、アドレスラッチ回路84の入力端子Ainに内部アドレス信号CAの各ビットCA0～CA2が供給とされ、前記と同様にして所定のワード線が選択される。第3図中における二点鎖線の部分は、各信号のリフレッシュ動作時の状態を示すものである。

ここで、チップをリセットする場合には、第3図に示すように、リセット信号SR0により選択しているワード線をリセットした後、クロックジェネレータ86の制御信号RASXがHレベルになり、この制御信号RASXのHレベルへの遷移に基づいてモード判定回路87のモード信号MODEまたはMODEがHレベルに復帰する。このモード信号MODEまたはMODEのHレベルへの復帰によって、スイッチ回路89の両スイッチ制御信号NORZ, REFZがLレベルになるとともに、アドレスバスRAの各信号線RA0～RA2がリセットされ、これによりデコードアドレスもリセットされる。

第4図は従来の半導体記憶装置の他の例を示すブロック回路図である。

第4図に示されるように、ロウアドレスバッファ92を構成する3つのバッファセル93A~93Cは、入力端子Ainに外部アドレス信号EAの各ビットデータEA0~EA2が供給されるアドレスラッチ回路94、アドレスラッチ回路94の出力端子に接続された第1のスイッチ95およびチップ内に設けたアドレスカウンタ85から内部アドレス信号CAの各ビットCA0~CA2が供給される第2のスイッチ96で構成されている。

第5図は第4図に示す半導体記憶装置の動作を説明するためのタイミング図である。

まず、通常の読出し書込み動作時には、第5図に実線で示すように、クロックジェネレータ86からの制御信号RASXに基づいて、各バッファセル93A~93Cのアドレスラッチ回路94により、その入力端子Ainに供給されている外部アドレス信号EAの各ビットデータEA0~EA2がラッチされる。この後、モード判定回路87による動作モードの判定結果に基づいて、スイッチ回路89のスイッチ制御信号NORZがHレベルとなって各バッファセル93A~93Cのスイッチ95がオンすると、各アドレスラッチ回路94にラッチされたビットデータEA0~EA2がアドレスバスRAの各信号線RA0~RA2を介してロウデコーダ90に転送される。そして、ロウデコーダ90によって各信号線RA0~RA2のビットデータがデコードされ、デコードアドレスが信号線を介してワードドライバ91に転送されて所定のワード線が選択されることになる。

次に、リフレッシュ動作時には、上述したのと同様に、クロックジェネレータ86からの制御信号RASXに基づいて、各バッファセル93A~93Cのアドレスラッチ回路94により、入力端子Ainに供給されている外部アドレス信号EAの各ビットデータEA0~EA2がラッチされる。この後、モード判定回路87による動作モードの判定結果に基づいてスイッチ回路89のスイッチ制御信号REFZがHレベルとなって、各バッファセル93A~93Cのスイッチ96がオンすると、内部アドレス信号CAの各ビットデータCA0~CA2がアドレスバスRAの各信号線RA0~RA2を介してロウデコーダ90に転送され、上述したのと同様にして、所定のワード線が選択されることになる。第5図中における二点鎖線の部分は、各信号のリフレッシュ動作時の状態を示すものである。

ここで、チップをリセットする場合には、第5図に示すように、選択しているワード線をリセット信号SR0によりリセットした後、クロックジェネレータ86の制御信号RASXがHレベルになり、この制御信号RASXのHレベルへの遷移に基づいて、モード判定回路87のモード信号MODEまたは $\overline{\text{MODE}}$ がHレベルに復帰する。このモード信号MODEまたは $\overline{\text{MODE}}$ のHレベルへの復帰により、スイッチ回路89の両スイッチ制御信号NORZ, REFZがLレベルになると共に、アドレスバスRAの各信号線RA0~RA2がリセットされ、これによりデコードアドレスもリセットされることになる。

上述したように、従来のロウ系コントローラでは、外部アドレス信号または内部アドレス信号がアドレスバスRAに出力される時期は、ロウアドレスストロブ信号 \overline{RAS} およびコラムアドレスストロブ信号 \overline{CAS} に基づいてモード判定回路87により動作モードが判定され、モード信号（動作モード信号）MODE、 \overline{MODE} のいずれか一方がLレベルに決まってからとなる。そのため、従来の半導体記憶装置では、デコード時間が遅くなり、アクセスを高速化できないという課題がある。

また、チップのリセット時には、そのとき選択しているワード線のディスチャージが完了するまで、該ワード線を選択しているアドレスバスおよびデコードアドレスをリセットすることができず、リセット時間の短縮が困難なため、サイクルタイムを高速化できない。

次に、本発明に係る半導体記憶装置の原理を第6図～第8図を参照して説明する。

第6図は本発明に係る半導体記憶装置の第1の形態を示す原理ブロック図である。

第6図に示されるように、本発明に係る半導体記憶装置の第1の形態において、第1のアドレスバス2はアドレス活性化信号に基づいて外部アドレス信号を転送し、第2のアドレスバス3は内部アドレス信号を転送する。

アドレスデコーダ（ロウデコーダ）4は、デコード部4A、切換部4B、および、ラッチ部4Cを備えている。デコード部4Aは、入力されたアドレス信号をデコードしてメモリセ

ルアレイ 1 の所定のワード線を選択する。また、切換部 4 B は、第 1 または第 2 のアドレスバス 2, 3 のいずれか一方を選択してデコード部 4 A に入力するアドレス信号を外部アドレス信号または内部アドレス信号に切替える。そして、ラッチ部 4 C は、デコード部 4 A のデコード結果をラッチする。

コントローラ 5 は、アドレス活性化信号に基づいて動作モードを判定し、ロウデコーダ 4 の切換部 4 B を制御する。

以上の構成を有する本発明に係る半導体記憶装置の第 1 の形態によれば、外部アドレス信号および内部アドレス信号は、アドレス活性化信号に基づくコントローラ 5 による動作モードの判定を待たずに、アドレス活性化信号に基づいてそれぞれ第 1 および第 2 のアドレスバス 2, 3 を介してロウデコーダ 4 まで転送される。そして、コントローラ 5 による動作モードの判定結果に従って、切換部 4 B が制御されて第 1 または第 2 のアドレスバス 2, 3 のいずれか一方が選択され、外部アドレス信号または内部アドレス信号のうち動作モードに応じたアドレス信号がデコード部 4 A に入力されてデコードされる。このデコード結果に基づいて、メモリセルアレイ 1 の所定のワード線が選択される。これにより、デコード時間が速くなり、メモリセルのアクセスが高速化されることになる。

さらに、デコード部 4 A のデコード結果がラッチ部 4 C にラッチされて所定のワード線が選択されるので、チップのリセット時において、選択しているワード線のリセットとは関係なく第 1 および第 2 のアドレスバス 2, 3 のリセット時期

を早めることが可能となり、リセット時間の短縮化が可能となる。

第7図は本発明に係る半導体記憶装置の第2の形態を示す原理ブロック図である。

第7図に示されるように、本発明に係る半導体記憶装置の第2の形態において、第1のアドレスバス7はアドレス活性化信号に基づいて外部アドレス信号を転送し、第2のアドレスバス8は内部アドレス信号を転送する。

アドレスデコーダ(ロウデコーダ)9は、第1および第2のデコード部9A、9B、切換部9C、および、ラッチ部9Dを備えている。第1のデコード部9Aは、第1のアドレスバス7を介して入力された外部アドレス信号をデコードし、また、第2のデコード部9Bは第2のアドレスバス8を介して入力された内部アドレス信号をデコードする。さらに、切換部9Cは、第1または第2のデコード部9A、9Bのデコード結果のいずれか一方を選択してメモリセルアレイ6の所定のワード線を選択する。そして、ラッチ部9Dは切換部9Cの出力をラッチする。

コントローラ10は、アドレス活性化信号に基づいて動作モードを判定し、ロウデコーダ9の切換部9Cを制御する。

以上の構成を有する本発明に係る半導体記憶装置の第2の形態によれば、外部アドレス信号および内部アドレス信号は、アドレス活性化信号に基づくコントローラ10による動作モードの判定を待たずに、アドレス活性化信号に基づいてそれぞれ第1および第2のアドレスバス7、8を介してロウデコ

ーダ9の第1および第2のデコード部9A, 9Bに転送され、デコードされる。そして、コントローラ10による動作モードの判定結果に従って、切換部9Cが制御されて第1または第2のデコード部9A, 9Bのデコード結果のいずれか一方が選択され、メモリセルアレイ6の所定のワード線が選択される。このため、デコード時間が速くなり、メモリセルのアクセスが高速化される。

さらに、切換部9Cの出力がラッチ部9Dにラッチされて所定のワード線が選択されるので、チップのリセット時において、選択しているワード線のリセットとは関係なく第1および第2のアドレスバス7, 8のリセット時期を早めることが可能となり、リセット時間の短縮化が可能となる。

第8図は本発明に係る半導体記憶装置の第3の形態を示す原理ブロック図である。

第8図に示されるように、本発明に係る半導体記憶装置の第3の形態において、アドレスデコーダ(ロウデコーダ)12は、アドレス信号をデコードし、ラッチ部12Aは、そのデコード結果をラッチしてメモリセルアレイ11の所定のメモリセルを選択する。

以上の構成を有する本発明に係る半導体記憶装置の第3の形態によれば、アドレスデコーダ12におけるデコード結果がラッチ部12Aにラッチされてメモリセルアレイ11の所定のメモリセルが選択されるので、チップのリセット時において、選択しているメモリセルのリセットとは関係なくアドレス信号のリセット時期を早めることが可能となり、リセッ

ト時間の短縮化が可能となる。

以下、第9図～第17図を参照して、本発明に係る半導体記憶装置の実施例を詳述する。

第12図は半導体記憶装置の一例を概略的に示すブロック図であり、第9図は本発明の半導体記憶装置の一実施例を示すブロック回路図である。

第12図に示されるように、メモリセルアレイ21は多数のメモリセルで構成され、該メモリセルアレイ21には、ワードドライバ22、ロウデコーダ23、センスアンプおよび入出力ゲート24、および、コラムデコーダ25が接続されている。

ロウデコーダ23には、第1のアドレスバスREAを介してロウアドレスバッファ26が接続されると共に、第2のアドレスバスRCAを介してリフレッシュアドレスカウンタ27が接続されている。ロウアドレスバッファ26は、図示しない制御装置からの複数ビット（本実施例では3ビット）からなる外部アドレス信号EAをロウデコーダ23に供給し、また、リフレッシュアドレスカウンタ27は、複数ビット（本実施例では3ビット）からなる内部アドレス信号CAをロウデコーダ23に供給するようになっている。

ロウ系コントローラ28は、アドレス活性化信号としてのロウアドレスストロブ信号 \overline{RAS} およびコラムアドレスストロブ信号 \overline{CAS} のレベルに基づいて、前記ワードドライバ22、ロウデコーダ23、ロウアドレスバッファ26、および、リフレッシュアドレスカウンタ27を制御する。

コラムデコーダ25には、アドレスバス29を介してコラムアドレスバッファ30が接続され、同バッファ30は、前記制御装置から入力された複数ビット（本実施例では3ビット）からなる外部アドレス信号EAをコラムデコーダ25に供給するようになっている。

コラム系コントローラ31は、前記ロウ系コントローラ28の制御信号RASZとコラムアドレスストロブ信号 \overline{CAS} とを入力するAND回路32の出力信号のレベルに基づいて、前記センスアンプおよび入出力ゲート24、コラムデコーダ25、および、コラムアドレスバッファ30を制御する。また、コラム系コントローラ31は、読出し動作時にデータ出力バッファ33を制御してメモリセルアレイ21からの読出しデータDoutを出力させる。

ライトクロックジェネレータ34は、前記コラム系コントローラ31からの出力信号と外部からの書込み制御信号WEとを入力し、書込み動作時にデータ入力バッファ35を制御して書込みデータDinを入力させる。

第9図に示すように、ロウアドレスバッファ36は、バッファセルとしての3つのアドレスラッチ回路37A~37Cで構成され、各アドレスラッチ回路37A~37Cには3ビットの外部アドレス信号EAの各ビットEA0~EA2が入力されると共に、後述するクロックジェネレータ38からの制御信号RASXが入力されている。そして、各アドレスラッチ回路37A~37Cは、制御信号RASXがLレベルのとき、その入力端子Ainに供給されている各ビットデータ

EA0～EA2をラッチし、アドレスバスREAの各信号線REA0～REA2を介してロウデコーダ23に転送する。

ロウ系コントローラ28は、第9図に示すように、クロックジェネレータ38、モード判定回路39、および、スイッチ回路40で構成されている。

第14図は第9図の半導体記憶装置の実際のチップレイアウトを示す図である。同図において、コア部100は、メモリセル、センスアンプ、コラムデコーダ、ワードドライバ(22)、および、ロウ(アドレス)メインデコーダを含んで構成されている。ここで、第14図と第2図とを比較すると、第2図に示す従来の半導体記憶装置では、モード判定回路87の出力信号(モード信号)MODE、 $\overline{\text{MODE}}$ を受け取るスイッチ回路89が該モード判定回路87に近接して設けられ、このスイッチ回路89の出力信号が各バッファセル93A、93B、…に供給されるようになっているのに対して、第14図に示す本発明の半導体記憶装置では、モード判定回路39の出力信号(モード信号)MODE、 $\overline{\text{MODE}}$ を受け取るスイッチ回路40がロウデコーダ70(23)に近接して設けられ、このスイッチ回路40の出力信号がロウデコーダ70(23)の各デコーダセルに供給されている。

第10図は第9図の半導体記憶装置におけるロウ系コントローラ28の一例を示す回路図である。

第10図に示されるように、クロックジェネレータ38は、2段のインバータ41を備えており、ロウアドレスストロブ信号 $\overline{\text{RAS}}$ に基づいて、制御信号RASXをモード判定回

路39、スイッチ回路40、および、前記ロウアドレスバッファ36（第9図参照）に出力する。

モード判定回路39のNAND回路44には、インバータ42、43を介してロウアドレスストロブ信号 \overline{RAS} およびコラムアドレスストロブ信号 \overline{CAS} が入力されている。NAND回路45には、インバータ42を介してロウアドレスストロブ信号 \overline{RAS} が入力されると共に、コラムアドレスストロブ信号 \overline{CAS} が入力されるようになっている。ラッチ回路48、49は、それぞれ2つのインバータで構成され、各ラッチ回路48、49の入力端子は、ゲート端子に前記制御信号 $RASX$ が入力されるnMOSトランジスタ46、47を介して、それぞれNAND回路44、45に接続され、各出力端子にはそれぞれインバータ50、51が接続されている。

そして、モード判定回路39は、ロウアドレスストロブ信号 \overline{RAS} がLレベルに遷移した時、コラムアドレスストロブ信号 \overline{CAS} がHレベルであると、通常の読出し書込み動作と判定してモード信号MODEをHレベルとし、モード信号MODEをLレベルとする。すなわち、ロウアドレスストロブ信号 \overline{RAS} がLレベルに遷移した時点ではNAND回路44の出力はHレベル、且つ、NAND回路45の出力はLレベルとなる。このとき、クロックジェネレータ38の制御信号 $RASX$ はまだHレベルであるため、nMOSトランジスタ46、47がオンし、NAND回路44、45の出力がラッチ回路48、49に転送されてラッチされ、そして、

モード信号MODEはHレベル、モード信号 $\overline{\text{MODE}}$ はLレベルとなる。

また、モード判定回路39は、ロウアドレスストロブ信号 $\overline{\text{RAS}}$ がLレベルに遷移した時、コラムアドレスストロブ信号 $\overline{\text{CAS}}$ がLレベルであると、メモリセルアレイ21のリフレッシュ動作であると判定してモード信号MODEをLレベルとし、モード信号 $\overline{\text{MODE}}$ をHレベルとする。すなわち、クロックジェネレータ38の制御信号RASXがLレベルとなる直前には、NAND回路44の出力はLレベル、且つ、NAND回路45の出力はHレベルとなるため、NAND回路44、45の出力がラッチ回路48、49に転送されてラッチされ、そして、モード信号MODEはLレベル、モード信号 $\overline{\text{MODE}}$ はHレベルとなる。

尚、モード判定回路39は、ロウアドレスストロブ信号 $\overline{\text{RAS}}$ — レベルのときには、モード信号MODE、 $\overline{\text{MODE}}$ を共にHレベルとする。

スイッチ回路40は、NAND回路52～54とインバータ55～57とで構成され、2入力NAND回路52には、前記両モード信号（相補信号）MODE、 $\overline{\text{MODE}}$ が入力されている。また、3入力NAND回路53には、モード信号MODE、NAND回路52の出力信号、および、インバータ55を介して前記制御信号RASXが入力され、出力端子にはインバータ56が接続されている。さらに、3入力NAND回路54には、モード信号 $\overline{\text{MODE}}$ 、NAND回路52の出力信号、および、前記インバータ55を介して制御信号

RASXが入力され、出力端子にはインバータ57が接続されている。

そして、スイッチ回路40は、通常の読出し書込み動作時、すなわち、モード信号MODEがHレベルでモード信号 $\overline{\text{MODE}}$ がLレベルのとき、スイッチ制御信号NORZをHレベル、スイッチ制御信号REFZをLレベルとしてロウデコーダ23に出力する。また、スイッチ回路40は、リフレッシュ動作時、すなわち、モード信号MODEがLレベルでモード信号 $\overline{\text{MODE}}$ がHレベルのとき、スイッチ制御信号NORZをLレベル、スイッチ制御信号REFZをHレベルとしてロウデコーダ23に出力する。尚、スイッチ回路40は、モード信号MODE、 $\overline{\text{MODE}}$ が共にHレベルのときには、スイッチ制御信号NORZ、REFZを共にLレベルとするようになっている。

第9図に示すように、ロウデコーダ23は、8つのデコーダセル58A~58Hで構成されている。各デコーダセル58A~58Hは、切換部としてのnMOSトランジスタよりなる3つの第1スイッチ59a~59c、同じく切換部としてのnMOSトランジスタよりなる3つの第2スイッチ60a~60c、デコード部61、および、ラッチ部62で構成されている。各第1スイッチ59a~59cのドレイン端子は、それぞれ前記第1のアドレスバスREAの各信号線REA0~REA2に接続されて外部アドレス信号EAの各ビットEA0~EA2が供給され、各ソース端子は、それぞれデコード部61の3つの入力線61a~61cに接続され、そ

して、各ゲート端子には、前記スイッチ回路40のスイッチ制御信号NORZが印加されている。また、各第2スイッチ60a~60cのドレイン端子は、それぞれ前記第2のアドレスバスRCAの各信号線RCA0~RCA2に接続されて前記リフレッシュアドレスカウンタ27から内部アドレス信号CAの各ビットCA0~CA2が供給され、各ソース端子は、それぞれデコード部61の3つの入力線61a~61cに接続され、そして、各ゲート端子には、前記スイッチ回路40のスイッチ制御信号REFZが印加されている。

従って、通常の読出し書込み動作時、すなわち、スイッチ制御信号NORZがHレベルのときには、各デコードセル58A~58Hの3つの第1スイッチ59a~59cがオンして第1のアドレスバスREAが選択され、外部アドレス信号EAの各ビットデータEA0~EA2が各デコード部61に入力される。また、リフレッシュ動作時、すなわち、スイッチ制御信号REFZがHレベルのときには、各デコードセル58A~58Hの3つの第2スイッチ60a~60cがオンして第2のアドレスバスRCAが選択され、内部アドレス信号CAの各ビットデータCA0~CA2が各デコード部61に入力される。

第11図は第9図の半導体記憶装置におけるデコード部61およびラッチ部62の一例を示す回路図である。

第11図に示されるように、デコード部61は、高電圧電源Vccと低電圧電源GNDとの間に直列に設けられたpMOSトランジスタよりなるチャージ用トランジスタ63と、3

つのnMOSトランジスタよりなるデコード用トランジスタ64a~64cで構成されている。チャージ用トランジスタ63のゲート端子には、リセット信号 $\overline{SR2}$ が印加されている。ここで、リセット信号 $\overline{SR2}$ は、待機状態、すなわち、読出し書込み動作でないまたはリフレッシュ動作でないときにのみLレベルにされ、チャージ用トランジスタ63をオンさせてノード α をHレベルとするようになっている。各デコード用トランジスタ64a~64cのゲート端子には、読出し書込み動作時またはリフレッシュ動作時において、前記入力線61a~61cを介して外部アドレス信号EAの各ビットデータEA0~EA2、または、内部アドレス信号CAの各ビットデータCA0~CA2が入力されるようになっており、全てのデコード用トランジスタ64a~64cがオンすると、ノード α がLレベルにされてデコードできたことになる。すなわち、デコード部61の各入力線61a~61cのビットデータが全て「1」（高レベルH）の場合には、デコーダセル58Aにてデコードされることになる。

尚、デコーダセル58B~58Hにおけるデコード部61は、3つのデコード用トランジスタ64a~64cがpMOSトランジスタとnMOSトランジスタとの組合わせである点において、デコーダセル58Aのデコード部60と異なっている。

ラッチ部62は、高電圧電源Vccと低電圧電源GNDとの間に直列に設けられたpMOSトランジスタ65、nMOSトランジスタ66、67、および、インバータ68で構成さ

れている。pMOSトランジスタ65のドレイン端子は、インバータ68の入力端子に接続されると共に、前記デコード部61のノード α に接続されている。pMOSトランジスタ65およびnMOSトランジスタ67は、各ゲート端子がインバータ68の出力端子に接続されてインバータを構成している。また、nMOSトランジスタ66のゲート端子には、前記リセット信号 $\overline{SR2}$ が印加され、該トランジスタ66は、読出し書込み動作時またはリフレッシュ動作時においてオンされ、待機状態においてオフされるようになっている。

従って、読出し書込み動作時またはリフレッシュ動作時において、デコード部61のノード α のレベルがインバータ68とpMOSおよびnMOSトランジスタ65、67とによりラッチされると共に、ノード α のレベルが反転されてデコードアドレスとして前記ワードドライバ22に出力される。また、待機状態には、インバータ68の入力がHレベルとなるため、デコードアドレスとして「0」（低レベルL）が出力される。

次に上記のように構成された半導体記憶装置の作用について説明する。

第13図は第9図に示す半導体記憶装置の動作を説明するためのタイミング図である。同図に示されるように、ロウアドレスストロブ信号 \overline{RAS} がLレベルに遷移した時、コラムアドレスストロブ信号 \overline{CAS} がHレベルであると、通常読出し書込み動作となる。また、ロウアドレスストロブ信号 \overline{RAS} がLレベルに遷移すると、クロックジェネレータ

38からの制御信号RASXがLレベルとなり、これに同期してロウアドレスバッファ36の各アドレスラッチ回路37A~37Cの入力端子Ainに外部アドレス信号EAの各ビットデータEA0~EA2が供給される(第9図参照)。これにより、各アドレスラッチ回路37A~37Cに各ビットデータEA0~EA2がラッチされ、そして、該データEA0~EA2が第1のアドレスバスREAの各信号線REA0~REA2を介してロウデコード23に転送される。

ロウアドレスストロブ信号RASがLレベルに遷移した時、コラムアドレスストロブ信号CASがHレベルであると、モード判定回路39により読出し書込み動作であると判定されてモード信号MODEがLレベルとなる。これにより、スイッチ回路40のスイッチ制御信号NORZがHレベルとなってロウデコード23の各デコードセル58A~58Hの第1スイッチ59a~59cがオンする。これにより、第1のアドレスバスREAの各信号線REA0~REA2が選択されて外部アドレス信号EAの各ビットデータEA0~EA2がデコード部61に入力される。そして、各デコードセル58A~58Hのいずれか一つのデコード部61によって外部アドレス信号EAがデコードされ、デコードアドレスが信号線を介してワードドライバ22に転送されて所定のワード線が選択される。

また、第13図中の二点鎖線で示されるように、ロウアドレスストロブ信号RASがLレベルに遷移した時、コラムアドレスストロブ信号CASがLレベルであるとリフレッ

シユ動作となる。そして、クロックジェネレータ38の制御信号RASXがLレベルとなるのに同期してロウアドレスバッファ36の各アドレスラッチ回路37A~37Cの入力端子Ainに外部アドレス信号EAの各ビットデータEA0~EA2が供給され、各アドレスラッチ回路37A~37Cに各ビットデータEA0~EA2がラッチされる。

一方、モード判定回路39によりリフレッシュ動作であると判定されてモード信号MODEが二点鎖線で示すようにLレベルとなると、スイッチ回路40のスイッチ制御信号REFZが二点鎖線で示すようにHレベルとなる。これにより、ロウデコーダ23の各デコーダセル58A~58Hの第2スイッチ60a~60cがオンし、第2のアドレスバスRCAの各信号線RCA0~RCA2が選択されて、内部アドレス信号CAの各ビットデータCA0~CA2がデコード部61に入力される。そして、各デコーダセル58A~58Hのいずれか一つのデコード部61によって内部アドレス信号CAがデコードされ、デコードアドレスが信号線を介してワードドライバ22に転送され、前述したのと同様にして所定のワード線が選択されることになる。

また、チップをリセットする場合は、デコード部61のデコード結果がラッチ部62にラッチされて所定のワード線が選択されているので、第13図に示すように、ロウアドレスストローブ信号RASのHレベルへの遷移に基づくクロックジェネレータ38の制御信号RASXのHレベルへの遷移により、モード判定回路39のモード信号MODEまたはMO

\overline{DE} をHレベルに復帰させると共に、第1および第2のアドレスバスREA, RCAをリセットする。尚、ロウアドレスストロブ信号 \overline{RAS} のHレベルへの遷移に基づくクロックジェネレータ38の制御信号RASXのHレベルへの遷移により、スイッチ回路40のスイッチ制御信号NORZ, REFZもLレベルになる。

この後、選択しているワード線をリセット信号SR1によりリセットした後、リセット信号 $\overline{SR2}$ により各デコードセル58A~58Hのデコード部61およびラッチ部62をリセットすれば、チップのリセットが完了する。

このように、本実施例では第1および第2のアドレスバスREA, RCAを設け、外部アドレス信号EAおよびリフレッシュアドレスカウンタ27からの内部アドレス信号CAをクロックジェネレータ38の制御信号RASXに基づいてロウデコード23まで転送するように構成したので、ロウデコード23までのアドレス信号の転送時間を速めることができ、これによりデコード時間を速くして、メモリセルのアクセスを高速化することができる。

ここで、本実施例では、デコード部61のデコード結果をラッチ部62にラッチして所定のワード線を選択するようにしているので、チップのリセット時において選択しているワード線のリセットとは関係なく、第1および第2のアドレスバスREA, RCAのリセット時期を早めてリセット時間の短縮化を図ることができ、これによって、サイクルタイムの高速化を図ることができる。

第15図は本発明の半導体記憶装置の他の実施例を示すブロック回路図であり、第16図は第15図の半導体記憶装置におけるデコーダセルを示す回路図である。尚、説明の便宜上、第9図～第12図で説明した実施例と同じ構成については、同一の符号を付して説明を一部省略する。

第15図に示されるように、本実施例におけるロウデコーダ70は、8つのデコーダセル71A～71Hからなり、各デコーダセル71A～71Hは第1および第2のデコード部72A、72B、切換部73および前記ラッチ部62で構成されている。

第16図に示されるように、第1のデコード部72Aは、直列に設けられた3つのnMOSトランジスタよりなるデコード用トランジスタ74a～74cで構成され、各デコード用トランジスタ74a～74cのゲート端子は、前記第1のアドレスバスREAの各信号線REA0～REA2に接続されている。そして、第1のデコード部72Aは、読出し書込み動作時またはリフレッシュ動作時において、外部アドレス信号EAをデコードするようになっている。第2のデコード部72Bは、直列に設けられた3つのnMOSトランジスタよりなるデコード用トランジスタ75a～75cで構成され、各デコード用トランジスタ75a～75cのゲート端子は、前記第2のアドレスバスRCAの各信号線RCA0～RCA2に接続されている。そして、第2のデコード部72Bは、読出し書込み動作時またはリフレッシュ動作時において、内部アドレス信号CAをデコードするようになっている。

切換部73は、第1のデコード部72Aおよびチャージ用トランジスタ63間に設けられたnMOSトランジスタ76と、第2のデコード部72Bおよびチャージ用トランジスタ63間に設けられたnMOSトランジスタ77とから構成され、nMOSトランジスタ76、77の各ゲート端子には、前記スイッチ回路40のスイッチ制御信号NORZ、REFZが入力されている。従って、通常の読出し書込み動作時、すなわち、スイッチ制御信号NORZがHレベルのときには、nMOSトランジスタ76がオンして第1のデコード部72Aのデコード結果がラッチ部62に出力され、また、リフレッシュ動作時、すなわち、スイッチ制御信号REFZがHレベルのときには、nMOSトランジスタ77がオンして第2のデコード部72Bのデコード結果がラッチ部62に出力されるようになっている。

尚、デコーダセル71B～71Hにおける第1および第2のデコード部72A、72Bは、各3つのデコード用トランジスタ74a～74c、75a～75cがpMOSトランジスタとnMOSトランジスタとの組合わせである点において、デコーダセル71Aの第1および第2のデコード部72A、72Bと異なっている。

このように、本実施例においても、第1および第2のアドレスバスREA、RCAを設け、外部アドレス信号EAおよびリフレッシュアドレスカウンタ27からの内部アドレス信号CAをクロックジェネレータ38の制御信号RASXに基づいてロウデコーダ70に転送し、外部アドレス信号EAお

よび内部アドレス信号CAをそれぞれ第1および第2のデコード部72A, 72Bにてデコードした後、いずれか一方のデコード結果を選択するように構成されている。これにより、デコード時間が速くなり、メモリセルのアクセスを高速化することができる。

また、本実施例では、切換部73により選択された第1または第2のデコード部72A, 72Bのデコード結果をラッチ部62にラッチして所定のワード線を選択するように構成しているため、チップのリセット時において、選択しているワード線のリセットとは関係なく第1および第2のアドレスバスREA, RCAのリセット時期を早めてリセット時間の短縮化を図ることができ、これによって、サイクルタイムの高速化を図ることができる。

第17図は第16図のデコーダセルをプリデコーダとして適用したロウデコーダおよびワードドライバを示す回路図である。同図に示されるように、本実施例の半導体記憶装置は、アドレスプリデコーダ（ロウプリデコーダ）71A'と、ブロックデコーダ120と、メインデコーダ（ロウメインデコーダ）130と、ワードドライバ140とを具備している。

ロウプリデコーダ71A'は、第16図に示すデコーダセル71Aと同様な構成とされているが、第17図に示すロウプリデコーダ71A'では、所定の出力レベルを獲得するために2段のインバータ101および102が設けられている。すなわち、第14図において、ロウメインデコーダ130は、ワードドライバ22（140）の近接に設けられているため、

ロウデコーダ70（ロウプリデコーダ71A'）からワードドライバ22に近接して設けられているロウメインデコーダ（130）まで必要とされる電位を確保するために、ロウプリデコーダ71A'の出力段にインバータ101および102が設けられている。尚、ブロックデコーダ120の出力段にも、同様に、2段のインバータが設けられている。

第17図に示すように、本発明に係るデコーダセルは、半導体記憶装置（DRAM）のプリデコーダとして適用することができる。

ここで、ロウプリデコーダ71A'におけるチャージ用トランジスタ63のゲート端子には、リセット信号 $\overline{SR2}$ が印加されている。このリセット信号 $\overline{SR2}$ は、待機状態、すなわち、読出し書込み動作でないまたはリフレッシュ動作でないときにのみLレベルにされ、チャージ用トランジスタ63をオンさせてノード α をHレベルとするようになっている。また、リセット信号 $\overline{SR2}$ は、nMOSトランジスタ66のゲート端子にも印加され、該トランジスタ66は、読出し書込み動作時またはリフレッシュ動作時においてオンされ、待機状態においてオフされるようになっている。また、メインデコーダ130のトランジスタ131のゲートにはリセット信号RESETが供給されるようになっている。尚、メインデコーダ130のトランジスタ132および133のゲートには、ロウプリデコーダ（71A'）からのプリデコードアドレスが供給されるようになっている。

具体的に、第17図に示す半導体記憶装置は、例えば、4

MビットのDRAMであり、ブロックデコーダ120により4Mビット中の1Mビット分が選択され、この1Mビット中において、3ビット入力のロウプリデコーダ(71A')により8通りの選択が行われる。そして、メインデコーダ130による2系統のロウプリデコーダにより1Mビット中の64Kビットが選択されるようになっている。尚、ワードドライバ140で4通りの選択を行うように構成して、メインデコーダ130による選択ビット数を16Kビットにすることもできる。

上述した本発明に係る半導体記憶装置の各実施例においては、ロウデコーダ23, 70の各デコーダセルにデコード結果をラッチするラッチ部を設けたものについて述べたが、コラムデコーダ25にラッチ部を設けることもできる。このように、コラムデコーダ25にラッチ部を設けると、アドレスデコーダ(ロウデコーダおよびコラムデコーダ)におけるデコード結果をラッチ部にラッチしてメモリセルアレイ21の所定のメモリセルを選択できるので、チップのリセット時において、選択しているメモリセルのリセットとは関係なくアドレス信号のリセット時期を早めることが可能となり、リセット時間の短縮化が可能となる。

以上詳述したように、本発明の半導体記憶装置の第1に形態によれば、外部アドレス信号および内部アドレス信号を、動作モードの判定を待たずに、アドレス活性化信号に基づいてそれぞれ第1および第2のアドレスバスを介してロウデコーダまで転送するようにしたので、転送時間を速めることが

でき、これによりデコード時間を速くして、メモリセルのアクセスを高速化することができる。さらに、デコード部のデコード結果をラッチ部にラッチして所定のワード線を選択するようにしているので、チップのリセット時において、選択しているワード線のリセットとは関係なく第1および第2のアドレスバスのリセット時期を早めてリセット時間の短縮化を図ることができ、これによってサイクルタイムの高速化を図ることができる。

また、本発明に係る半導体記憶装置の第2の形態によれば、外部アドレス信号および内部アドレス信号を、動作モードの判定を待たずに、アドレス活性化信号に基づいてそれぞれ第1および第2のアドレスバスを介してロウデコーダの第1および第2のデコード部に転送してデコードするようにしたので、デコード時間を速くして、メモリセルのアクセスを高速化できる。さらに、切換部の出力をラッチ部にラッチして所定のワード線を選択するようにしたので、チップのリセット時において、選択しているワード線のリセットとは関係なく第1および第2のアドレスバスのリセット時期を早めてリセット時間の短縮化を図ることができ、これによってサイクルタイムの高速化を図ることができる。

そして、本発明の半導体記憶装置の第3の形態によれば、アドレスデコーダにおけるデコード結果がラッチ部にラッチされてメモリセルアレイの所定のメモリセルが選択されるので、チップのリセット時において、選択しているメモリセルのリセットとは関係なくアドレス信号のリセット時期を早め

ることが可能となり、リセット時間の短縮化が可能となる。

請 求 の 範 囲

1. メモリセルアレイ (1) と、

アドレス活性化信号に基づいて外部アドレス信号を転送する第1のアドレスバス (2) と、

前記アドレス活性化信号に基づいて内部アドレス信号を転送する第2のアドレスバス (3) と、

入力されたアドレス信号をデコードしてメモリセルアレイ (1) の所定のワード線を選択するデコード部 (4A)、および、前記第1または第2のアドレスバス (2, 3) のいずれか一方を選択して該デコード部 (4A) に入力するアドレス信号を外部アドレス信号または内部アドレス信号に切替える切換部 (4B) を有するアドレスデコーダ (4) と、

前記アドレス活性化信号に基づいて動作モードを判定し、前記切換部 (4B) を制御するコントローラ (5) とを備えたことを特徴とする半導体記憶装置。

2. 前記アドレスデコーダ (4) は、さらに、前記デコード部 (4A) のデコード結果をラッチするラッチ部 (4C) を備えていることを特徴とする請求の範囲第1項に記載の半導体記憶装置。

3. 前記アドレスデコーダ (4) は、ダイナミック・ランダムアクセスメモリにおけるロウデコーダとして構成されていることを特徴とする請求の範囲第1項に記載の半導体記憶装置。

4. 前記アドレスデコーダ (4) は、前記ロウデコーダの

プリデコーダとして構成されていることを特徴とする請求の範囲第3項に記載の半導体記憶装置。

5. メモリセルアレイ(6)と、

アドレス活性化信号に基づいて外部アドレス信号を転送する第1のアドレスバス(7)と、

前記アドレス活性化信号に基づいて内部アドレス信号を転送する第2のアドレスバス(8)と、

前記第1のアドレスバス(7)を介して入力された外部アドレス信号をデコードする第1のデコード部(9A)、前記第2のアドレスバス(8)を介して入力された内部アドレス信号をデコードする第2のデコード部(9B)、該第1または第2のデコード部(9A, 9B)のデコード結果のいずれか一方を選択して前記メモリセルアレイ(6)の所定のワード線を選択する切換部(9C)を有するアドレスデコーダ(9)と、

前記アドレス活性化信号に基づいて動作モードを判定し、前記切換部(9C)を制御するコントローラ(10)とを備えたことを特徴とする半導体記憶装置。

6. 前記アドレスデコーダ(9)は、さらに、前記切換部(9C)の出力をラッチするラッチ部(9D)を備えていることを特徴とする請求の範囲第5項に記載の半導体記憶装置。

7. 前記アドレスデコーダ(9)は、ダイナミック・ランダムアクセスメモリにおけるロウデコーダとして構成されていることを特徴とする請求の範囲第5項に記載の半導体記憶装置。

8. 前記アドレスデコーダ(9)は、前記ロウデコーダのプリデコーダとして構成されていることを特徴とする請求の範囲第7項に記載の半導体記憶装置。

9. メモリセルアレイ(11)、および、アドレス信号をデコードして該メモリセルアレイ(11)の所定のメモリセルを選択するアドレスデコーダ(12)とを備えた半導体記憶装置であって、

前記アドレスデコーダ(12)に、デコード結果をラッチするラッチ部(12A)を設けたことを特徴とする半導体記憶装置。

10. 前記アドレスデコーダ(12)は、ダイナミック・ランダムアクセスメモリにおけるロウデコーダとして構成されていることを特徴とする請求の範囲第9項に記載の半導体記憶装置。

11. 前記アドレスデコーダ(9)は、前記ロウデコーダのプリデコーダとして構成されていることを特徴とする請求の範囲第10項に記載の半導体記憶装置。

Fig.3

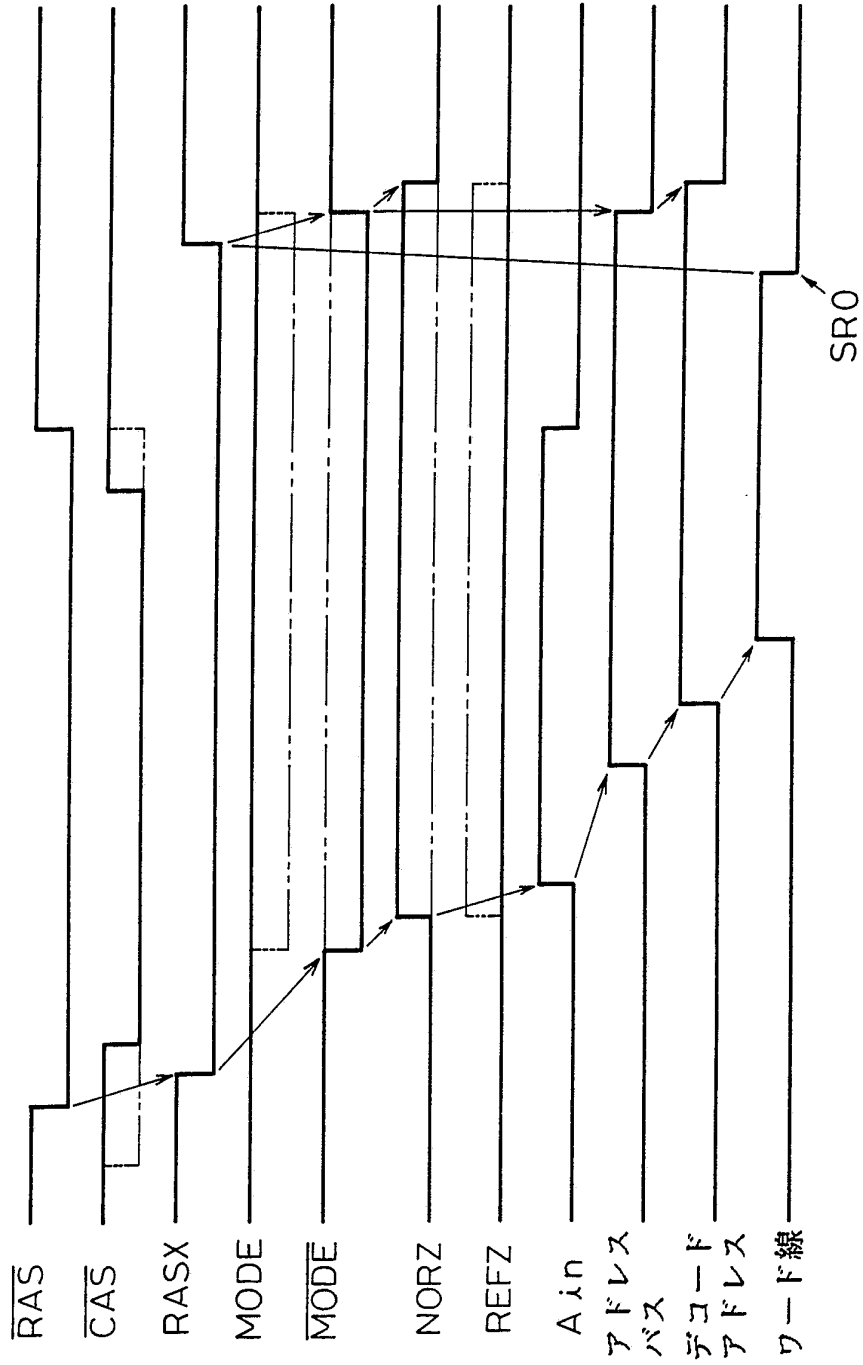


Fig. 4

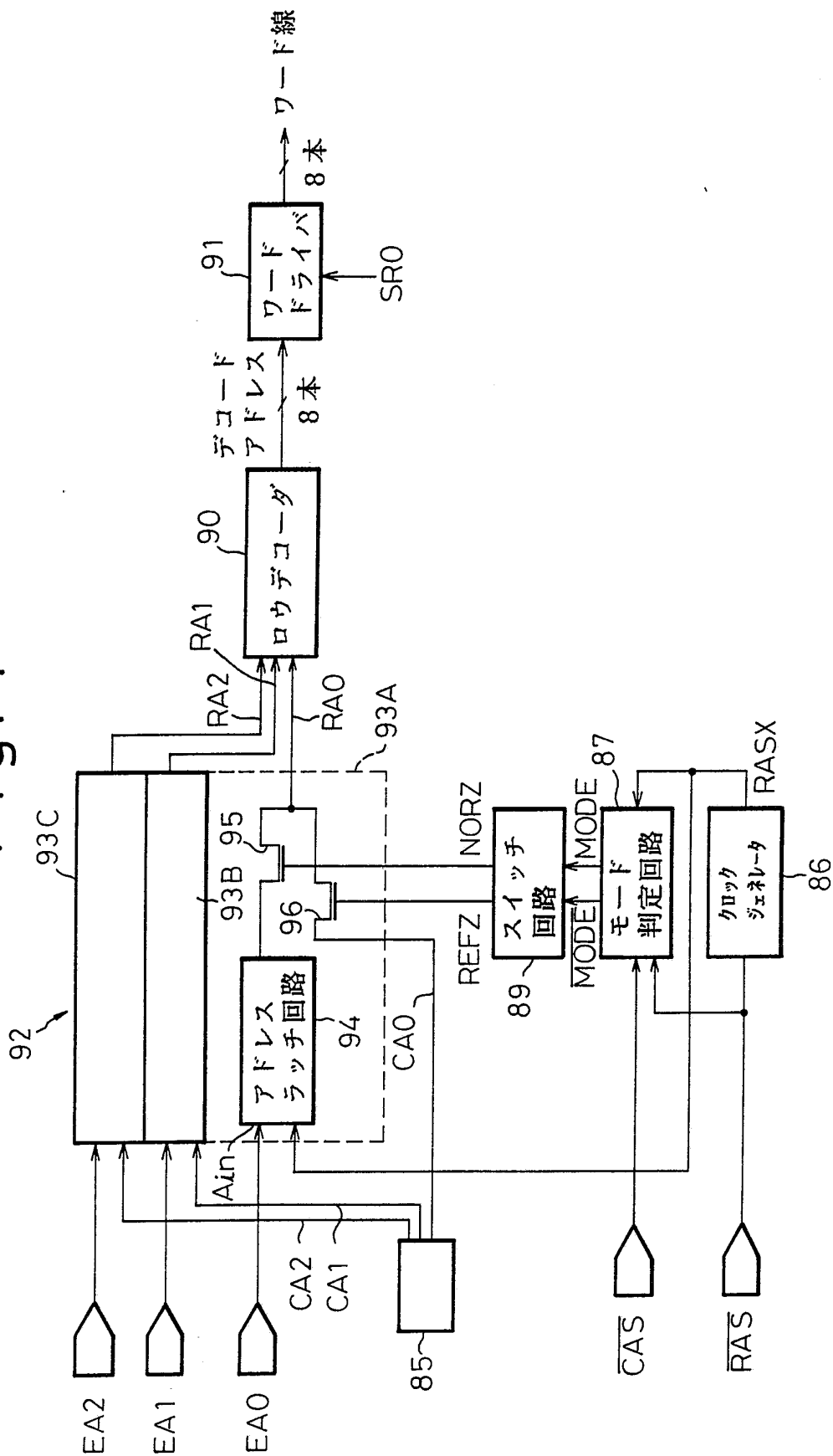


Fig. 5

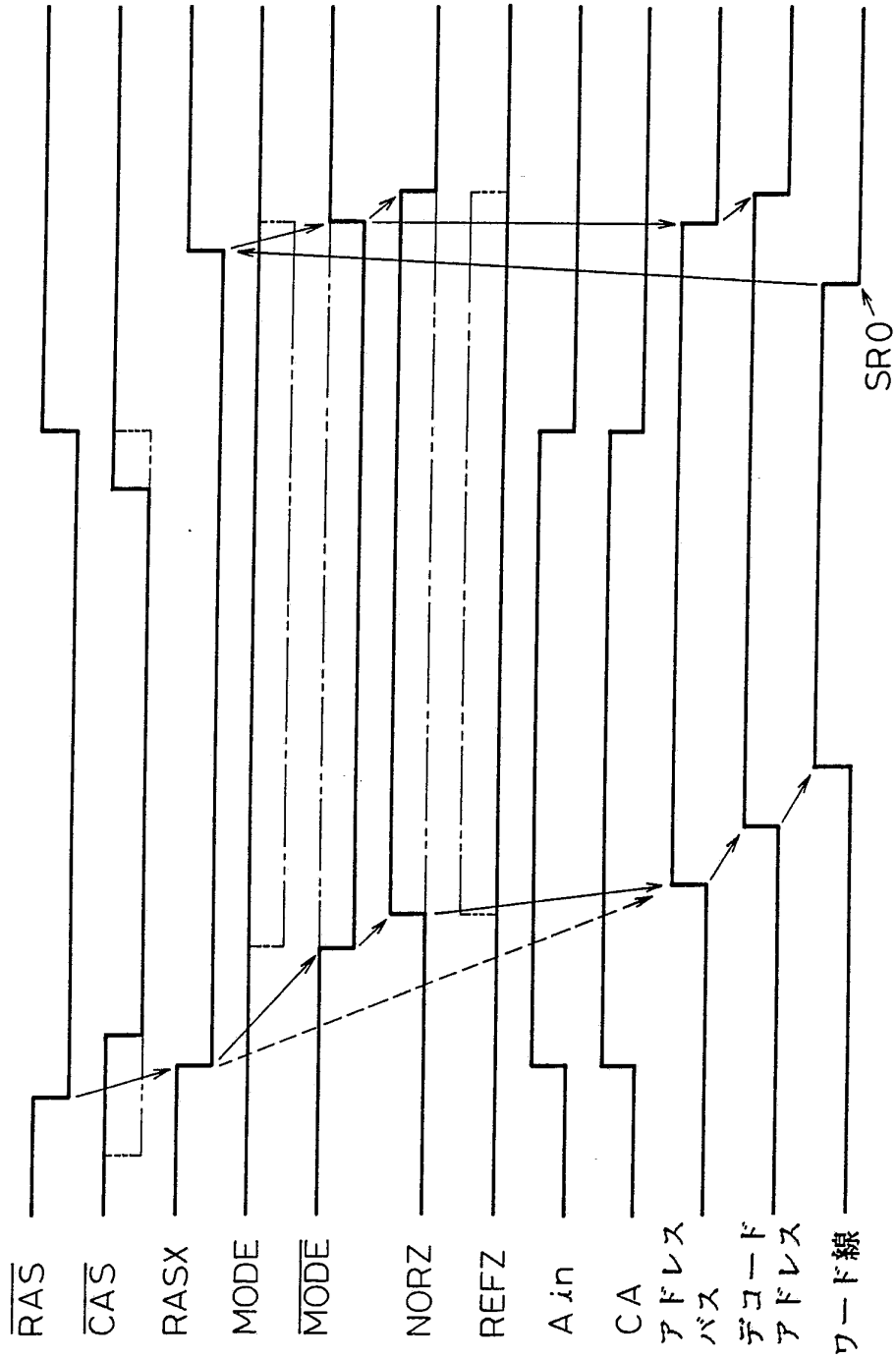


Fig. 6

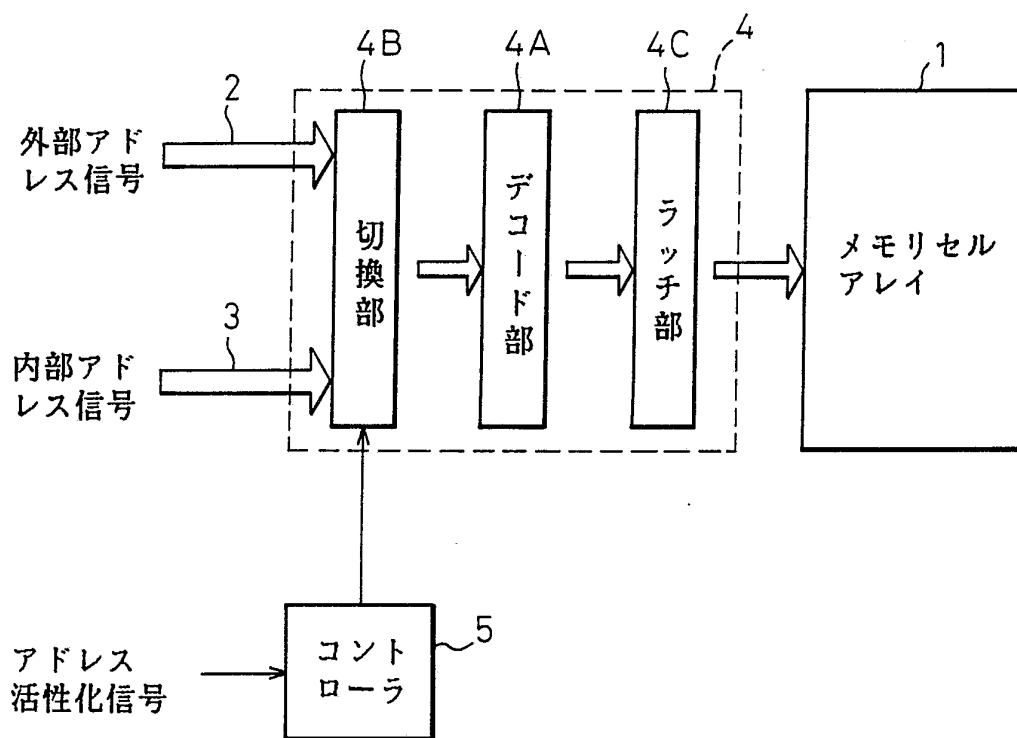


Fig. 7

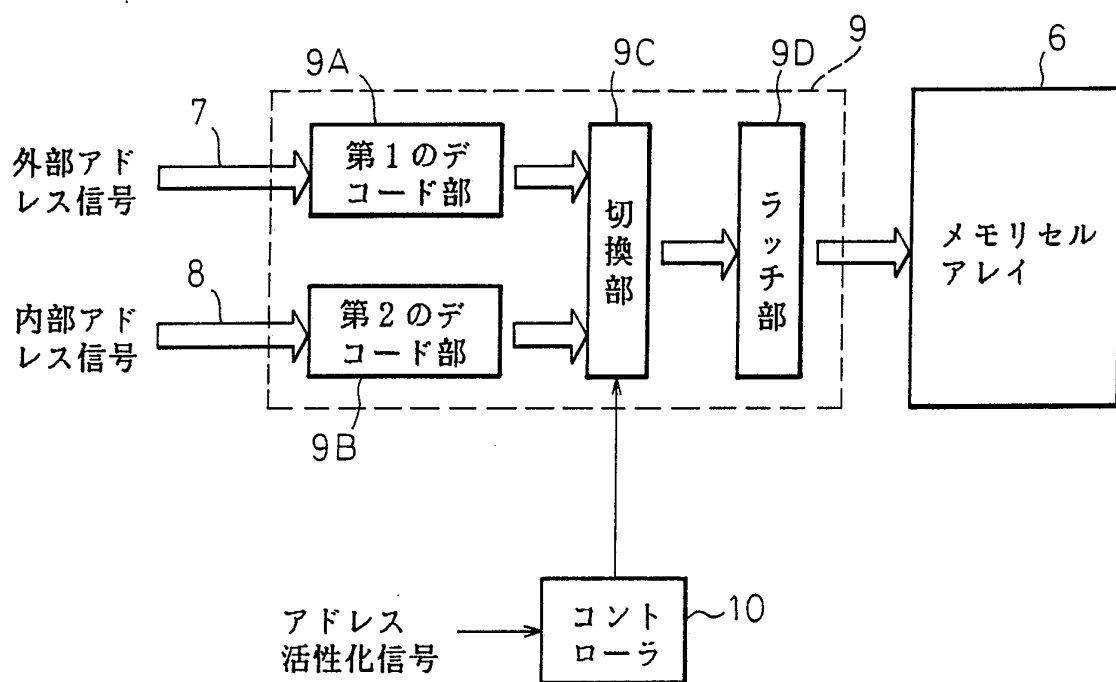


Fig. 8

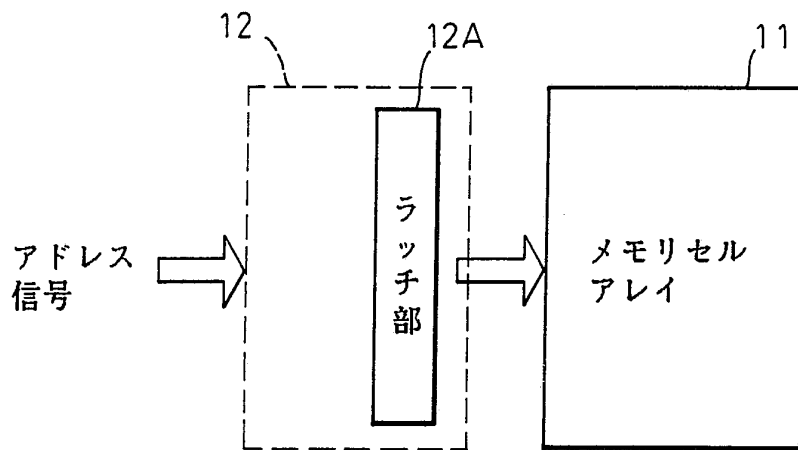


Fig. 10

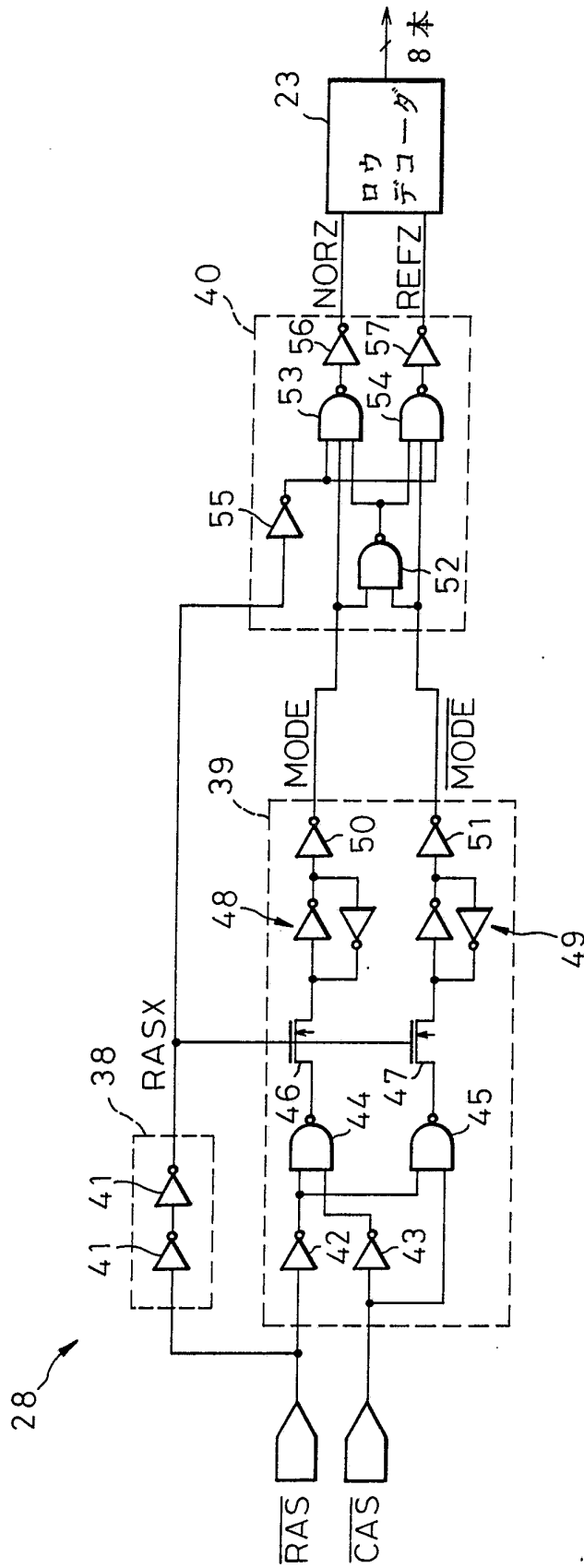


Fig.11

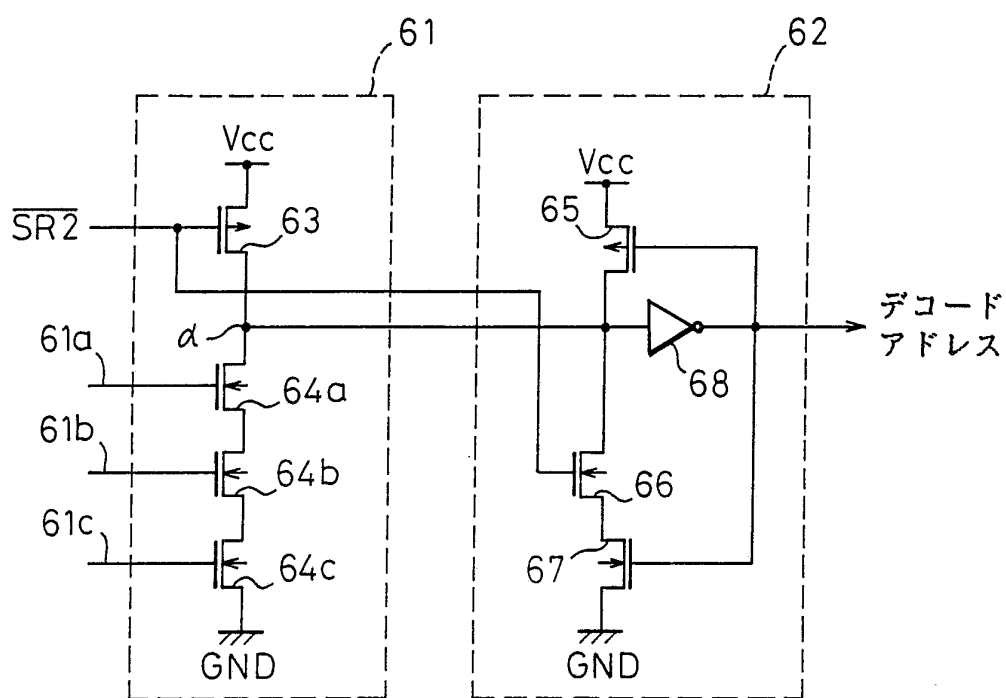


Fig.12

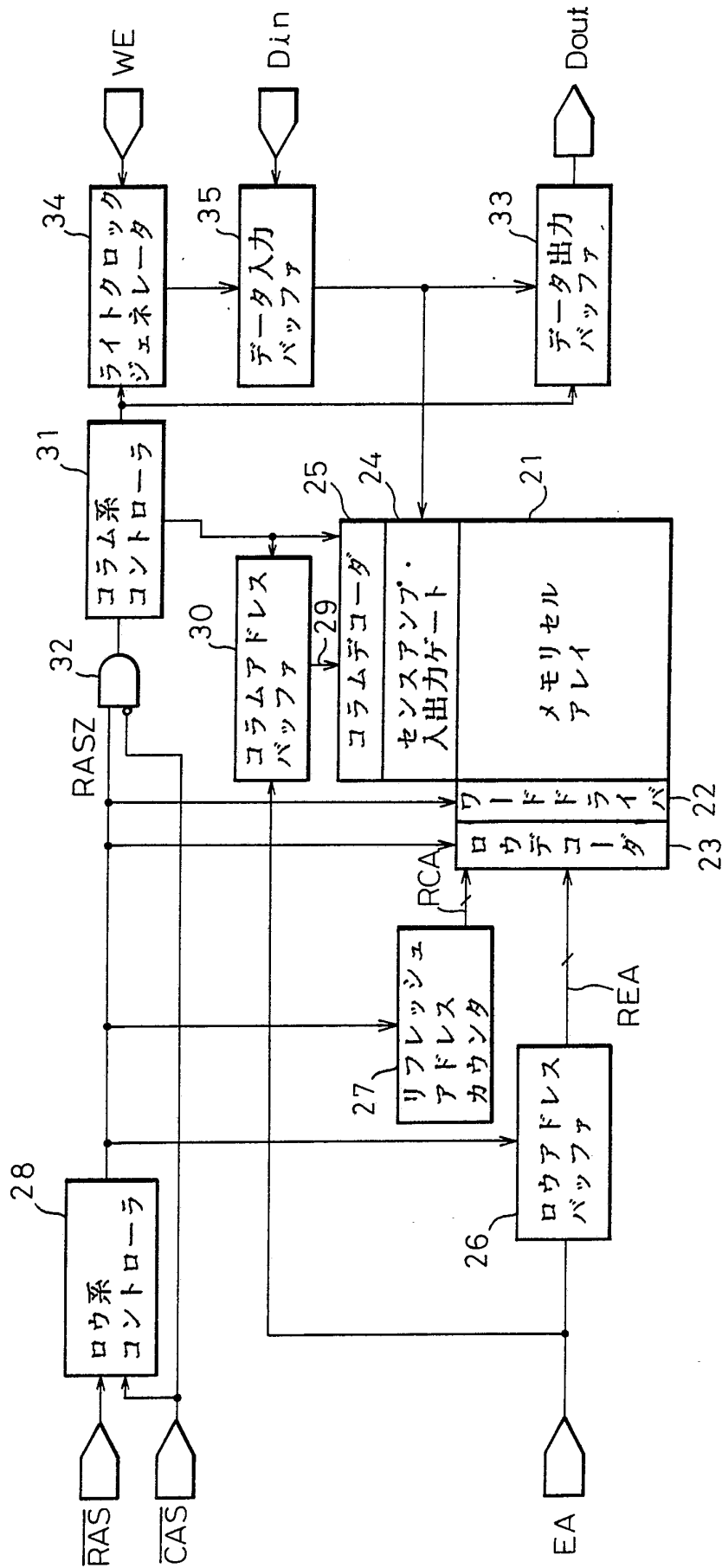


Fig.13

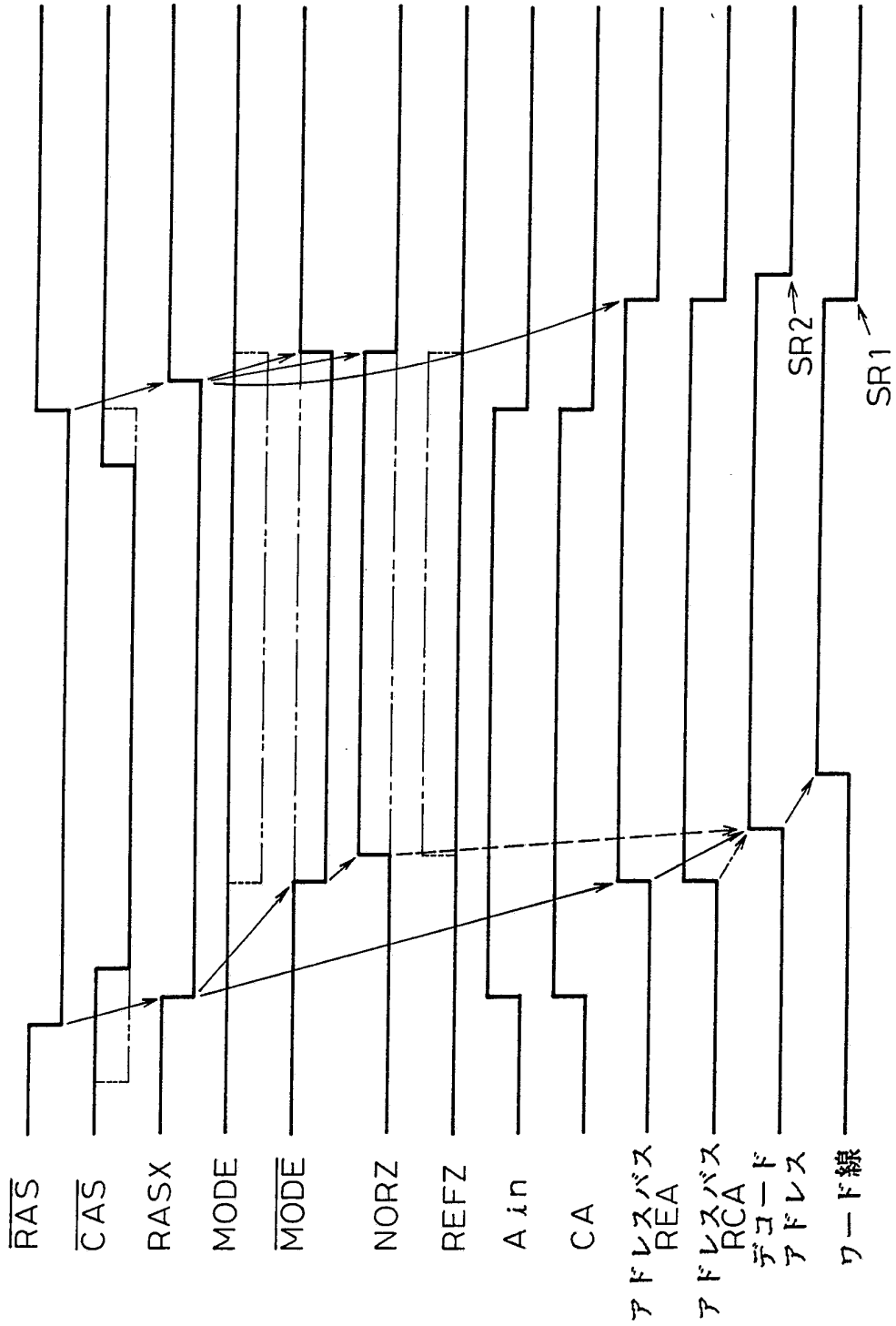


Fig. 16

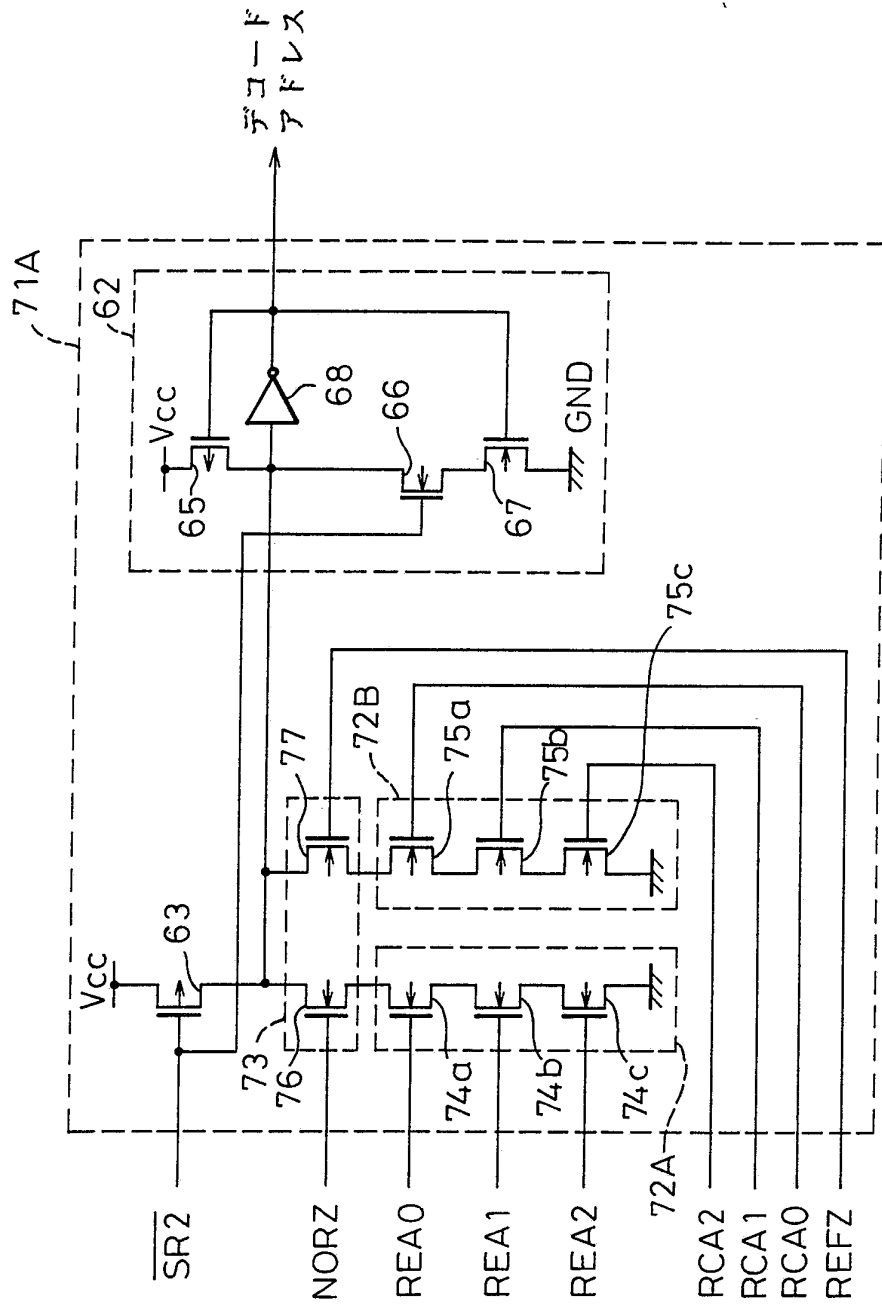
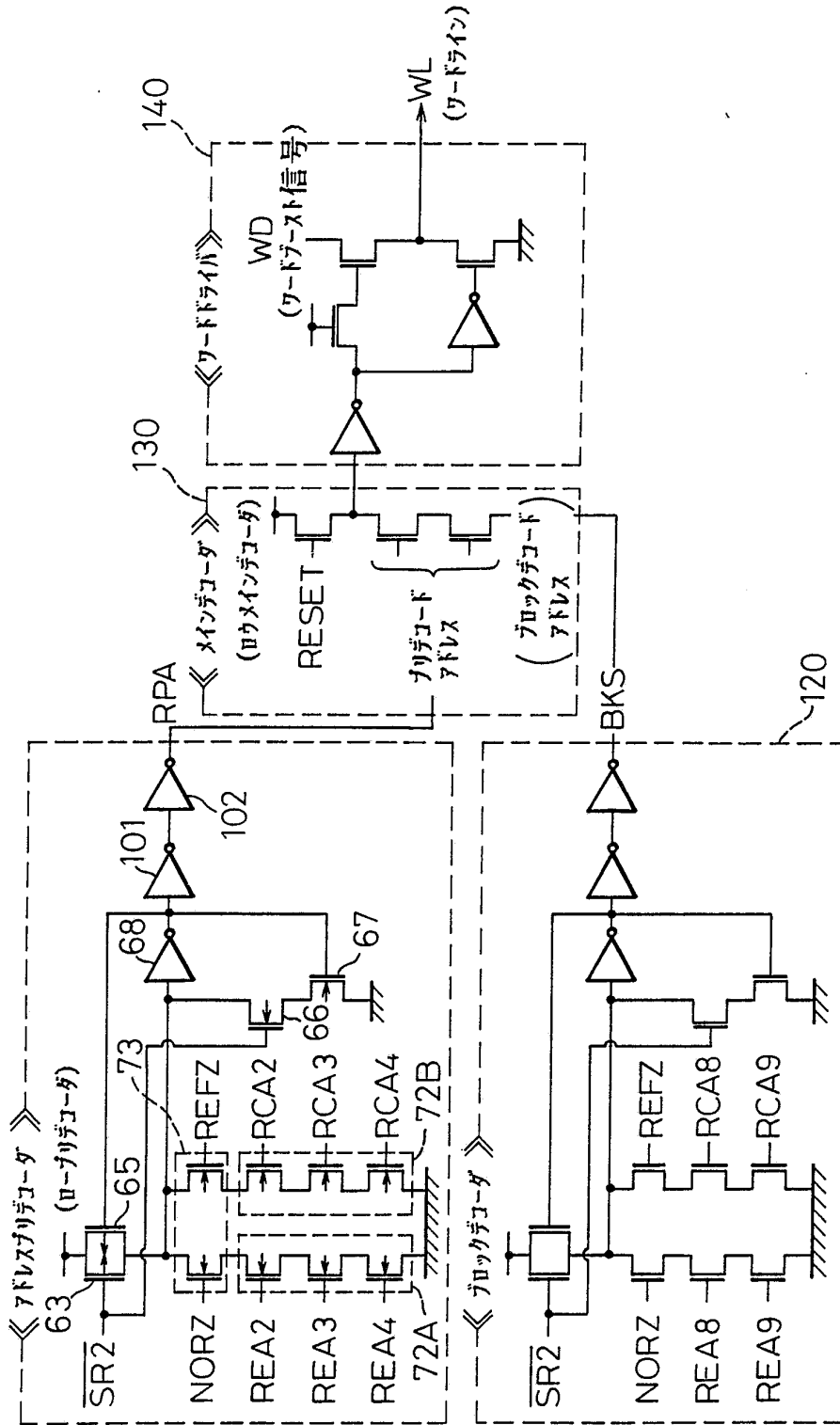


Fig.17



18/18

参照符号の一覧表

- 1, 6, 11 …メモリセルアレイ
- 2, 7 …第1のアドレスバス
- 3, 8 …第2のアドレスバス
- 4, 9 …ロウデコーダ
- 4 A …デコード部
- 4 B, 9 C …切換部
- 4 C, 9 D, 12 A …ラッチ部
- 5, 10 …コントローラ
- 9 A …第1のデコード部
- 9 B …第2のデコード部
- 12 …アドレスデコーダ

INTERNATIONAL SEARCH REPORT

International Application No PCT/JP91/01563

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ⁶		
According to International Patent Classification (IPC) or to both National Classification and IPC		
Int. Cl ⁵ G11C11/406, 11/408		
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁷		
Classification System	Classification Symbols	
IPC	G11C11/406, 11/408	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁸		
Jitsuyo Shinan Koho	1950 - 1991	
Kokai Jitsuyo Shinan Koho	1971 - 1991	
III. DOCUMENTS CONSIDERED TO BE RELEVANT ⁹		
Category [*]	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³
X	JP, A, 55-4797 (Texas Instruments Inc.), January 14, 1980 (14. 01. 80), & GB, A, 2024474 & US, A, 4207618 & US, A, 4344157 & US, A, 4494222	1, 3, 9, 10
X	JP, A, 55-150192 (NEC Corp.), November 21, 1980 (21. 11. 80), & EP, A, 19142 & US, A, 4334295	1, 3
X	JP, A, 61-126687 (Hitachi, Ltd.), June 14, 1986 (14. 06. 86), (Family: none)	1, 3, 4
Y	JP, A, 60-167194 (Fujitsu Ltd.), August 30, 1985 (30. 08. 85), (Family: none)	2, 6, 9, 10
Y	JP, A, 61-17292 (Hitachi, Ltd.), January 25, 1986 (25. 01. 86), (Family: none)	2-4, 6-11
<p>[*] Special categories of cited documents: ¹⁰</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"G" document member of the same patent family</p>		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search	Date of Mailing of this International Search Report	
February 7, 1992 (07. 02. 92)	February 18, 1992 (18. 02. 92)	
International Searching Authority	Signature of Authorized Officer	
Japanese Patent Office		

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

A	JP, A, 53-81021 (Nippon Telegraph & Telephone Public Corp.), July 18, 1978 (18. 07. 78), (Family: none)	5-8
---	---	-----

V. OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE ¹

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. Claim numbers _____ because they relate to subject matter not required to be searched by this Authority, namely:
2. Claim numbers _____ because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. Claim numbers _____ because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING ²

This International Searching Authority found multiple inventions in this international application as follows:

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.
2. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:
3. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:
4. As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

- The additional search fees were accompanied by applicant's protest.
- No protest accompanied the payment of additional search fees.

国際調査報告

国際出願番号PCT/JP 91/01563

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. Cl ⁵ G11C11/406.11/408		
II. 国際調査を行った分野		
調査を行った最小限資料		
分類体系	分類記号	
IPC	G11C11/406.11/408	
最小限資料以外の資料で調査を行ったもの		
日本国実用新案公報 1950-1991年 日本国公開実用新案公報 1971-1991年		
III. 関連する技術に関する文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
X	JP, A, 55-4797 (テキサス・インスツルメンツ・イン コーポレイテッド), 14. 1月. 1980 (14. 01. 80), &GB, A, 2024474 & US, A, 4207618 &US, A, 4344157 & US, A, 4494222	1. 3. 9. 10
X	JP, A, 55-150192 (日本電気株式会社), 21. 11月. 1980 (21. 11. 80), &EP, A, 19142 & US, A, 4334295	1. 3
X	JP, A, 61-126687 (株式会社 日立製作所), 14. 6月. 1986 (14. 06. 86). (ファミリーなし)	1. 3. 4
Y	JP, A, 60-167194 (富士通株式会社), 30. 8月. 1985 (30. 08. 85). (ファミリーなし)	2. 6. 9. 10
<p>※引用文献のカテゴリー</p> <p>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献</p> <p>「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリーの文献</p>		
IV. 認 証		
国際調査を完了した日	国際調査報告の発送日	
07. 02. 92	18.02.92	
国際調査機関	権限のある職員	5 L 8 5 2 6
日本国特許庁 (ISA/JP)	特許庁審査官	廣 瀬 文 雄 ®

第2ページから続く情報

(Ⅲ欄の続き)

Y	JP, A, 61-17292 (株式会社 日立製作所), 25. 1月. 1986 (25. 01. 86), (ファミリーなし)	2-4, 6-11
A	JP, A, 53-81021 (日本電信電話公社), 18. 7月. 1978 (18. 07. 78), (ファミリーなし)	5-8

V. 一部の請求の範囲について国際調査を行わないときの意見

次の請求の範囲については特許協力条約に基づく国際出願等に関する法律第8条第3項の規定によりこの国際調査報告を作成しない。その理由は、次のとおりである。

1. 請求の範囲 _____ は、国際調査をすることを要しない事項を内容とするものである。
2. 請求の範囲 _____ は、有効な国際調査をすることができる程度にまで所定の要件を満たしていない国際出願の部分に係るものである。
3. 請求の範囲 _____ は、従属請求の範囲でありかつ PCT 規則 6.4(a)第2文の規定に従って起草されていない。

VI. 発明の単一性の要件を満たしていないときの意見

次に述べるようにこの国際出願には二以上の発明が含まれている。

1. 追加して納付すべき手数料が指定した期間内に納付されたので、この国際調査報告は、国際出願のすべての調査可能な請求の範囲について作成した。
2. 追加して納付すべき手数料が指定した期間内に一部分しか納付されなかったため、この国際調査報告は、手数料の納付があった発明に係る次の請求の範囲について作成した。
請求の範囲 _____
3. 追加して納付すべき手数料が指定した期間内に納付されなかったため、この国際調査報告は、請求の範囲に最初に記載された発明に係る次の請求の範囲について作成した。
請求の範囲 _____
4. 追加して納付すべき手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加して納付すべき手数料の納付を命じなかった。

追加手数料異議の申立てに関する注意

- 追加して納付すべき手数料の納付と同時に、追加手数料異議の申立てがされた。
- 追加して納付すべき手数料の納付に際し、追加手数料異議の申立てがされなかった。