

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5870368号
(P5870368)

(45) 発行日 平成28年3月1日(2016.3.1)

(24) 登録日 平成28年1月22日(2016.1.22)

(51) Int.Cl.	F 1
HO3F 3/45 (2006.01)	HO3F 3/45
HO3H 11/04 (2006.01)	HO3H 11/04
HO3F 1/42 (2006.01)	HO3F 1/42

請求項の数 8 (全 21 頁)

(21) 出願番号	特願2012-553037 (P2012-553037)
(86) (22) 出願日	平成23年2月11日 (2011.2.11)
(65) 公表番号	特表2013-520101 (P2013-520101A)
(43) 公表日	平成25年5月30日 (2013.5.30)
(86) 国際出願番号	PCT/US2011/024542
(87) 国際公開番号	W02011/152896
(87) 国際公開日	平成23年12月8日 (2011.12.8)
審査請求日	平成26年1月22日 (2014.1.22)
(31) 優先権主張番号	61/304,064
(32) 優先日	平成22年2月12日 (2010.2.12)
(33) 優先権主張国	米国(US)
(31) 優先権主張番号	61/359,108
(32) 優先日	平成22年6月28日 (2010.6.28)
(33) 優先権主張国	米国(US)

(73) 特許権者	515348677 スペロ・デバイシーズ・インコーポレーテッド
	アメリカ合衆国、マサチューセッツ州 01720, アクトン, スイート 215, ナゴッグ パーク 43
(74) 代理人	100087941 弁理士 杉本 修司
(74) 代理人	100086793 弁理士 野田 雅士
(74) 代理人	100112829 弁理士 堀 健郎
(74) 代理人	100144082 弁理士 林田 久美子

最終頁に続く

(54) 【発明の名称】広帯域アナログ無線周波数を処理する構成要素

(57) 【特許請求の範囲】

【請求項 1】

広帯域アナログ無線周波数の積分器であって、

第1及び第2のpチャネルトランジスタであって、それぞれ、第1の電圧供給端子に並列に接続されたソース、およびドレインを有し、当該第1のpチャネルトランジスタの前記ドレインと、当該第2のpチャネルトランジスタの前記ドレインとが、互いに相補的な出力信号を提供する、第1及び第2のpチャネルトランジスタと、

第1及び第2の可変抵抗手段であって、

第1の可変抵抗手段は前記第1のpチャネルトランジスタのドレインに接続された第1端子および第2端子を有し、

第2の可変抵抗手段は前記第2のpチャネルトランジスタのドレインに接続された第1端子および第2端子を有する、第1及び第2の可変抵抗手段と、

第1及び第2のnチャネルトランジスタであって、

第1のnチャネルトランジスタは前記第1の可変抵抗手段の前記第2端子に接続されたドレイン、ゲート、および第2の電圧供給端子に電気的に導通したソースを有し、

第2のnチャネルトランジスタは前記第2の可変抵抗手段の前記第2端子に接続されたドレイン、ゲート、および第2の電圧供給端子に電気的に導通したソースを有し、

当該第1のnチャネルトランジスタの前記ゲートと、当該第2のnチャネルトランジスタの前記ゲートとが、互いに相補的な入力信号を受け取る、第1及び第2のnチャネルトランジスタと、

10

20

当該積分器の出力の位相を調整するチューニング回路とを備えた、広帯域アナログ無線周波数の積分器。

【請求項 2】

請求項 1 に記載の積分器において、さらに、

前記第 2 の電圧供給端子と前記第 1 及び第 2 の n チャネルトランジスタのソースとの間に直列接続されたバイアス抵抗を備えた、広帯域アナログ無線周波数の積分器。

【請求項 3】

請求項 1 に記載の積分器において、

前記第 1 および第 2 の可変抵抗手段がそれぞれ第 3 及び第 4 の p チャネルトランジスタからなり、

10

さらに、

前記第 3 及び第 4 の p チャネルトランジスタのゲートに電気的に導通して当該第 1 及び第 2 の可変抵抗手段の抵抗を制御する第 3 の電圧供給端子を備えた、広帯域アナログ無線周波数の積分器。

【請求項 4】

請求項 1 に記載の積分器において、ディープサブミクロン相補型金属酸化膜半導体技術、シリコンゲルマニウム技術、または絶縁体上シリコン技術を用いて作製された、広帯域アナログ無線周波数の積分器。

【請求項 5】

請求項 1 に記載の積分器において、前記トランジスタが、バイアスオフセットを減少させるようにインタリーブ構成とされている、広帯域アナログ無線周波数の積分器。

20

【請求項 6】

請求項 1 に記載の積分器において、前記チューニング回路が、D C 較正回路とゲイン制御回路とを含む、広帯域アナログ無線周波数の積分器。

【請求項 7】

請求項 1 に記載の積分器において、

前記第 1 の可変抵抗手段が第 3 の p チャネルトランジスタからなり、

前記第 2 の可変抵抗手段が第 4 の p チャネルトランジスタからなり、

前記第 3 の p チャネルトランジスタは、前記第 1 の n チャネルトランジスタのドレインに接続されたドレイン、前記第 2 の n チャネルトランジスタのゲートに接続されたソース、およびゲートを有し、

30

前記第 4 の p チャネルトランジスタは、前記第 2 の n チャネルトランジスタのドレインに接続されたドレイン、前記第 1 の n チャネルトランジスタのゲートに接続されたソース、およびゲートを有し、

前記第 3 の p チャネルトランジスタのゲートと前記第 4 の p チャネルトランジスタのゲートとが互いに接続されている、広帯域アナログ無線周波数の積分器。

【請求項 8】

請求項 3 に記載の積分器において、

前記第 3 の電圧供給端子から供給される電圧が、前記チューニング回路から選択される、広帯域アナログ無線周波数の積分器。

40

【発明の詳細な説明】

【関連出願】

【0001】

本願は、2010年6月28日付出願の米国仮特許出願第61/359,108号の利益、および2010年2月12日付出願の米国仮特許出願第61/304,064号の利益を主張する。これら米国仮特許出願の全教示内容は、参照をもって本明細書に取り入れたものとする。

【0002】

本発明の一部または全体は、米国陸軍の契約第W911NF-08-C-0085号による支援を受けて完成した。したがって、本発明の権利の一部は米国政府に帰する。

【背景技術】

50

【0003】

信号帯域幅の増大およびデータレートの増加は、広帯域信号に伴う課題を解決するための新たな信号処理技術の開発に拍車を掛けた。信号帯域幅の増大により、異機種環境での超広帯域(UWB)技術ベースのアクティブ型無線周波数RF識別(RFID)も含め、新しい様々なアプリケーションが可能になった。また、信号帯域幅の増大は測距精度の向上につながるので、広帯域技術は、レーダ、画像処理およびその他の用途にとって特に魅力的な技術である。

【0004】

しかし、残念なことに、クロック速度、スイッチングおよび熱損失の根本的なスケーリング限界、ならびに障害回復の困難性から、デジタル論理は広帯域信号処理に向いていない。例えば、今日のDSP(デジタル信号処理)技術では、高精細度TV、ソフトウェア無線、コグニティブ無線、4G携帯サービス、ホワイトスペース、UWBベースのサービス、リアルタイムのGHz/THzの医用画像処理などの最先端のアプリケーションに必要な広帯域信号を処理できない。また、速度の向上および帯域幅処理能力の向上が所望されている以外にも、電力消費を抑えることが、数多くの信号処理アプリケーションにおいて多大な魅力および有用性を有する。例えば、モバイル機器では、その電力消費を抑えることが極めて重要視されている。これは、高速DSPは、携帯電話およびPDA(携帯情報端末)の電池寿命を大きく短縮するからである。

10

【0005】

広帯域アプリケーションでは、ナイキストレートが数G(ギガ)sp/s範囲なので、比較的単純な信号処理しか実施できず、多くの場合、複雑なパイプライン処理やパラレル処理のアーキテクチャが必要となる。CMOSベースのデジタル信号処理構造の限界がもはやムーアの法則に従って伸びていないことを踏まえると、将来的にはDSP技術は、広帯域アプリケーションで要求される能力に恐らく到達しないであろう。事実、ディープサブミクロンCMOSのゲート幅は分子単位であり、これはトランジスタのサイズ(およびスイッチング速度)が根本的な限界に近付いていることを示唆している。換言すれば、トランジスタのサイズに反比例するトランジスタのスイッチング速度の現時点以上の高速化は不可能と考えられるため、DSP技術の帯域幅処理能力に向上の余地がない。

20

【0006】

一方、アナログ論理にも限界がある。アナログ回路を構成する各ブロックは、互いに完全に独立していないため、アナログ論理のブロックを1つでも変更したい場合、同じ回路内のその他のブロックを全て変更しなければならないこともある。また、プロセス技術の極めて高速な進歩により、あるアプリケーションに特化したデザインは、製造に移行する前に既に時代遅れとなる場合もある。さらに、アナログ回路は、完全に再構成できるものでも、また完全にプログラマブルではない。

30

【発明の概要】

【0007】

フィルタ積分器の出力に結合した可変ゲインブロックによって中心周波数を調節(チューニング)することのできる状態変数フィルタを用いることにより、広帯域アナログ信号処理に必要な構成単位(構成ブロック要素)を構築することができる。例えば、信号に対して複数の一次および二次の状態変数フィルタを並列で適用し、これらの出力を組み合わせてフィルタ処理済み出力を生成してもよい。このようなゲイン調節可能な状態変数フィルタを複数カスケード接続し、および/または並列に組み合わせることにより、アジャイルなフィルタリング(agile filtering)、スペクトル解析、干渉検出・除去、等化、中間周波数の直接伝達、および単側帯波変調・復調も含め、様々なアプリケーションに活用することができる。なお、活用対象のアプリケーションは、必ずしも上記のアプリケーションに限定されない。

40

【0008】

本発明の実施形態は、積分器、減衰器、スケーラブルな加算器などの広帯域デバイスに関する。これらの広帯域デバイスを用いて、プログラマブルアナログ信号処理のための、

50

ゲイン調節可能な状態変数フィルタを構築できる。例示的な積分器は、第1の電圧供給端子と第2の電圧供給端子との間に直列接続された、一対のpチャネルトランジスタ、一対の可変抵抗手段、および一対のnチャネルトランジスタを備える。前記pチャネルトランジスタのドレインが前記可変抵抗手段のドレインに電流を供給し、前記一対の可変抵抗手段のソースが前記一対のnチャネルトランジスタのドレインに電流を供給する。なお、前記pチャネルトランジスタのゲートは、前記一対の可変抵抗手段において反対側のトランジスタのドレインに対し、フィードフォワード形態で接続されてもよい。前記一対のnチャネルトランジスタのゲートに印加された相補的な入力信号によって駆動された積分器は、前記pチャネルトランジスタと前記可変抵抗手段との間のノードに相補的な出力を生成する。

10

【0009】

本発明の他の実施形態は、広帯域アナログ無線周波数の減衰器に関する。例示的な減衰器は、複数(M個)の減衰器ブロックを備える。各ブロックは、信号レールと出力ノードとの間に接続された第1のスイッチと、オフセットレールと前記出力ノードとの間に接続された第2のスイッチとを含む。各ブロックは、さらに、前記出力ノードと前記第1及び第2のスイッチとの間に直列接続された抵抗要素を含む。この減衰器はNビットの精度($N < M$)を有する。さらなる他の実施形態では、前記ブロックのうちの少なくとも1つにおける抵抗要素の抵抗値が、前記ブロックのうちの他の1つのブロックにおける抵抗値に対する素数に相当するものであってもよい。

【0010】

20

本発明のさらなる他の実施形態は、広帯域アナログ無線周波数のスケーラブルな加算器に関する。例示的なスケーラブルな加算器は、出力ノードと接地レールとの間に並列接続された複数(N個)のスイッチと、電源レールと前記出力ノードとの間に直列接続された抵抗要素とを備える。前記スイッチの各スイッチは、それぞれ対応する電圧入力によって制御されるものであってもよい。

【発明の効果】

【0011】

本明細書で開示するデバイスは、従来のデバイスに比べて製造及び動作が簡単である。さらに、本明細書で開示するデバイスは、従来のデバイスよりも遙かに大きい帯域幅で動作することができる。詳細には、本発明の革新的なデバイスは、低周波数設計の利点と、状態変数技術によってもたらされたプログラマブル性とを組み合わせたものである。

30

【0012】

前述の内容は、添付の図面に示す本発明の例示的な実施形態についての以下の詳細な説明から明らかになる。なお、異なる図をとおして、同一の符号は同一の構成/構成要素を指すものとする。図面は必ずしも縮尺どおりではなく、本発明の例示的な実施形態を示すことに重点を置いている。

【図面の簡単な説明】

【0013】

【図1】本発明の実施形態を適用可能なバイカッド回路を示すブロック図である。

40

【図2】本発明の一実施形態の積分器回路の回路図である。

【図3】図2の積分器回路の周波数応答を示すグラフである。

【図4】電圧制御抵抗手段が適用された積分器回路の回路図である。

【図5】積分器回路の他の実施形態の回路図である。

【図6】(a)～(c)は積分器回路のさらに他の実施形態の回路図である。

【図7】チューナ回路を備えた積分器回路の回路図である。

【図8】減衰器回路の入出力を示すブロック図である。

【図9】減衰器回路の回路図である。

【図10】本発明の一実施形態の減衰器回路の回路図である。

【図11】減衰器回路の他の実施形態の回路図である。

【図12】減衰値の分布を示すグラフである。

50

【図13】減衰器回路のさらに他の実施形態の回路図である。

【図14】減衰器回路の各種構成に対応する減衰値の分布を示すグラフである。

【図15】減衰器回路の減衰量及び位相を示すグラフである。

【図16】本発明の一実施形態の加算器回路の回路図である。

【図17】出力特性測定用回路の回路図である。

【図18】加算器回路の周波数応答を示すグラフである。

【図19】本発明の実施形態を適用可能なバイカッド回路を複数用いて形成した一構成例を示すブロック図である。

【発明を実施するための形態】

【0014】

10

以下では、本発明の例示的な実施形態について説明する。

【0015】

広帯域信号処理（WiSP）はアナログ信号処理技術であり、すなわち、50MHz～20GHz以上の帯域幅においてプログラマブルで実行可能なアナログ演算を実現する。WiSPの基礎となるのは状態変数理論である。この理論とディープサブミクロンCMOS（相補型金属酸化膜半導体）技術とを組み合わせることにより、低周波数信号処理技術を、ミクロン（μm）長ないしミリメートル（mm）長の波長にまで拡張することが可能になる。WiSPは、相補型金属酸化膜半導体（CMOS）技術、シリコンゲルマニウム（SiGe）技術、および絶縁体上シリコン（SOI）技術で実現できる。

【0016】

20

WiSPは、状態変数マシンのパラメータを10ビットの精度で設定できることから、極めて高精度である。また、WiSPは、ゲイン（利得）などの状態変数パラメータを適宜変化させることによって全ての周波数帯に拡大できるので、周波数アジャイルである。例えば、ゲインパラメータを変化させるだけで、中心周波数が約1GHzである状態変数マシンを10GHzの周波数にシフトさせることができる。WiSP技術は、線形時不变信号処理および線形時変信号処理のいずれにも適している。状態変数系は、単入力／単出力の構成および多入力／多出力（MIMO）の構成のいずれにも適用可能であり、例えば、MIMOワイヤレスアンテナシステムの模倣に用いられることもできる。

【0017】

一般的に、低周波数アナログ設計は比較的簡単かつ忠実な科学（理論通り）である。その理由は、キャパシタ、抵抗器などの部品、およびそれらを印刷回路基板（PCB）上で接続する配線が、処理される信号の波長に対して極めて小さいからである。分散効果もないため、部品をそれぞれ一まとめの要素として取り扱うことができる。また、典型的に、低周波数アナログ部品の帯域幅は信号の帯域幅よりも大きい（例えば、少なくとも10倍大きい）。このように帯域幅が比較的大きいため、フィードバックを利用することができます、デザインの簡略化、系の安定化、系の性能の向上、系の精度の向上などを達成することができる。また、フィードバックを活用することにより、プログラマブルハードウェアを実現できる。例えば、プログラマブル抵抗を備えたオプアンプを用いて、プログラマブルゲインデバイスを構築することができる。つまり、このようなプログラマブル性により、プログラマブル手法を用いて複雑な系を構築することができる。

30

【0018】

一方、従来の高周波数設計は低周波数アナログ設計のような利点を享受することができない。その理由は、高周波数信号の波長と回路要素のサイズとがほぼ同じだからである。また、PCB上の要素間を接続する配線のサイズも、高周波数信号の波長とほぼ同じである。従来の高周波数設計では、配線を伝達ラインとして取り扱う。そのため、配線のレベル及び寸法は、PCB上での反射等を生じないように設計される。一般的に、このような設計は多くの電力を必要とし、かつ、帯域幅もPCBの材料によって制限される。また、印刷配線の精度の限界により、分散した要素間で相互作用できない可能性もある。さらに、従来の高周波数設計では、フィードバックを利用することができないので、高精度なデザインを実現できない。

40

50

【0019】

しかし、広帯域アナログデバイスを P C B ではなく C M O S 基板に形成することにより、低周波数設計が利用可能となる。その理由は、高周波数波長に対する C M O S 配線サイズの比が、低周波数波長に対する P C B 配線サイズの比とほぼ同じだからである。事実、ディープサブミクロン C M O S 技術を用いた微細な配線サイズはナノメートル単位であり、ナノメートルの世界では、何もかもをそれぞれ 1 つの要素として取り扱うことができる。これにより、回路の分散的性質を無視できる。つまり、C M O S 基板での高周波数設計は、部品の帯域幅が小さ過ぎてフィードバックを活用できない点を除けば、P C B での低周波数設計と同じである。

【0020】

10

しかし、本明細書で開示する実施形態は、高ゲインだけでなく極めて大きい帯域幅を提供できるので、フィードバック付きの高周波数 C M O S デザインを実現できる。その根底となる基本の構成要素は、極めて高いゲイン（例えば、80 d B 超から最大で 100 d B または 120 d B ）および 200 G H z 範囲の大きい帯域幅を有するトランスコンダクタである。このようなトランスコンダクタを用いて、最下位ビット（L S B ）まで正確な減衰器を構築することができる。そのような減衰器は、10 ビットの精度で（すなわち、約 1,000 分の 1 まで正確に）デジタル的にプログラム可能である。このような高精度のおかげで、プログラマブルアナログハードウェアの構築が可能となる。

【0021】

20

トランスコンダクタ及び減衰器に対して広帯域スケーリング情報を組み合せることにより、広帯域アナログプロセッサを構築するための基本となる構成単位または構成ブロックであるバイカッドを形成することができる。詳細には、本明細書で開示する、トランスコンダクタ、減衰器、およびスケーラブルな加算器を用いることにより、周波数アジャイルおよび／または時変である、プログラマブルバイカッド構造を形成することができる。このようなバイカッドを複数カスケード接続することにより、Guptaらの2009年3月10日が出願日である国際出願PCT/US2009/001512（国際公開WO2009/114123）に記載されているような、プログラマブル伝達関数シンセサイザを形成することができる。なお、この国際出願の全教示内容は、参照をもって本明細書に取り入れたものとする。バイカッドベースの回路により、アジャイルなフィルタ（agile filter）、等化器、遅延ラインなどを形成することができ、これらの最終用途としては、レーダ、コグニティブ無線、無線周波数識別（R F I D ）などが挙げられる。

30

【0022】

図 1 は、本発明の実施形態を適用可能なバイカッド回路 100 を示すブロック図である。バイカッド回路 100 は、その構成要素として、1 つ以上の積分器 110、1 つ以上の減衰器 120、および 1 つ以上の加算器 130 を備える。バイカッドの出力 $y(t)$ の特性は、バイカッド 100 の伝達関数 $T(s)$ を変更することによって変化できる。これは、 a_0, a_1, b_0, b_1, b_2 で構成される減衰器 120 の数値を変更することによって達成される。積分器 110 のゲイン G を変化させることにより、伝達関数の中心周波数を掃引できる。減衰器 120 の前記数値および積分器 110 の前記ゲインは、12 ビットの精度を有するシリアルペリフェラルインターフェース（S P I ）によってデジタル制御されてもよい。

40

【0023】

図 2 に、図 1 のバイカッド回路 100 に適用可能な積分器回路 200 を示す。積分器 200 は、フィードフォワード調節のトポロジを用いた、広帯域で自己チューニング型の積分器である。積分器 200 は、帯域幅が大きく、線形性が優れており、かつ、相互変調歪みが小さいので、マイクロ波周波数での用途に特に適している。

【0024】

小信号解析により、この回路の伝達関数は以下のように表される：

【0025】

【数1】

$$T(s) = \frac{\Omega_0 \cdot (s/z_1 - 1) \cdot (s/z_2 - 1)}{s \cdot (s/p + 1) + a_0}$$

【0026】

式中、

【0027】

【数2】

$$z_1 = \frac{g_{m1}}{C_{gd1}}$$

10

$$z_2 = \frac{(g_{m3} + 1/R)}{C_{gd3}}$$

$$\Omega_0 = \frac{g_{m1} \cdot (g_{m3} + 1/R)}{(C_{gs3} + C_{gd3} + C_{gd1} + C_{ds1}) \cdot (g_{ds3} + 1/R) + (C_{gd3} + C_{ds3}) \cdot (g_{ds1} + 1/R) + C_{gd3} \cdot (g_{m3} + 2/R)}$$

20

$$p = \frac{(C_{gs3} + C_{gd3} + C_{gd1} + C_{ds1}) \cdot (g_{ds3} + 1/R) + (C_{gd3} + C_{ds3}) \cdot (g_{ds1} + 1/R) + C_{gd3} \cdot (g_{m3} + 2/R)}{(C_{gs3} + C_{gd3} + C_{gd1} + C_{ds1}) \cdot (C_{gd3} + C_{ds3}) - C_{gd3}^2}$$

$$a_0 = \frac{(g_{ds1} + 1/R) \cdot (g_{ds3} + 1/R) - (g_{m3} + 1/R)/R}{(C_{gs3} + C_{gd3} + C_{gd1} + C_{ds1}) \cdot (g_{ds3} + 1/R) + (C_{gd3} + C_{ds3}) \cdot (g_{ds1} + 1/R) + C_{gd3} \cdot (g_{m3} + 2/R)}$$

【0028】

通常、抵抗 R は、 $1/g_{m1}$, $1/g_{m3}$, $1/g_{ds1}$, $1/g_{ds3}$ に比べて小さくなるように選択される。ディープサブミクロン CMOS 技術（例えば、130 nm 以下）の場合には、通常、 C_{gs} が全寄生容量の大半を占める。これらを踏まえると、以下を導き出すことができる：

30

【0029】

【数3】

$$z_1 > \frac{g_{m1}}{C_{gs1}} \approx 2\pi \cdot f_T$$

40

$$z_2 > \frac{1}{R \cdot C_{gd3}}$$

$$p \approx \frac{1}{R \cdot C_{gd3}}$$

【0030】

f_T はユニティゲイン周波数（単位利得周波数）であり、通常、その数値は大きい。小さい数値を有する R に比べて、通常、 z_2 および p は極めて大きい。これらを踏まえると、

50

上記の伝達関数は、以下のように近似することができる：

【0031】

【数4】

$$T(s) \approx \frac{\Omega_0}{s + a_0}$$

【0032】

Rを、

【0033】

【数5】

10

$$R = \frac{g_{m3} - g_{ds1} - g_{ds3}}{g_{ds1} \cdot g_{ds3}}$$

【0034】

と選択すると、 $a_0 = 0$ となる。

【0035】

これにより、上記の伝達関数は、

【0036】

【数6】

20

$$T(s) \approx \frac{\Omega_0}{s}$$

【0037】

とさらに簡略化することができる。

【0038】

上記の式は、理想的な積分器による応答を表す。通常、トランジスタは、 $g_{m1} > g_{m3}$ となるように選択される。したがって、

30

【0039】

【数7】

$$\Omega_0 \approx \frac{g_{m1}}{C_{gs3}} > \frac{g_{m3}}{C_{gs3}} \approx 2\pi \cdot f_T$$

【0040】

となる。

【0041】

これは、積分器200のユニティゲイン周波数が、ディープサブミクロンCMOS技術のユニティゲイン周波数とほぼ同じであることを示している。

40

【0042】

図3に、TMS社製の65nmCMOSに適用された積分器200の周波数応答を示す。ユニティ周波数は約60GHzである。約10MHz～60MHzにおいて20dB/decのゲインロールオフを示し、50MHz～10GHzにおいて約-90°(±10°以内の変動あり)の位相を有する。

【0043】

図2に示す積分器回路200の実施形態には、様々な変更を施すことができる。図2の中間抵抗Rは、図4の積分器回路400のように、ゲートを電源に接続したトランジスタを用いて実現してもよい。この場合、その抵抗値(上記の伝達関数における a_0 の数値)

50

の変更は、電圧を変化させるだけで行うことができる。つまり、ユーザは、フィードバック制御回路を用いることにより、積分器をチューニング（調節）することができる。この点については、後で説明する。

【0044】

図5に、積分器回路500の他の実施形態を示す。この実施形態では、図4のM2（およびM5）の抵抗が電圧V_{cR}によって制御される。通常、M2（およびM5）の抵抗は、V_{cR}が増加するにつれて減少する。V_{cR}が過大にならないように、固定抵抗を、M2（およびM5）と並列に追加してもよい。

【0045】

図6（a）～（c）に、積分器回路601, 602, 603のさらなる他の実施形態を示す。図6（a）の積分器回路601のように、線形性をさらに向上させるために、上方に2つのソースディジエネレーション抵抗（ソース減衰抵抗）を追加してもよい。少し異なる手法として、図6（b）の積分器回路602のように、電流源を2つの同等な電流源に分割し、これら2つの電流源枝路間に単一のソースディジエネレーション抵抗を追加してもよい。図6（c）の積分器回路603は、上方及び下方の両方に、ソースディジエネレーション抵抗を有する。

【0046】

図7に、積分器回路701（例えば、図2及び図4～6を参照しながら説明した積分器回路）にチューニング回路702を組み合わせてなる、積分器チューニング回路700を示す。前述したように、電圧V_{cR}の選択は、理想的な積分器を達成するために正確に行われる必要がある。このような選択は、チューニング回路702を介して行われる。このチューニング回路は、全体として、DC較正回路とゲイン制御回路の2つの部分を含む。当該DC較正回路の良好な動作のために、積分器の前段に、2つの同一のバッファ（例えば、ソースフォロワなど）が挿入される。一方のバッファは一定電圧V_{fix}でバイアスされており、他方のバッファはフィードバックループを介して制御される。なお、このフィードバックループは、前記積分器の差動出力を入力とする単なる積分回路である。このようなDC較正回路により、前記積分器の各差動出力のバイアス電圧は、確実に互いにほぼ同じとなる。この結果として、前記積分器は、チューニング（調節）後も高いコモンモード除去（同相分除去）を示す。

【0047】

電圧V_{cR}が変化する際、低い周波数域ではDC較正後の積分器の位相が大きく変化する場合があり、また、当該位相は、電圧V_{cR}に伴って単調に変化する。そのため、前記ゲイン制御回路は本質的には位相検出器であり、前記DC較正後の積分器が所与の低周波数において所望の位相応答を示すように当該DC較正後の積分器を駆動する。図7に示すように、発信器が200kHz信号を生成し、これが前記積分器に供給され、その出力が増幅される。同じ200kHz信号が移相器（PS）及びシングルトゥ差動変換器（単一差動変換器）（S2D）にも供給され、（前記積分器側の増幅器と同等な増幅器によって）増幅される。前記積分器側の増幅信号ならびに前記PS及びS2D側の増幅信号の双方が同じ乗算器に供給される。この乗算器のDC成分はこれら2つの増幅信号の位相差を示す。詳細には、前記2つの増幅信号の位相が合致している場合に前記乗算器のDC値は最大となり、前記2つの増幅信号の位相が互いに90°ずれている場合に前記乗算器のDC値がゼロとなる。前記移相器の位相値を適切に選択することにより、当該乗算器の後段に位置した別の積分回路が、200kHzにおいて前記積分器が所望の位相応答を示すように当該積分器を駆動する。つまり、その積分回路が電圧V_{cR}の所望の数値を生成する。

【0048】

図8に、減衰器回路800とその入力信号及び出力信号とを示す。減衰器は、プロセッサまたはDSPによって指定された所与のバイナリ数（二値数）に比例して信号を減衰する。減衰器には、「電圧線形的」および「dB線形的」の2種類がある。減衰器800は、「電圧線形的」な減衰器とされる。なお、「dB線形的」な減衰器は、dB単位で減衰される点を除けば「電圧線形的」な減衰器と同じである。

10

20

30

40

50

【0049】

減衰器の用途には、セルラーネットワークの信号処理要素、ケーブルモデムの信号処理要素、デジタル加入者回線の信号処理要素、撮像システムの信号処理要素、各種アプリケーションにおける適応フィルタの信号処理要素、および各種アプリケーションにおける等化器の信号処理要素が含まれる。マイクロ波部品市場では、数千万もの種類の減衰器が販売されており、さらにその何倍もの個数がVLSI（超大規模集積回路）設計に組み込まれている。

【0050】

図9に、R/2Rラダーを用いた典型的な減衰器900を示す。典型的な減衰器のデザインは、減衰器機能を実現するために多段式の抵抗ラダーを使用する。その段数は、減衰を制御するバイナリビット列（二値ビット列）に含まれるビット数と同じである。より高い精度を所望するほど、段数が増加し、公差が悪化する。そうなると、実現可能なダイナミックレンジも制限される。CMOS設計の場合、有用な抵抗ラダー構造は6~8ビットに制限され、かつ、ダイナミックレンジも64~256に制限される。レーザトリミングを用いれば高精度を実現可能であるが、コストが増加する。さらに、各段ごとに固有の帯域幅があるので、カスケード接続する段数が増加するほど、帯域幅が減少する。つまり、10ビット以上の精度を有する広帯域減衰器を低成本で実現したいのであれば、上記のような多段式の抵抗ラダーによるアーキテクチャは有用でない。

10

【0051】

図10に、本発明の一実施形態の減衰器回路1000を示す。この減衰器回路1000は、確率的設計手法を用いることにより、上述したような制限を克服している。この単一段の減衰器1000は、複数の抵抗Rからなる抵抗群で構成されている。抵抗Rは、（電源と出力の間の）直列アームと、（前記出力と接地の間の）負荷アームとの間で切り替えられる。各抵抗は、直列アームおよび負荷アームのいずれか一方に設定されている。

20

【0052】

前記複数の抵抗を、R, 2R, 4R, ..., (2N)Rという比で構成することにより、Nビットの減衰器が得られることは言うまでもない。FETをオン状態かオフ状態のいずれかにしているスイッチは、一般に静電容量を有するため、大型の抵抗では帯域幅の問題が生じることを容易に予測できる。また、前記複数の抵抗のなかで最も小型の抵抗でさえも、そのインピーダンスがスイッチのインピーダンスよりも遙かに大きくなるように構成しなければならない。そのため、N > 9にもなると、前記複数の抵抗のなかで最も大型の抵抗のサイズは極めて大きくなる。これは、広帯域性能に対する深刻な問題である。また、大型の抵抗のサイズが極めて大きくなると、それに伴って多くのシリコン領域が消費されてしまう。さらに、幅広い範囲の抵抗値に対応するには、1種類のモデルの抵抗器では十分な抵抗の範囲をカバーできないので、複数の異なるファミリーの抵抗器を使用する必要が生じる。異なるモデルの抵抗器は互いに異なる温度係数を有するため、特に温度変化等により、精度が低下してしまう。

30

【0053】

帯域幅の問題は、FETスイッチのサイズを抵抗器のサイズに対して反比例するように選択し、各アームのRC時定数を互いに同じとすることにより、軽減することができる。理論的には、これによって帯域幅が無限大になるはずである。しかし、最も小型のFETに対して最も大型のFETの比が極めて大きくなり、今度はレイアウト及びシリコンサイズの問題が生じる。その理由は、最も小型の抵抗に対するミスマッチ関連の変動(variation)を抑えるために、最も小型のFETを十分に大きく形成しなければならないからである。

40

【0054】

減衰器1000は、N個の抵抗を用いて 2^N 種類(2^N 個)の減衰値(減衰量)を提供する。このような減衰器は、N種類の数値設定が可能なので、N個の自由度を有する。理想的な減衰器であれば、数直線0~1の間で 2^N 個の等間隔の減衰点を有するはずである。つまり、減衰値は、0~1までの区間で一様に分布するはずである(1/ 2^N 個のビン

50

化が可能になるはずである）。理想的でない状況では、多くのビンが空で、別の多くのビンに複数の数値が含まれる。レーザトリミングを用いれば、前記分布を変化させて全てのビンに数値が含まれるように減衰値を移動させることも可能である。しかし、これは困難かつ高コストである。

【0055】

図11に、減衰器回路1100の他の実施形態を示す。一部の実施形態では、M個の自由度（M個の抵抗）がある。ただし、M > Nである。この場合、0 ~ 1までの区間ににおいて、2M個の点を生成することができる。M個の抵抗を適切に選択することにより、2^N個のビンの各ビンに複数の点が含まれるように分布を形成することができる。さらに、この後、抵抗 / FETの公差を含めてモンテカルロシミュレーションを行い、それらの公差を加味したうえでも各ビンに少なくとも1つの点が含まれる分布が高確率で得られるよう 10 にしてもよい。さらに、このようにして得られた結果を2^M個の点の全ての点について確認することによって較正し、2^N個の所望値に対応するM個の制御ビットの組合せを決定してもよい。このM個の制御ビットの組合せのテーブルは、Mビットの長さを有するワードを2^N個収容可能なサイズのメモリに記憶してもよい。所望の減衰値に応じてN個のアドレスラインが形成されたメモリは、対応するM個のビットからなる数値を減衰器に向けて（データバス上に）送出し、当該減衰器に所望の減衰を行わせる。N*ビットの精度を所望し（N < N* < M）、かつ、ミッシングコード（例えば、0近傍の数値または1近傍の数値）が幾つか存在しても構わない場合、Mビットの長さを有するワードを2^{N*}個収容できるサイズのメモリに、プログラムを組み込んでもよい。このような実施形態を、図 20 11の減衰器回路1100で示す。

【0056】

図12(a)に、Nビットの精度を有する減衰器回路によって達成される減衰の分布の一例を示す。この減衰器回路は、抵抗R, 2R, ..., (2N)Rを有するM個の自由度のネットワークを具備する。図12(b)に、図12(a)の各抵抗の数値を1 - x / 100から1 + x / 100までの範囲内で一様に分布したランダム変数（x%の誤差）によってディザリング（変更）した場合の制御ビットパターンの典型的な一例を示す。図12(b)の減衰の分布は、図12(a)の数値の周りに分散している。この方法を用いると、数値が集中した幾つかのビン（特に、そのような複数のビンのうちの中央のビン）の近傍に位置する空のビンにも、数値を埋めることができる。このような手法は、「分布の円滑化」と称される。 30

【0057】

図13に、Nビット（この例ではN = 12）の精度を有する、Mビット減衰器1300（この例ではM = 24）を示す。抵抗間（すなわち、FETスイッチ間）の最大の比は約64とする。まず抵抗R, 2R, 4R, 8R, 16R, 32R, 64Rから始め、次に数2, 4, 8, 16, 32に対する素数59, 53, 47, 43, 41, 37, 31に相当する抵抗59R, 53R, 47R, 43R, 41R, 37R, 31Rを追加する。このようにして得られる分布にx = 5%のディザリングを施し、2N個のビンの最も良好な分布（最大範囲の埋まり）を求める。次に、M個の抵抗が揃うまで、抵抗値Rを追加する（この例では、10種類の抵抗値Rを追加する）。 40

【0058】

図14に、N = 10、N = 12およびN = 14で得られる分布を示す。モンテカルロシミュレーションによると、65nmCMOS技術において最小抵抗器のサイズがR = 100で最小FETのサイズが0.12μmである場合のミスマッチに起因するFET及び抵抗の変動は約1.5%と算出される。x = 2%で長時間シミュレーションを実行すると、500組のデザインのうちの全てにおいて、N = 12の場合に2¹²のビンのうちの最小ビン0および最大ビン1023を除く全てのビンが0 ~ 1までの範囲内の要素を少なくとも1つ有するという要件が満たされた。

【0059】

図15に、特定の損失パターンを有する減衰器1300の周波数領域性能を示す。概し 50

て言えば、この減衰器は、帯域幅の上限が 10 GHz を超えると減衰値に変化が生じる。

【0060】

特定の減衰器を較正する場合、まず名目上のデザインから始める。複数のピンからなるテーブルを生成し、各ピンにわたって分布した制御ビットの組合せを最大 10 組生成する。当然ながら、制御ビットの組合せが 10 に満たないピンでは、前記最大 10 個の組合せにおいて、その全ての要素がリストアップされる。

【0061】

減衰器を較正する際、まずピン i ($1 \leq i \leq 2N$) から始め、そのピンにおける名目上の制御ビットパターンに注目する。達成される実際の減衰を測定し、誤差を算出する。この誤差に $2N$ を乗算し、当該誤差を補正するのにシフトしなければならないピンの数を決定する。このシフト方向は、前記誤差の正負によって決まる。実際の減衰の測定値が高過ぎると、ピン番号の小さい方向にシフトさせ、当該測定値が低過ぎると、ピン番号の大きい方向にシフトさせる。新たな制御ビットパターンを決定した後は（選択したピンにおいて一部の制御パターンが他の制御パターンよりも優れた数値を複数生成するような場合、そのなかで最も優れた制御パターンを保持する）、所望の精度が得られるまで、上記過程をさらに繰り返す。実際的には、2 ~ 3 回のステップで所望の精度を得ることができる。

【0062】

上記過程の全体を、 2^N 個のピンの数値からなる完全なテーブルおよび対応する制御ビットパターンが得られるまで、全てのピンについて繰り返す。

【0063】

上述した方法により、高精度かつ低コストで、大きい帯域幅および優れた歩留まりを有する CMOS 減衰器を提供することができる。N ビットの精度を所望する場合、まず、M 個の抵抗および M 個のスイッチから始める ($M > N$)。M の数値を N の数値よりも十分大きく選択することにより、部品公差を加味したうえでも N ビットの精度を満たす減衰器が高確率で得られることを統計学的に「保証」することができるので、十分な高精度を実現できる。また、その製造プロセスにレーザトリミングは不要である。

【0064】

以上のように、最適な分布を得るために抵抗の選択方法を開示した。また、特定の構成の減衰器を得るために減衰器の較正方法を開示した。なお、前述の例示的な実施形態では「電圧線形的」な減衰器を形成したが、当業者であれば、同じ方法を用いて「dB 線形的」な減衰器を形成することができる。

【0065】

図 16 に、図 1 を参照しながら説明したバイカット回路 100 に適用可能な加算回路 1600 を示す。加算回路 1600 は、単一の抵抗 R と N 個のトランジスタとを有する。加算器 1600 は、広帯域アナログ信号処理を必要とする回路トポロジに使用できる。トランジスタの数である N は、加算される入力信号の数によって決まる。

【0066】

この加算器は、入力信号 V_1, V_2, \dots, V_N を受け取り、出力信号 V_{out} を生成する。これら入力信号 V_1, V_2, \dots, V_N および出力信号 V_{out} は、いずれも DC 項と AC 項の両方を含む。抵抗 R により、加算回路網を通る DC 電流が設定される。つまり、抵抗 R は、加算ブロックの総合ゲインに寄与する。重ね合わせの原理を用いて、1 度に 1 個のトランジスタを考慮すると、単一のソース接地 (CS) 増幅器についての分析だけで済む。出力における DC バイアス項を無視して AC 項のみに注目すると、前記 CS 増幅器の出力は以下のように表される：

【0067】

【数 8】

$$v_o = -g_m v_{in} (R || r_o)$$

式 1

【0068】

10

20

30

40

50

式1において、 g_m はトランジスタのゲイン（すなわち、トランスコンダクタンス）であり、 r_o はトランジスタの出力抵抗である。 $r_o \gg R$ と仮定すると、図16の回路の総出力は以下のように表される：

【0069】

【数9】

$$v_{out} = -(g_{m1}v_1 + g_{m2}v_2 + \dots + g_{mN}v_N)R \quad \text{式2}$$

【0070】

式2において、対応する入力信号 v に付随する各 g_m 項は、加算係数と見なすことができる。抵抗 R は一定なので、トランジスタのゲイン g_m を変化させることにより、前記加算係数を調整することができる。トランジスタのゲイン g_m は、トランジスタの幅 W を用いて以下のように表すことができる：

【0071】

【数10】

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TN}) \quad \text{式3}$$

【0072】

式3によると、トランジスタのゲインはトランジスタの幅に正比例する。したがって、トランジスタの幅を変化させることにより、加算係数を調整することができる。

【0073】

加算回路1600の帯域幅は、前記CS増幅器の帯域幅によって決まる。図17に、CS増幅器の高周波数挙動の分析に一般的に利用される、等価的な小信号回路モデル1700を示す。抵抗 R_T は $R - r_o$ ($R_T = R - r_o / (R + r_o)$)で与えられ、容量 C_T はトランジスタの出力ノードと接地との間の容量の総計（すなわち、負荷容量とトランジスタ内部の寄生容量と後続段の入力容量との合計）である。

【0074】

R_s が比較的大きく、かつ、 C_T が比較的小さい場合、前記CS増幅器の帯域幅は以下のように表される：

【0075】

【数11】

$$f_{3dB} = \frac{1}{2\pi(C_{gs} + C_{gd}(1+g_mR_T))R_s} \quad \text{式4}$$

【0076】

R_s が比較的小さい場合、前記CS増幅器の帯域幅は以下のように表される：

【0077】

【数12】

$$f_{3dB} = \frac{1}{2\pi(C_L + C_{gd})R_T} \quad \text{式5} \quad \text{40}$$

【0078】

上記の式から、(R_T は $R - r_o$ で与えられるので、) R が小さい場合、帯域幅が大きくなることが分かる。通常これは損失につながる。当該損失の軽減、つまりゲインの向上を達成するには、 R を増加させる必要があるが、通常これは帯域幅の減少という妥協を伴う。

【0079】

TSMC社の65nmプロセスを用いてCadence社によって作製された3入力加算回路を用意した。図18に、電源抵抗 R_s を10とした場合のこの回路の周波数応答

10

20

30

40

50

を示す。図中の実線は、 $R = 26$ の場合に相当する。この場合の回路では、損失は 5.4 dB となる一方で、3 dB 帯域幅は約 200 GHz となる。図中の破線は、 $R = 60$ の場合に相当する。この場合の回路では、損失はほぼ 0 dB である一方で、3 dB 帯域幅は 90 GHz に減少する。

【0080】

図 19 に、前述した積分器、減衰器および加算器の実施形態を適用可能な、直列接続した複数のバイカッド回路 1900 を示す。このバイカッド構造は二次の状態変数構造である。N 個のバイカッドをカスケード接続することにより、 2^N 次の伝達関数 $T(s)$ ' が得られる。

【0081】

図 19 に示す伝達関数は、単入力単出力 (SISO) のフィールドプログラマブルアナログアレイ (FPGA) を記述しているとも見なせる。減衰器の数値および積分器のゲインを変化させることにより、様々な適応フィルタ特性および遅延ライン特性を実現できる。アナログ領域において動作可能なため、エンジニアにとって広帯域信号を処理するための強力なツールとなる。

【0082】

以上のとおり、本発明を好ましい実施形態に基づいて具体的に図示し詳細に説明した。しかし、当業者であれば、添付の特許請求の範囲に包含される本発明の範囲を逸脱することなく形態および細部に対して様々な変更が可能であることを理解するであろう。

なお、以下に、本発明の必須の構成要素を含まない態様について説明する。

〔態様 1〕

広帯域アナログ無線周波数の減衰器であって、
M 個からなる複数の減衰器ブロックを備え、これらブロックは、それぞれ、
信号レールと出力ノードとの間に接続された第 1 のスイッチと、
オフセットレールと前記出力ノードとの間に接続された第 2 のスイッチと、
前記出力ノードと前記第 1 及び第 2 のスイッチとの間に直列接続された抵抗要素とを含み、
当該減衰器ブロックが、N ビットの精度であって、N が M よりも小さい、精度をもたらす、広帯域アナログ無線周波数の減衰器。

〔態様 2〕

態様 1 に記載の減衰器において、前記ブロックのうちの少なくとも 1 つにおける抵抗要素の抵抗値が、前記ブロックのうちの他の 1 つのブロックにおける抵抗値に対する素数に相当する、広帯域アナログ無線周波数の減衰器。

〔態様 3〕

態様 1 に記載の減衰器において、前記ブロックのそれぞれの前記抵抗要素の数値が、一様に分布したランダム変数によってディザリングされたものである、広帯域アナログ無線周波数の減衰器。

〔態様 4〕

態様 1 に記載の減衰器において、前記出力ノードで計測された誤差に基づいて前記第 1 及び第 2 のスイッチを制御するプログラム入力を設定することによって、較正が行われる、広帯域アナログ無線周波数の減衰器。

〔態様 5〕

態様 1 に記載の減衰器において、相補型金属酸化膜半導体技術、または絶縁体上シリコン技術を用いて作製された、広帯域アナログ無線周波数の減衰器。

〔態様 6〕

広帯域アナログ無線周波数のスケーラブルな加算器であって、
出力ノードと接地レールとの間に並列接続された、N 個からなる複数のスイッチと、
電源レールと前記出力ノードとの間に直列接続された抵抗要素とを備え、
前記スイッチのそれぞれが、それぞれ対応する電圧入力によって制御される、広帯域アナログ無線周波数のスケーラブルな加算器。

10

20

30

40

50

【 様 様 7 】

態様 6 に記載の加算器において、前記 N が、加算すべき入力信号の数に基づいて決定される、広帯域アナログ無線周波数のスケーラブルな加算器。

【 様 様 8 】

態様 6 に記載の加算器において、相補型金属酸化膜半導体技術、または絶縁体上シリコン技術を用いて作製された、広帯域アナログ無線周波数のスケーラブルな加算器。

【 図 1 】

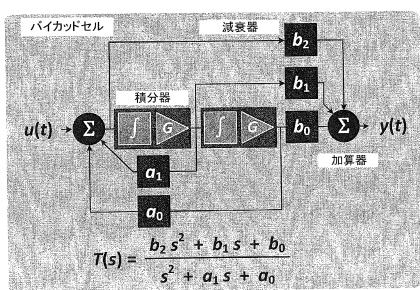


Figure 1: 二次の観測正準形式であり、その伝達関数を示すブロック図

【 図 2 】

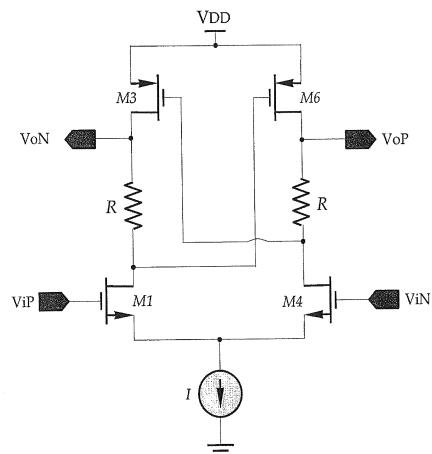


Figure 2: 積分器回路

【図3】

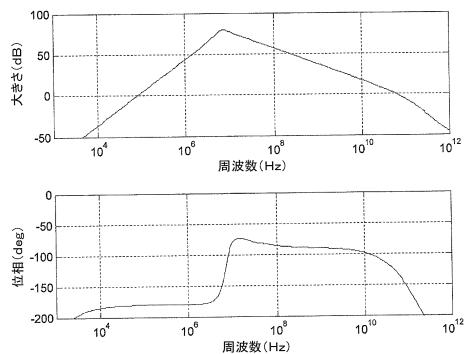


Figure 3: TSMC社製の65nmCMOSで作製した積分器の周波数応答

【 図 4 】

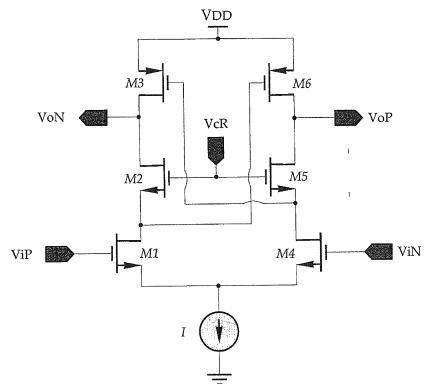


Figure 4: 電圧制御抵抗手段としてトランジスタを使用

【図5】

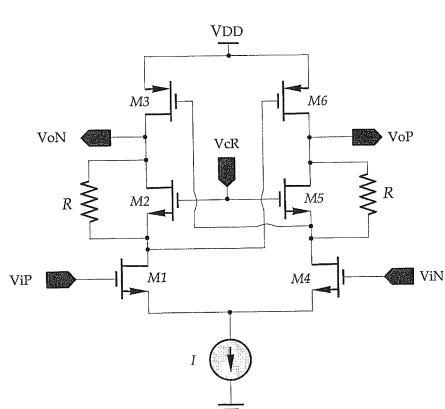


Figure 5: 中間トランジスタと並列に接続された抵抗

【 四 6 】

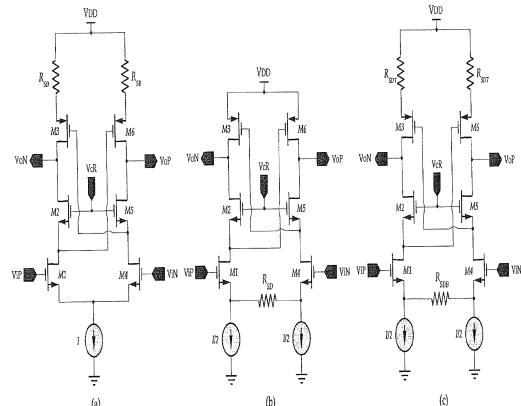


Figure 6: ソースディジェネレーション抵抗を備え、このソースディジェネレーション抵抗が、(a)では上方に、(b)では下方に、(c)では上方と下方の双方に配置されている

【図7】

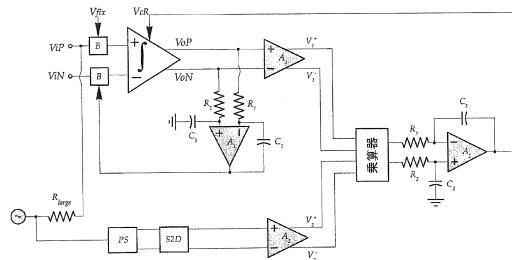


Figure 7: 積分器チューニング回路

【図8】

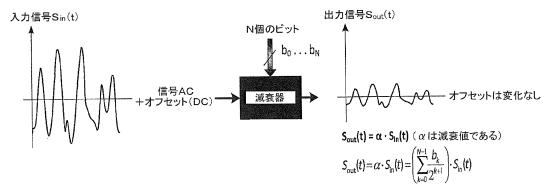


Figure 8: 減衰器

【図9】

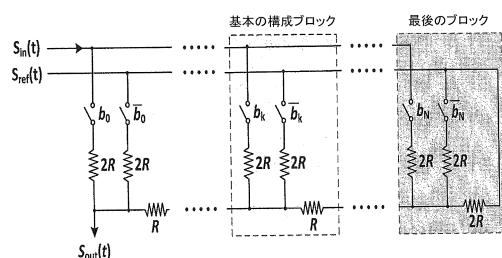
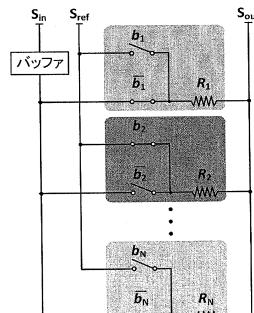


Figure 9: 古典的なR/2Rラダーのブロックの図

【図10】



2^N種類の減衰値を提供可能

Figure 10: 単一段の減衰器

【図11】

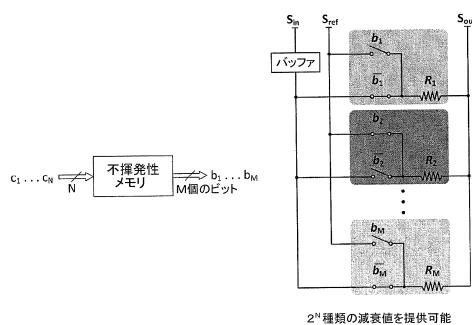


Figure 11: 不揮発性メモリを具備した単一段の減衰器

【図12】

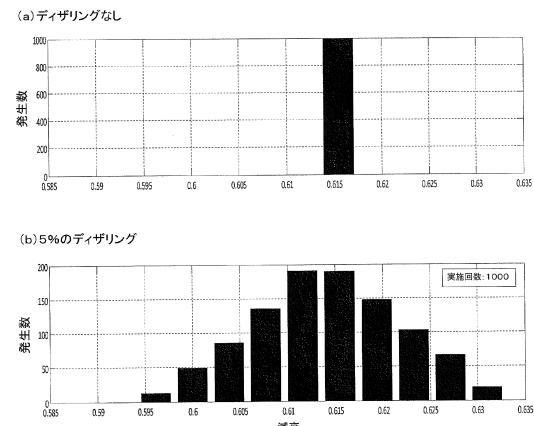


Figure 12: 減衰値の分布であって、(a)はディザリングなし、(b)は5%のディザリングの場合

【図13】

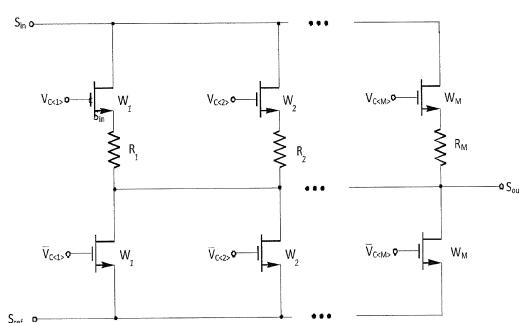


Figure 13: Mビット減衰器の概略図

【図14】

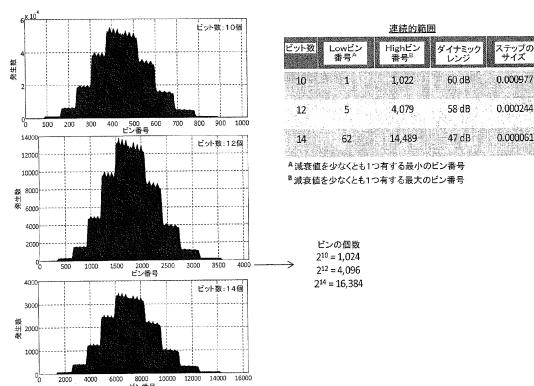


Figure 14: ビンの個数M=10, M=12およびM=14の場合の分布及び性能

【図 1 5】

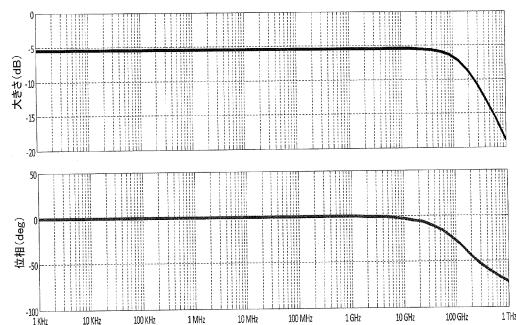


Figure 15: 減衰器の大きさ及び位相の図

【図 1 6】

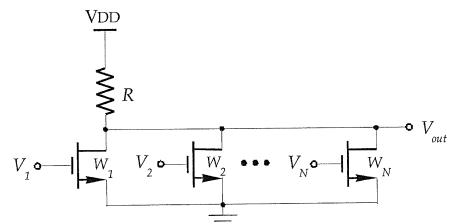


Figure 16: 広帯域重み付き加算回路トポジ

【図 1 7】

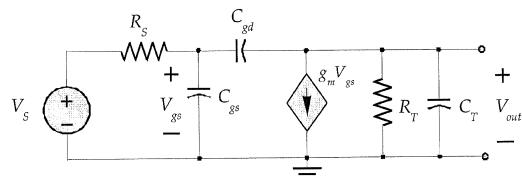


Figure 17: CS増幅器の高周波数特性の分析に用いる回路

【図 1 8】

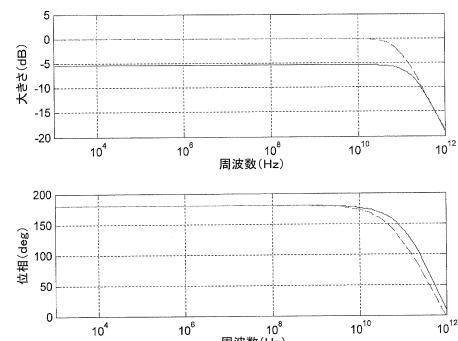


Figure 18: TSMC社製の65nmプロセスで作製された3入力加算回路の周波数応答

【図19】

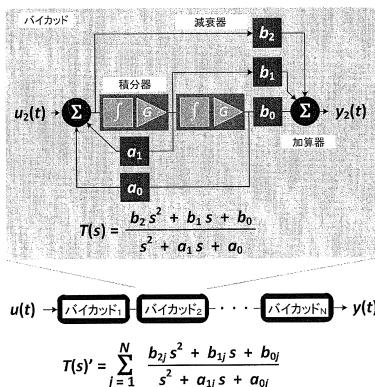


Figure 19: $2N$ 次の伝達関数を実現する、カスケード接続された N 個のバイカッド

フロントページの続き

(74)代理人 100154771

弁理士 中田 健一

(72)発明者 グブタ・デヴ・ヴィ

アメリカ合衆国, マサチューセッツ州 01742, コンコード, マッティソン ドライブ 35

6

(72)発明者 ライ・ジーグオ

アメリカ合衆国, マサチューセッツ州 01718, アクトン, ブラウン ベアー クロッシング

236

審査官 緒方 寿彦

(56)参考文献 特開2009-089311(JP, A)

特開2000-068761(JP, A)

特開平10-209810(JP, A)

特開2004-343277(JP, A)

米国特許第06765377(US, B1)

特開2001-251163(JP, A)

特開2001-060869(JP, A)

特開2007-088699(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00 - 3/45、3/50 - 3/52、

3/62 - 3/64、3/68 - 3/72

H03G 1/00 - 3/34

H03H 11/00 - 11/54