



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2017-0061158  
(43) 공개일자 2017년06월02일

- |  |   |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)<br/><b>B41J 2/175</b> (2006.01)</p> <p>(52) CPC특허분류<br/><b>B41J 2/17546</b> (2013.01)<br/><b>B41J 2/17553</b> (2013.01)</p> <p>(21) 출원번호 <b>10-2017-7011609</b></p> <p>(22) 출원일자(국제) <b>2014년10월31일</b><br/>심사청구일자 <b>2017년04월27일</b></p> <p>(85) 번역문제출일자 <b>2017년04월27일</b></p> <p>(86) 국제출원번호 <b>PCT/US2014/063381</b></p> <p>(87) 국제공개번호 <b>WO 2016/068990</b><br/>국제공개일자 <b>2016년05월06일</b></p> | <p>(71) 출원인<br/><b>휴렛-팩커드 디벨롭먼트 컴퍼니, 엘.피.</b><br/>미국 텍사스주 77070 휴스턴 콤팩트 센터 드라이브 웨스트 11445</p> <p>(72) 발명자<br/><b>네스 에릭 디</b><br/>미국 워싱턴주 98683 밴쿠버 스위트 210 컬럼비아 센터 사우스이스트 164번 애비뉴 1115 컬럼비아 테크 센터</p> <p><b>라이스 휴스턴 더블유</b><br/>미국 워싱턴주 98683 밴쿠버 스위트 210 컬럼비아 센터 사우스이스트 164번 애비뉴 1115 컬럼비아 테크 센터</p> <p><b>홀 브랜던</b><br/>아일랜드 레익슬리프 코 킬데어 레익슬리프 리페 이 파크 테크놀로지 캠퍼스 반홀 로드</p> <p>(74) 대리인<br/><b>제일특허법인</b></p> |
|--|---|

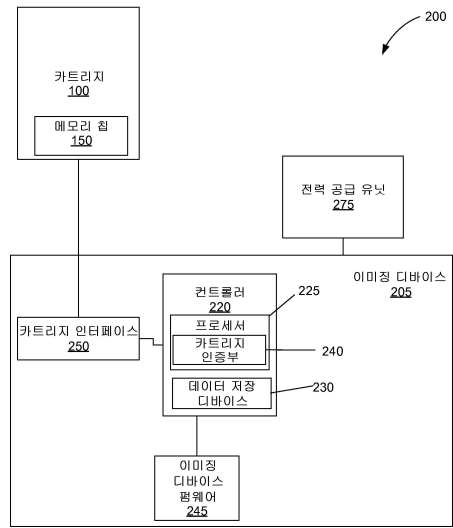
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **이미징 디바이스에서 사용되는 유체 카트리지의 암호화 기법**

**(57) 요약**

이미징 디바이스에 사용되는 유체 카트리지의 암호화가 본 명세서에 개시된다. 하나의 개시된 장치는 복수의 순차적 비트를 포함하는 유체 카트리지의 메모리 - 복수의 순차적 비트는 복수의 순차적 비트가 복수의 순차적 비트의 스크램블링 비트에 기초하여 변환된 후에 메모리에 기록됨 - 와, 유체 카트리지를 인증하기 위해 메모리에 액세스 가능하게 하는 유체 카트리지의 메모리 인터페이스를 포함한다.

**대표도** - 도2



## 명세서

### 청구범위

#### 청구항 1

복수의 순차적 비트를 포함하는 유체 카트리지의 메모리 - 상기 복수의 순차적 비트는, 상기 복수의 순차적 비트가 상기 복수의 순차적 비트의 스크램블링 비트(scrambling bits)에 기초하여 변환된 후에, 상기 메모리에 기록됨 - 와,

상기 유체 카트리지를 인증하기 위해 상기 메모리에 액세스 가능하게 하는 상기 유체 카트리지의 메모리 인터페이스를 포함하는

장치.

#### 청구항 2

제 1 항에 있어서,

상기 복수의 순차적 비트는 재귀적으로(recursively) 변환되는

장치.

#### 청구항 3

제 1 항에 있어서,

상기 복수의 순차적 비트는 변환에서 제외되는 정적 비트(static bits)를 더 포함하는

장치.

#### 청구항 4

제 3 항에 있어서,

상기 정적 비트는 상기 스크램블링 비트를 포함하는

장치.

#### 청구항 5

제 3 항에 있어서,

상기 복수의 순차적 비트는 상기 정적 비트에 더 기초하여 변환되는

장치.

#### 청구항 6

제 1 항에 있어서,

상기 메모리는 EPROM 메모리 디바이스를 포함하는

장치.

#### 청구항 7

복수의 순차적 인증 비트를 포함하는 유체 카트리지 메모리의 메모리 데이터 구조를 포함하되,

상기 복수의 순차적 인증 비트가 상기 메모리 데이터 구조에 기록되기 전에, 상기 복수의 순차적 인증 비트는 상기 복수의 순차적 인증 비트의 스크램블링 비트에 기초하여 변환되는

장치.

#### 청구항 8

제 7 항에 있어서,

상기 복수의 순차적 인증 비트는 변환에서 제외되는 정적 비트를 포함하는

장치.

#### 청구항 9

제 8 항에 있어서,

상기 정적 비트는 상기 메모리의 정의된 어드레스 위치에 있는

장치.

#### 청구항 10

제 8 항에 있어서,

상기 복수의 순차적 인증 비트는 상기 정적 비트에 더 기초하여 변환되는

장치.

#### 청구항 11

제 7 항에 있어서,

상기 유체 카트리지 메모리는 유체 카트리지의 프린트헤드 회로 어셈블리에 통합되는

장치.

#### 청구항 12

제 7 항에 있어서,

상기 유체 카트리지 메모리는 EPROM 디바이스를 포함하는

장치.

#### 청구항 13

복수의 순차적 비트를 포함하는 유체 카트리지의 EPROM 메모리 디바이스 - 상기 복수의 순차적 비트는, 상기 복

수의 순차적 비트가 상기 복수의 순차적 비트의 스크램블링 비트에 기초하여 변환된 후에, 상기 메모리에 기록됨 - 와,

상기 유체 카트리지를 인증하기 위해 상기 EPROM 메모리 디바이스에 액세스 가능하게 하는 상기 유체 카트리지의 전기 접속부와,

상기 EPROM 메모리 디바이스와 상기 전기 접속부에 전기적으로 연결된 프린트헤드 회로 어셈블리를 포함하는 장치.

**청구항 14**

제 13 항에 있어서,

상기 EPROM 메모리 디바이스는 상기 프린트헤드 회로 어셈블리에 통합되는 장치.

**청구항 15**

제 13 항에 있어서,

상기 프린트헤드 회로 어셈블리는 프린트헤드 다이를 포함하는 장치.

**발명의 설명**

**배경 기술**

[0001]

잉크 기반 이미징 디바이스는 잉크를 사용하여 매체에 이미지를 인쇄한다. 일반적으로, 유체 카트리지를(예를 들어, 잉크 카트리지를, 카트리지)에 포함된 잉크는 시간이 지남에 따라 소진되고 결국 카트리지는 이미징 디바이스의 동작을 계속하기 위해 교체되어야 한다. 이미징 디바이스(예컨대, 프린터, 스캐너, 복사기 등)에 카트리지를 설치하거나 교체하는 경우에 이미징 디바이스를 사용하기 전에 카트리지의 인증 및/또는 검증이 필요할 수 있다. 일부 경우에는, 제어되지 않은 환경(예를 들어, 소비자 환경)에서 카트리지를 검증하기 위한 신뢰성있는 인증 및/또는 검증 디바이스를 갖는 것이 유리하다.

**도면의 간단한 설명**

[0002]

도 1은 본 명세서에 개시된 예시가 구현될 수 있는 예시적인 유체 카트리지이다.

도 2는 본 개시의 교시에 따른 카트리지 인증 시스템의 개략적 표현을 도시한다.

도 3은 도 2의 카트리지 인증 시스템의 이미징 디바이스의 예시적인 카트리지 인증부의 일 예시적인 구현예의 개략적인 표현을 도시한다.

도 4는 본 명세서에 개시된 예시에서 사용될 수 있는 비트 시퀀스의 암호와 단계가 조작되는 예시적인 비트 어레이를 도시한다.

도 5는 도 2의 예시적인 카트리지 인증 시스템을 구현하도록 실행될 수 있는 예시적인 머신 판독가능 명령어를 나타내는 흐름도이다.

도 6은 도 2의 예시적인 카트리지 인증 시스템의 예시적인 카트리지를 구현하도록 실행될 수 있는 예시적인 머신 판독가능 명령어를 나타내는 다른 흐름도이다.

도 7은 도 5 및 도 6의 예시적인 머신 판독가능 명령어를 실행할 수 있는 예시적인 프로세스 플랫폼의 블록도이다.

도면은 일정한 비율로 도시되지 않는다. 가능하면, 동일하거나 유사한 부분을 지칭하기 위해 도면 전체 및 점

부된 설명에 걸쳐 동일한 참조 번호가 사용될 것이다.

**발명을 실시하기 위한 구체적인 내용**

- [0003] 이미징 디바이스에 사용되는 유체 카트리지의 암호화가 본 명세서에 개시된다. 일반적으로, 이미징 디바이스(예를 들어, 프린터, 스캐너, 복사기 등)에 사용되는 유체 카트리지(예를 들어, 잉크 카트리지, 카트리지 등)는 유체 카트리지에 포함된 잉크의 고갈로 인해 교체가 필요하다. 일부 알려진 카트리는 이미징 디바이스에 의해 이들 카트리지를 검증하기 위한 비트 시퀀스를 갖는 판독 전용 메모리를 갖는다. 이러한 알려진 예시에서, 카트리의 전체 비트 시퀀스 또는 비트 시퀀스의 일부는 카트리를 인증하기 위해 이미징 디바이스에 의해 사전결정된 기준에 대해 허용된 값을 포함하는 것으로 검증된다. 이러한 카트리를 역설계(reverse-engineer)하기 위해서, 제삼자가 복수의 카트리를 샘플링하여 비트 시퀀스의 어떤 어드레스 또는 부분이 인증되지 않은 카트리를 생성하도록 샘플링된 복수의 카트리와 일치하지 않는지를 판정할 수 있다.
- [0004] 본 명세서에 개시된 예시는 인증되지 않은 카트리의 사용 및/또는 배포를 방지하기 위해 카트리의 역설계를 방지하기 위한 암호화 및/또는 암호 해독 기술을 제공한다. 특히, 본 명세서에 개시된 예시는 복수의 순차적인 비트의 스크램블링 비트(scrambling bits)에 기초하여 카트리의 메모리에 대응하는(예컨대, 메모리 뱅크로부터 복사되거나 메모리 뱅크에 기록된) 복수의 순차적 비트(예컨대, 비트 시퀀스, 복수의 비트 등)를 변환한다. 일부 예시에서, 스크램블링 비트는 복수의 순차적 비트 중 비정적 비트(non-static bits)(예컨대, 재배열, 변환, 쉬프트 등이 허용된 비트)를 어떻게 쉬프트하고/쉬프트하거나 재배열할지에 대해 정의하기 위해 사용되는 복수의 순차적 비트의 사전결정되거나 알려진 어드레스에서의 비트이다. 일부 예시에서, 복수의 순차적 비트 중 정적 비트는 동일하게 유지되고/유지되거나 이동, 시프트 및/또는 재순차배열(re-sequence)되지 않는다. 일부 예시에서, 정적 비트 및/또는 정적 비트의 일부는 스크램블링 비트를 정의한다. 본 명세서에 개시된 예시는 카트리가 역설계되는 것을 방지하는 다른 보안, 검증 및/또는 암호화 방법과 함께 사용될 수 있다.
- [0005] 본 명세서에 개시된 예시는 카트리의 인증 메모리를 위한 복수의 순차적 비트의 스크램블링 비트를 결정하고, 프로세서를 사용하여 스크램블링 비트에 기초하여 복수의 순차적 비트를 변환하고, 변환된 복수의 순차적 비트를 인증 메모리에 저장함으로써 프로그래밍되는 카트리의 인증 메모리를 구현한다. 일부 예시에서, 복수의 순차적 비트를 변환하는 것은 스크램블링 비트에 기초하여 복수의 순차적 비트 중 비정적 비트를 시프팅하는 것을 포함한다. 일부 예시에서, 스크램블링 비트는 변환에서 제외된다. 일부 예시에서, 스크램블링 비트는 인증 메모리의 사전정의된 메모리 위치에 있다. 일부 예시에서, 복수의 순차 비트를 변환하는 것은 스크램블링 비트로부터 결정된 알고리즘에 기초한다.
- [0006] 본 명세서에서 사용되는 바와 같이, 비트 및/또는 비트 시퀀스에 대한 "변환" 또는 "이동"이라는 용어는 메모리 내의 비트를 이동 및/또는 시프트하거나 RAM(random-access memory) 내의 비트 시퀀스의 사본의 비트를 이동하는 것을 지칭할 수 있다. 비트 시퀀스는, 예를 들어, 이미징 디바이스의 ROM(read-only memory) 또는 소거가능 프로그래머블 판독 전용 메모리(EPROM, EPROM 디바이스 등)로부터 복사되거나 수신될 수 있다. "이동" 또는 "시프팅"은 또한 비트 또는 비트 시퀀스를 하나의 어드레스 또는 어레이 위치로부터 어레이의 다른 어드레스로 복사하는 것을 지칭할 수도 있다. 본 명세서에서 사용된 바와 같이, "재귀적으로(recursively)"라는 용어는 비트 시퀀스의 끝부분 사이에서 이동하는 것을 지칭한다. 예를 들어, 1 차원 어레이(예를 들어, 비트 시퀀스)의 끝부분 또는 그 근처로부터 쉬프트되거나 이동된 비트는 1 차원 어레이의 시작부분으로 이동될 수 있다.
- [0007] 도 1은 본 명세서에 개시된 예시가 구현될 수 있는 예시적인 유체 카트리지(예를 들어, 잉크 카트리지, 인쇄 카트리지 등)(100)이다. 예시적인 카트리지(100)는 유체 저장조(110), 노즐을 포함하는 다이(120), 가요성 케이블(예를 들어, 가요성 인쇄 회로 기판)(130), 도전성 패드(140) 및 메모리 칩(예를 들어, 메모리, 메모리 디바이스, 메모리 뱅크 등)(150)을 포함한다. 도시된 예시의 가요성 케이블(130)은 카트리지(100)의 측면에 결합(예를 들어, 접착 및/또는 장착)되고 메모리 칩(150), 다이(120) 및 도전성 패드(140)를 전기적으로 결합하는 트레이스 및/또는 메모리 인터페이스(예를 들어, 메모리 인터페이스 회로 등)를 포함한다. 일부 예시에서, 메모리 칩(150) 및/또는 메모리 칩(150)과 연관된 기능이 다이(120) 및/또는 프린트헤드 회로 어셈블리와 통합된다.
- [0008] 도시된 예시의 메모리 칩(150)은 인증 비트 시퀀스를 포함한다. 본 예시에서, 메모리 칩(150)은 또한 카트리의 유형, 카트리지에 포함된 유체의 유형, 유체 저장조(110) 내의 유체의 양의 추정치, 교정 데이터, 에러 정보, 유지 보수 정보 및/또는 다른 데이터를 포함하는 다양한 다른 정보를 포함할 수 있다.
- [0009] 도 2는 본 개시의 교시에 따른 카트리지 인증 시스템(200)의 개략도를 도시한다. 본 예시에서, 카트리지 인증

시스템(200)은 도 1에 관해 전술한 카트리지(100)와 통신 가능하게 결합된 이미징 디바이스(205)(예를 들어, 프린터)를 갖는다. 도시된 예시의 이미징 디바이스(205)는 프로세서(225), 데이터 저장 디바이스(230) 및 프로세서(225)에 의해 구현될 수 있는 카트리지 인증부(240)를 갖는 컨트롤러(220)를 포함한다. 이미징 디바이스(205)는 데이터 저장 디바이스(230)에 저장될 수 있는 이미징 디바이스 펌웨어(245)와 카트리지 인터페이스(250)를 포함한다. 도시된 예시의 펌웨어(245)는 프로세서(225)에 의해 실행되고, 프로세서(225)로 하여금 카트리지(100)의 메모리 칩(150)에 액세스하게 하고/하거나 프로세서(225)가 카트리지(100)의 메모리 칩(150)에 대한 액세스를 개시한다. 본 예시에서, 이미징 디바이스(205)에 결합된 전력 공급 유닛(275)은 이미징 디바이스(205) 및 카트리지(100) 모두에 전력을 제공한다.

[0010] 동작 시에, 예시적인 카트리지(100)는 예시적인 이미징 디바이스(205)의 캐리지 크래들(carriage cradle)에 설치된다. 도시된 예시의 이미징 디바이스(205)는 카트리지(100)를 인증하고/인증하거나 카트리지 인터페이스(250)를 통해 카트리지(100)를 제어하도록 카트리지(100)와 통신가능하게 결합된다. 도시된 예시의 카트리지 인터페이스(250)는, 이미징 디바이스(205)를 카트리지(100)와 통신하게 하고, 카트리지(100)의 전기적 기능 또는 잉크 증착 기능을 제어하고/제어하거나, 카트리지(100)의 진위(authenticity)를 검증하기 위해서 카트리지(100)가 이미징 디바이스(205)의 크래들에 설치될 경우 도 1과 관련하여 상기 도시된 전도성 패드(140)와 접촉 상태에 있는 이미징 디바이스(205)의 전기 접촉부로 구성된다. 카트리지(100)를 인증하기 위해, 이미징 디바이스(205)는, 예를 들어, 메모리 칩(150)으로부터 인증 비트 시퀀스(예컨대, 어레이, 비트 어레이 등)를 수신하도록 카트리지 인터페이스(250)를 통해 메모리 칩(150)의 메모리 어드레스에 액세스한다. 인증 비트 시퀀스는 256 비트 시퀀스 또는 임의의 다른 적절한 크기(16 비트, 1024 비트 등)일 수 있다. 일부 예시에서, 인증 비트 시퀀스는 다차원 어레이일 수 있다. 일부 예시에서, 전체 인증 비트 시퀀스는 단일 단계에서 판독된다.

[0011] 본 예시에서, 프로세서(225)는 이미징 디바이스 펌웨어(245)에 의해 제공된 명령어에 기초하여 카트리지 인터페이스(250)를 통해 메모리 칩(150)으로부터 인증 비트 시퀀스를 수신하고, 인증 비트 시퀀스를 카트리지 인증부(240)에 전달하고, 카트리지 인증부(240)는 카트리지(100)의 진위를 검증하기 위해 인증 비트 시퀀스를 변환(예컨대, 쉬프트, 재배열, 스캔블링, 재할당, 전치(transpose) 등)한다. 특히, 도시된 예시의 카트리지 인증부(240)는 비트 시퀀스의 사전결정된 및/또는 알려진 어드레스에서 인증 비트 시퀀스의 부분에 액세스함으로써 스캔블링 비트(예컨대, 스캔블링 비트 값)를 결정한다. 일부 예시에서, 스캔블링 비트(예를 들어, 스캔블링 비트의 값)는 인증 비트 시퀀스의 비트를 시프트하기 위한 복수의 어드레스 위치를 카트리지 인증부(240) 및/또는 프로세서(225)에 지시한다. 일부 예시에서, 스캔블링 비트에 의해 및/또는 스캔블링 비트 사이에 정의된 산술 연산이 카트리지 인증부(240)가 인증 비트 시퀀스를 어떻게 변환할지를 지시 및/또는 정의한다. 일부 예시에서, 카트리지 인증부(240)는 특정 스캔블링 비트 값 및/또는 스캔블링 비트 값 사이의 관계(예를 들어, 합계 등)에 의해 개시되는 사전정의된 변환 함수를 갖는다. 특히, 스캔블링 비트 값은 인증 비트 시퀀스를 변환하기 위해 사전정의된 변환 함수를 선택하기 위해 테이블과 비교될 수 있다. 일부 예시에서, 인증 비트 시퀀스의 비트는 인증 비트 시퀀스를 변환하기 위한 복수의 변환 사이클을 정의한다.

[0012] 본 예시에서, 비트 시퀀스를 변환한 후, 카트리지 인증부(240)는 변환된 비트 시퀀스를 검증한다. 이러한 검증은 알려진 값, 사전 결정 기준, 체크섬, 수학 연산 또는 수열의 임의의 다른 적절한 검증에 대해 변환된 비트 시퀀스를 검증함으로써 발생할 수 있다. 본 예시에서, 일단 변환된 비트 시퀀스가 인증되면, 카트리지 인증부(240)는 프로세서(225) 및/또는 카트리지 인터페이스(250)에 신호를 제공하여 카트리지 인터페이스(250)를 통해 컨트롤러(220)와 카트리지(100) 사이에 사용 및/또는 통신을 가능하게 한다. 일부 예시에서, 컨트롤러(220)는 카트리지(100)를 이미징 디바이스(205)와 함께 사용할 수 있도록 카트리지(100)에 인증 신호를 송신한다.

[0013] 도 3은 도 2의 이미징 디바이스(205)의 예시적인 카트리지 인증부(240)의 일 예시적인 구현예의 개략도를 도시한다. 도시된 예시의 카트리지 인증부(240)는 비트 시퀀스 컨트롤러(306), 스캔블링 비트 모듈(308), 카트리지 메모리 인터페이스(310), 비트 시퀀스 변환 모듈(312) 및 변환된 비트 시퀀스 분석기(314)를 포함한다. 도시된 예시의 비트 시퀀스 컨트롤러(306)는 카트리지(예컨대, 카트리지(100))의 메모리(예를 들어, 메모리, 메모리 데이터 구조 등)로부터 인증 비트 시퀀스를 검색하고 인증 비트 시퀀스를 비트 시퀀스 변환 모듈(312)에 제공하기 위해 카트리지 메모리 인터페이스(310)에 신호를 전송한다. 본 예시에서, 비트 시퀀스 컨트롤러(306)는 인증 비트 시퀀스의 스캔블링 비트의 메모리 위치 및/또는 인증 비트 시퀀스의 스캔블링 비트(예를 들어, 스캔블링 비트 값, 변환된 스캔블링 비트 값 등)와 같은 데이터를 비트 시퀀스 변환 모듈(312)에 전송하여 비트 시퀀스 변환 모듈(312)이 스캔블링 비트에 기초하여 카트리지 메모리 인터페이스(310)로부터 수신된 인증 비트 시퀀스를 변환하도록 스캔블링 비트 모듈(308)을 트리거링한다. 일부 예시에서, 인증 비트 시퀀스의 변환은 인증 비트 시퀀스의 정적 비트에 추가로 기초한다. 일부 예시에서, 스캔블링 비트는 변환 프

로세스로부터 제외된다.

- [0014] 비트 시퀀스 변환 모듈(312)이 인증 비트 시퀀스를 변환한 후에, 변환된 인증 비트 시퀀스는 변환된 비트 시퀀스 분석기(314)에 제공되고, 변환된 비트 시퀀스 분석기(314)는 변환된 인증 비트 시퀀스를 검증한다. 일부 예시에서, 변환된 비트 시퀀스 분석기는 변환된 비트 시퀀스를 검증하고/검증하거나 수신된 변환된 비트 시퀀스를 알려진 변환된 비트 시퀀스의 테이블과 비교하는 것에 기초하여 커맨드를 해석한다.
- [0015] 도 4는 일련의 비트 암호화 단계의 시퀀스로 조작되는 예시적인 비트 어레이(400)를 도시한다. 예시적인 비트 어레이(400)는 4 비트 바이너리 시퀀스로 세분된다. 도시된 예시의 비트 어레이(400)의 사전정의된(예를 들어, 알려진) 어드레스 위치에 정적 비트(예를 들어, 서브세트, 부분, 시퀀스 등)(402 및 404)를 갖는다. 일부 예시에서, 정적 비트(402 및 404)는 예시적인 비트 어레이(400) 전체에 걸쳐 랜덤하게 분포된다. 본 예시에서, 예시적인 비트 시퀀스의 나머지 비트는 비정적(예를 들어, 이동가능, 기록가능 등)이다. 특히, 예시적인 비트 어레이는 비 정적 비트 시퀀스(예를 들어, 부분)(406, 408, 410, 412, 414 및 416)를 갖는다.
- [0016] 본 예시에서, 비트 어레이(400)의 사전정의된 어드레스에 위치할 수 있는 예시적인 비트 어레이(400)의 스크램블링 비트 및/또는 스크램블링 비트 사이의 관계는, 예시적인 비트 어레이(400)를 변환하기 위한 변환 방법 또는 명령어를 정의하고/정의하거나 지시한다. 본 예시에서, 스크램블링 비트는 두 개의 메모리 위치의 각각의 비정적 비트의 시프트를 정의하는 정적 비트(402, 404)이다. 특히, 정적 비트(402)와 정적 비트(404)의 합계의 바이너리 값은 2의 값과 동일하며, 이는, 예를 들어, 예시적인 비트 어레이(400)의 비정적 비트 각각을 시프트시키는 어드레스 위치의 수를 정의하는데 사용된다. 본 예시에서, 스크램블링 비트는 정적 비트(402 및 404)와 동일하고, 시프트 및/또는 이동으로부터 제외된다. 그러나, 일부 예시에서, 적어도 하나의 비정적 비트는 스크램블링 비트를 포함하고, 스크램블링 비트는 이동 및/또는 시프트될 수 있다. 도시된 스크램블링 비트의 합이 본 예시에서 사용되었지만, 정적 비트들 사이 및/또는 정적 비트와 비정적 비트 사이의 더욱 복잡한 동작(예를 들어, 다단계 산술 연산, 상이한 메모리 위치 및/또는 어드레스 간의 다양한 동작 등)이 변환 패턴을 정의하는데 사용될 수 있다.
- [0017] 예시적인 비트 어레이(400)의 비트 시퀀스(예를 들어, 부분)(406)는 정적 비트(402 및 404)의 합에 의해 지시되고 화살표(418)로 표시된 바와 같이 두 개의 어드레스 위치만큼 시프트될 것이다. 그러나, 정적 비트(404)가 정적 위치로 지정되었기 때문에, 비트 시퀀스(406)는 정적 비트(404)를 덮어쓰기 하지 않는다. 대신에, 비트 시퀀스(406)는 화살표(420)로 표시된 바와 같이 추가적인 두 개의 어드레스만큼 시프트된다. 비트 시퀀스(408)는 비트 시퀀스(408)로부터 두 개의 메모리 어드레스만큼 떨어진 위치에 정적 비트를 갖지 않기 때문에, 비트 시퀀스(408)는 화살표(422)에 표시된 바와 같이 이동된다. 마찬가지로, 비트 시퀀스(410)는 화살표(424)로 표시된 바와 같이 두 개의 어드레스 위치만큼 이동되고, 비트 시퀀스(412)는 또한 화살표(422)로 표시된 바와 같이 이동된다. 본 예시에서, 비트 시퀀스(414 및 416)는 예시적인 비트 어레이(400)의 후속 부분(예를 들어, 정적 비트(402 및 404)에 의해 정의된 바와 같은 두 개의 메모리 어드레스)으로 이동된다.
- [0018] 변환 프로세스 동안 비트 시퀀스(예를 들어, 부분)(406, 408, 410, 412, 414 및 416)가 대응하는 메모리 어드레스로 시프트되므로, 화살표(428 및 430)는 이후 부분(예를 들어, 비트 어레이(400)의 끝부분 또는 그 근처)으로부터의 비트 시퀀스를 표시하고, 이러한 부분은 정적 비트(402) 이후의 메모리 어드레스로 이동된(예컨대, 재귀적으로 이동된) 인증 비트 시퀀스의 "XXXX"로 표시된 부분이다.
- [0019] 일부 예시에서, 정적 비트(402, 404)는 정보를 이미징 디바이스에 전달하기 위해 및/또는 제조 또는 동작 프로세스(예를 들어, 로트 코드(lot codes), 일련 번호 등과 같은 제조 코드를 나타내는)에 사용된다. 도 4의 예시는 하나의 방향으로의 시프트를 도시하지만, 시프트는, 예를 들어, 반대 방향으로 발생할 수 있거나, 또는 일부 비트는 다른 비트와 다른 방향으로 시프트될 수 있다. 일부 예시에서, 상이한 비트는 스크램블링 비트, 정적 비트 및/또는 정적 비트 위치에 의해 정의될 수 있는 상이한 양의 어드레스 위치만큼 시프트된다. 전술한 예시는 1 차원(1-D) 어레이와 관련되지만, 본 명세서에 개시된 예시는 다차원 어레이에 적용될 수 있다. 부가적으로 또는 대안적으로, 스크램블링 비트는 다차원 어레이에 대해 하나 이상의 방향 및/또는 차원에서 시프팅을 정의할 수 있다. 일부 예시에서, 비트의 변환 및/또는 재순차배열은, 예를 들어, 멀티 스레드 프로세서에 의해 수행될 수 있는 단일 단계에서 수행된다.
- [0020] 도 1의 카트리지 인증 시스템(200)을 구현하는 예시적인 방식이 도 5 및 도 6에 도시되며, 도 5 및 도 6에 도시된 하나 이상의 구성요소, 프로세스 및/또는 디바이스는 임의의 다른 방식으로 결합, 분할, 재배치, 생략, 삭제 및/또는 구현될 수 있다. 또한, 예시적인 이미징 디바이스(205), 예시적인 컨트롤러(220), 예시적인 프로세서(225), 예시적인 데이터 저장 디바이스(230), 예시적인 카트리지 인증부(240), 예시적인 이미징 디바이스 펌웨어

어(245), 예시적인 카트리지 인터페이스(250), 예시적인 카트리지(100), 예시적인 메모리 칩(150), 예시적인 비트 시퀀스 컨트롤러(306), 예시적인 정적 비트 모듈(308), 예시적인 카트리지 메모리 인터페이스(310), 예시적인 비트 시퀀스 변환 모듈(312), 예시적인 변환된 비트 시퀀스 분석기(314) 및/또는 보다 일반적으로 도 2의 카트리지 인증 시스템(200)은 하드웨어, 소프트웨어, 펌웨어 및/또는 하드웨어, 소프트웨어 및/또는 펌웨어의 임의의 조합에 의해 구현될 수 있다. 따라서, 예시적인 이미징 디바이스(205), 예시적인 컨트롤러(220), 예시적인 프로세서(225), 예시적인 데이터 저장 디바이스(230), 예시적인 카트리지 인증부(240), 예시적인 이미징 디바이스 펌웨어(245), 예시적인 카트리지 인터페이스(250), 예시적인 카트리지(100), 예시적인 메모리 칩(150), 예시적인 비트 시퀀스 컨트롤러(306), 예시적인 정적 비트 모듈(308), 예시적인 카트리지 메모리 인터페이스(310), 예시적인 비트 시퀀스 변환 모듈(312), 예시적인 변환된 비트 시퀀스 분석기(314) 및/또는 보다 일반적으로 도 2의 카트리지 인증 시스템(200)은 하나 이상의 아날로그 또는 디지털 회로, 논리 회로, 프로그램 가능 프로세서, 주문형 집적 회로(ASIC), 프로그램가능 논리 디바이스(PLD) 및/또는 FPLD(field programmable logic device)에 의해 구현될 수 있다.

[0021] 임의의 장치 또는 시스템이 순수하게 소프트웨어 및/또는 펌웨어 구현을 포함하도록 본 특허를 청구하는 경우에, 예시적인 이미징 디바이스(205), 예시적인 컨트롤러(220), 예시적인 프로세서(225), 예시적인 데이터 저장 디바이스(230), 예시적인 카트리지 인증부(240), 예시적인 이미징 디바이스 펌웨어(245), 예시적인 카트리지 인터페이스(250), 예시적인 카트리지(100), 예시적인 메모리 칩(150), 예시적인 비트 시퀀스 컨트롤러(306), 예시적인 정적 비트 모듈(308), 예시적인 카트리지 메모리 인터페이스(310), 예시적인 비트 시퀀스 변환 모듈(312) 및/또는 예시적인 변환된 비트 시퀀스 분석기(314) 중 적어도 하나는 소프트웨어 및/또는 펌웨어를 저장하는 메모리, DVD(digital versatile disk), CD(compact disk), 블루레이 디스크 등과 같은 유형의(tangible) 컴퓨터 판독가능 저장 디바이스 또는 저장 디스크를 포함하도록 명시적으로 정의된다. 또한, 도 2의 예시적인 카트리지 인증 시스템(200)은 도 5 및 도 6에 도시된 것에 더해 또는 도 5 및 도 6에 도시된 것 대신에 하나 이상의 구성요소, 프로세스 및/또는 디바이스를 포함할 수 있고/있거나 임의의 또는 모든 도시된 구성요소, 프로세스 및/또는 디바이스 중 둘 이상을 포함할 수 있다.

[0022] 도 2의 카트리지 인증 시스템(200)을 구현하기 위한 예시적인 머신 판독가능 명령어를 나타내는 흐름도가 도 5 및 도 6에 도시된다. 본 예시에서, 머신 판독가능 명령어는 도 7과 관련하여 후술되는 예시적인 프로세서 플랫폼(700)에 도시된 프로세서(712)와 같은 프로세서에 의한 실행을 위한 프로그램을 포함한다. 프로그램은 CD-ROM, 플로피 디스크, 하드 드라이브, DVD(digital versatile disk), 블루 레이 디스크, 또는 프로세서(712)와 연관된 메모리와 같은 유형의 컴퓨터 판독가능 저장 매체에 저장된 소프트웨어로 실시될 수 있으나, 전체 프로그램 및/또는 그 일부가 대안적으로 프로세서(712)가 아닌 디바이스에 의해 실행되고/실행되거나 펌웨어 또는 전용 하드웨어에서 실시될 수도 있다. 또한, 예시적인 프로그램이 도 5 및 도 6에 도시된 흐름도를 참조하여 설명되지만, 예시적인 카트리지 인증 시스템(200)을 구현하는 많은 다른 방법들이 대안적으로 사용될 수 있다. 예를 들어, 블록들의 실행 순서는 변경될 수 있고/있거나 설명된 블록들 중 일부는 변경, 제거 또는 결합될 수 있다.

[0023] 전술한 바와 같이, 도 5 및 도 6의 예시적인 프로세스는 정보가 임의의 지속기간 동안(예컨대, 확장된 기간 동안, 영구적으로, 잠시 동안, 일시적인 버퍼링 동안 및/또는 정보의 캐싱 동안) 저장되는 하드 디스크 드라이브, 플래시 메모리, ROM(read-only memory), CD(compact disk), DVD(digital versatile disk), 캐시, RAM(random-access memory) 및/또는 임의의 다른 저장 디바이스 또는 저장 디스크 등과 같은 유형의 컴퓨터 판독가능 저장 매체에 저장된 코딩된 명령어(예를 들어, 컴퓨터 및/또는 머신 판독가능 명령어)를 사용하여 구현될 수 있다. 본 명세서에 사용된 바와 같이, 유형의 컴퓨터 판독가능 저장 매체라는 용어는 임의의 유형의 컴퓨터 판독가능 저장 디바이스 및/또는 저장 디스크를 포함하고 전과 신호를 배제하고 전송 매체를 배제하도록 명시적으로 정의된다. 본 명세서에 사용된 바와 같이, "유형의 컴퓨터 판독가능 저장 매체" 및 "유형의 머신 판독가능 저장 매체"는 상호교환적으로 사용된다. 부가적으로 또는 대안적으로, 도 5 및 도 6의 예시적인 프로세스는 정보가 임의의 지속기간 동안(예컨대, 확장된 기간 동안, 영구적으로, 잠시 동안, 일시적인 버퍼링 동안 및/또는 정보의 캐싱 동안) 저장되는 하드 디스크 드라이브, 플래시 메모리, ROM, CD, DVD, 캐시, RAM 및/또는 임의의 다른 저장 디바이스 또는 저장 디스크와 같은 비일시적 컴퓨터 및/또는 머신 판독가능 매체에 저장된 코딩된 명령어(예를 들어, 컴퓨터 및/또는 머신 판독가능 명령어)를 사용하여 구현될 수 있다. 본 명세서에 사용된 바와 같이, 비일시적 컴퓨터 판독가능 매체라는 용어는 임의의 유형의 컴퓨터 판독가능 저장 디바이스 및/또는 저장 디스크를 포함하고, 전과 신호를 배제하고 전송 매체를 배제하도록 명시적으로 정의된다. 본 명세서에 사용된 바와 같이, "적어도"라는 문구가 청구 범위의 전문에서 전이 어로 사용되는 경우, "포함하는"이라는 용어가 개방된

(open-ended) 것과 동일한 방식으로 개방된다.

- [0024] 도 5는 도 2의 예시적인 카트리지 인증 시스템을 구현하도록 실행될 수 있는 예시적인 머신 판독가능 명령어를 나타내는 흐름도이다. 도 5의 프로그램은 인증 메모리(예를 들어, 메모리 칩(150))를 갖는 카트리지(예를 들어, 카트리지(100))가 이미징 디바이스(예를 들어, 이미징 디바이스(205))에 삽입되는 블록(500)에서 시작한다. 본 예시에서, 카트리지의 삽입은 이미징 디바이스의 컨트롤러(예를 들어, 컨트롤러(220))의 인터페이스(예를 들어, 카트리지 인증부(240)의 카트리지 메모리 인터페이스(310))가 카트리지의 인증 메모리의 인증 비트 시퀀스를 판독 및/또는 수신하도록 트리거링한다(블록(520)). 본 예시에서, 이미징 디바이스의 컨트롤러는 인증 비트 시퀀스의 알려진 어드레스 위치에 액세스함으로써 인증 비트 시퀀스의 스크램블링 비트를 결정(예를 들어, 스크램블링 비트의 값을 결정)한다(블록 506). 본 예시에서, 스크램블링 비트 어드레스 위치는 도 3과 관련하여 기술한 스크램블링 비트 모듈(308)과 같은 스크램블링 비트 모듈에 의해 정의된다.
- [0025] 다음으로, 카트리지 인증부의 비트 시퀀스 변환 모듈(예를 들어, 비트 시퀀스 변환 모듈)은 스크램블링 비트, 스크램블링 비트의 수학적 연산 및/또는 스크램블링 비트와 인증 비트 시퀀스 사이의 수학적 연산 및/또는 임의의 다른 적절한 변환 및/또는 스크램블링 알고리즘에 기초하여 인증 비트 시퀀스를 변환(예를 들어, 재배치, 이동, 전치 등)한다(블록 508). 일부 예시에서, 스크램블링 비트는 이러한 변환 프로세스에서 제외된다. 부가적으로 또는 대안적으로, 스크램블링 비트는 각 비트가 몇 개의 어드레스 위치로 쉬프트되어야 하는지 및/또는 하나 이상의 비트가 이동되어야 하는 비트 시퀀스의 방향을 정의 또는 지시한다. 일부 예시에서, 인증 비트 시퀀스의 변환은 이동 및/또는 재할당 비트의 다수의 사이클(예를 들어, 여러 번 반복되는 재귀 프로세스)을 통해 발생할 수 있다. 일부 예시에서, 스크램블링 비트, 스크램블링 비트의 값 및/또는 스크램블링 비트의 수학적 연산으로부터 생성된 값은 테이블과 비교되어 인증 비트 시퀀스에 적용될 변환 알고리즘을 결정한다. 일부 예시에서, 변환은 또한 인증 비트 시퀀스의 정적 비트에 기초한다.
- [0026] 그 후, 변환된 인증 비트 시퀀스는, 예를 들어, 카트리지가 정품인지를 판정하기 위해 검증된다(블록 510). 기술한 바와 같이, 이러한 검증은 기밀값, 체크섬 및/또는 임의의 다른 적절한 검증 프로세스인 변환된 비트 시퀀스를 통해 발생할 수 있다. 카트리지가 정품인 것으로 판정되면(블록 512), 카트리지는 이미징 디바이스와 함께 사용하도록 인가되고(블록 514), 프로세스는 종료된다(블록 516). 그러나, 카트리지가 정품이 아니라고 판정되면(블록 512), 카트리지가 재삽입될 때까지 또는 다른 카트리지가 이미징 디바이스에 삽입될 때까지 프로세스가 종료된다(블록 516).
- [0027] 도 5의 예시는 카트리지를 검증하는 것과 관련하여 설명되었지만, 예시적인 프로세스 및/또는 예시적인 프로세스의 일부는 또한 카트리지를 암호화하는데(예를 들어, 변환된 인증 비트 시퀀스를 카트리지의 메모리에 기록하기 위해) 사용될 수 있다. 대안적으로, 도 5의 프로세스 중 일부는 다른 목적으로 역전 및/또는 재정렬될 수 있다.
- [0028] 도 6은 도 2의 카트리지 인증 시스템(200)의 예시적인 카트리지(100)를 구현하기 위해 실행될 수 있는 예시적인 머신 판독가능 명령어를 나타내는 다른 흐름도이다. 본 예시에서 카트리지는 제삼자가 카트리지를 역설계하는 것을 방지하고 하고 후에 카트리지를 이미징 디바이스로 검증할 수 있도록 인증 비트 시퀀스로 프로그래밍 및/또는 인코딩된다. 도 6의 프로그램은, 예를 들어, 카트리지 (예컨대, 카트리지(100))가 메모리(예를 들어, 메모리 칩 (150))에서 인증 비트 시퀀스를 프로그래밍, 인코딩 및/또는 수신하기 위해 준비되는 블록(600)에서 시작한다. 본 예시에서, 인증 비트 시퀀스의 스크램블링 비트가 결정 및/또는 정의된다(블록 602). 특히, 도시된 예시의 스크램블링 비트의 어드레스가 알려진다. 일부 예시에서, 인증 비트 시퀀스 및/또는 스크램블링 비트는 프로그래밍 컴퓨터 및/또는 디바이스에 의해 정의 및/또는 제공된다.
- [0029] 다음으로, 본 예시에서, 인증 비트 시퀀스는 결정되고/결정되거나 정의된 스크램블링 비트에 기초하여 변환된다(블록 604). 일부 예시에서, 변환은 또한 인증 비트 시퀀스의 정적 비트에 기초한다. 본 예시에서 정적 비트는 변환 프로세스에서 제외된다. 일부 예시에서, 스크램블링 비트는 정적 비트 위치에 있다. 일부 예시에서, 스크램블링 비트는 변환 프로세스로부터 배제되고, 카트리지를 검증하기 위해 사용되는 인증 비트 시퀀스 및/또는 인증 비트 시퀀스의 사본의 다른 변환 프로세스(예컨대, 카트리지를 검증하기 위해 수행되는 이후의 변환)를 통해 카트리지를 검증하는 이미징 디바이스에 의해 수행된다. 도시된 예시의 변환된 비트 시퀀스는 카트리지의 메모리에 기록(예를 들어, 인코딩)된다(블록 606). 특히, 프로그래밍 디바이스는 변환된 비트 시퀀스를 카트리지의 ROM 또는 EPROM에 기록한다. 카트리지의 메모리가 프로그래밍 디바이스를 통해 프로그래밍된 후, 프로세스는 종료된다(블록 608).
- [0030] 도 7은 도 2의 예시적인 카트리지 인증 시스템(200)을 구현하는 도 5 및 도 6의 명령어를 실행할 수 있는 예시

적인 프로세서 플랫폼(700)의 블록도이다. 프로세서 플랫폼(700)은, 예를 들어, 서버, 퍼스널 컴퓨터(PC), 카트리지 프로그래머, 프린터, 이미징 디바이스, 모바일 디바이스(예를 들어, 셀 폰, 스마트 폰, iPad™과 같은 태블릿, 개인용 디지털 보조 장치(PDA), 인터넷 기기, 디지털 비디오 레코더, 게임 콘솔, 개인용 비디오 레코더, 셋톱 박스, 또는 임의의 다른 유형의 컴퓨팅 디바이스일 수 있다.

[0031] 도시된 예시의 프로세서 플랫폼(700)은 프로세서(712)를 포함한다. 도시된 예시의 프로세서(712)는 하드웨어이다. 예를 들어, 프로세서(712)는 임의의 원하는 패밀리 또는 제조자로부터의 하나 이상의 집적 회로, 로직 회로, 마이크로프로세서 또는 컨트롤러에 의해 구현될 수 있다.

[0032] 도시된 예시의 프로세서(712)는 로컬 메모리(713)(예를 들어, 캐시)를 포함한다. 프로세서(712)는 예시적인 컨트롤러(220), 예시적인 카트리지 인증부(240), 예시적인 카트리지 인터페이스(250), 예시적인 비트 시퀀스 컨트롤러(306), 스크램블링 비트 모듈(308), 예시적인 카트리지 메모리 인터페이스(310), 예시적인 비트 시퀀스 변환 모듈(312) 및 예시적인 변환된 비트 시퀀스 분석기(314)를 포함한다. 도시된 예시의 프로세서(712)는 버스(718)를 통해 휘발성 메모리(714) 및 비휘발성 메모리(716)를 포함하는 메인 메모리와 통신한다. 휘발성 메모리(714)는 동기식 동적 랜덤 액세스 메모리(SDRAM), 동적 랜덤 액세스 메모리(DRAM), RAMBUS 동적 랜덤 액세스 메모리(RDRAM) 및/또는 임의의 다른 유형의 랜덤 액세스 메모리 디바이스에 의해 구현될 수 있다. 비휘발성 메모리(716)는 플래시 메모리 및/또는 임의의 다른 바람직한 유형의 메모리 디바이스에 의해 구현될 수 있다. 메인 메모리(714, 716)에 대한 액세스는 메모리 컨트롤러에 의해 제어된다.

[0033] 도시된 예시의 프로세서 플랫폼(700)은 또한 인터페이스 회로(720)를 포함한다. 인터페이스 회로(720)는 이더넷 인터페이스, 범용 직렬 버스(USB) 및/또는 PCI 익스프레스 인터페이스와 같은 임의의 유형의 인터페이스 표준으로 구현될 수 있다.

[0034] 도시된 예시에서, 하나 이상의 입력 디바이스(722)는 인터페이스 회로(720)에 접속된다. 입력 디바이스(들)(722)는 사용자가 프로세서(712)에 데이터 및 명령어를 입력하는 것을 허용한다. 입력 디바이스(들)는, 예를 들어, 오디오 센서, 마이크로폰, 카메라(사진 또는 비디오), 키보드, 버튼, 마우스, 터치스크린, 트랙 패드, 트랙볼, 아이소포인트(isopoint) 및/또는 음성 인식 시스템에 의해 구현될 수 있다.

[0035] 하나 이상의 출력 디바이스(724)는 또한 도시된 예시의 인터페이스 회로(720)에 접속된다. 출력 디바이스(724)는, 예를 들어, 디스플레이 디바이스(예를 들어, 발광 다이오드(LED), 유기 발광 다이오드(OLED), 액정 디스플레이, 음극선관 디스플레이(CRT), 터치스크린, 촉각 출력 디바이스, 프린터 및/또는 스피커)에 의해 구현될 수 있다. 따라서, 도시된 예시의 인터페이스 회로(720)는 그래픽 드라이버 카드, 그래픽 드라이버 칩 또는 그래픽 드라이버 프로세서를 포함한다.

[0036] 도시된 예시의 인터페이스 회로(720)는 또한 네트워크(726)(예컨대, 이더넷 접속부, 디지털 가입자 회선(DSL), 전화선, 동축 케이블, 셀룰러 전화 시스템 등)를 통해 외부 머신(예를 들어, 임의의 종류의 컴퓨팅 디바이스)과의 데이터 교환을 용이하게하기 위해 송신기, 수신기, 송수신기, 모뎀 및/또는 네트워크 인터페이스 카드와 같은 통신 장치를 포함한다.

[0037] 도시된 예시의 프로세서 플랫폼(700)은 또한 소프트웨어 및/또는 데이터를 저장하기 위한 하나 이상의 대용량 저장 장치(728)를 포함한다. 그러한 대용량 저장 장치(728)의 예시는 플로피 디스크 드라이브, 하드 드라이브 디스크, 콤팩트 디스크 드라이브, 블루레이 디스크 드라이브, RAID 시스템 및 DVD(digital versatile disk) 드라이브를 포함한다.

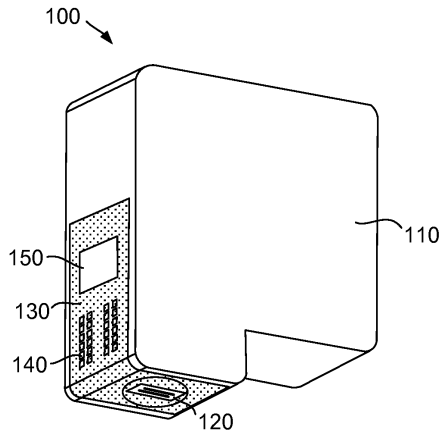
[0038] 도 5 및 도 6의 코딩된 명령어(732)는 대용량 저장 장치(728), 휘발성 메모리(714), 비휘발성 메모리(716) 및/또는 CD 또는 DVD와 같은 탈착가능한 유형의 컴퓨터 판독가능 저장 매체에 저장될 수 있다.

[0039] 전술한 내용으로부터, 상기 개시된 방법, 장치 및 제조품은 카트리지를 암호화하고/암호화하거나 이미징 디바이스로 검증하기 위해 카트리지를 인증하기 위해 카트리지의 인증 메모리를 해석하기 위한 암호화 기술을 제공함을 이해할 것이다. 본 명세서에 개시된 예시는 또한 인증 메모리의 일부로부터 스크램블링 비트를 정의함으로써 암호화 키의 전송 및/또는 업데이트에 대한 필요성을 감소시키고/감소시키거나 제거할 수 있다.

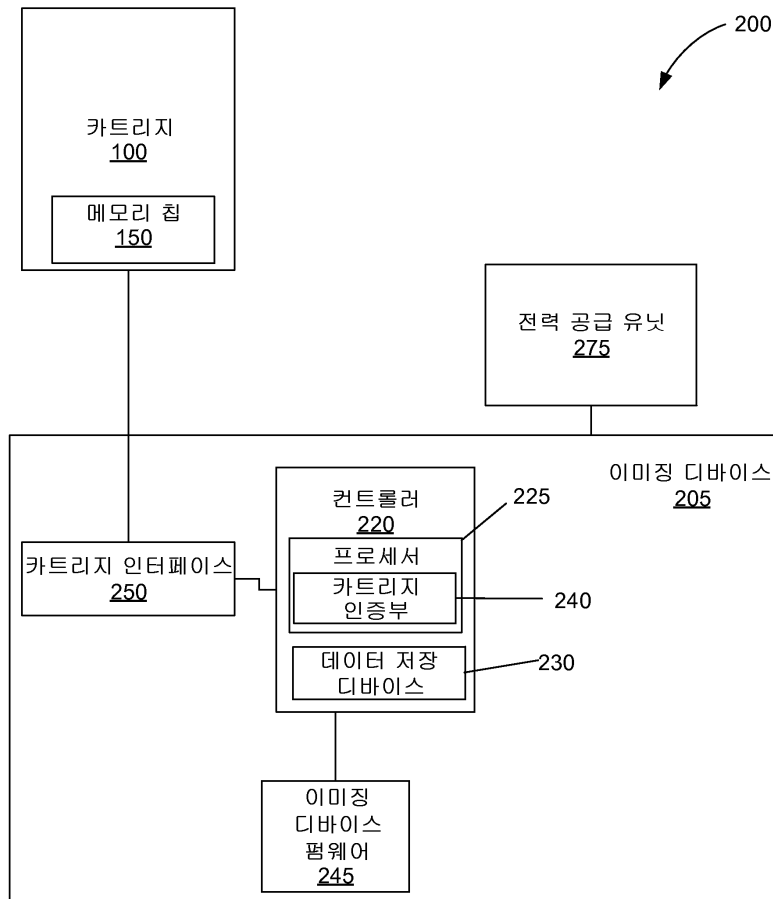
[0040] 소정의 예시적인 방법, 장치 및 제조품이 본 명세서에 개시되었지만, 본 특허의 적용 범위는 이에 제한되지 않는다. 반대로, 본 특허는 본 특허 청구항의 범위 내에 있는 모든 방법, 장치 및 제조품을 포함한다.

도면

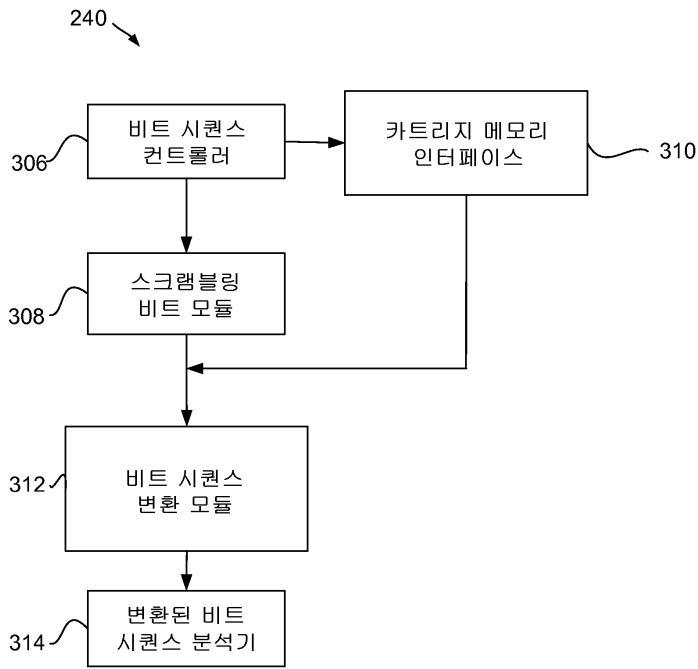
도면1



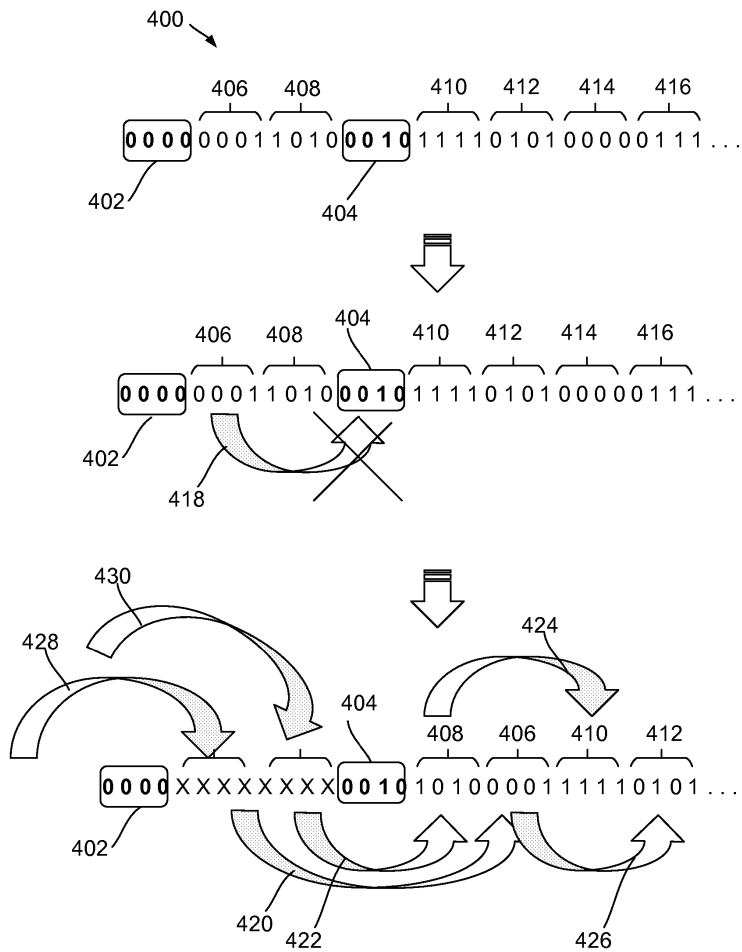
도면2



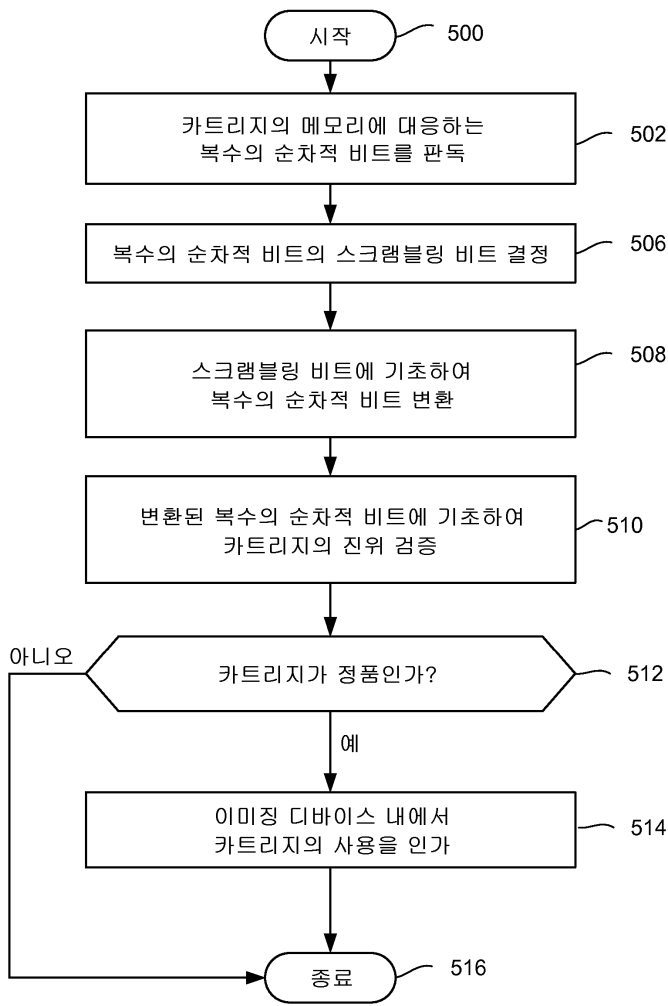
도면3



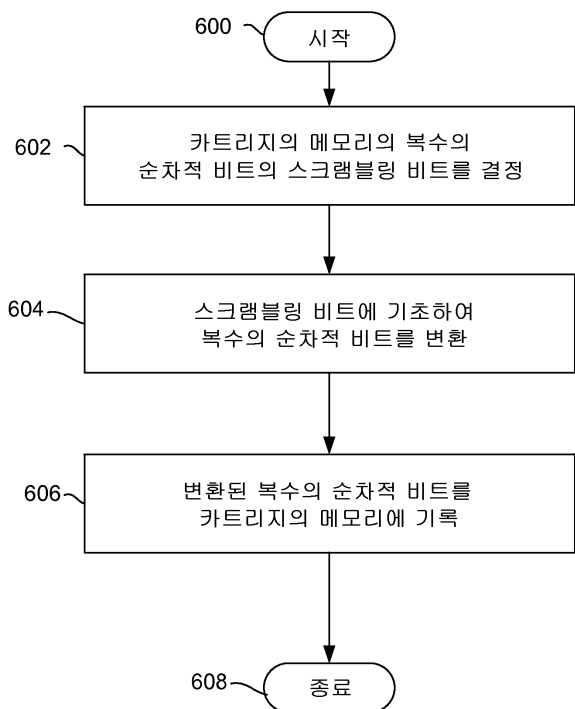
도면4



도면5



도면6



도면7

