



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0040226
(43) 공개일자 2017년04월12일

(51) 국제특허분류(Int. Cl.)
H01L 21/762 (2006.01) B81C 1/00 (2006.01)
H01L 21/84 (2006.01) H01L 27/06 (2006.01)
H01L 27/12 (2006.01)
(52) CPC특허분류
H01L 21/76251 (2013.01)
B81C 1/00238 (2013.01)
(21) 출원번호 10-2017-7002990
(22) 출원일자(국제) 2015년07월23일
심사청구일자 없음
(85) 번역문제출일자 2017년02월02일
(86) 국제출원번호 PCT/US2015/041769
(87) 국제공개번호 WO 2016/022302
국제공개일자 2016년02월11일
(30) 우선권주장
14/454,262 2014년08월07일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
파넬리, 스테판 에이.
미국 92121 캘리포니아 샌 디에고 스위트 200 이그젝티브 드라이브 4350
(74) 대리인
특허법인 남앤드남

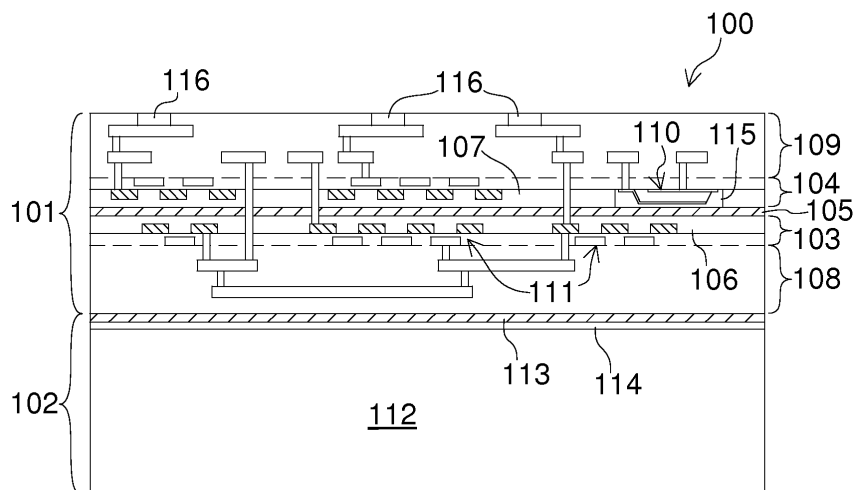
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 SOI 웨이퍼 내에 다수의 활성 층들을 갖는 반도체 구조물

(57) 요약

반도체 온 절연체(semiconductor on insulator) 웨이퍼는, 기판 층과 반도체 층 사이에 절연체 층을 갖는다. 제 1 활성 층은 반도체 층 내부에 그리고 상부에 형성된다. 제 2 활성 층은 기판 층 내부에 그리고 상부에 형성된다. 일부 실시예들에서, 핸들 웨이퍼는 반도체 온 절연체 웨이퍼에 본딩되고, 기판 층은 제 2 활성 층을 형성하기 전에 박형화된다. 일부 실시예들에서, 제 3 활성 층은 핸들 웨이퍼의 기판 내에 형성될 수 있다. 일부 실시예들에서, 제 1 및 제 2 활성 층들은 이들 층들 중 하나의 층에 MEMS 디바이스를 그리고 다른 층에 CMOS 디바이스를 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 21/84 (2013.01)

H01L 27/0688 (2013.01)

H01L 27/1203 (2013.01)

H01L 27/1207 (2013.01)

B81C 2203/0792 (2013.01)

H01L 2224/73265 (2013.01)

H01L 2924/13091 (2013.01)

명세서

청구범위

청구항 1

방법으로서,

기관 층과 반도체 층 사이에 절연체 층을 갖는 반도체 온 절연체(semiconductor on insulator) 웨이퍼를 제공하는 단계;

상기 반도체 층 내부에 그리고 상부에 제 1 활성 층을 형성하는 단계; 및

상기 기관 층 내부에 그리고 상부에 제 2 활성 층을 형성하는 단계를 포함하는,

방법.

청구항 2

제 1 항에 있어서,

상기 기관 층의 제 1 부분을 제거하는 단계; 및

상기 기관 층의 제 2 부분 내부에 그리고 상부에 상기 제 2 활성 층을 형성하는 단계를 더 포함하는,

방법.

청구항 3

제 2 항에 있어서,

상기 기관 층의 제 1 부분을 제거하기 이전에, 상기 반도체 온 절연체 웨이퍼의 제 1 표면에 핸들 웨이퍼를 본딩하는 단계; 및

상기 반도체 온 절연체 웨이퍼의 제 2 표면으로부터 상기 기관 층의 제 1 부분을 제거하는 단계를 더 포함하는,

방법.

청구항 4

제 3 항에 있어서,

상기 핸들 웨이퍼 내에 트랩 풍부 층(trap rich layer)을 제공하는 단계를 더 포함하는,

방법.

청구항 5

제 1 항에 있어서,

상기 반도체 온 절연체 웨이퍼의 표면에 핸들 웨이퍼를 본딩하는 단계 - 상기 반도체 온 절연체 웨이퍼의 표면은 상기 기관 층으로부터 상기 절연체 층에 대향하고, 상기 핸들 웨이퍼는 핸들 기관 층을 가짐 -; 및

상기 핸들 기관 층 내부에 그리고 상부에 제 3 활성 층을 형성하는 단계를 더 포함하는,

방법.

청구항 6

제 5 항에 있어서,

상기 핸들 기관 층의 제 1 부분을 제거하는 단계; 및

상기 핸들 기관 층의 제 2 부분 내부에 그리고 상부에 상기 제 3 활성 층을 형성하는 단계를 더 포함하는,

방법.

청구항 7

제 1 항에 있어서,

상기 제 2 활성 층 상에 인터커넥트 층을 형성하는 단계; 및

상기 제 1 및 제 2 활성 층들과 상기 인터커넥트 층 사이에 전기 접속부들을 형성하는 단계를 더 포함하는, 방법.

청구항 8

제 1 항에 있어서,

상기 기판 층 내부에 그리고 상부에 MEMS 디바이스를 형성하는 단계를 더 포함하는,

방법.

청구항 9

제 8 항에 있어서,

상기 기판 층 및 상기 절연체 층 중 적어도 하나에 상기 MEMS 디바이스에 대한 캐비티를 형성하는 단계를 더 포함하는,

방법.

청구항 10

제 8 항에 있어서,

상기 제 1 활성 층을 형성하는 단계는 CMOS 디바이스를 형성하는 단계를 더 포함하고; 그리고

상기 방법은, 상기 CMOS 디바이스와 상기 MEMS 디바이스 사이에 전기 접속부를 형성하는 단계를 더 포함하고,

상기 CMOS 디바이스는 상기 전기 접속부를 통해 상기 MEMS 디바이스에 대한 제어 신호를 제공하는,

방법.

청구항 11

반도체 구조물로서,

반도체 층과 기판 층 사이에 절연체 층을 갖는 반도체 온 절연체(semiconductor on insulator) 웨이퍼;

상기 반도체 층 내부에 그리고 상부에 형성된 제 1 활성 층; 및

상기 기판 층 내부에 그리고 상부에 형성된 제 2 활성 층을 포함하는,

반도체 구조물.

청구항 12

제 11 항에 있어서,

상기 제 2 활성 층은, 상기 기판 층이 박형화된 이후에, 상기 기판 층의 나머지 부분 내부에 그리고 상부에 형성되는,

반도체 구조물.

청구항 13

제 12 항에 있어서,

상기 기판 층으로부터 상기 절연체 층에 대향하는 상기 반도체 온 절연체 웨이퍼의 표면에 본딩되는 핸들 웨이

퍼를 더 포함하는,
반도체 구조물.

청구항 14

제 13 항에 있어서,
상기 핸들 웨이퍼는 트랩 풍부 층을 갖는,
반도체 구조물.

청구항 15

제 11 항에 있어서,
상기 반도체 온 절연체 웨이퍼의 표면에 본딩된 핸들 웨이퍼 - 상기 반도체 온 절연체 웨이퍼의 표면은 상기 기관 층으로부터 상기 절연체 층에 대향하고, 상기 핸들 웨이퍼는 핸들 기관 층을 가짐 -; 및
상기 핸들 기관 층 내부에 그리고 상부에 형성된 제 3 활성 층을 더 포함하는,
반도체 구조물.

청구항 16

제 15 항에 있어서,
상기 제 3 활성 층은, 상기 핸들 기관 층이 박형화된 이후에, 상기 핸들 기관 층의 나머지 부분 내부에 그리고 상부에 형성되는,
반도체 구조물.

청구항 17

제 11 항에 있어서,
상기 제 2 활성 층 상에 형성된 인터커넥트 층; 및
상기 제 1 및 제 2 활성 층들과 상기 인터커넥트 층 사이에 전기 접속부들을 더 포함하는,
반도체 구조물.

청구항 18

제 11 항에 있어서,
상기 기관 층 내부에 그리고 상부에 형성된 MEMS 디바이스를 더 포함하는,
반도체 구조물.

청구항 19

제 18 항에 있어서,
상기 MEMS 디바이스의 적어도 일부를 둘러싸는 캐비티를 더 포함하고,
상기 캐비티는 상기 기관 층 및 상기 절연체 층 중 적어도 하나 내에 형성되는,
반도체 구조물.

청구항 20

제 18 항에 있어서,
상기 제 1 활성 층은 CMOS 디바이스를 포함하고; 그리고
상기 CMOS 디바이스는 상기 MEMS 디바이스에 대한 제어 신호를 제공하는,

반도체 구조물.

발명의 설명

기술 분야

[0001] 본 출원은, 2014년 8월 7일자로 출원되고, 발명의 명칭이 "Semiconductor Structure with Multiple Active Layers in an SOI Wafer"인 미국 정식 특허 출원 제14/454,262호에 대한 우선권을 주장하며, 이로써 이는 모든 목적을 위해 인용에 의해 본원에 포함된다.

배경 기술

[0002] IC(Integrated circuit)들의 수직 통합 기법들은 단일 다이 상에서 다수의 활성/디바이스 층들을 활용한 다. 이러한 기법들은 요구되는 다이 면적을 증가시키지 않으면서 IC 당 컴포넌트들의 수에 있어서의 현저한 증가를 허용한다. 다이 두께는 증가될 수 있지만, 일반적으로 다이 면적이 더욱 제한적인 설계 고려사항이며, 전체 다이 체적 및 IC 패키지 중량이 감소되는 전반적인 결과가 초래된다. 수직 통합 기법들의 발전은, 이에 따라, 전자 디바이스들이 비교적 소형이고 경량이어야 하는, 예컨대, 셀/스마트 폰들, 노트북/태블릿 PC들 등의 기술들에 있어서 가장 중요하다.

발명의 내용

[0003] 본 발명의 실시예들은 SOI 웨이퍼로부터 형성된 다수의 활성 층들을 갖는 반도체 구조물을 수반한다. 통상적인 SOI 웨이퍼는 기판 층과 반도체 층 사이에 절연체 층(예컨대, 매립된 산화물)을 갖는다. 제 1 활성 층은 반도체 층 내부에 그리고 상부에 형성된다. 제 2 활성 층은 기판 층 내부에 그리고 상부에 형성된다. 일부 실시예들에서, 핸들 웨이퍼(handle wafer)는 SOI 웨이퍼에 본딩되고, 기판 층은 제 2 활성 층을 형성하기 전에 박형화된다. 일부 실시예들에서, 제 3 활성 층은 핸들 웨이퍼의 기판 내에 형성될 수 있다. 일부 실시예들에서, 제 1 및 제 2 활성 층들은 이들 층들 중 하나의 층에 MEMS 디바이스를 그리고 다른 층에 CMOS 디바이스를 포함한다.

[0004] 본 개시내용 및 그 범위, 그리고 앞서 언급된 개선사항들을 달성하는 방식에 대한 더욱 완전한 이해는, 이하에 간략하게 개략되는, 첨부된 도면과 관련하여 취해진 현재 바람직한 실시예들의 후술하는 상세한 설명, 및 첨부된 청구범위를 참조하여 획득될 수 있다.

도면의 간단한 설명

[0005] 도 1은 본 발명의 실시예를 포함하는 반도체 구조물의 간략화된 단면도이다.

[0006] 도 2-5는 본 발명의 실시예들에 따라 도 1에 도시된 반도체 구조물의 제조시의 중간 스테이지들에서의 반도체 구조물들의 간략화된 단면도들이다.

[0007] 도 6은 본 발명의 실시예를 포함하는 대안적인 반도체 구조물의 간략화된 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 일부 실시예들에 따르면, 본 발명은 SOI(semiconductor-on-insulator) 웨이퍼를 사용하여 모놀리식으로 형성되는 IC 반도체 구조물(예컨대, 도 1의 반도체 구조물(100))에서 활성 층들의 수직 통합을 달성한다. 일반적으로, 아래에 더욱 상세하게 설명되는 바와 같이, 제 1 활성 층이 SOI 웨이퍼 내부에 그리고 상부에 형성된 후, SOI 웨이퍼가 반전되고, 제 2 활성 층이 기저(underlying) 기판 내부에 그리고 상부에 형성된다. 이 기법은 일반적으로, 다이 면적의 현저한 감소 및 웨이퍼 당 다이의 증가와 함께 다양한 유형들의 활성 층들의 비교적 컴팩트한 수직 통합을 가능하게 한다. 부가적으로, 일부 실시예들에서, 다수의 활성 층들은, 다른 유형들의 디바이스들, 이를테면, 필름 벌크 음향 공진기들, 표면 탄성과 디바이스들, FPAR(film plate acoustic resonator)들, 음향 필터들, RF 스위치들, 패시브(passive) 컴포넌트들, 및 MEMS(other microelectromechanical systems) 디바이스들과 동일한 모놀리식 반도체 구조물에서의 CMOS 디바이스들의 통합을 가능하게 할 수 있다.

[0009] 도 1에 도시된 예에서, 반도체 구조물(100)은 일반적으로 핸들 웨이퍼(102)와 본딩된 반전형 SOI 웨이퍼(101)를 갖는다. SOI 웨이퍼(101)는 일반적으로 절연체 층(105)(예컨대, 매립된 산화물)의 대향 면들(즉, 상단

/하단 또는 상부/하부) 둘 다에 2개의 활성 층들(103 및 104)을 갖는다. 제 1 활성 층(103)은 SOI 웨이퍼(101)의 종래의 반도체 층(106) 내부에 그리고 상부에 형성된다. 제 2 활성 층(104)은 SOI 웨이퍼(101)의 기저에 있는 종래의 기판 층(107), 또는 오리지널 기판 층(107)을 박형화한 후에 잔류하는 부분 내부에 그리고 상부에 형성된다. 활성 층들(103 및 104) 내부에 도시된 컴포넌트들은 예시적인 목적으로만 제공되고, 반드시 본 발명에 대한 제한사항을 나타내는 것은 아니다.

[0008] [0010] 부가적으로, SOI 웨이퍼(101)는 일반적으로 인터커넥트 층들(108 및 109)을 포함하고, 이 인터커넥트 층들(108 및 109)을 통해, 활성 층들(103 및 104)의 다양한 컴포넌트들 사이에 전기 접속부들이 형성될 수 있다. 인터커넥트 층들(108 및 109) 내부에 도시된 컴포넌트들은 예시적인 목적으로만 제공되고, 반드시 본 발명에 대한 제한사항을 나타내는 것은 아니다. 일부 실시예들에서, 예컨대, 활성 층들 중 하나(예컨대, 104)는 (다른 컴포넌트들 중) RF/MEMS 디바이스(110)를 포함할 수 있고, 다른 활성 층(예컨대, 103)은 (다른 컴포넌트들 중) MEMS 디바이스(110)의 동작을 제어하는 회로에 대한 CMOS 디바이스들(111)을 포함할 수 있다.

[0009] [0011] 핸들 웨이퍼(102)는 일반적으로, 핸들 기판 층(112), 본딩 층(113), 및 선택적인 TRL(trap rich layer)(114)을 포함한다. 핸들 웨이퍼(102)는, 제 1 활성 층(103) 및 제 1 인터커넥트 층(108)의 형성 이후에 SOI 웨이퍼(101)(도시된 바와 같이 반전됨)의 상단 표면에 본딩된다. 핸들 웨이퍼(102)는 일반적으로 SOI 웨이퍼(101)의 기판 층(107)의 프로세싱 및 제 2 활성 층(104) 및 제 2 인터커넥트 층(109)의 형성과 동시에 반도체 구조물(100)에 대한 구조적 안정성을 제공하는데 사용된다. 일부 실시예들에서, 구조적 안정성 양상은 제 2 활성 층(104)의 형성 이전에 SOI 웨이퍼(101)의 기판 층(107)이 박형화되는 것을 가능하게 한다.

[0010] [0012] 제 1 및 제 2 활성 층들(103 및 104) 및 제 1 및 제 2 인터커넥트 층들(108 및 109)은, 각각 반도체 층(106) 및 기판 층(107) 내부에 그리고 상부에 구축되는 것으로서 본원에서 설명된다. 이러한 유형의 제조 기법은 “모놀리식” 스타일의 제조로 알려져 있다. 활성 층 제조의 다른 기법은 “층 트랜스퍼” 스타일로서 알려져 있는데, 이 스타일은 다수의 별도의 웨이퍼들 내부에 그리고 상부에 활성 층들의 형성, 그후 활성 층들 중 하나를 다른 하나의 웨이퍼 상에 트랜스퍼하는 것을 수반한다. 이러한 기법들 모두에 대한 다양한 장점들 및 단점들이 존재한다. 모놀리식 스타일은, 예컨대, 제조 단계들 각각에 대한 일련의 프로세싱을 일반적으로 요구하는 반면; 층 트랜스퍼 스타일은 다수의 웨이퍼들의 동시 프로세싱을 허용하여, 이에 의해 최종 반도체 구조물을 제조하기 위한 전체 시간을 잠재적으로 감소시킨다. 그러나, 모놀리식 스타일은 일반적으로, 다수의 기판들의 비용을 요구하지 않고, 웨이퍼 본딩 또는 웨이퍼 절단(cleavage) 단계들을 요구하지 않고, 상당한 연삭(grinding) 또는 에칭백 단계들을 요구하지 않고, 본딩을 위한 정밀한 웨이퍼-정렬을 요구하지 않으며, 웨이퍼-본딩-관련 단계들을 수행할 수 있는 제조 머신들에 대한 자본 투자를 요구하지 않는다. 핸들 웨이퍼(102)의 웨이퍼 본딩과 같은 일부 상황들에서 이러한 장점들에 대한 몇몇 일반적인 예외들이 발생할 수 있다. 그러나, 핸들 웨이퍼(102)가 본딩 이전에 추가적인 회로를 갖지 않기 때문에, 웨이퍼들(101 및 102)의 고-정밀 정렬에 대한 필요성이 존재하지 않는다. 따라서, 핸들 웨이퍼(102)에 대한 본딩 단계는, 다수의 웨이퍼들 상의 다수의 활성 층들이 층 트랜스퍼 프로세스를 통해 집적되는 접근방식들과 비교하여 비교적 간단하고 저렴할 수 있다.

[0011] [0013] 도 1의 반도체 구조물(100)을 형성하기 위한 일부 실시예들에 따라, 간략화된 예시적 제조 프로세스가 도 2-5에 의해 도시된다. 프로세스는 일반적으로, 도 2에 도시된 바와 같이, 반도체 층(106)과 기판 층(107) 사이에 절연체 층(105)(예컨대, 매립된 산화물)을 갖는 SOI 웨이퍼(101)로 시작한다. 그후, 제 1 활성 층(103)은 대부분 종래의 프로세스 단계들을 사용하여 반도체 층(106)의 “상단” 또는 “상부” 표면 내부에 그리고 상부에 형성된다. 활성 층(103) 내의 활성 디바이스들이 CMOS 트랜지스터들인 상황들에서, 이러한 프로세스 단계들은 통상적으로 단일 웨이퍼 모놀리식 CMOS 제조와 연관된 단계들이다. 부가적으로, 핸들 웨이퍼(102) 내의 TRL(114) 대신에 또는 그에 더해, SOI 웨이퍼(101)는 대리인 도켓 번호 IOSEP009CIP4를 갖는 본 출원과 동일한 날짜에 출원된 U.S. 특허 출원 ____/____,____에 개시된 바와 같이 형성된 TRL을 포함할 수 있다. 그 개시내용은 그 전체가 인용에 의해 본원에 포함된다.

[0012] [0014] 그후, 제 1 인터커넥트 층(108)은 제 1 활성 층(103)의 “상단” 또는 “상부” 표면상에 형성된다. 후속하여 SOI 웨이퍼(101)가 도 2에 도시된 배향으로부터 반전되기 때문에, 설명의 일관성을 위해, 도 2와 관련하여 “상단” (또는 “상부” 또는 “전면”)으로 지칭되는 SOI 웨이퍼(101)의 부분은 “상단” (또는 “상부” 또는 “전면”)으로서 본원에서 계속해서 지칭될 것이며, “하단” (또는 “하부” 또는 “후면”)으로 지칭되는 SOI 웨이퍼(101)의 부분은 SOI 웨이퍼(101)가 반전된 이후에도 “하단” (또는 “하부” 또는 “후면”)으로서 본원에서 계속해서 지칭될 것이다. 이에 따라, 도 1에서, 전체 반도체 구조물(100)의 “상단”은 SOI 웨이퍼(101)의 “하단”과 동일한 것으로 고려된다. 또한, 전체 반도체 구조물(100)의 상단이 프로세싱되고 있을 때,

이는 SOI 웨이퍼(101)에 대한 “후면측(back side)” 프로세싱으로 고려된다.

- [0013] [0015] 부가적으로, 본원에서의 설명을 위해, 재료 또는 층들이 웨이퍼에 부가될 때, 부가된 재료 또는 층들은 웨이퍼의 일부가 되는 것으로 고려된다. 또한, 재료 또는 층들이 웨이퍼로부터 제거될 때, 제거된 재료 또는 층들은 더 이상 웨이퍼의 일부가 되는 것으로 고려되지 않는다. 따라서, 예컨대, 도면들에서 SOI 웨이퍼(101) 또는 핸들 웨이퍼(102)로 지정된 엘리먼트는 프로세싱됨에 따라서 크기 또는 두께가 증가 또는 감소할 수 있다.
- [0014] [0016] 또한, 본원에서의 설명을 위해, 웨이퍼의 “상단 표면” 또는 “하단 표면”으로 지칭되는 표면은, 재료 또는 층들이 웨이퍼로부터 제거되거나 또는 웨이퍼에 부가될 때, 프로세싱 동안 변할 수 있다. 예컨대, 제 1 활성 층(103)은 SOI 웨이퍼(101)의 상단 표면 내부에 그리고 상부에 전면측 프로세싱에 의해 형성되지만, SOI 웨이퍼(101) 상에 위치되는 재료는 새로운 상단 표면을 생성한다. 따라서, 제 1 인터커넥트 층(108)은 새로운 상단 표면상에 형성된다. 그후, 핸들 웨이퍼(102)가 SOI 웨이퍼(101)에 본딩될 때, 이는 그의 또 다른 새로운 상단 표면에 본딩된다.
- [0015] [0017] 게다가, 다양한 층들의 재료들이 본원에 설명된다. 그러나, 몇몇 층들 사이에 반드시 분리선이 존재하는 것은 아니다. 예컨대, 인터커넥트 층들(108 또는 109)의 제조 동안 형성되는 몇몇 재료들은 다른 층들 내부로 연장할 수 있다. TSV(through semiconductor via)들은, 예컨대, 활성 층들(103 또는 104) 및 절연체 층(105)을 통해 형성될 수 있다. 중첩 층들의 다른 예시들도 또한 명백해질 수 있다.
- [0016] [0018] 도 1의 반도체 구조물(100)을 형성하기 위한 일부 실시예들에 따라, 간략화된 예시의 제조 프로세스가 도 3에 도시된 바와 같이 핸들 웨이퍼(102)의 형성과 함께 계속된다. 본딩 층(113), 및 TRL(114)은 핸들 기판 층(112) 상에 형성된다. 핸들 기판 층(112)은 일반적으로, 반도체 구조물(100)에 구조적 안정성 또는 강도를 제공하는데 충분한 두께이다. TRL(114)은, 임의의 적합한 기법, 예컨대, 고에너지 입자들(예컨대, 희귀 가스, 실리콘, 산소, 탄소, 게르마늄 등)의 이온들의 주입, 핸들 웨이퍼(102) 조사, 고저항률 재료 증착, 핸들 기판 층(112)의 노출된 표면들의 손상 등의 기법에 의해 형성된다. 일부 실시예들에서, TRL(114)은 대리인 도кет 넘버 IOSEP009CIP4를 갖는 본 출원과 동일한 날짜에 출원된 U.S. 특허 출원 ____/____,____에 개시된 것과 같이 형성된다. 그 개시내용은 그 전체가 인용에 의해 본원에 포함된다. 본딩층(113)은 SOI 웨이퍼(101)의 상단 표면에 있는 재료에 본딩될 수 있는 임의의 적합한 재료일 수 있다. 본딩층(113)을 갖거나 또는 본딩층(113)을 갖지 않는 다른 실시예들에 대한 다른 본딩 기법들이 또한 사용될 수 있다. 일부 실시예들에서, 본딩층(113)은 TRL(114)과 결합될 수 있다. 일부 실시예들에서, 전체 핸들 웨이퍼(102)는 TRL(114)일 수 있다.
- [0017] [0019] 도 4에 도시된 바와 같이, 도 2의 SOI 웨이퍼(101)는 도 3의 핸들 웨이퍼(102)에 본딩된다. SOI 웨이퍼(101)는 도 2에서의 SOI 웨이퍼(101)의 배향에 대하여 도 4에서 반전된다. 핸들 웨이퍼(102)가 본딩되는 SOI 웨이퍼(101)의 표면은, 기판 층(107)으로부터 절연체 층에 대향하는 상단 표면이다. 이 단계는, SOI 웨이퍼(101)의 하단 또는 후면측을 프로세싱을 위해 노출된 채로 남긴다. 핸들 웨이퍼(102)는 이러한 프로세싱 동안 구조적 안정성을 제공한다.
- [0018] [0020] 도 5에 도시된 바와 같이, 기판 층(107)의 부분이 제거되고, 이에 의해 기판 층(107)을 박형화한다. 기판 층(107)의 나머지 부분은, 제 2 활성 층, 이를테면 도 1의 제 2 활성 층(104)의 형성을 위한 새로운 반도체 층으로서 사용되기에 충분히 두껍다.
- [0019] [0021] 일부 실시예들에서, MEMS 디바이스(110)가 제 2 활성 층(104) 내에 형성되기 때문에, 캐비티(115)는 기판 층(107) 내에 형성될 수 있다. 캐비티(115)는 MEMS 디바이스(110)를 적어도 부분적으로 둘러싼다. 캐비티(115)는 임의의 적합한 기법, 예컨대, 배향 관련 에칭, 이방성 에칭, 등방성 에칭 등에 의해 형성될 수 있다. 캐비티(115)는, 절연, 향상된 열 성능 및/또는 MEMS 디바이스(110)의 릴리즈를 위한 재료를 제공한다. 다음으로, 충전(fill) 재료가 캐비티(115) 내부에 위치되고, 예컨대, CMP에 의해 평탄화된다. 충전 재료는 제 2 활성 층(104)을 형성하는 재료에 대해 선택적일 수 있고, 이에 충전 재료가 MEMS 디바이스(110)를 릴리즈하기 위해 이후에 제거될 수 있다. 일부 실시예들에서, 캐비티(115)는 절연체 층(105) 내부로 연장될 수 있고, 이에 충전 재료는 절연체 재료에 대해 선택적일 필요가 있다.
- [0020] [0022] 다음으로, 제 2 활성 층(104)이 기판 층(107)의 나머지 부분 내부에 그리고 상부에 형성된다. 일부 실시예들에서, 제 2 활성 층(104) 내에서 MEMS 디바이스(110)의 제조는 종래의 프로세스와 역순으로 행해진다. 이러한 역 프로세스는 저온(예컨대, 200° C 미만)에서 본딩 및 인터커넥션을 단순화하는 것을 도울 수 있다.
- [0021] [0023] 다음으로, 제 2 인터커넥트 층(109)은 도 1에 도시된 반도체 구조물(100)을 생성하기 위해 제 2 활성 층

(104) 상에(그리고 2개의 활성 층들(103 및 104)을 통해) 형성된다. 일부 실시예들에서, 2개의 활성 층들(103 및 104) 사이의 몇몇 전기적 접속부들은, 예컨대, 전체 제조 프로세스에서 초기에 TSV들을 형성하는 매립된 콘택으로 형성될 수 있다. 전기 접속 패드들(116) 및 재배선층(미도시)은 또한 외부 전기 접속들을 위해 형성될 수 있다. 하나 초과와 층을 통해 통과하는 전기 인터커넥트들, 예컨대, TSV들은, 활성 층들(103 및 104) 및 2개의 인터커넥트 층들(108 및 109)의 임의의 2개 또는 그 초과와 컴포넌트들 사이의 전기 접속부들, 예컨대, 인터커넥트 층들(108 및 109) 내의 금속화 사이의 TSV 인터커넥트, 또는 인터커넥트 층들 중 하나의 인터커넥트 층(108 또는 109) 내의 금속화 사이의 TSV 인터커넥트, 및 활성 층들 중 하나의 활성 층(108 또는 109) 내의 활성 디바이스(예컨대, 소스, 드레인 또는 게이트 영역)를 제공할 수 있다.

[0022] [0024] 본 발명의 대안적인 실시예를 포함하는 대안적인 반도체 구조물(200)이 도 6에 도시된다. 이 경우, 수많은 엘리먼트들은 도 1에 도시된 실시예의 엘리먼트들과 유사하며, 이는 이 실시예가 반도체 구조물(100)로부터 구축될 수 있기 때문이다. 그러나, 핸들 기관 층(112)의 부분이 제거되어, 이에 의해 핸들 기관 층(112)이 박형화된다. 핸들 기관 층(112)의 나머지 부분은, 제 3 활성 층(201)의 형성을 위한 새로운 반도체 층으로서 사용되기에 충분히 두꺼우며, 이에 의해 또 다른 활성 층이 모놀리식으로 형성된다. 일부 실시예들에서, 반도체 구조물(100)의 기존의 두께가 충분한 구조적 안정성을 제공하지 않는 경우, 후속 프로세싱 동안 구조적 안정성을 제공하기 위해 다른 핸들 웨이퍼(미도시)가 반도체 구조물(100)에 본딩될 수 있다.

[0023] [0025] 일부 실시예들에서, MEMS 디바이스(202)가 제 3 활성 층(201) 내에 형성되고, 캐비티(203)가 핸들 기관 층(112) 내에 형성될 필요가 있을 수 있다. 캐비티(203)는 임의의 적합한 기법, 예컨대, 배향 관련 에칭, 이방성 에칭, 등방성 에칭 등에 의해 형성될 수 있다. 캐비티(203)는, 절연, 향상된 열 성능 및/또는 MEMS 디바이스(202)의 릴리즈를 위한 재료를 제공한다. 다음으로, 충전 재료가 캐비티(203) 내부에 위치되고, 예컨대, CMP에 의해 평탄화된다. 충전 재료는 제 3 활성 층(201)의 재료에 대해 선택적일 수 있고, 이에 충전 재료가 MEMS 디바이스(202)를 릴리즈하기 위해 이후에 제거될 수 있다.

[0024] [0026] 다음으로, 제 3 활성 층(201)이 핸들 기관 층(112)의 나머지 부분 내부에 그리고 상부에 형성된다.

[0025] [0027] 다음으로, 제 3 인터커넥트 층(204)은 도 6에 도시된 반도체 구조물(200)을 생성하기 위해 제 3 활성 층(201) 상에(그리고 제 1 활성 층(103)을 통해) 형성된다. 일부 실시예들에서, 제 1 및 제 3 활성 층들(103 및 201) 사이의 몇몇 전기적 접속부들은, 예컨대, 전체 제조 프로세스에서 초기에 TSV들을 형성하는 매립된 콘택으로 형성될 수 있다. 제 3 활성 층(201)은 또한 제 2 활성 층(104)에, 이들 층들과 인터커넥트 층(108) 내의 공통 회로 노드 사이의 콘택들을 통해 접속될 수 있다. 전기 접속 패드들(미도시) 및 재배선층(미도시)은 또한 대안적인 반도체 구조물(200)의 하단층 상에 외부 전기 접속부들을 위해 형성될 수 있다. 대안적으로 또는 조합하여, 전기 접속 패드들(116) 및 재배선층(미도시)이 또한 대안적인 반도체 구조물(200)의 하단층에 외부 전기 접속부들을 위해 형성될 수 있다.

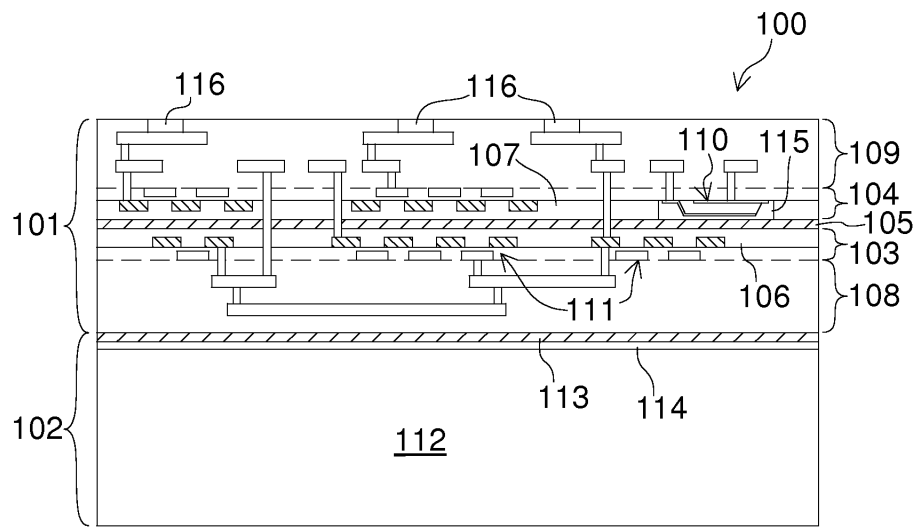
[0026] [0028] 본 발명의 실시예들이 그의 특정 실시예들에 대해 주로 논의되었지만, 다른 변화들도 가능하다. 설명된 시스템의 다양한 구성들은 본 명세서에 제시된 구성들 대신에 또는 그에 부가하여 사용될 수 있다. 예컨대, 추가적인 컴포넌트들이 적절한 곳에 포함될 수 있다. 다른 예로서, 구성들은 반도체 컴포넌트들의 특정 유형들 및 조합들에 대한 일반적인 참조로 설명되었지만, 반도체 컴포넌트들의 다른 유형들 및/또는 조합들이 설명된 것들에 부가하여 또는 그 대신에 사용될 수 있다.

[0027] [0029] 당업자들은, 전술한 설명이 단지 예시적인 것이며, 본 발명을 제한하려는 의도가 아님을 인식할 것이다. 본 개시물에서 어떠한 내용도, 청구범위에 달리 표시되지 않는 한, 도시되고 설명된 특정 유형의 반도체 컴포넌트들을 갖는 시스템들로 본 발명이 제한된다는 것을 나타내는 것은 아니다. 본 개시물에서 어떠한 내용도, 청구범위에 달리 표시되지 않는 한, 특정 형태의 반도체 프로세싱 또는 집적 회로들을 요구하는 시스템들로 본 발명이 제한된다는 것을 나타내는 것은 아니다. 일반적으로, 제시된 임의의 다이어그램들은 단지 하나의 가능한 구성을 나타내도록 의도되며, 수많은 변형들이 가능하다. 당업자들은 또한 본 발명과 일치하는 방법들 및 시스템들이 광범위한 응용들에 사용하기에 적합하다는 것을 이해할 것이다.

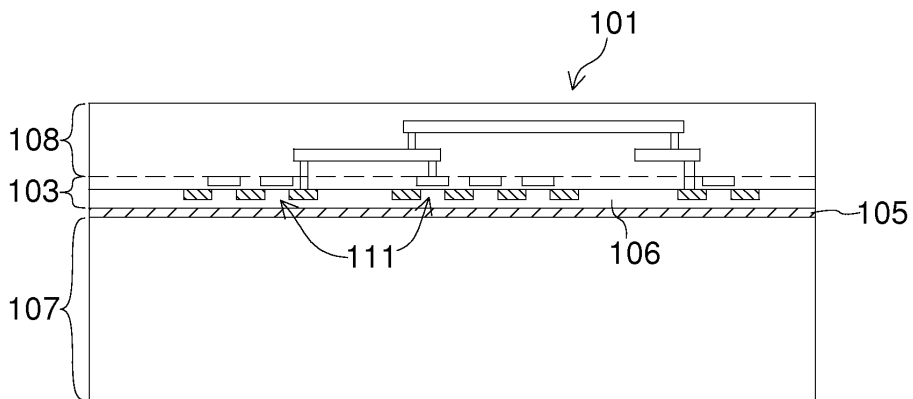
[0028] [0030] 상세한 설명이 본 발명의 특정 실시예들에 대해 상세하게 설명되지만, 당업자들은, 전술한 내용을 이해할 때, 이러한 실시예들에 대한 변경들, 변형들, 및 균등물들을 쉽게 인식할 수 있는 것으로 이해될 것이다. 본 발명에 대한 이러한 그리고 다른 변형들 및 변화들은, 첨부된 청구범위들에 더욱 구체적으로 설명된 본 발명의 사상 및 범위로부터 벗어나지 않고 당업자들에 의해 실행될 수 있다.

도면

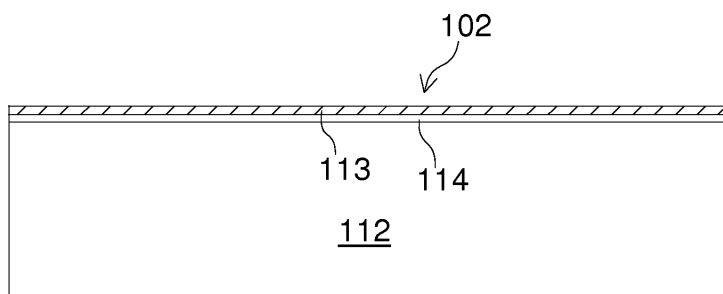
도면1



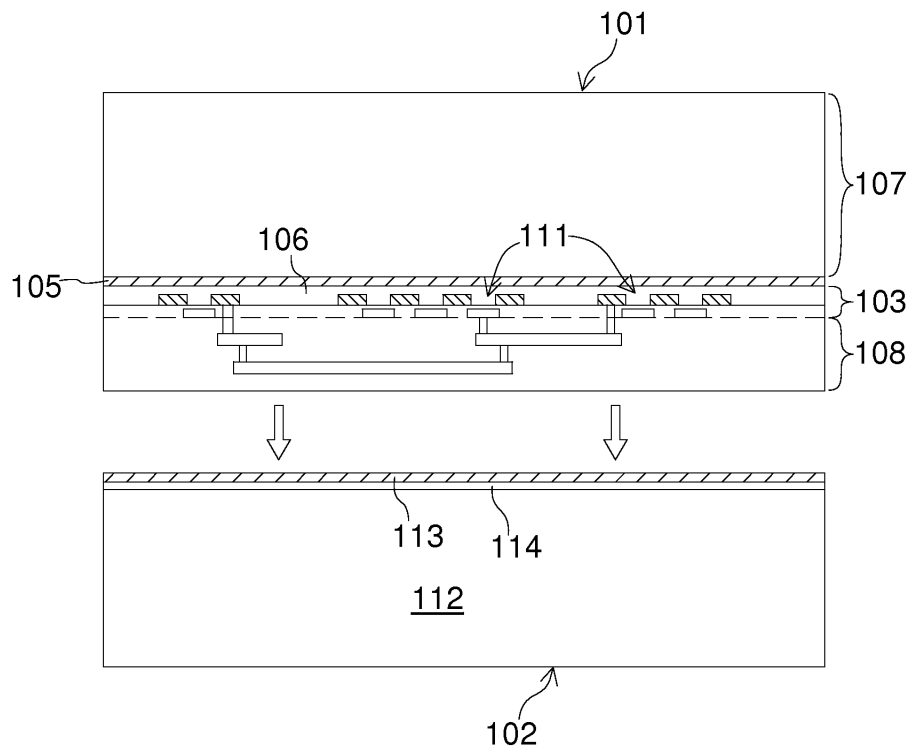
도면2



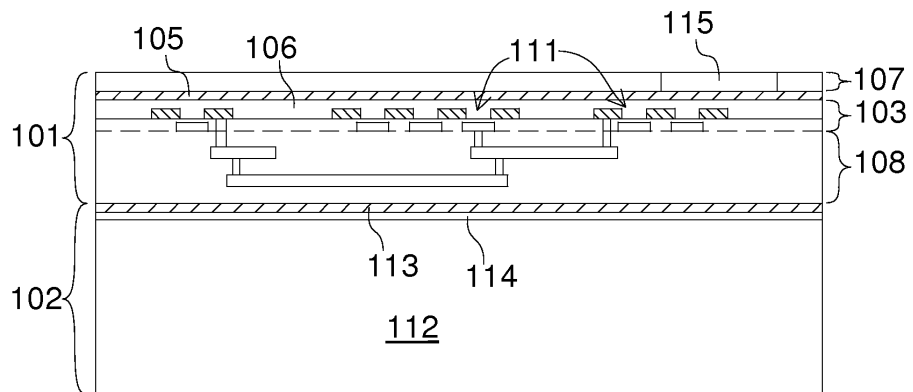
도면3



도면4



도면5



도면6

