

(21)申請案號：100105984

(22)申請日：中華民國 100 (2011) 年 02 月 23 日

(51)Int. Cl. : **H01L33/44 (2010.01)**

(30)優先權：2010/04/28 日本

2010-104443

(71)申請人：三菱重工業股份有限公司(日本) MITSUBISHI HEAVY INDUSTRIES, LTD. (JP)
日本

(72)發明人：加福秀考 KAFUKU, HIDETAKA (JP)；西森年彥 NISHIMORI, TOSHIHIKO (JP)；
河崎尚夫 KAWASAKI, HISAO (JP)

(74)代理人：林志剛

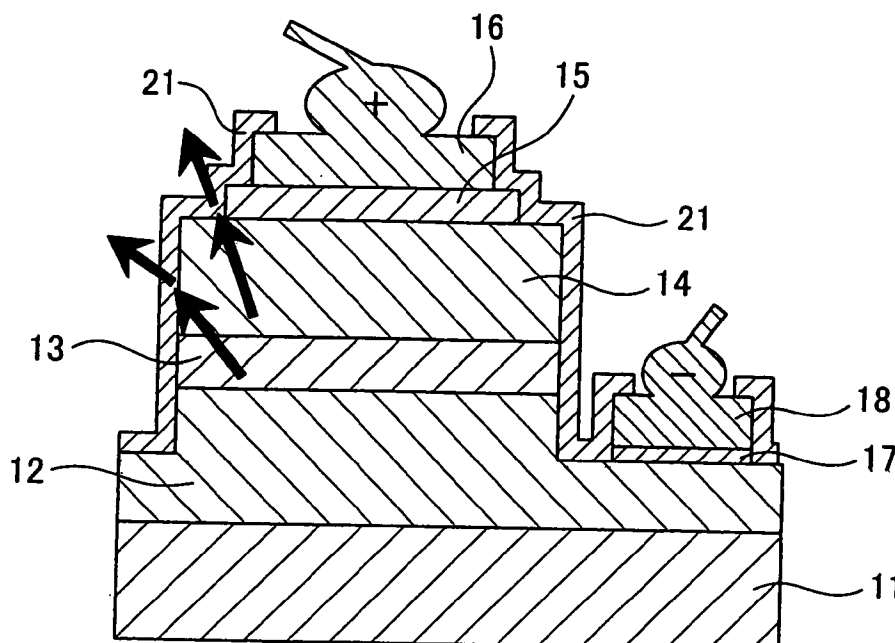
申請實體審查：有 申請專利範圍項數：11 項 圖式數：9 共 45 頁

(54)名稱

半導體發光元件，半導體發光元件之保護膜及其製作方法

(57)摘要

本發明提供一種可滿足較高之遷移防止性、較高之穿透率、較低之成膜成本之全部的半導體發光元件、半導體發光元件之保護膜及其製作方法。本發明之半導體發光元件係具有形成於基板(11)上的複數個半導體層(12～14)、和成為複數個半導體層(12～14)之電極的電極部(15、16)及電極部(17、18)，而作為半導體發光元件之保護膜，係以膜中之 Si-H 鍵結量未滿 1.0×10^{21} [個/cm³] 之由氮化矽構成的 SiN 膜(21)來被覆複數個半導體層(12～14)、電極部(15、16)及電極部(17、18)之周圍。



11：基板

12：n 型半導體層(半導體層)

13：活性層(半導體層)

14：p 型半導體層(半導體層)

15：p 電極(電極部)

16：p 焊墊(電極部)

17：n 電極(電極部)

18：n 焊墊(電極部)

21：SiN 膜(第 1 保護膜)

(21)申請案號：100105984

(22)申請日：中華民國 100 (2011) 年 02 月 23 日

(51)Int. Cl. : **H01L33/44 (2010.01)**

(30)優先權：2010/04/28 日本

2010-104443

(71)申請人：三菱重工業股份有限公司 (日本) MITSUBISHI HEAVY INDUSTRIES, LTD. (JP)
日本

(72)發明人：加福秀考 KAFUKU, HIDETAKA (JP)；西森年彥 NISHIMORI, TOSHIHIKO (JP)；
河崎尚夫 KAWASAKI, HISAO (JP)

(74)代理人：林志剛

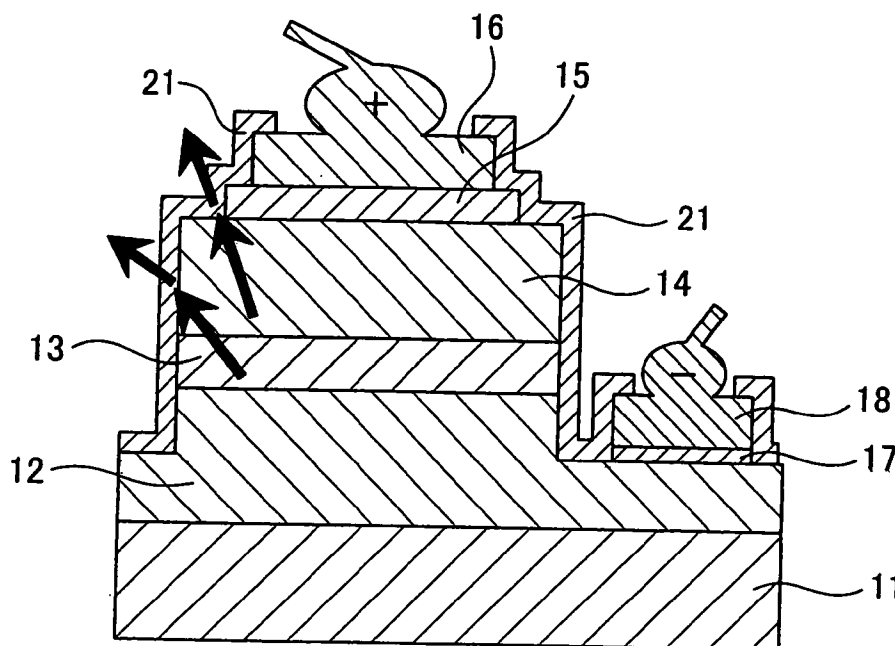
申請實體審查：有 申請專利範圍項數：11 項 圖式數：9 共 45 頁

(54)名稱

半導體發光元件，半導體發光元件之保護膜及其製作方法

(57)摘要

本發明提供一種可滿足較高之遷移防止性、較高之穿透率、較低之成膜成本之全部的半導體發光元件、半導體發光元件之保護膜及其製作方法。本發明之半導體發光元件係具有形成於基板(11)上的複數個半導體層(12～14)、和成為複數個半導體層(12～14)之電極的電極部(15、16)及電極部(17、18)，而作為半導體發光元件之保護膜，係以膜中之 Si-H 鍵結量未滿 1.0×10^{21} [個/cm³] 之由氮化矽構成的 SiN 膜(21)來被覆複數個半導體層(12～14)、電極部(15、16)及電極部(17、18)之周圍。



11：基板

12：n 型半導體層(半導體層)

13：活性層(半導體層)

14：p 型半導體層(半導體層)

15：p 電極(電極部)

16：p 焊墊(電極部)

17：n 電極(電極部)

18：n 焊墊(電極部)

21：SiN 膜(第 1 保護膜)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體發光元件、半導體發光元件之保護膜及其製作方法。

【先前技術】

作為半導體發光元件，有一種既可省能源又可實現長壽命的白色 LED(Light Emitting Diode：發光二極體)，其被期待作為新的屋內/屋外照明材料。

(專利文獻 1)日本特開 2006-041403 號公報

(專利文獻 2)日本特開 2007-189097 號公報

【發明內容】

(發明所欲解決之問題)

目前可同時並存省能源與長壽命的白色 LED，係受限於省電力型。因此，為了要一邊發揮既低消耗電力又長壽命之優點，一邊進行既有照明之置換，就必須使用複數個低輸出的 LED 晶片，如此將造成成本變高的原因。

為了要減少照明之使用 LED 晶片數，有必要提高每 1 晶片的光輸出。然而，當對元件投入大電力時，將會加速被用於電極部的 Ag(銀)之遷移(migration)，如此就容易發生短路，且元件的可靠度會降低。因而，為了要在高輸出元件中獲得可靠度，就有必要抑制 Ag 之遷移。

Ag 由於是藉由與水分起反應而加速遷移，所以當將

保護 Ag 不受水分侵入的保護膜用在 LED 元件時，就可抑制遷移，且有效改善高輸出元件之可靠度。另一方面，該保護膜被要求有較高的光穿透性，俾使在元件內產生的光能有效率地取出至元件外部。

在此，第 8 圖係顯示專利文獻 1 之 LED 元件構造作為習知例 1，並說明其問題點。另外，第 8 圖中，元件符號 61 為基板，62 為 n 型半導體層，63 為活性層，64 為 p 型半導體層，65 為 p 電極，66 為 p 焊墊，67 為 n 電極，68 為 n 焊墊，71 為 SiN 膜，72 為 SiO 膜。該 p 電極 65，係由 Ag/Ni(鎳)/Pt(鉑)構成的多層構造。又，圖中之箭頭，係顯示穿透光之樣態。

在第 8 圖所示的習知 LED 元件構造中，作為保護膜，係將防水性高的 SiN 膜 71 僅用在 p 電極 65 之周邊部，之後，在全體形成 SiO 膜 72。在上述元件構造中，為了要將 SiN 膜 71 僅形成於 p 電極 65 之周邊部，在形成 SiO 膜 72 之前，需要去除全體所附的 SiN 膜 71 之一部分的步驟，如此成膜成本會變高。又，在 p 電極 65 中的 Ag 擴散至半導體側面的情況下，由於在 SiO 膜 72 方面的防水性低，所以容易進行遷移。又，一般而言，由於 SiN 膜 71 的光之穿透率比 SiO 膜 72 還低，所以在 p 電極 65 之周邊的穿透率會變低，且朝外部之光取出效率會降低。

又，第 9 圖係顯示專利文獻 2 之 LED 元件構造作為習知例 2，並說明其問題點。另外，第 9 圖中，有關與第 8 圖同等的構成係附記相同的元件符號。又，圖中之箭頭

，係顯示穿透光之樣態。其中，元件符號 81 為 SiN 膜。

在第 9 圖所示的習知 LED 元件構造中，作為保護膜，係使用對元件全體防水性高的 SiN 膜 81。在上述元件構造中，由於元件全體是以穿透率低的 SiN 膜 81 覆蓋，所以從元件朝外部之光取出效率會降低。又，一般而言，由於 SiN 膜 81 之絕緣耐壓比 SiO 膜還更低，所以為了要確保絕緣性就有必要加厚膜厚，如此在成膜上就要花時間且使成膜成本變高。

如此，在習知的 LED 元件構造中，很難滿足較高之遷移防止性、較高之穿透率、較低之成膜成本之全部，且在高亮度構造之實現上有待解決的課題。

本發明係有鑒於上述課題而開發完成者，其目的在於提供一種可滿足較高之遷移防止性、較高之穿透率、較低之成膜成本之全部的半導體發光元件、半導體發光元件之保護膜及其製作方法。

(解決問題之手段)

解決上述課題之第 1 發明的半導體發光元件之保護膜，係在具有形成於基板上的複數個半導體層、和成為前述複數個半導體層之電極的複數個電極部之半導體發光元件中，用以保護該半導體發光元件的保護膜，其特徵為：

作為前述保護膜，係設置被覆前述複數個半導體層及前述複數個電極部之周圍的第 1 保護膜，並且

將前述第 1 保護膜，設為膜中之 Si-H 鍵結量未滿 1.0

$\times 10^{21}$ [個 / cm^3] 之氮化矽。

解決上述課題之第 2 發明的所述的半導體發光元件之保護膜，係在上述第 1 發明所述的半導體發光元件之保護膜中，復設置被覆前述第 1 保護膜之周圍的第 2 保護膜，並且

將前述第 1 保護膜，設為膜厚 10nm 以上，且

將前述第 2 保護膜，設為氧化矽。

解決上述課題之第 3 發明的所述的半導體發光元件之保護膜，係在上述第 2 發明所述的半導體發光元件之保護膜中，復設置被覆前述第 2 保護膜之周圍的第 3 保護膜，並且

將前述第 3 保護膜，與前述第 1 保護膜同樣地，設為膜中之 Si-H 鍵結量未滿 1.0×10^{21} [個 / cm^3] 之氮化矽，並且將該膜厚設為 10nm 以上。

解決上述課題之第 4 發明的所述的半導體發光元件之保護膜，係在上述第 3 發明所述的半導體發光元件之保護膜中，將前述第 2 保護膜，設為膜中之 Si-OH 鍵結量為 1.3×10^{21} [個 / cm^3] 以下的氧化矽，並且將該情況下的前述第 1 保護膜之膜厚，設為 5nm 以上。

解決上述課題之第 5 發明的所述的半導體發光元件之保護膜，係在上述第 1 至 4 發明中之任一發明所述的半導體發光元件之保護膜中，前述複數個電極部之至少一個是由含有銀的金屬所構成。

解決上述課題之第 6 發明所述的半導體發光元件，其

特徵爲：使用上述第 1 至 4 發明中之任一發明所述的半導體發光元件之保護膜。

解決上述課題之第 7 發明所述的半導體發光元件之保護膜的製作方法，係在具有形成於基板上的複數個半導體層、和成爲前述複數個半導體層之電極的複數個電極部之半導體發光元件中，用以保護該半導體發光元件的保護膜之製作方法，其特徵爲：

作爲前述保護膜，係設置被覆前述複數個半導體層及前述複數個電極部之周圍的第 1 保護膜，且由膜中之 Si-H 鍵結量未滿 1.0×10^{21} [個/cm³] 的氮化矽所形成。

解決上述課題之第 8 發明的半導體發光元件之保護膜的製作方法，係在上述第 7 發明的半導體發光元件之保護膜的製作方法中，將前述第 1 保護膜，設爲膜厚 10nm 以上，並且

復設置被覆前述第 1 保護膜之周圍的第 2 保護膜，且由氧化矽所形成。

解決上述課題之第 9 發明的半導體發光元件之保護膜的製作方法，係在上述第 8 發明的半導體發光元件之保護膜的製作方法中，復設置被覆前述第 2 保護膜之周圍的第 3 保護膜，且與前述第 1 保護膜同樣地，由膜中之 Si-H 鍵結量未滿 1.0×10^{21} [個/cm³] 的氮化矽所形成，並且將該膜厚設爲 10nm 以上。

解決上述課題之第 10 發明的半導體發光元件之保護膜的製作方法，係在上述第 9 發明的半導體發光元件之保

護膜的製作方法中，將前述第 2 保護膜，由膜中之 Si-OH 鍵結量為 1.3×10^{21} [個/cm³] 以下的氧化矽所形成，並且將該情況下的前述第 1 保護膜之膜厚設為 5nm 以上。

解決上述課題之第 11 發明的半導體發光元件之保護膜的製作方法，係在上述第 7 至 10 發明中之任一發明的半導體發光元件之保護膜的製作方法中，前述複數個電極部之至少一個是由含有銀的金屬所構成。

(發明效果)

依據本發明，在半導體發光元件中，可滿足較高之遷移防止性、較高之穿透率、較低之成膜成本之全部，且可實現高亮度構造。

【實施方式】

以下，針對本發明的半導體發光元件、半導體發光元件之保護膜及其製作方法，參照第 1 圖至第 7 圖說明其幾個實施形態。另外，在以下所示的實施例中，係針對使用 LED 作為半導體發光元件的例子加以說明。

(實施例 1)

第 1 圖係顯示本實施例的 LED 之元件構造的剖視圖。圖中之箭頭，係顯示穿透光之樣態。

本實施例的 LED，係在由藍寶石構成的基板 11 上，依序積層有：由 n 型 GaN 構成的 n 型半導體層 12、由交

互地積層 GaN 與 InGaN 所得之多量子井結構構成的活性層 13、由 p 型 GaN 構成的 p 型半導體層 14 之半導體層的元件構造。另外，n 型半導體層 12、p 型半導體層 14，係分別成為包含 n 型接觸層、p 型接觸層的構造。

然後，藉由蝕刻術去除被積層後的 p 型半導體層 14、活性層 13 及 n 型半導體層 12 之一部分，藉此露出 n 型半導體層 12 之 n 型接觸層，且在該露出的部分，從半導體層側起依序積層 W(鎢)/Pt，以形成 n 電極 17。另一方面，在 p 型半導體層 14 之 p 型接觸層的上部，從半導體層側起依序積層 Ag/Ni/Pt，以形成 p 電極 15。又，為了形成凸塊(bump)，在 p 電極 15 上，形成由 Au(金)構成的 p 焊墊 16，且在 n 電極 17 上，形成由金構成的 n 焊墊 18。如此，將 p 電極 15 及 p 焊墊 16、加上 n 電極 17 及 n 焊墊 18，分別當作相對於積層後的半導體層之電極部。

在上述的元件構造中，除了供 p 焊墊 16 及 n 焊墊 18 中之凸塊用的開口部以外，以被覆半導體層(n 型半導體層 12、活性層 13 及 p 型半導體層 14)及電極部(p 電極 15 及 p 焊墊 16、n 電極 17 及 n 焊墊 18)之周圍的方式，積層 SiN 膜 21(第 1 保護膜)。該 SiN 膜 21，係由具有絕緣性且穿透率高的 SiN 所構成，且以該 1 個層形成保護膜。如此，成為：藉由 SiN 膜 21 不僅可保護含有 Ag 的 p 電極 15 之周圍，還可保護元件全體之周圍的構造。

如前面所述，由 SiN 構成的保護膜，通常防水性雖然高，但是穿透率低，如此有絕緣耐壓差的問題。

因此，在本實施例中，係將 SiN 膜 21，藉由使用第 2 圖所示之高密度電漿的電漿 CVD 裝置而形成，藉此可形成：一邊為 SiN 膜，一邊具有與 SiO 膜同等之高穿透率的膜質。

在此，參照第 2 圖，說明用以形成 SiN 膜 21 的電漿 CVD 裝置 100。

如第 2 圖所示，電漿 CVD 裝置 100，係具備維持高真空度的真空容器 101。該真空容器 101，係由筒狀容器 102 與頂板 103 所構成，且藉由在筒狀容器 102 之上部安裝頂板 103，形成可隔離外氣而呈密閉的空間。在真空容器 101，係設置有使真空容器 101 之內部呈真空狀態的真空裝置 104。

在頂板 103 之上部係設置有使產生電漿的 RF 天線 105。在該 RF 天線 105，係夾介匹配器 106 而連接有作為高頻電源的 RF 電源 107。亦即，從 RF 電源 107 供給來的 RF 功率係藉由 RF 天線 105 供給至電漿。

在筒狀容器 102 之側壁的上部，係設置有：氣體供給管 108，用以將成為所要成膜的膜之原料的原料氣體或惰性氣體供給至真空容器 101 內。在氣體供給管 108 係設置有控制原料氣體或惰性氣體之供給量的氣體供給量控制器。在本實施例中，係供給 SiH_4 、 N_2 等作為原料氣體，供給 Ar 等作為惰性氣體。藉由此等氣體的供給，可在真空容器 101 之內部上方，產生 SiH_4 、 N_2 及 Ar 等的電漿。

在筒狀容器 102 內之下方，係設置有保持作為成膜對

象之基板 109 的基板支撐台 110。該基板支撐台 110，係藉由保持基板 109 的基板保持部 111、及支撐該基板保持部 111 的支撐軸 112 而構成。在基板保持部 111 之內部係設置有加熱用的加熱器 113，而該加熱器 113 係可藉由加熱器控制裝置 114 調整溫度。藉此，可將電漿處理中的基板 109 之溫度，控制在例如 300℃。

在支撐軸 112，係設置有上下驅動機構(省略圖示)，且如第 2 圖所示，能夠將基板 109 離開高密度的電漿區域，換句話說，能夠將基板 109 配置於不受高密度電漿影響的位置。具體而言，基板保持部 111，係能夠移動至離開頂板 103 之下方的距離為 5cm~30cm 的位置，例如，將基板 109 配置於離開所產生的電漿中心距離 10cm 以上的位置。藉由如此的配置，如後述的第 3 圖所示，可形成膜中氬量少的 SiN 膜。又，該 SiN 膜，與以一般的電漿 CVD 裝置成膜的 SiN 膜相較，具有：電漿損傷也低，絕緣耐壓也高出約 30% 的優異特徵。

然後，在上述的電漿 CVD 裝置 100，係設置有能夠分別控制如下條件的主控制裝置 119，即分別控制：RF 電源 107 之 RF 功率、真空裝置 104 之壓力、加熱器控制裝置 114 之基板溫度、氣體供給量控制器之氣體供給量及上下驅動機構之基板位置。在此，第 2 圖中之一點鏈線，係指用以從主控制裝置 119 將控制信號發送至 RF 電源 107、真空裝置 104、加熱器控制裝置 114、氣體供給量控制器的信號線之意。

在上述的電漿 CVD 裝置 100 中，藉由主控制裝置 119，控制 RF 功率、壓力、成膜溫度、氣體供給量及基板位置，藉此雖然能夠形成本實施例中的 SiN 膜，但是在電漿 CVD 裝置 100 中，由於是將基板 109 配置於遠離電漿中心的位置，所以可形成：一邊為 SiN 膜，一邊具有與 SiO 膜同等之高穿透率的膜質。

在此，參照第 3 圖之曲線圖，說明本實施例中的 SiN 膜 21，是一邊為 SiN 膜，一邊具有與 SiO 膜同等之高穿透率。另外，為了比較起見，係將以一般的電漿 CVD 裝置成膜的 SiN 膜顯示作為比較例。又，在此，將膜厚，設為具有作為保護膜之最低限強度的 400nm，且以波長 350nm 進行了評估。

當藉由 IR 分析(紅外線分析，例如 FTIR 等)確認看 SiN 膜中之氫量時，如第 3 圖所示，可明白：Si-H 鍵結量(根據在 2140cm^{-1} 附近發生的 Si-H 鍵結之峰值面積求出)與穿透率有相關，且當減少 Si-H 鍵結量時，就變成穿透率高的膜。然而，在以一般的電漿 CVD 裝置成膜的 SiN 膜(比較例)中，即使在最好的處理條件下，Si-H 鍵結量也會變成 2.0×10^{22} [個/cm³] 以上，且其穿透率停在 88% 程度。相對於此，在本實施例的 SiN 膜 21 中，可將 Si-H 鍵結量，形成比一般的 2.0×10^{22} [個/cm³] 還小，且也可提高穿透率。尤其是，在 Si-H 鍵結量未滿 1.0×10^{21} [個/cm³] 的情況下，其穿透率也可達成 98% 以上。此意味著與以一般的電漿 CVD 裝置成膜的 SiN 膜相較，膜中之氫、換句話說

雜質較少之意，因此，膜本身的消光(extinction)係數 k 將極低至 0.005 以下，結果，可獲得較高的穿透率。

又，SiN 膜 21 之膜厚，係設為能夠物理性地保護元件的膜厚、換句話說不會傷及元件之半導體層的膜厚，具體而言，設為可為一般的 LED 使用之 $400 \sim 1000 \text{ nm}$ 。在如此範圍的膜厚中，SiN 膜 21，係可從後述的第 5 圖中明白，具有充分的防水性，又如前面所述，具有絕緣耐壓也高、穿透率也高的特性。

因而，在上述元件構造中，極端上除了一部分(焊墊開口部)以外，由於元件全體是由 SiN 膜 21 所覆蓋，所以在元件之側壁，可防止水分侵入於內部，並可抑制 p 電極 15 中的 Ag 之遷移，且可獲得較高之遷移防止性。又，由於膜本身的絕緣耐壓較高，所以沒有必要如習知般地加厚 SiN 膜 21 之膜厚，又由於也不需要該加厚部分之蝕刻，所以可抑制成膜成本。

有關遷移防止性、穿透率、成膜成本及高亮度構造之實現性，當與前述的習知例 1、習知例 2 進行比較時，可如表 1 所示。另外，在表 1 中，也一併記載後述的實施例 2、實施例 3、實施例 4。

[表 1]

	習知例 1	習知例 2	實施例 1	實施例 2	實施例 3	實施例 4
遷移防止性	x	◎	◎	○	◎	◎
光穿透率 膜厚：500nm 波長：350nm	○ 100% (註 1)	x 80-90%	○ 99.6%	◎ 99.9%	◎ 99.9%	◎ 99.9%
成膜成本	x	△	○	○	○	○
高亮度構造之實現性	△	△	○	○	◎	◎

(註 1)：由於 p 電極附近有 SiN 膜所以為 80～90%。

如表 1 所示，本實施例中的遷移防止性，由於元件全體是由 SiN 膜 21 所覆蓋，所以比習知例 1 還高、與習知例 2 同等，且可提高元件之可靠度。

又，本實施例中的穿透率，係在以膜厚 500nm、光之波長 350nm 的條件進行比較的情況下，其保護膜全體之穿透率為 99.6%。此比習知例 2 還高、與習知例 1 大致同等（也考慮 p 電極附近之穿透率的情況），如此有改善光取出效率。

又，本實施例中的成膜成本，由於絕緣耐壓比普通的 SiN 膜還高，且可減薄保護膜全體之厚度，所以比需要蝕刻步驟的習知例 1 或膜厚變厚的習知例 2 還低。

如此，在本實施例中，可滿足較高之遷移防止性和較高之穿透率、加上較低之成膜成本之全部，且高亮度構造之實現性比習知還提高。

(實施例 2)

第 4 圖係顯示本實施例的 LED 之元件構造的剖視圖。另外，在第 4 圖中，針對與實施例 1(參照第 1 圖)所示之構成同等的構成附記相同的元件符號，且省略重複的說明。又，圖中之箭頭，係顯示穿透光之樣態。

本實施例的 LED，其半導體層之元件構造，係與實施例 1(參照第 1 圖)所示的 LED 為同等的構成。又，雖然與實施例 1 同樣，除了供 p 焊墊 16 及 n 焊墊 18 中之凸塊用的開口部以外，以被覆半導體層及電極部之周圍的方式，形成保護膜，但是該保護膜的構成，係與實施例 1 有所差異。

具體而言，作為保護膜，係依序積層由具有絕緣性且穿透率高之 SiN 構成的 SiN 膜 31(第 1 保護膜)、及由具有絕緣性之 SiO 構成的 SiO 膜 32(第 2 保護膜)。換句話說，形成以第 1 層為 SiN 膜 31、第 2 層為 SiO 膜 32 的 2 層構造之保護膜。如此，成為：藉由 SiN 膜 31 及 SiO 膜 32 之 2 層構造不僅可保護含有 Ag 的 p 電極 15 之周圍，還可保護元件全體之周圍的構造。

此等的 SiN 膜 31、SiO 膜 32 中之 SiN 膜 31，係藉由第 2 圖所示的電漿 CVD 裝置而形成。另一方面，SiO 膜 32，雖然亦可為第 2 圖所示的電漿 CVD 裝置，但是亦可為普通的電漿 CVD 法(裝置)，更佳為使用高密度電漿的電漿 CVD 法(裝置)。另外，只要可形成同樣的 SiO 膜，亦可使用其他的方法、例如濺鍍法(裝置)、真空蒸鍍法(裝置)等。

如前面所述，由 SiN 構成的保護膜，通常防水性雖然高，但是穿透率低，如此有絕緣耐壓差的問題。

因此，在本實施例中，如第 3 圖所說明般，係將 SiN 膜 31 設為提高穿透率，並且可保持防水性的膜厚。更且，形成：在該 SiN 膜 31 之外側，積層雖然防水性差，但是穿透率高、絕緣耐壓高的 SiO 膜 32 之構造。

在此，參照第 5 圖的曲線圖，說明 SiN 膜 31 中的防水性與膜厚之關係。第 5 圖中，作為比較例，係以虛線並記以一般的電漿 CVD 裝置成膜的 SiN 中之防水性與膜厚的曲線圖。另外，第 5 圖中所謂的防水性，係指在鈷-鐵之膜上，依序形成評估對象之 SiN 膜、膜中水分量較多之 SiO 膜，作為樣本，且在所形成的樣本中，藉由測定鈷-鐵之磁化劣化，來對評估對象之 SiN 膜的防水性進行評估之意。

如第 5 圖之曲線圖所示，可明白：在比較例中，雖然在 SiN 膜之膜厚未滿 35nm 的情況下，隨著膜厚變薄，防水性會降低，但是在 SiN 膜之膜厚為 35nm 以上的情況下，防水性優異。另一方面，可明白：在本實施例中，雖然在 SiN 膜之膜厚未滿 10nm 的情況下，隨著膜厚變薄，防水性會降低，但是在 SiN 膜之膜厚為 10nm 以上的情況下，防水性優異。如此，在比較例中，雖然若非為 35nm 以上，就無法獲得優異的防水性，但是在本實施例中，藉由將 SiN 膜 31 之膜厚設為 10nm 以上，就可獲得優異的防水性。換句話說，在 SiN 膜 31 中，10nm 以上，成為可保持

防水性的膜厚。

又，SiO 膜 32，係將其與 SiN 膜 31 之合計的膜厚，設為能夠物理性地保護元件的膜厚、換句話說不會傷及元件之半導體層的膜厚。具體而言，係將合計的膜厚，設為可為一般的 LED 使用之 400~1000nm。

在上述元件構造中，極端上除了一部分(焊墊開口部)以外，由於元件全體是由 SiN 膜 31 所覆蓋，所以在元件之側壁，可防止水分侵入於內部，並可抑制 p 電極 15 中的 Ag 之遷移，且可獲得較高之遷移防止性。又，由於沒有必要加厚 SiN 膜 31 之膜厚，也不需要該加厚部分之蝕刻，所以可抑制成膜成本。

然後，如表 1 所示，本實施例中的遷移防止性，由於元件全體是由 SiN 膜 31 所覆蓋，所以比習知例 1 還高，且可提高元件之可靠度。

又，本實施例中的穿透率，係在以膜厚 500nm、光之波長 350nm 的條件進行比較的情況下(本實施例的 SiN 膜 31 之膜厚為 35nm、其穿透率為 99.9%)，其保護膜全體之穿透率為 99.9%。此比習知例 2 還高、與習知例 1 大致同等(也考慮 p 電極附近之穿透率的情況)，又比實施例 1 還高，且有改善光取出效率。

又，本實施例中的成膜成本，由於藉由 SiO 膜 32 之積層，可使絕緣耐壓變高，且可減薄保護膜全體之厚度，所以比需要蝕刻步驟的習知例 1 或膜厚變厚的習知例 2 還低，又與實施例 1 同等。

如此，在本實施例中，可滿足較高之遷移防止性和較高之穿透率、加上較低之成膜成本之全部，且高亮度構造之實現性比習知還提高。

(實施例 3)

第 6 圖係顯示本實施例的 LED 之元件構造的剖視圖。另外，在第 6 圖中，針對與實施例 1(參照第 1 圖)所示之構成同等的構成係附記相同的元件符號，且省略重複的說明。又，圖中之箭頭，係顯示透光之樣態。

本實施例的 LED，其半導體層之元件構造，係與實施例 1(參照第 1 圖)所示的 LED 為同等的構成。又，雖然與實施例 1 同樣，除了供 p 焊墊 16 及 n 焊墊 18 中之凸塊用的開口部以外，以被覆半導體層及電極部之周圍的方式，形成保護膜，但是該保護膜的構成，係與實施例 1、實施例 2 有所差異。

具體而言，作為保護膜，係依序積層由具有絕緣性且穿透率高之 SiN 構成的 SiN 膜 41(第 1 保護膜)、由具有絕緣性之 SiO 構成的 SiO 膜 42(第 2 保護膜)、及由具有絕緣性且穿透率高之 SiN 構成的 SiN 膜 43(第 3 保護膜)。換句話說，形成以第 1 層為 SiN 膜 41、第 2 層為 SiO 膜 42、第 3 層為 SiN 膜 43 的 3 層構造之保護膜。如此，成為：藉由 SiN 膜 41、SiO 膜 42 及 SiN 膜 43 之 3 層構造不僅可保護含有 Ag 的 p 電極 15 之周圍，還可保護元件全體之周圍的構造。

此等的 SiN 膜 41、SiO 膜 42 及 SiN 膜 43 中之 SiN 膜 41、43，係藉由第 2 圖所示的電漿 CVD 法而形成。另一方面，SiO 膜 42，雖然亦可為第 2 圖所示的電漿 CVD 裝置，但是亦可為普通的電漿 CVD 法(裝置)，特佳為使用高密度電漿的電漿 CVD 法(裝置)。另外，只要可形成同樣的 SiO 膜，亦可使用其他的方法、例如濺鍍法(裝置)、真空蒸鍍法(裝置)等。

如前面所述，由 SiN 構成的保護膜，通常防雖然水性高，但是穿透率低，如此有絕緣耐壓差的問題。又，由 SiO 構成的保護膜，由於本來就容易透水，且也更容易保持，所以當膜中一旦包含較多的水分時，就會變成水分的供給源，且即使在其內側形成由 SiN 構成的保護膜，當其膜厚較薄時，雖然僅有些微，也會穿透保護膜，而有水侵入於元件側的問題。

因此，在本實施例中，係將 SiN 膜 41，如第 3 圖所說明般，提高穿透率，並且如第 5 圖所說明般，設為可保持防水性的膜厚 10nm 以上。更且，形成：在該 SiN 膜 41 之外側，積層防水性雖然差但是穿透率高且絕緣耐壓高的 SiO 膜 42，進而在 SiO 膜 42 之外側，積層穿透率高且可保持防水性之膜厚 10nm 以上的 SiN 膜 43 之構造。

又，SiO 膜 42，係將其與 SiN 膜 41 及 SiN 膜 43 之合計的膜厚，設為能夠物理性地保護元件的膜厚、換句話說不會傷及元件之半導體層的膜厚。具體而言，係將合計的膜厚，設為可為一般的 LED 使用之 400~1000nm。

在上述元件構造中，極端上除了一部分(焊墊開口部)以外，由於元件全體是由 SiN 膜 41 所覆蓋，所以在元件之側壁，可防止水分侵入於內部，並可抑制 p 電極 15 中的 Ag 之遷移，且可獲得較高之遷移防止性。更且，在本實施例的情況，由於在 SiO 膜 42 之外側復設置 SiN 膜 43，所以可減低侵入於保護膜內部、尤其是 SiO 膜 42 之內部的水分，因此，可減低侵入於元件側的水分。結果，比起實施例 1、實施例 2，更可提高遷移防止性。又，由於沒有必要如習知般地加厚 SiN 膜 41、43 之膜厚，也不需要該加厚部分之蝕刻，所以可抑制成膜成本。

然後，如表 1 所示，本實施例中的遷移防止性，係比習知例 1 還高，又比實施例 2 還更高，且更可提高元件之可靠度。

又，本實施例中的穿透率，係在以膜厚 500nm、光之波長 350nm 的條件進行比較的情況下(本實施例的 SiN 膜 41、43 之膜厚為 35nm、其穿透率為 99.9%)，其保護膜全體之穿透率為 99.9%。該穿透率，雖然比習知例 2 還高、與習知例 1 大致同等(也考慮 p 電極附近之穿透率的情況)，又比實施例 1 還高、與實施例 2 大致同等，且有改善光取出效率。此與實施例 2 同樣，是因為穿透率低的 SiN 膜 41、43 之膜厚相對於保護膜全體之膜厚較薄，且穿透率高的 SiO 膜 42 之膜厚較厚，所以保護膜全體可獲得較高的穿透率之故。

又，本實施例中的成膜成本，由於復積層 SiN 膜 43

，所以雖然比實施例 2 稍微高，但是對保護膜全體而言，由於藉由 SiO 膜 42 之積層，可使絕緣耐壓變高，且可減薄保護膜全體之厚度，所以比需要蝕刻步驟的習知例 1 或膜厚變厚的習知例 2 還低。

如此，在本實施例中，可滿足較高之遷移防止性和較高之穿透率、加上較低之成膜成本之全部，且高亮度構造之實現性比習知還提高。

(實施例 4)

第 7 圖係顯示本實施例的 LED 之元件構造的剖視圖。另外，在第 7 圖中，針對與實施例 1(參照第 1 圖)所示之構成同等的構成附記相同的元件符號，且省略重複的說明。又，圖中之箭頭，係顯示穿透光之樣態。

本實施例的 LED，其半導體層之元件構造，係與實施例 1(參照第 1 圖)所示的 LED 為同等的構成。又，雖然與實施例 1 同樣，除了供 p 焊墊 16 及 n 焊墊 18 中之凸塊用的開口部以外，以被覆半導體層及電極部之周圍的方式，形成保護膜，但是該保護膜的構成，係與實施例 1、實施例 2 有所差異。更且，SiO 膜之膜質與實施例 3 有所差異。

具體而言，作為保護膜，係依序積層由具有絕緣性且穿透率高之 SiN 構成的 SiN 膜 51(第 1 保護膜)、由具有絕緣性且膜中水分量少之 SiO 構成的 SiO 膜 52(第 2 保護膜)、及由具有絕緣性且穿透率高之 SiN 構成的 SiN 膜 53(第

3 保護膜)。換句話說，形成以第 1 層為 SiN 膜 51、第 2 層為 SiO 膜 52、第 3 層為 SiN 膜 53 的 3 層構造之保護膜。如此，成為：藉由 SiN 膜 51、SiO 膜 52 及 SiN 膜 53 之 3 層構造不僅可保護含有 Ag 的 p 電極 15 之周圍，還可保護元件全體之周圍的構造。

此等的 SiN 膜 51、SiO 膜 52 及 SiN 膜 53 中之 SiN 膜 51、53，係藉由第 2 圖所示的電漿 CVD 法而形成。另一方面，SiO 膜 52，係利用普通的電漿 CVD 法(裝置)而形成，特佳為使用高密度電漿的電漿 CVD 法(裝置)、例如第 2 圖所示的電漿 CVD 裝置。另外，只要可形成同樣的 SiO 膜，亦可使用其他的方法、例如濺鍍法(裝置)、真空蒸鍍法(裝置)等。

如前面所述，由 SiN 構成的保護膜，通常防水性雖然高，但是穿透率低，如此有絕緣耐壓差的問題。又，由 SiO 構成的保護膜，由於本來就容易透水，且也更容易保持，所以當膜中一旦包含較多的水分時，就會變成水分的供給源，且即使在其內側形成由 SiN 構成的保護膜，當其膜厚較薄時，雖然僅有些微，也會穿透保護膜，而有水侵入於半導體層側的問題。

因此，在本實施例中，係在 SiN 膜 51、SiO 膜 52 及 SiN 膜 53 之 3 層構造中，使用膜中水分量少的 SiO 膜，作為 SiO 膜 52。亦即，作為 SiO 膜之膜質，只要 Si-OH 鍵結量(根據在 3738cm^{-1} 附近發生的 Si-OH 鍵結之峰值面積求出)，藉由 IR 分析之測定，成為 $1.3 \times 10^{21} [\text{個}/\text{cm}^3]$ 以

下，則即使在升溫脫離氣體分析(TDS: Thermal Desorption Spectroscopy)之測定中，膜中之水分量仍然顯示十分低的值。下述表 2 係顯示在實施例 2、實施例 3 中使用之普通的 SiO 膜與在本實施例中使用之低水分量的 SiO 膜之比較。普通的 SiO 膜之 Si-OH 鍵結量及水分量，為 2.6×10^{21} [個/cm³]，相對於此，在本實施例的低水分 SiO 膜中，均變成該 1/2 的量。

[表 2]

	普通 SiO 膜	低水分 SiO 膜
水分量(TDS)[個/cm ³]	2.6×10^{21}	1.3×10^{21}
Si-OH 鍵結量(IR)[個/cm ³]	2.6×10^{21}	1.3×10^{21}

在實施例 3 中，由於是在第 3 層設置 SiN 膜 43，所以從外部對 SiO 膜 42 之水侵入雖然幾乎沒有，但是因為 SiO 膜 42 原本就包含較多的水分，故而無法減薄防止水分從 SiO 膜 42 擴散至元件側的第 1 層之 SiN 膜 41 的膜厚。相對於此，如表 2 所示，本實施例中的 SiO 膜之膜中水分量，由於成為普通的 SiO 膜之 1/2，所以可減薄防止水分擴散至元件側的 SiN 膜 51，具體而言，可將第 2 圖說明之可保持防水性的最低膜厚 10nm，設為其 1/2 的 5nm，藉此，可獲得比實施例 3 還高的穿透率。

然後，即使在本實施例中，雖然是形成：在 SiN 膜 51 之外側積層穿透率高且絕緣耐壓高的 SiO 膜 52，進而在 SiO 膜 52 之外側積層 SiN 膜 53 的 3 層構造，但是如第

3 圖所說明般，由於提高穿透率，並且 SiO 膜 52 之膜中水分量較少，所以會如上所述，將 SiN 膜 51，設為膜厚 5nm 以上。更且，形成：在 SiO 膜 52 之外側，積層穿透率高且可保持防水性之膜厚 10nm 以上的 SiN 膜 53 之構造。

又，SiN 膜 51、SiO 膜 52 及 SiN 膜 53 之合計的膜厚，係設為能夠物理性地保護元件的膜厚、換句話說不會傷及元件之半導體層的膜厚，具體而言，係將合計的膜厚，設為可為一般的 LED 使用之 400~1000nm。

在上述元件構造中，極端上除了一部分(焊墊開口部)以外，由於元件全體是由 SiN 膜 51 所覆蓋，所以在元件之側壁，可防止水分侵入於內部，並可抑制 p 電極 15 中的 Ag 之遷移，且可獲得較高之遷移防止性。在本實施例的情況，雖然 SiN 膜 51 之膜厚，係比實施例 3 的 SiN 膜 41 還薄，但是如上所述，由於 SiO 膜 52 本身的膜中水分較少，所以可獲得十分高的遷移防止性。更且，在本實施例的情況，由於 SiO 膜 52 本身的膜中水分量較低，且在其外側復設置 SiN 膜 53，所以可減低侵入於保護膜內部、尤其是 SiO 膜 52 之內部的水分，因此，可減低侵入於元件側的水分。結果，比起實施例 2，更可提高遷移防止性。又，由於沒有必要如習知般地加厚 SiN 膜 51、53 之膜厚，也不需要該加厚部分之蝕刻，所以可抑制成膜成本。

然後，如表 1 所示，本實施例中的遷移防止性，係比

習知例 1 還高，又比實施例 2 還更高，且更可提高元件之可靠度。

又，本實施例中的穿透率，係在以膜厚 500nm、光之波長 350nm 的條件進行比較的情況下(本實施例的 SiN 膜 51、53 之膜厚為 35nm、其穿透率為 99.9%)，其保護膜全體之穿透率為 99.9%。該穿透率，比習知例 2 還高、與習知例 1 大致同等(也考慮 p 電極附近之穿透率的情況)，又比實施例 1 還高、與實施例 2、3 同等，且有改善光取出效率。此與實施例 2、實施例 3 同樣，是因為穿透率低的 SiN 膜 51、53 之膜厚相對於保護膜全體之膜厚較薄，且穿透率高的 SiO 膜 52 之膜厚較厚，所以保護膜全體可獲得較高的穿透率之故。

又，本實施例中的成膜成本，由於復積層 SiN 膜 53，所以雖然比實施例 2 稍微高，但是由於 SiN 膜 51 之膜厚較薄，所以比實施例 3 稍微低。對保護膜全體而言，由於藉由 SiO 膜 52 之積層，可使絕緣耐壓變高，且可減薄保護膜全體之厚度，所以比需要蝕刻步驟的習知例 1 或膜厚變厚的習知例 2 還低。

如此，在本實施例中，可滿足較高之遷移防止性和較高之穿透率、加上較低之成膜成本之全部，且高亮度構造之實現性比習知還提高。

另外，在上述實施例 1~4 中，LED 的半導體層之材料、構成，並不限於上述的構成，也可為其他的材料、構成。例如，各半導體層，也可為由 III 族原子之 In(銦)、

Al(鋁)、Ga(鎵)等與 V 族原子之 N(氮)構成的氮化物半導體等。又，活性層 13，並不限於多量子井結構，也可為單一量子井結構或畸變量子井結構。又，基板 11，也不限於藍寶石基板，亦可為 GaN 基板等。又，各半導體層之製造方法，也可使用公知的製造方法、例如有機金屬氣相磊晶法(MOVPE: Metal Organic Vapor Phase Epitaxy)或有機金屬化學氣相沉積法(MOCVD: Metal Organic Chemical Vapor Deposition)等。

又，p 電極 15 雖然是成為多層構造，但是若包含有遷移之虞的 Ag、Cu(銅)等的金屬，則亦可包含 Ni、Pt 以外的其他金屬之構成。又，其製造方法，可使用公知的製造方法、例如濺鍍法或真空蒸鍍法等，且在積層後，例如藉由舉離法，形成所期望的圖案。以往雖然有考慮 Ag 等之遷移，而將 Ag 層等的上下之層形成以其他金屬構成的多層構造(三明治構造)，但是由於是以上述實施例 1~4 之保護膜來覆蓋元件全體，所以即使不一定採用如此的三明治構造，亦可充分地抑制 Ag 等之遷移。

又，p 焊墊 16、n 電極 17、n 焊墊 18，係成為單層構造或多層構造，而其製造方法，係與 p 電極 15 同樣，可使用公知的製造方法、例如濺鍍法或真空蒸鍍法等，且在積層後，例如藉由舉離法，形成所期望的圖案。

另外，氮化矽，作為其代表的有 Si_3N_4 ，雖然也有按照其組成比而表記為 Si_xN_y ，但是在此為了簡單表記起見，是記載為 SiN。同樣地，氧化矽，作為代表性的有 SiO_2

，雖然也有按照其組成比而表記為 Si_xO_y ，但是在此爲了簡單表記起見，是記載爲 SiO 。

(產業上之可利用性)

本發明係適用於半導體發光元件者，尤其是合適於白色 LED。

【圖式簡單說明】

第 1 圖係顯示作爲本發明的半導體發光元件之實施形態之一例(實施例 1)，且顯示該元件構造的剖視圖。

第 2 圖係形成第 1 圖所示的半導體發光元件之 SiN 膜的電漿處理裝置之構成圖。

第 3 圖係顯示第 1 圖所示的半導體發光元件之 SiN 膜中的穿透率與膜中氫量之關係的曲線圖。

第 4 圖係顯示作爲本發明的半導體發光元件之實施形態之一例(實施例 2)，且顯示該元件構造的剖視圖。

第 5 圖係顯示在第 4 圖所示所示導體發光元件之 SiN 膜與習知的 SiN 膜中之防水性與膜厚之關係的曲線圖。

第 6 圖係顯示作爲本發明的半導體發光元件之實施形態之另一例(實施例 3)，且顯示該元件構造的剖視圖。

第 7 圖係顯示作爲本發明的半導體發光元件之實施形態之另一例(實施例 4)，且顯示該元件構造的剖視圖。

第 8 圖係顯示習知 LED 元件構造的剖視圖。

第 9 圖係顯示習知之另一 LED 元件構造的剖視圖。

【 主 要 元 件 符 號 說 明 】

- 11、61：基板
- 12、62：n 型半導體層(半導體層)
- 13、63：活性層(半導體層)
- 14、64：p 型半導體層(半導體層)
- 15、65：p 電極(電極部)
- 16、66：p 焊墊(電極部)
- 17、67：n 電極(電極部)
- 18、68：n 焊墊(電極部)
- 21、31、41、51、71：SiN 膜(第 1 保護膜)
- 32、42、52、72：SiO 膜(第 2 保護膜)
- 43、53、81：SiN 膜(第 3 保護膜)
- 100：電漿 CVD 裝置
- 101：真空容器
- 102：筒狀容器
- 103：頂板
- 104：真空裝置
- 105：RF 天線
- 106：匹配器
- 107：RF 電源
- 108：氣體供給管
- 109：基板
- 110：基板支撐台

111：基板保持部

112：支撐軸

113：加熱器

114：加熱器控制裝置

119：主控制裝置

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100105984

H01L 33/44

(2010.01)

※申請日：100 年 02 月 23 日

※IPC 分類：

一、發明名稱：(中文／英文)

半導體發光元件，半導體發光元件之保護膜及其製作方法

二、中文發明摘要：

本發明提供一種可滿足較高之遷移防止性、較高之穿透率、較低之成膜成本之全部的半導體發光元件、半導體發光元件之保護膜及其製作方法。

本發明之半導體發光元件係具有形成於基板(11)上的複數個半導體層(12～14)、和成為複數個半導體層(12～14)之電極的電極部(15、16)及電極部(17、18)，而作為半導體發光元件之保護膜，係以膜中之Si-H鍵結量未滿 1.0×10^{21} [個/cm³]之由氮化矽構成的SiN膜(21)來被覆複數個半導體層(12～14)、電極部(15、16)及電極部(17、18)之周圍。

三、英文發明摘要：

七、申請專利範圍：

1.一種半導體發光元件之保護膜，係在具有形成於基板上的複數個半導體層、和成為前述複數個半導體層之電極的複數個電極部之半導體發光元件中，用以保護該半導體發光元件的保護膜，其特徵為：

作為前述保護膜，係設置被覆前述複數個半導體層及前述複數個電極部之周圍的第1保護膜，並且

將前述第1保護膜，設為膜中之Si-H鍵結量未滿 1.0×10^{21} [個/cm³]之氮化矽。

2.如申請專利範圍第1項所述的半導體發光元件之保護膜，其中，復設置被覆前述第1保護膜之周圍的第2保護膜，並且

將前述第1保護膜，設為膜厚10nm以上，且

將前述第2保護膜，設為氧化矽。

3.如申請專利範圍第2項所述的半導體發光元件之保護膜，其中，復設置被覆前述第2保護膜之周圍的第3保護膜，並且

將前述第3保護膜，與前述第1保護膜同樣地，設為膜中之Si-H鍵結量未滿 1.0×10^{21} [個/cm³]之氮化矽，並且將該膜厚設為10nm以上。

4.如申請專利範圍第3項所述的半導體發光元件之保護膜，其中，將前述第2保護膜，設為膜中之Si-OH鍵結量為 1.3×10^{21} [個/cm³]以下的氧化矽，並且將該情況下的前述第1保護膜之膜厚，設為5nm以上。

5.如申請專利範圍第 1 至 4 項中之任一項所述的半導體發光元件之保護膜，其中，前述複數個電極部之至少一個是由含有銀的金屬所構成。

6.一種半導體發光元件，其特徵為：使用申請專利範圍第 1 至 4 項中之任一項所述的半導體發光元件之保護膜。

7.一種半導體發光元件之保護膜的製作方法，係在具有形成於基板上的複數個半導體層、和成為前述複數個半導體層之電極的複數個電極部之半導體發光元件中，用以保護該半導體發光元件的保護膜之製作方法，其特徵為：

作為前述保護膜，係設置被覆前述複數個半導體層及前述複數個電極部之周圍的第 1 保護膜，且由膜中之 Si-H 鍵結量未滿 1.0×10^{21} [個/cm³] 的氮化矽所形成。

8.如申請專利範圍第 7 項所述的半導體發光元件之保護膜的製作方法，其中，將前述第 1 保護膜，設為膜厚 10nm 以上，並且

復設置被覆前述第 1 保護膜之周圍的第 2 保護膜，且由氧化矽所形成。

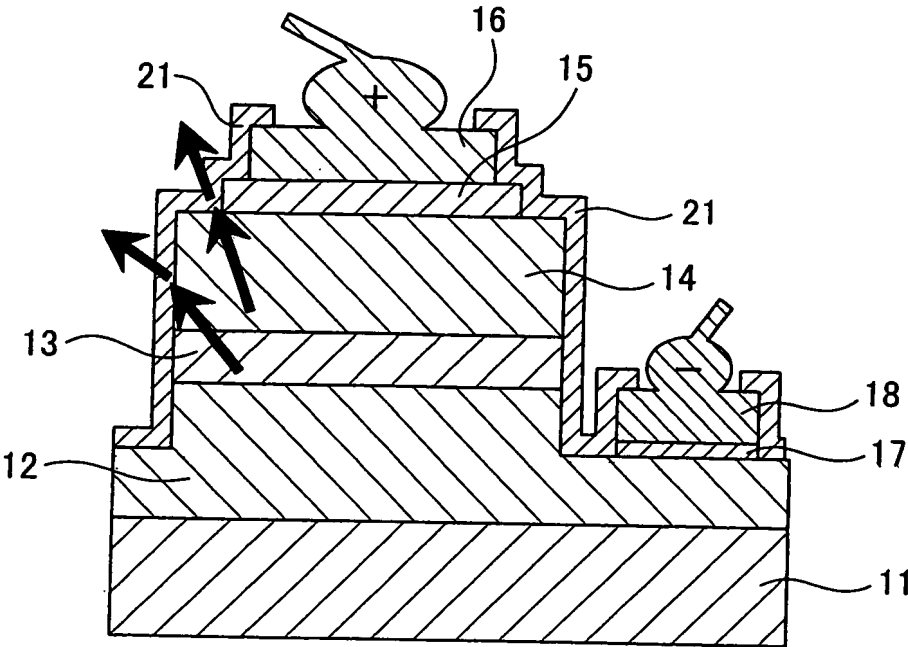
9.如申請專利範圍第 8 項所述的半導體發光元件之保護膜的製作方法，其中，復設置被覆前述第 2 保護膜之周圍的第 3 保護膜，且與前述第 1 保護膜同樣地，由膜中之 Si-H 鍵結量未滿 1.0×10^{21} [個/cm³] 的氮化矽所形成，並且將該膜厚設為 10nm 以上。

10.如申請專利範圍第 9 項所述的半導體發光元件之

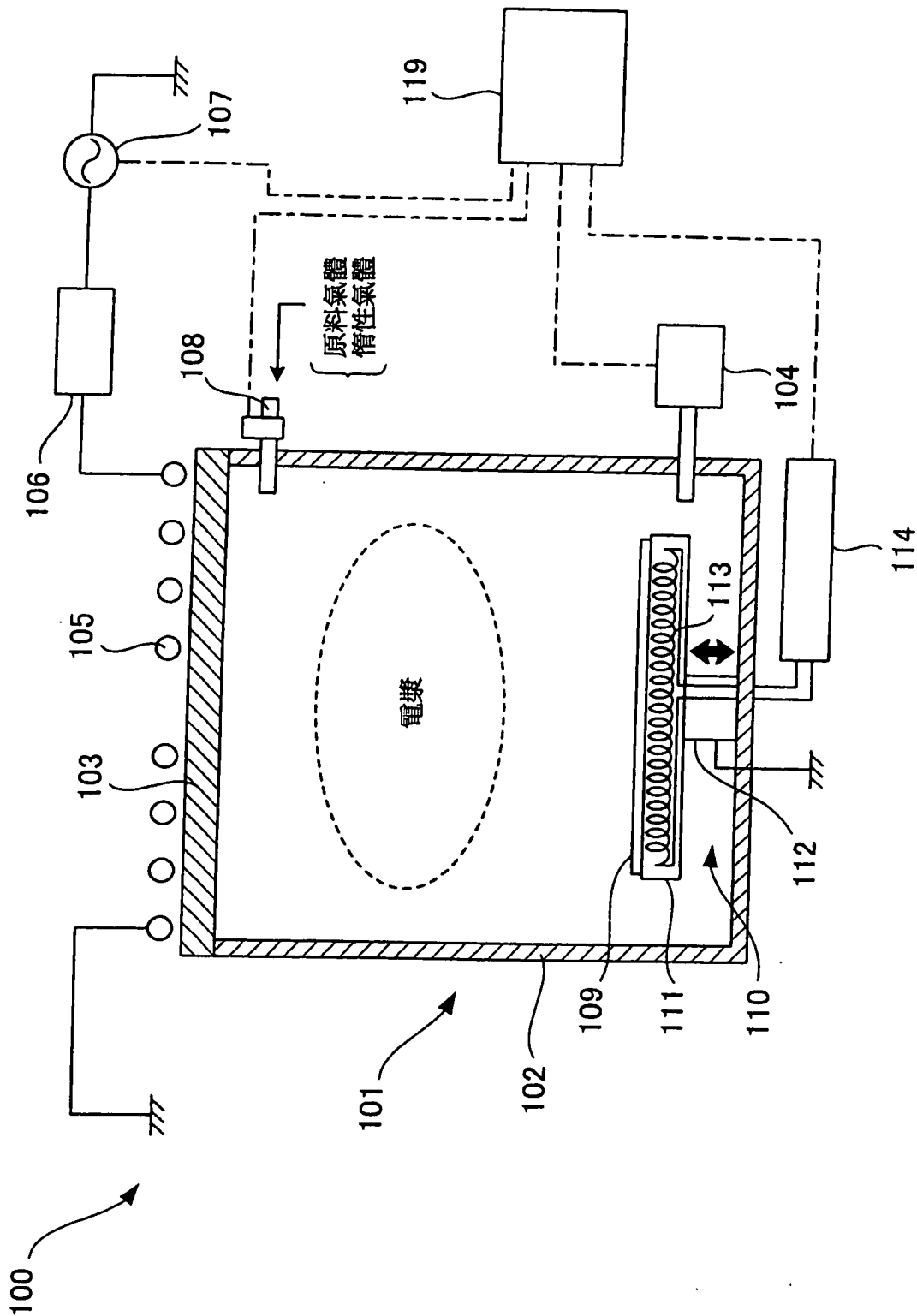
保護膜的製作方法，其中，將前述第 2 保護膜，由膜中之 Si-OH 鍵結量為 1.3×10^{21} [個/cm³] 以下的氧化矽所形成，並且將該情況下的前述第 1 保護膜之膜厚設為 5nm 以上。

11. 如申請專利範圍第 7 至 10 項中之任一項所述的半導體發光元件之保護膜的製作方法，其中，前述複數個電極部之至少一個是由含有銀的金屬所構成。

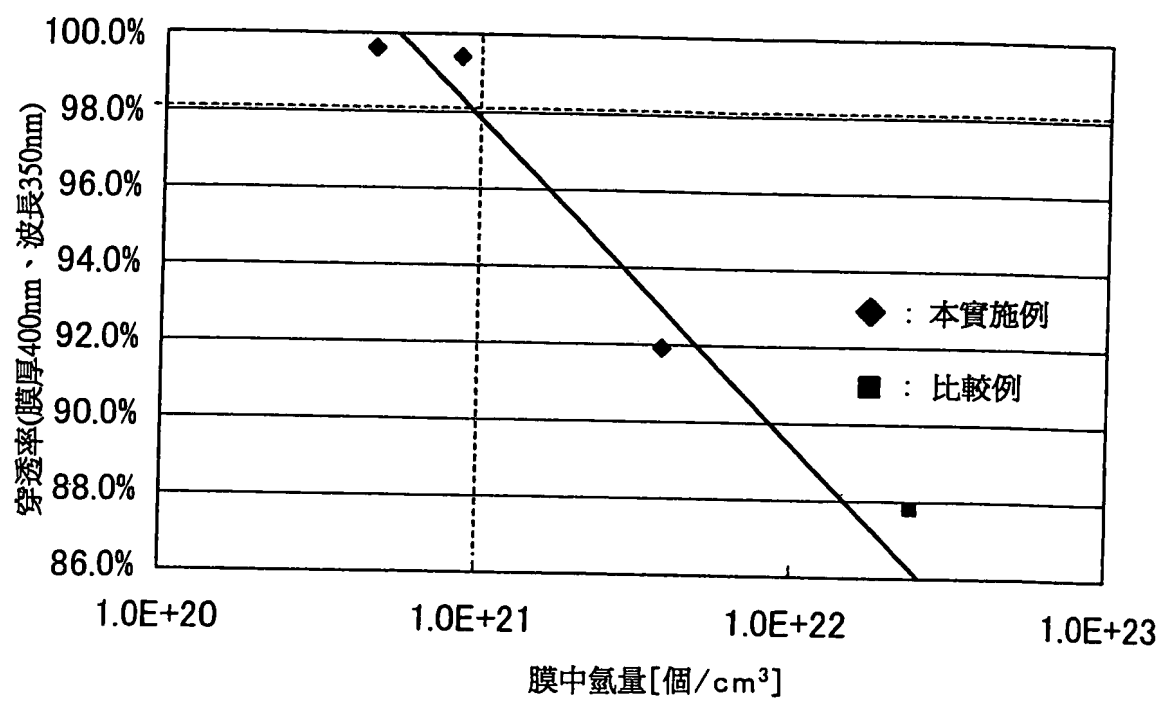
第1圖



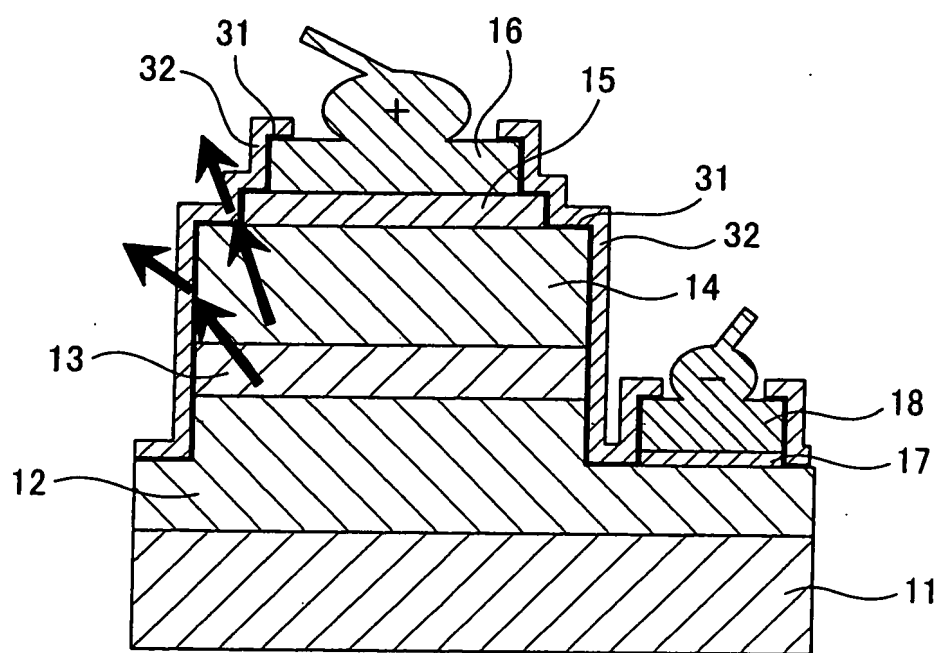
第2圖



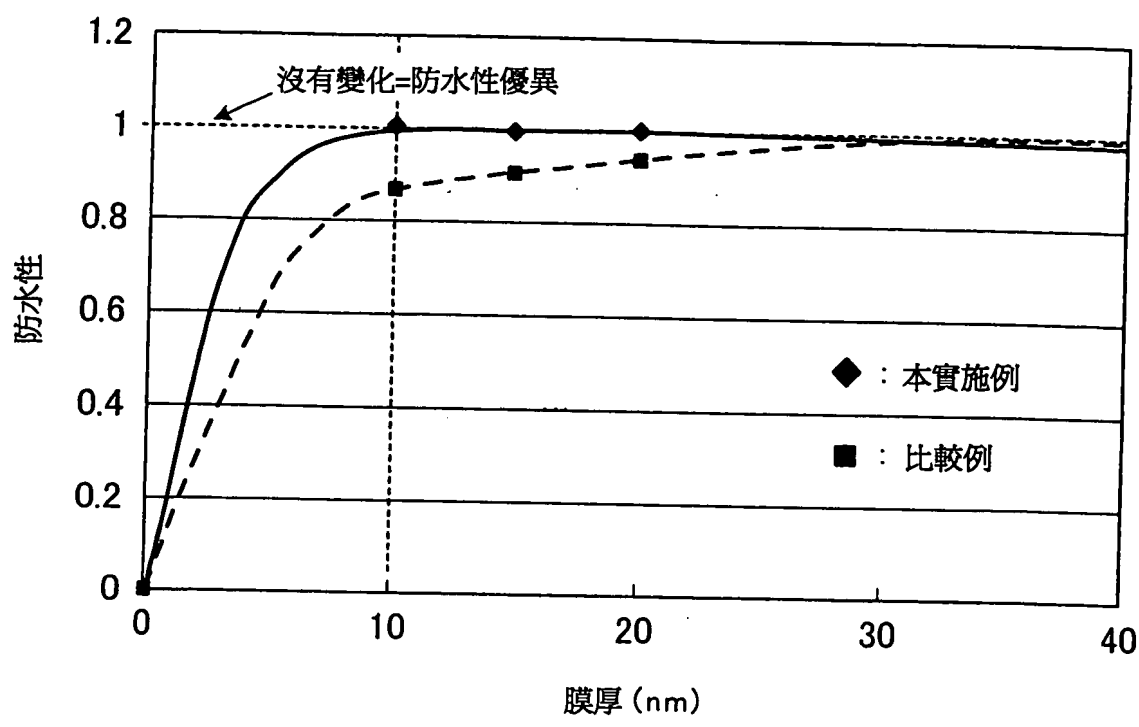
第3圖



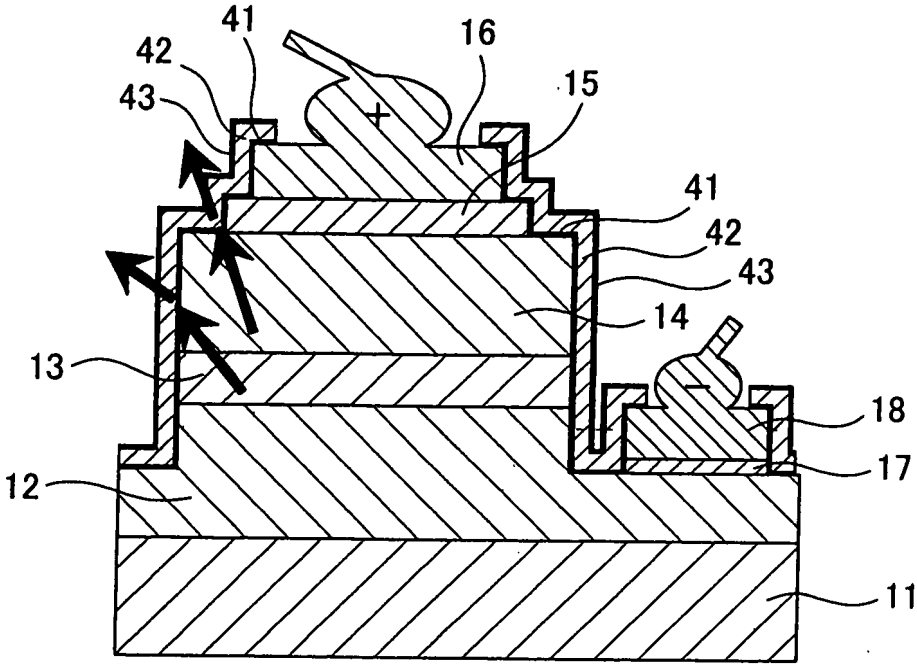
第4圖



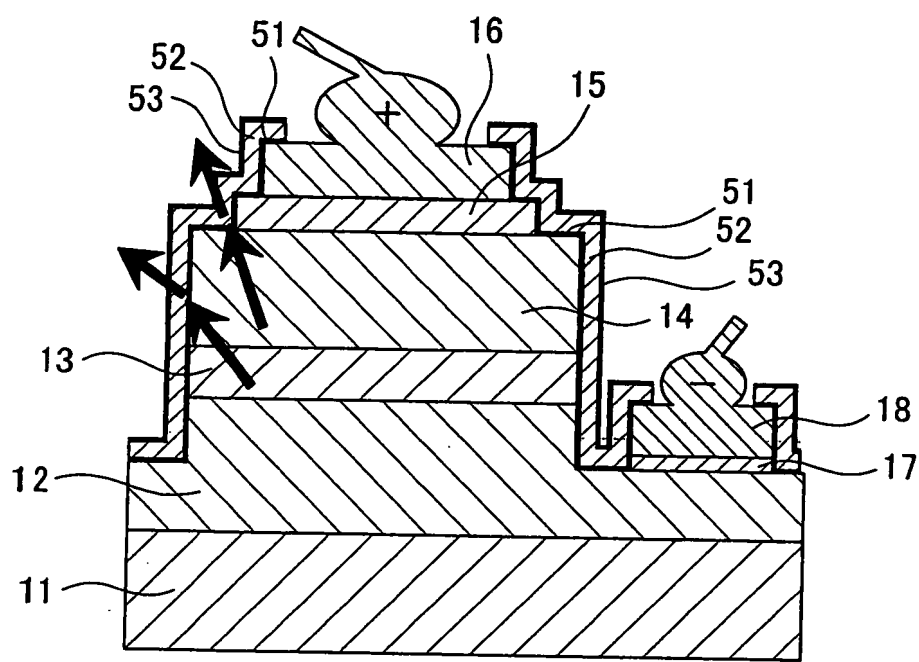
第5圖



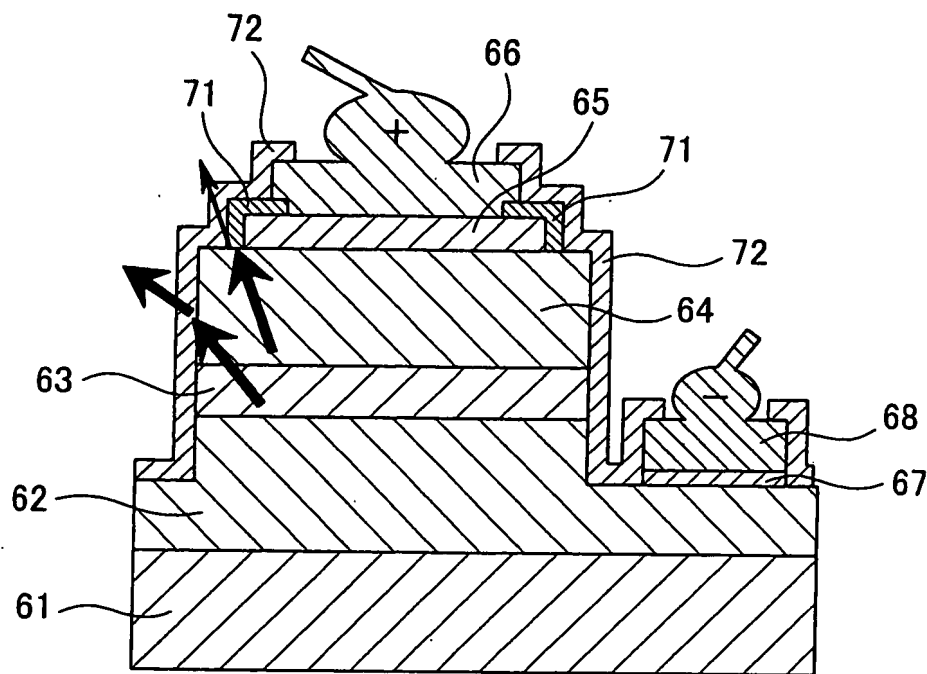
第6圖



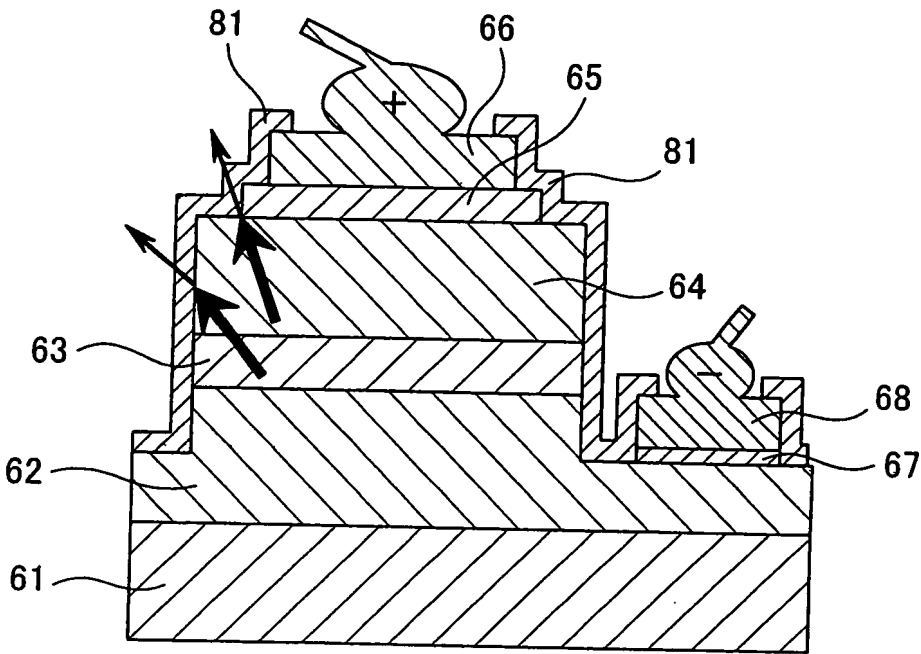
第7圖



第8圖



第9圖



四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

11：基板

12：n型半導體層(半導體層)

13：活性層(半導體層)

14：p型半導體層(半導體層)

15：p電極(電極部)

16：p焊墊(電極部)

17：n電極(電極部)

18：n焊墊(電極部)

21：SiN膜(第1保護膜)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無