

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-32399
(P2014-32399A)

(43) 公開日 平成26年2月20日(2014.2.20)

(51) Int.Cl.			F I	テーマコード (参考)
G09G	3/36	(2006.01)	G09G 3/36	2H193
G09G	3/20	(2006.01)	G09G 3/20 621B	5C006
G09G	3/34	(2006.01)	G09G 3/34 J	5C080
G02F	1/133	(2006.01)	G09G 3/20 611A	5C094
G09F	9/30	(2006.01)	G09G 3/20 641E	

審査請求 未請求 請求項の数 7 O L (全 42 頁) 最終頁に続く

(21) 出願番号 特願2013-144229 (P2013-144229)
 (22) 出願日 平成25年7月10日 (2013.7.10)
 (31) 優先権主張番号 特願2012-157405 (P2012-157405)
 (32) 優先日 平成24年7月13日 (2012.7.13)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 平形 吉晴
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 三宅 博之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

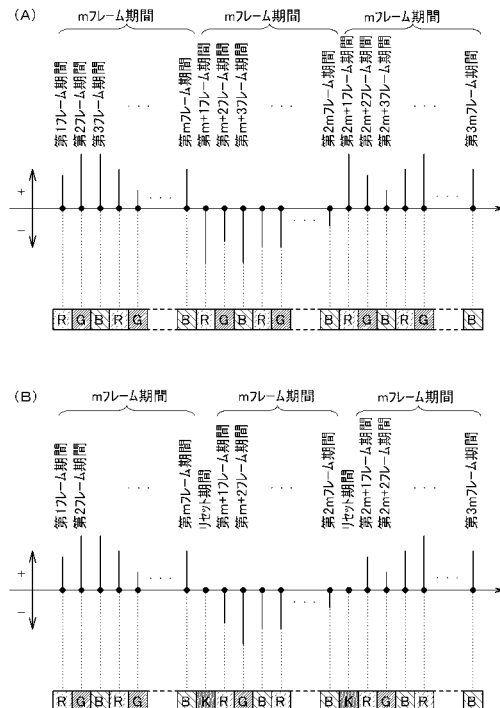
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】消費電力の低減を実現することができる液晶表示装置及びその駆動方法の提供。

【解決手段】画素部と、複数の色相の光を画素部に順に供給する光供給部と、フレーム期間の数を数えるカウンタと、カウンタにおいて数えられたフレーム期間の数の情報を用いて、連続する複数フレーム期間ごとに画像信号の極性を反転させるタイミングを定める信号生成回路と、タイミングに従って、画像信号の極性を反転させるコントローラと、を有し、画素部には、複数の画素が設けられており、複数の画素には、複数フレーム期間ごとに極性が反転させられた画像信号が、それぞれ入力される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画素部と、複数の色相の光を前記画素部に順に供給する光供給部と、を有し、
前記画素部には、複数の画素が設けられており、
複数の前記画素にそれぞれ入力される画像信号の極性は、連続する複数のフレーム期間ごとに反転する液晶表示装置。

【請求項 2】

第 1 領域及び第 2 領域を少なくとも有する画素部と、複数の色相の光を前記第 1 領域及び前記第 2 領域のそれぞれに順に供給する光供給部と、を有し、
前記画素部に供給される前記光の色相は、前記第 1 領域と前記第 2 領域との間において異なっており、なおかつ連続する少なくとも 2 つのフレーム期間の間において異なっており、
前記第 1 領域及び前記第 2 領域のそれぞれには、複数の画素が設けられており、
複数の前記画素にそれぞれ入力される画像信号の極性は、連続する複数のフレーム期間ごとに反転する液晶表示装置。

10

【請求項 3】

画素部と、複数の色相の光を前記画素部に順に供給する光供給部と、フレーム期間の数を数えるカウンタと、前記カウンタにおいて数えられたフレーム期間の数の情報を用いて、連続する複数フレーム期間ごとに画像信号の極性を反転させるタイミングを定める信号生成回路と、前記タイミングに従って、前記画像信号の極性を反転させるコントローラと、を有し、
前記画素部には、複数の画素が設けられており、
複数の前記画素には、複数フレーム期間ごとに極性が反転させられた前記画像信号が、それぞれ入力される液晶表示装置。

20

【請求項 4】

第 1 領域及び第 2 領域を少なくとも有する画素部と、複数の色相の光を前記第 1 領域及び前記第 2 領域のそれぞれに順に供給する光供給部と、フレーム期間の数を数えるカウンタと、前記カウンタにおいて数えられたフレーム期間の数の情報を用いて、連続する複数フレーム期間ごとに画像信号の極性を反転させるタイミングを定める信号生成回路と、前記タイミングに従って、前記画像信号の極性を反転させるコントローラと、を有し、
前記画素部に供給される前記光の色相は、前記第 1 領域と前記第 2 領域との間において異なっており、なおかつ連続する少なくとも 2 つのフレーム期間の間において異なっており、
前記第 1 領域及び前記第 2 領域のそれぞれには、複数の画素が設けられており、
複数の前記画素には、複数フレーム期間ごとに極性が反転させられた前記画像信号が、それぞれ入力される液晶表示装置。

30

【請求項 5】

請求項 1 乃至請求項 4 のいずれか 1 項において、
前記画素は、トランジスタと、前記トランジスタを介して前記画像信号が与えられる液晶素子とを有し、
前記トランジスタは、酸化物半導体膜にチャンネル形成領域を有する液晶表示装置。

40

【請求項 6】

請求項 5 において、
前記液晶素子が有する液晶層は、ブルー相を示す液晶を用いている液晶表示装置。

【請求項 7】

請求項 5 または請求項 6 において、前記酸化物半導体膜は、In、Ga、及びZnを含む液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

トランジスタを画素に有する、アクティブマトリクス型の液晶表示装置と、その駆動方法に関する。

【背景技術】

【0002】

フィールドシーケンシャル駆動（FS駆動）は、異なる色相の光を発する複数の光源を順次点灯させることでカラーの画像を表示する、液晶表示装置の駆動方法である。FS駆動ではカラーフィルタを用いる必要がないため、パネルの内部における光の損失を低減することができる。透過型の液晶表示装置の場合、バックライトやフロントライトなどの光供給部における消費電力が、液晶表示装置全体の消費電力に大きく影響を及ぼすため、FS駆動は、液晶表示装置の低消費電力化を図る有効な方法の一つであると言える。

10

【0003】

下記の特許文献1では、データ書き込み期間において、赤、緑、青のバックライトの点灯期間に同期して、同極性の電圧を順次印加して赤、緑、青の表示画像を生成した後に、表示画像の生成とは逆極性の電圧を印加する、フィールドシーケンシャルカラー方式について、開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】2008-145591号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0005】

上述したように、FS駆動を用いる場合、カラーフィルタによりカラーの表示を行う場合に比べて、液晶表示装置の消費電力を低減させることができる。しかし、携帯用電子機器の普及に伴い液晶表示装置への低消費電力化の要求は厳しさを増しており、更なる消費電力の低減が求められている。

【0006】

上述したような技術的背景のもと、本発明は、消費電力の低減を実現することができる液晶表示装置及びその駆動方法の提供を、課題の一つとする。

【課題を解決するための手段】

30

【0007】

本発明の一態様では、画素に入力する画像信号の極性を1フレーム期間ごとに反転させるのではなく、連続する複数のフレーム期間ごとに反転させるという、第1の構成を有するものとする。具体的には、特定の一画素に着目すると、連続する複数のフレーム期間において、当該画素が有する液晶素子の第1電極に、正の極性を有する画像信号の電位が供給され、次に連続する複数のフレーム期間において、当該画素が有する液晶素子の第1電極に、負の極性を有する画像信号の電位が供給されるものである。

【0008】

本発明の一態様のように、連続する第1フレーム期間及び第2フレーム期間において、同一の極性を有する画像信号を画素に入力する場合、互いに反転する極性を有する画像信号を画素に入力する場合に比べて、第1フレーム期間において画素に入力及び保持される画像信号と、第2フレーム期間において画素に入力される画像信号との電位差を、小さくすることができる。よって、本発明の一態様では、第2フレーム期間において、画素へ画像信号を入力する際に要する電力を小さく抑えることができ、なおかつ、画素への画像信号の入力に要する時間を短くすることができる。また、本発明の一態様では、連続する複数のフレーム期間ごとに画素に入力する画像信号の極性を反転させるので、焼き付きと呼ばれる液晶材料の劣化を防ぐことができる。

40

【0009】

さらに、本発明の一態様では、連続する複数のフレーム期間において、画素部に供給される光の色相が互いに異なるという、第2の構成を有するものとする。上記第2の構成によ

50

り、異なる色相の色を複数用いたフルカラーの画像の表示を、カラーフィルタを用いずとも行うことができる。よって、本発明の一態様では、光供給部から発せられる光の利用効率を高めることができ、液晶表示装置の消費電力を低減させることができる。

【0010】

或いは、本発明の一態様では、上記第2の構成の代わりに、画素部に供給される光の色相が、画素部の複数の領域間において、なおかつ連続する複数のフレーム期間の間において、互いに異なるという、第3の構成を有するものであっても良い。

【0011】

本発明の一態様では、第3の構成により、第2の構成と同様に、光供給部から発せられる光の利用効率を高めることができ、液晶表示装置の消費電力を低減させることができると10
いう効果に加えて、各色の画像が合成されずに個別に視認されるのを防ぐことができるという効果も得ることができる。すなわち、本発明の一態様では、第3の構成により、第2の構成の効果に加えて、動画の表示を行う際に起きやすかった、各色の画像が合成されずに個別に視認される現象（以下、カラーブレイクと呼ぶ）の発生を防ぐという効果を、得ることができる。

【0012】

なお、第2の構成及び第3の構成では、単色の光とカラーフィルタを組み合わせる場合とは異なり、複数の色相の光を順次切り換えて画素部に供給する。よって、本発明の一態様では、単色の光とカラーフィルタを組み合わせる場合よりも、フレーム周波数を高い値に20
設定する必要がある。しかし、本発明の一態様では、上述したように、第1の構成により画像信号の入力に要する時間を短くすることができるので、高いフレーム周波数で動作させることが可能であり、複数の色相の光を用いてフルカラーの画像の表示を行うという、本発明の一態様に係る第2の構成及び第3の構成に適している。

【発明の効果】

【0013】

本発明の一態様により、消費電力の低減を実現することができる液晶表示装置及びその駆動方法を提供することができる。

【図面の簡単な説明】

【0014】

【図1】駆動方法の一例を模式的に示す図。30

【図2】液晶表示装置の構成を示すブロック図。

【図3】パネルの構成を示す図。

【図4】画素部のタイミングチャート。

【図5】画像信号の入力のタイミングと、光供給部における光の供給のタイミングを示す図。

【図6】パネルの構成を示す図。

【図7】画像信号の入力のタイミングと、光供給部における光の供給のタイミングを示す図。

【図8】パネルのブロック図。

【図9】液晶表示装置の断面構造を示す図。40

【図10】画素の上面図及び断面図。

【図11】画素の上面図及び断面図。

【図12】液晶表示装置の上面図と断面図。

【図13】液晶素子の断面図。

【図14】電子機器の図。

【発明を実施するための形態】

【0015】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明50

は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0016】

(実施の形態1)

図1(A)に、本発明の一態様に係る液晶表示装置の、駆動方法の一例を模式的に示す。図1(A)では、各フレーム期間において、画素部が有する任意の一画素に入力される画像信号の電位と、各フレーム期間において光供給部から上記一画素に供給される光の色相とを、示している。

【0017】

本発明の一態様では、図1(A)に示すように、第1乃至第mフレーム期間(mは2以上の自然数)において、正(+)の極性を有する画像信号が画素に入力されている。また、次に出現する第m+1乃至第2mフレーム期間において、負(-)の極性を有する画像信号が画素に入力されている。また、次に出現する第2m+1乃至第3mフレーム期間において、正(+)の極性を有する画像信号が画素に入力されている。

10

【0018】

図1(A)に例示したように、本発明の一態様では、画素に入力される画像信号の極性が、連続するmフレーム期間ごとに反転するものとする。画素に入力された画像信号の電位は、液晶素子に供給される。具体的に、液晶素子は、第1電極と、第2電極と、第1電極及び第2電極間の電圧が印加される液晶材料を含んだ液晶層とを有しており、画像信号の電位は上記第1電極に与えられる。そして、液晶素子では、第1電極と第2電極の間に与えられる電圧の値に従って、液晶材料に含まれる液晶分子の配向が変化し、透過率が変化する。よって、画像信号の電位に従って液晶素子の透過率が制御されることで、画素において階調が表示される。

20

【0019】

なお、液晶素子が有する第2電極には、接地電位などの基準となる電位(基準電位 V_{com} と呼ぶ)が与えられる。画像信号は、上記基準電位 V_{com} よりも高い電位を有する場合に正の極性を有するものとし、上記基準電位 V_{com} よりも低い電位を有する場合に負の極性を有するものとする。なお、画像信号の有する画像情報によっては、画像信号の電位が、基準電位 V_{com} と同じ高さとなる場合もあり得る。画像信号の電位が、基準電位 V_{com} と同じ高さである場合、当該画像信号は正の極性を有すると見なすことができるし、負の極性を有すると見なすこともできる。

30

【0020】

なお、図1(A)では、m個のフレーム期間ごとに、画像信号の極性を反転させているが、画像信号が正の極性を有するフレーム期間の数と、画像信号が負の極性を有するフレーム期間の数とは、同じでなくとも良い。

【0021】

本発明の一態様では、連続する複数のフレーム期間毎に画像信号の極性を反転させているので、1フレーム期間毎に画像信号の極性を反転させる場合に比べて、第1フレーム期間において画素に入力及び保持される画像信号と、第2フレーム期間において画素に入力される画像信号との電位差を、小さくすることができる。よって、本発明の一態様では、1フレーム期間毎に画像信号の極性を反転させる場合に比べて、第2フレーム期間において、画素へ画像信号を入力する際に要する電力を、小さく抑えることができ、なおかつ、画素への画像信号の入力に要する時間を短くすることができる。また、本発明の一態様では、連続する複数のフレーム期間ごとに画素に入力する画像信号の極性を反転させるので、焼き付きと呼ばれる液晶材料の劣化を防ぐことができる。

40

【0022】

なお、液晶材料の劣化を防ぐためには、画像信号の極性が同一であるm個のフレーム期間のトータルの長さを、1秒以内に収めることが望ましい。

【0023】

さらに、本発明の一態様では、図1(A)に示すように、光供給部から任意の一画素に供給される光の色相が、フレーム期間毎に異なるものとする。具体的に図1(A)では、第

50

1 フレーム期間において上記画素に赤色 (R) の光が供給され、第 2 フレーム期間において上記画素に緑色 (G) の光が供給され、第 3 フレーム期間において上記画素に青色 (B) の光が供給される場合を例示している。

【 0 0 2 4 】

本発明の一態様では、色相の異なる光が順に画素に供給されることで、フルカラーの画像の表示を行うことができる。なお、フルカラーの画像とは、異なる色相の色を複数用い、各色の階調により表示される画像を意味する。

【 0 0 2 5 】

上記構成により、異なる色相の色を複数用いたフルカラーの画像の表示を、カラーフィルタを用いずとも行うことができる。よって、本発明の一態様では、光供給部から発せられる光の利用効率を高めることができ、液晶表示装置の消費電力を低減させることができる。また、本発明の一態様では、1つの画素で各色に対応する画像の表示を行うことができるため、カラーフィルタを用いる場合よりも、高精細な画像の表示を行うことができる。具体的には、150ppi乃至210ppi程度の高精細な液晶表示装置を実現することができる。

10

【 0 0 2 6 】

なお、色相の異なる光を順に画素に供給することでフルカラーの画像を表示する場合、単色の光とカラーフィルタを組み合わせる場合よりも、フレーム周波数を高い値に設定する必要がある。例えば、単色の光とカラーフィルタを組み合わせる場合のフレーム周波数を60Hzとすると、赤、緑、青の各色に対応する光を用いる場合、光の色相を切り替える周波数は、3倍の180Hzとなる。しかし、本発明の一態様では、上述したように、画像信号の入力に要する時間を短くすることができるので、高いフレーム周波数でも、画素部への画像信号の入力を行うことができる。

20

【 0 0 2 7 】

なお、図1(A)では、光供給部から赤色 (R)、緑色 (G)、青色 (B) の光が画素に供給される場合について例示したが、本発明の一態様では、当該構成に限定されない。本発明の一態様では、光供給部から画素に供給される光の色を、任意に設定することが可能である。例えば、本発明の一態様では、赤色 (R)、緑色 (G)、青色 (B)、白色 (W) の光、赤色 (R)、緑色 (G)、青色 (B)、黄色 (Y) の光、または、シアン (C)、マゼンタ (M)、イエロー (Y) の光を、用いることができる。

30

【 0 0 2 8 】

なお、本発明の一態様に係る液晶表示装置では、正の極性を有する画像信号が入力される複数のフレーム期間と、負の極性を有する画像信号が入力される複数のフレーム期間との間に、基準電位 V_{com} と同じ電位を有する画像信号を、画素に入力する期間 (以下、リセット期間と呼ぶ) を、設けても良い。

【 0 0 2 9 】

図1(B)に、リセット期間を設けた場合の、本発明の一態様に係る液晶表示装置の、駆動方法の一例を模式的に示す。図1(B)では、各フレーム期間において、画素部が有する任意の一画素に入力される画像信号の電位と、各フレーム期間において光供給部から上記一画素に供給される光の色相とを、示している。

40

【 0 0 3 0 】

図1(B)では、第1乃至第mフレーム期間 (m は 2 以上の自然数) において、正 (+) の極性を有する画像信号が画素に入力されている。次いで、リセット期間が設けられた後、次に出現する第m+1乃至第2mフレーム期間において、負 (-) の極性を有する画像信号が画素に入力されている。次いで、リセット期間が設けられた後、次に出現する第2m+1乃至第3mフレーム期間において、正 (+) の極性を有する画像信号が画素に入力されている。

【 0 0 3 1 】

また、リセット期間では、光供給部から任意の一画素への光の供給が、停止された状態 (K) にある。上記構成により、基準電位 V_{com} と同じ電位を有する画像信号が、画素に

50

入力されることで得られる表示が、観察者に視認されるのを防ぐことができる。

【0032】

本発明の一態様では、図1(B)に例示したように、リセット期間を設けることで、正の極性を有する画像信号が画素に入力される第mフレーム期間と、負の極性を有する画像信号が画素に入力される第m+1フレーム期間が連続する場合に比べて、第m+1フレーム期間において、画素へ画像信号を入力する際に要する電力を、小さく抑えることができ、なおかつ、画素への画像信号の入力に要する時間を短くすることができる。

【0033】

なお、リセット期間は、パネルへの電源電位の供給を停止する前に設けても良い。電源電位の供給を停止する前にリセット期間を設けることで、画像の表示が行われない期間において、画像信号の電位が液晶素子に与えられた状態が保持されるのを、防ぐことができる。よって、液晶素子の劣化を防ぐことができ、なおかつ、パネルへの電源電位の供給が停止される前に画素に入力された画像信号による残像が、電源電位の供給が再開された後に画素部に表示されるのを防ぐことができる。

10

【0034】

次いで、図2に、本発明の一態様に係る液晶表示装置の構成を、ブロック図で一例として示す。なお、本明細書に添付した図面では、構成要素を機能ごとに分類し、互いに独立したブロックとしてブロック図を示しているが、実際の構成要素は機能ごとに完全に切り分けることが難しく、一つの構成要素が複数の機能に係わることもあり得る。

20

【0035】

図2に示すように、本発明の一態様に係る液晶表示装置100は、複数の記憶装置101と、画像処理回路102と、コントローラ103と、反転制御回路104と、パネル105と、光供給部106と、光供給部制御回路107とを有する。

【0036】

液晶表示装置100には、フルカラーの画像に対応する画像データが入力される。画像データには、複数の色相にそれぞれ対応する画像データが含まれている。複数の各記憶装置101は、各色相に対応する画像データを記憶する機能を、それぞれ有する。画像処理回路102は、複数の記憶装置101への画像データの書き込みと、複数の記憶装置101からの画像データの読み出しとを行うことで、各色相に対応する画像信号を生成する機能を有する。

30

【0037】

記憶装置101として、例えばDRAM(Dynamic Random Access Memory)、SRAM(Static Random Access Memory)等の記憶回路を用いることができる。或いは、記憶装置101として、VRAM(Video RAM)を用いても良い。

【0038】

コントローラ103は、画像処理回路102における画像信号の生成を命令する機能を有する。画像処理回路102において生成された画像信号は、コントローラ103を介してパネル105に送られる。

【0039】

なお、図2では、液晶表示装置100が、複数の記憶装置101と、画像処理回路102とを有する場合を例示している。しかし、本発明の一態様に係る液晶表示装置は、画像信号が直接入力される構成を有していても良い。この場合、液晶表示装置100は、複数の記憶装置101と、画像処理回路102とを有する必要はない。

40

【0040】

また、コントローラ103は、垂直同期信号、水平同期信号などの同期信号を用いて、スタートパルス信号SP、ラッチ信号LP、パルス幅制御信号PWCなどの制御信号を生成し、パネル105に供給する機能を有する。また、パネル105には、クロック信号CKなどの制御信号も、供給されている。

【0041】

50

反転制御回路 104 は、同期信号を用いて、画像信号の極性を反転させるタイミングを定める機能を有する。具体的に、図 2 では、反転制御回路 104 がカウンタ 108 と、信号生成回路 109 とを有する場合を例示している。カウンタ 108 は、水平同期信号のパルスを用いてフレーム期間の数を数える機能を有する。信号生成回路 109 は、カウンタ 108 において得られたフレーム期間の数の情報を用いて、連続する複数フレーム期間ごとに画像信号の極性を反転させるべく、画像信号の極性を反転させるタイミングを、コントローラ 103 に通知する機能を有する。

【0042】

コントローラ 103 は、上記タイミングに従って、画像信号の極性を反転させる機能を有する。具体的に、画像信号の極性の反転は、コントローラ 103 において行われても良いし、コントローラ 103 からの命令に従って、パネル 105 内で行われても良い。

10

【0043】

パネル 105 は、各画素に液晶素子を有する画素部 110 と、信号線駆動回路 111、走査線駆動回路 112 などの駆動回路とを有する。画素部 110 は、液晶素子 113 が設けられた画素 114 を、複数有する。

【0044】

パネル 105 に入力された各色相に対応する画像信号は、信号線駆動回路 111 に与えられる。また、電源電位、制御信号は、信号線駆動回路 111 及び走査線駆動回路 112 に与えられる。

【0045】

なお、制御信号には、信号線駆動回路 111 の動作を制御する信号線駆動回路用のスタートパルス信号 SP、信号線駆動回路用のクロック信号 CK、ラッチ信号 LP、走査線駆動回路 112 の動作を制御する走査線駆動回路用のスタートパルス信号 SP、走査線駆動回路用のクロック信号 CK、パルス幅制御信号 PWC などが含まれる。

20

【0046】

光供給部 106 には、色相の異なる光を発する複数の光源が設けられている。コントローラ 103 は、光供給部制御回路 107 を介して光供給部 106 が有する光源の駆動を制御する。

【0047】

具体的に、光供給部 106 は、上記光源を順に、または同時に発光させることで、複数の色相に対応した光を、画素部 110 に順に供給する機能を有する。光供給部 106 の光源としては、冷陰極蛍光ランプ、発光ダイオード (LED)、電場を加えることでルミネッセンス (Electroluminescence) が発生する OLED 素子などを用いることができる。

30

【0048】

次いで、図 3 (A) に、パネル 105 の構成を一例として示す。

【0049】

図 3 (A) に示すパネル 105 には、画素部 110 に、複数の画素 114 と、画素 114 を行毎に選択するための複数の走査線 G と、選択された画素 114 に画像信号を供給するための複数の信号線 S とが設けられている。走査線 G への信号の入力は、走査線駆動回路 112 により制御されている。信号線 S への画像信号の入力は、信号線駆動回路 111 により制御されている。複数の画素 114 は、走査線 G の少なくとも一つと、信号線 S の少なくとも一つとに、それぞれ接続されている。

40

【0050】

なお、画素部 110 に設けられる配線の種類及びその数は、画素 114 の構成、数及び配置によって決めることができる。具体的に、図 3 (A) に示す画素部 110 の場合、 x 列 y 行の画素 114 がマトリクス状に配置されており、信号線 S 1 乃至信号線 S x 、走査線 G 1 乃至走査線 G y が、画素部 110 内に配置されている場合を例示している。

【0051】

また、図 3 (B) に、画素 114 の構成を一例として示す。各画素 114 は、液晶素子 1

50

1 3 と、当該液晶素子 1 1 3 への画像信号の供給を制御するトランジスタ 1 1 5 と、液晶素子 1 1 3 の第 1 電極と第 2 電極間の電圧を保持するための容量素子 1 1 6 とを有する。液晶素子 1 1 3 は、第 1 電極と、第 2 電極と、第 1 電極と第 2 電極の間の電圧が印加される液晶材料を含んだ液晶層とを有している。

【 0 0 5 2 】

トランジスタ 1 1 5 は、液晶素子 1 1 3 の第 1 電極に、信号線 S の電位を与えるか否かを制御する。液晶素子 1 1 3 の第 2 電極には、所定の基準電位 V c o m が与えられている。

【 0 0 5 3 】

以下、トランジスタ 1 1 5 と液晶素子 1 1 3 の具体的な接続関係について説明する。なお、トランジスタが有するソースとドレインは、トランジスタのチャンネル型及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、n チャンネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、p チャンネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

10

【 0 0 5 4 】

また、トランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、上記半導体膜の一部であるドレイン領域、或いは上記半導体膜に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

20

【 0 0 5 5 】

具体的に、図 3 (B) では、トランジスタ 1 1 5 のゲートが、走査線 G 1 から走査線 G y のいずれか 1 つに接続されている。トランジスタ 1 1 5 のソース及びドレインの一方は、信号線 S 1 から信号線 S x のいずれか 1 つに接続され、トランジスタ 1 1 5 のソース及びドレインの他方は、液晶素子 1 1 3 の第 1 電極に接続されている。

【 0 0 5 6 】

なお、画素 1 1 4 は、必要に応じて、トランジスタ、ダイオード、抵抗素子、容量素子、インダクタなどのその他の回路素子を、さらに有していても良い。

30

【 0 0 5 7 】

図 3 (B) では、画素 1 1 4 において、画像信号の画素 1 1 4 への入力を制御するスイッチング素子として、一のトランジスタ 1 1 5 を用いる場合を例示している。しかし、一のスイッチング素子として機能する、複数のトランジスタを、画素 1 1 4 に用いていても良い。複数のトランジスタが一のスイッチング素子として機能する場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

【 0 0 5 8 】

なお、本明細書において、トランジスタが直列に接続されている状態とは、例えば、第 1 のトランジスタのソースまたはドレインの一方のみが、第 2 のトランジスタのソースまたはドレインの一方のみに接続されている状態を意味する。また、トランジスタが並列に接続されている状態とは、第 1 のトランジスタのソースまたはドレインの一方が第 2 のトランジスタのソースまたはドレインの一方に接続され、第 1 のトランジスタのソースまたはドレインの他方が第 2 のトランジスタのソースまたはドレインの他方に接続されている状態を意味する。

40

【 0 0 5 9 】

また、本明細書において接続とは電気的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介し

50

て間接的に接続している状態も、その範疇に含む。

【0060】

また、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極として機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0061】

次いで、画素114が図3(B)に示した構成を有する場合を例に挙げて、図3(A)に示す画素部110の動作の一例について説明する。また、図4に、画素部110のタイミングチャートを例示する。具体的に、図4では、走査線G1に与えられる信号の電位と、信号線S1から信号線Sxに与えられる画像信号の電位と、走査線G1に接続された各画素114の有する第1電極の電位の、時間変化を示している。また、図4では、図3(B)に示した画素114において、トランジスタ115がnチャンネル型である場合を例示している。

10

【0062】

まず、第1フレーム期間において、走査線G1にパルスを有する信号が入力されることで、走査線G1が選択される。選択された走査線G1に接続された複数の各画素114において、トランジスタ115が導通状態になる。そして、トランジスタ115が導通状態の時(1ライン期間)に、信号線S1から信号線Sxに画像信号の電位が与えられる。そして、信号線S1から信号線Sxに与えられた画像信号の電位に従い、導通状態のトランジスタ115を介して、容量素子116に電荷が蓄積される。また、上記画像信号の電位は、導通状態のトランジスタ115を介して、液晶素子113の第1電極に与えられる。

20

【0063】

図4に示すタイミングチャートでは、第1フレーム期間の走査線G1が選択されている期間において、全ての信号線S1乃至信号線Sxに、正の極性の画像信号が順に入力されている例を示している。よって、走査線G1と、信号線S1乃至信号線Sxとにそれぞれ接続された画素114内の第1電極(G1S1)乃至第1電極(G1Sx)には、正の極性の画像信号が与えられる。

【0064】

液晶素子113では、第1電極と第2電極の間に与えられる電圧の値に従って、液晶分子の配向が変化し、透過率が変化する。よって、液晶素子113は、画像信号の電位によってその透過率が制御されることで、階調を表示することができる。

30

【0065】

信号線S1から信号線Sxへの画像信号の入力が終了すると、走査線G1の選択は終了する。走査線G1の選択が終了すると、該走査線G1を有する画素114において、トランジスタ115が非導通状態になる。すると、液晶素子113は、第1電極と第2電極の間に与えられた電圧を保持することで、階調の表示を維持する。

【0066】

そして、同様に、走査線G2から走査線Gyが順に選択され、走査線G1が選択されていた期間と同様の動作が、走査線G2から走査線Gyの各走査線に接続された画素114において順次繰り返される。上記動作により、画素部110において、一の色相に対応した画像を表示することができる。

40

【0067】

なお、本発明の一態様では、必ずしも走査線G1乃至走査線Gyを順に選択する必要はない。

【0068】

次いで、第2フレーム期間において、走査線G1にパルスを有する信号が入力されることで、走査線G1が選択される。選択された走査線G1に接続された複数の各画素114において、トランジスタ115が導通状態になる。そして、トランジスタ115が導通状態の時に、信号線S1から信号線Sxに画像信号の電位が与えられる。そして、信号線S1

50

から信号線 S_x に与えられた画像信号の電位に従い、導通状態のトランジスタ 115 を介して、容量素子 116 に電荷が蓄積される。また、上記画像信号の電位は、導通状態のトランジスタ 115 を介して、液晶素子 113 の第 1 電極に与えられる。

【0069】

図 4 に示すタイミングチャートでは、第 2 フレーム期間の走査線 G_1 が選択されている期間において、全ての信号線 S_1 乃至信号線 S_x に、第 1 フレーム期間と同様に正の極性の画像信号が順に入力されている例を示している。よって、第 1 電極 ($G_1 S_1$) 乃至第 1 電極 ($G_1 S_x$) には、正の極性の画像信号が与えられる。そして、第 2 フレーム期間では、第 1 フレーム期間において、既に正の極性の画像信号が画素 114 に入力されているので、第 1 フレーム期間の画像信号の電位と、第 2 フレーム期間の画像信号の電位との電位差 V を、小さく抑えることができる。そして、第 2 フレーム期間では、上記電位差に相当する分の電荷を、第 1 電極及び容量素子 116 において充放電させれば良いので、画像信号の画素 114 への入力に要する時間を、短くすることができる。

10

【0070】

例えば、走査線 G_1 及び信号線 S_1 に接続された画素 114 が有する第 1 電極 ($G_1 S_1$) において、第 1 フレーム期間に電位 +5V の画像信号が与えられ、第 2 フレーム期間に電位 +8V の画像信号が与えられたものとする。この場合、電荷のリークがない理想的な状態であると仮定すると、第 2 フレーム期間が開始されるまで第 1 電極 ($G_1 S_1$) に +5V の電位が保持されているため、第 2 フレーム期間に +8V の電位が与えられると、3V の電位差 V に相当する電荷を、第 1 電極 ($G_1 S_1$) 及び容量素子 116 において充

20

【0071】

特に、横電界モードの液晶表示装置の場合、正の極性の画像信号と負の極性の画像信号の電位差が、他のモードの液晶表示装置よりも大きい傾向にある。例えば TN 液晶を液晶層に含んでいる場合だと、上記電位差が十数 V 程度であるのに対し、ブルー相を示す液晶を液晶層が含んでいる場合は、上記電位差が数十 V にも及ぶ。そのため、横電界モードの液晶表示装置の場合、1 フレーム期間毎に画像信号の極性を反転させると、正の極性の画像信号と負の極性の画像信号との電位差が大きくなり、その分、画像信号の入力に要する電力が大きくなり、また、画像信号の入力に要する時間が長くなってしまふ。しかし、本発明の一態様では、上述したように、同一の極性を有する画像信号を複数のフレーム期間において連続して画素に入力するので、FFS モード、ブルー相モード、IPS モードなどの横電界モードの液晶表示装置において、画像信号の入力に要する電力を小さく抑え、また、画像信号の入力に要する時間を短くするのに有効であると言える。

30

【0072】

そして、液晶素子 113 では、画像信号の電位によってその透過率が制御されることで、階調を表示することができる。

40

【0073】

信号線 S_1 から信号線 S_x への画像信号の入力が終了すると、走査線 G_1 の選択は終了する。走査線 G_1 の選択が終了すると、該走査線 G_1 を有する画素 114 において、トランジスタ 115 が非導通状態になる。すると、液晶素子 113 は、第 1 電極と第 2 電極の間に与えられた電圧を保持することで、階調の表示を維持する。

【0074】

そして、同様に、走査線 G_2 から走査線 G_y が順に選択され、走査線 G_1 が選択されていた期間と同様の動作が、走査線 G_2 から走査線 G_y の各走査線に接続された画素 114 において順次繰り返される。上記動作により、画素部 110 において、一の色相に対応した

50

画像を表示することができる。

【0075】

なお、図4では、信号線駆動回路111から信号線S1乃至信号線Sxに、画像信号を順に入力する点順次駆動の場合のタイミングチャートを例示している。しかし、本発明の一態様に係る液晶表示装置は、信号線駆動回路111から信号線S1乃至信号線Sxに一斉に画像信号を入力する線順次駆動を用いても良い。或いは、本発明の一態様に係る液晶表示装置は、複数の信号線Sごとに順に、画像信号を入力する駆動方法を用いても良い。

【0076】

また、図4では、プログレッシブ方式を用いた場合における、走査線Gの選択について説明したが、インターレース方式を用いて走査線Gの選択を行うようにしても良い。

10

【0077】

また、図4では、任意の一フレーム期間において、全ての信号線に入力される画像信号の極性が同一である場合を例示している。しかし、本発明の一態様では、任意の一フレーム期間において、一の信号線ごとに、画素に入力される画像信号の極性が反転していても良い。

【0078】

なお、液晶は、電圧が印加されてからその透過率が収束するまでの応答時間が、一般的に十数ms程度である。よって、液晶の応答の遅さが動画のぼやけとして視認されやすい。そこで、本発明の一態様では、液晶素子113に印加する電圧を一時的に大きくして液晶の配向を速く変化させるオーバードライブ駆動を用いるようにしても良い。オーバードライブ駆動を用いることで、液晶の応答速度を上げ、動画のぼやけを防ぎ、動画の画質を改善することができる。

20

【0079】

また、トランジスタ115が非導通状態になった後においても、液晶素子113の透過率が収束せずに変化し続けると、液晶の比誘電率が変化するため、液晶素子113の保持する電圧が変化しやすい。特に、本発明の一態様のように、液晶素子113に並列で接続される容量素子116の容量値が小さい場合、上述した液晶素子113の保持する電圧の変化は顕著に起こりやすい。しかし、上記オーバードライブ駆動を用いることで、応答時間を短くすることができるので、トランジスタ115が非導通状態になった後における液晶素子113の透過率の変化を小さくすることができる。したがって、液晶素子113に並列で接続される容量素子116の容量値が小さい場合でも、トランジスタ115が非導通状態になった後に、液晶素子113の保持する電圧が変化するのを防ぐことができる。

30

【0080】

また、本発明の一態様に係る液晶表示装置では、画素114において、液晶素子113及び容量素子116に蓄積された電荷を保持するためのスイッチング素子として、オフ電流の小さいトランジスタを用いることが望ましい。具体的に、図3(B)に示す画素114の場合、トランジスタ115のオフ電流が小さいと、トランジスタ115を介して電荷がリークするのを防ぐことができる。よって、液晶素子113及び容量素子116に与えられた画像信号の電位をより確実に保持することができるので、1フレーム期間内において電荷のリークにより液晶素子113の透過率が変化するのを防ぎ、それにより、表示する画像の質を向上させることができる。また、トランジスタ115のオフ電流が小さい場合、トランジスタ115を介して電荷がリークするのを防ぐことができるため、容量素子116の面積を小さく抑えることができる。よって、液晶表示装置の透過率を高め、それによりパネルの内部における光の損失を低減し、消費電力を低減させることができる。

40

【0081】

次いで、図2に示した液晶表示装置100が有する、光供給部106の動作の一例について説明する。

【0082】

本発明の一態様に係る液晶表示装置100では、複数のフレーム期間により一のフルカラ

50

一の画像が画素部 110 に表示されるように、駆動を行う。一方、光供給部 106 では、画素部 110 に供給する光の色相を、フレーム期間ごとに切り換える。すなわち、画素部 110 における上記画像信号の入力に同期するように、各色相に対応した光が、順に画素部 110 に供給される。

【0083】

図 5 に、画素部 110 における画像信号の入力のタイミングと、光供給部 106 における光の供給のタイミングとを示す。なお、図 5 において横方向は時間を表している。また、図 5 において縦方向は、画素部 110 が有する走査線の位置を示している。ただし、図 5 では、画素部 110 が有する走査線を、4 つのグループに分割した場合を例示している。すなわち、図 5 では、走査線 G1 乃至走査線 Gy を、GL1 乃至 GL4 までの 4 つのグループに分割している。

10

【0084】

まず、図 5 では、第 1 フレーム期間 F1 において、グループ GL1 に属する走査線 G に接続された画素 114 に、赤色に対応した画像信号が順次入力される。そして、グループ GL1 に属する走査線に接続された全ての画素 114 に、赤色に対応した画像信号が入力された後、光供給部 106 から上記画素 114 に赤色の光が供給される。図 5 では、赤色に対応した画像信号が画素 114 に入力される期間を、書き込み期間 Ta__R とし、光供給部 106 から画素 114 に赤色の光が供給される期間を、表示期間 Tr__R として示す。なお、グループ GL1 に属する走査線に接続された画素 114 への光の供給は、グループ GL1 以外の走査線に接続された画素 114 への画像信号の入力と、並行して行うことができる。

20

【0085】

一方、グループ GL1 に属する走査線 G に接続された画素 114 の全てに、赤色に対応した画像信号が入力された後、グループ GL2 に属する走査線 G に接続された画素 114 に、赤色に対応した画像信号が順次入力される。そして、グループ GL2 に属する走査線に接続された全ての画素 114 に、赤色に対応した画像信号が入力された後、光供給部 106 から上記画素 114 に赤色の光が供給される。そして、グループ GL2 に属する走査線に接続された画素 114 への光の供給は、グループ GL2 以外の走査線に接続された画素 114 への画像信号の入力と、並行して行うことができる。

30

【0086】

一方、グループ GL2 に属する走査線 G に接続された画素 114 の全てに、赤色に対応した画像信号が入力された後、グループ GL3 に属する走査線 G に接続された画素 114 に、赤色に対応した画像信号が順次入力される。そして、グループ GL3 に属する走査線に接続された全ての画素 114 に、赤色に対応した画像信号が入力された後、光供給部 106 から上記画素 114 に赤色の光が供給される。そして、グループ GL3 に属する走査線に接続された画素 114 への光の供給は、グループ GL3 以外の走査線に接続された画素 114 への画像信号の入力と、並行して行うことができる。

40

【0087】

一方、グループ GL3 に属する走査線 G に接続された画素 114 の全てに、赤色に対応した画像信号が入力された後、グループ GL4 に属する走査線 G に接続された画素 114 に、赤色に対応した画像信号が順次入力される。そして、グループ GL4 に属する走査線に接続された全ての画素 114 に、赤色に対応した画像信号が入力された後、光供給部 106 から上記画素 114 に赤色の光が供給される。そして、グループ GL4 に属する走査線に接続された画素 114 への光の供給は、グループ GL4 以外の走査線に接続された画素 114 への画像信号の入力と、並行して行うことができる。

40

【0088】

なお、図 5 では、画像信号が入力された後、上記画像信号の電位に従って液晶層に含まれる液晶分子の配向の変化が収束するのを待ってから、画素 114 への光の供給を行う場合を例示している。そのため、例えば、書き込み期間 Ta__R が終了してから、表示期間 Tr__R が開始されるまで、所定の時間が設けられている。上記所定の時間は、液晶の応答

50

速度に合わせて定めることができる。

【0089】

また、図5では、画像信号の入力が終了したグループから、順に画素114への光の供給を行う場合を例に挙げている。しかし、本発明の一態様では、全ての画素114への画像信号の入力が終了してから、画素114への光の供給を行うようにしても良い。ただし、グループごとに画像信号の入力が終了した時点で、光供給部からの光の供給を順次開始することにより、画素部の全ての画素において画像信号の入力が終了した時点で、光供給部からの光の供給を開始する場合よりも、各画素において表示期間を長く確保することができる、或いは1フレーム期間を短くすることができる。また、図5では、走査線Gを4つのグループに分割した場合を例示しているが、4以外の数のグループに分割しても良い。

10

【0090】

次いで、第2フレーム期間F2及び第3フレーム期間F3においても、第1フレーム期間F1と同様の動作を繰り返す。ただし、第2フレーム期間F2では、画素114に対し、青色に対応した画像信号の入力及び青色の光の供給を行う。また、第3フレーム期間F3では、画素114に対し、緑色に対応した画像信号の入力及び緑色の光の供給を行う。図5では、青色に対応した画像信号が画素114に入力される期間を、書き込み期間Ta__Bとし、光供給部106から画素114に青色の光が供給される期間を、表示期間Tr__Bとして示す。また、図5では、緑色に対応した画像信号が画素114に入力される期間を、書き込み期間Ta__Gとし、光供給部106から画素114に緑色の光が供給される期間を、表示期間Tr__Gとして示す。

20

【0091】

そして、第1フレーム期間F1乃至第3フレーム期間F3が終了すると、フルカラーの画像を画素部110に表示することができる。

【0092】

なお、図5では、書き込み期間において、光供給部106から画素114への光の供給は行われていない。しかし、書き込み期間が開始された直後は、液晶層における液晶分子の配向の変化は小さい。よって、書き込み期間が開始されてから液晶分子の配向の変化が観察者に視認されるまでの間は、光供給部106から画素114への光の供給を行うようにしても良い。ただし、書き込み期間の当初に画素114に供給される光の色相は、上記書き込み期間の前に設けられた表示期間における光の色相と同じとする。

30

【0093】

次いで、図3(A)とは異なるパネル105の構成を、図6に、一例として示す。

【0094】

図6に示すパネル105には、図3(A)に示すパネル105と同様に、画素部110に、複数の画素114と、画素114を行毎に選択するための複数の走査線Gと、選択された画素114に画像信号を供給するための複数の信号線Sとが設けられている。走査線Gへの信号の入力は、走査線駆動回路112により制御されている。信号線Sへの画像信号の入力は、信号線駆動回路111により制御されている。

【0095】

ただし、図6に示すパネル105は、画素部110が、第1領域110aと、第2領域110bと、第3領域110cとに分けられている場合を例示している。そして、第1領域110a、第2領域110b、及び第3領域110cが有する各画素114は、信号線S1から信号線Sxの少なくとも1つに接続されている。また、第1領域110aが有する各画素114は、走査線G1から走査線Gyのうち、走査線G1から走査線Gjの少なくとも1つに接続されている。また、第2領域110bが有する各画素114は、走査線G1から走査線Gyのうち、走査線Gj+1から走査線G2jの少なくとも1つに接続されている。また、第3領域110cが有する各画素114は、走査線G1から走査線Gyのうち、走査線G2j+1から走査線Gy(走査線G3j)の少なくとも1つに接続されている。

40

【0096】

50

なお、信号線 S への画像信号の供給は信号線駆動回路 1 1 1 によって制御され、走査線 G の電位は走査線駆動回路 1 1 2 によって制御されている。なお、図 6 では、3 つの走査線駆動回路 1 1 2 によって、第 1 領域 1 1 0 a が有する走査線 G 1 から走査線 G j の電位と、第 2 領域 1 1 0 b が有する走査線 G j + 1 から走査線 G 2 j の電位と、第 3 領域 1 1 0 c が有する走査線 G 2 j + 1 から走査線 G y の電位とが、それぞれ制御されている場合を例示している。しかし、本発明の一態様ではこの構成に限定されず、一の走査線駆動回路 1 1 2 によって、全ての領域が有する走査線 G の電位を制御するようにしても良い。

【0097】

また、図 6 に示すパネル 1 0 5 において、画素 1 1 4 には、図 3 (B) に示した構成を適用させることができる。

10

【0098】

次いで、画素 1 1 4 が図 3 (B) に示した構成を有する場合を例に挙げて、図 6 に示す画素部 1 1 0 の動作の一例について説明する。

【0099】

まず、第 1 フレーム期間において、走査線 G 1 が選択されることで、走査線 G 1 に接続された複数の各画素 1 1 4 において、トランジスタ 1 1 5 が導通状態になる。そして、トランジスタ 1 1 5 が導通状態の時に、信号線 S 1 から信号線 S x に正の極性の画像信号が与えられる。そして、信号線 S 1 から信号線 S x に与えられた画像信号の電位に従い、導通状態のトランジスタ 1 1 5 を介して、容量素子 1 1 6 に電荷が蓄積される。また、上記画像信号の電位は、導通状態のトランジスタ 1 1 5 を介して、液晶素子 1 1 3 の第 1 電極に与えられる。

20

【0100】

液晶素子 1 1 3 では、第 1 電極と第 2 電極の間に与えられる電圧の値に従って、液晶分子の配向が変化し、透過率が変化する。よって、液晶素子 1 1 3 は、画像信号の電位によってその透過率が制御されることで、階調を表示することができる。

【0101】

信号線 S 1 から信号線 S x への画像信号の入力が終了すると、走査線 G 1 の選択は終了する。走査線 G 1 の選択が終了すると、該走査線 G 1 を有する画素 1 1 4 において、トランジスタ 1 1 5 が非導通状態になる。すると、液晶素子 1 1 3 は、第 1 電極と第 2 電極の間に与えられた電圧を保持することで、階調の表示を維持する。

30

【0102】

そして、同様に、走査線 G 2 から走査線 G y が順に選択され、走査線 G 1 が選択されていた期間と同様の動作が、走査線 G 2 から走査線 G y の各走査線 G に接続された画素 1 1 4 において順次繰り返される。上記動作により、第 1 領域 1 1 0 a、第 2 領域 1 1 0 b、第 3 領域 1 1 0 c のそれぞれにおいて、画像を表示することができる。

【0103】

なお、図 6 に示すパネル 1 0 5 では、必ずしも走査線 G 1 乃至走査線 G y を順に選択する必要はない。例えば、複数の各領域から順に一つずつ走査線 G を選択しても良い。具体的には、例えば、第 1 領域 1 1 0 a が有する走査線 G 1 を選択して画素 1 1 4 への画像信号の書き込みを行った後、第 2 領域 1 1 0 b が有する走査線 G j + 1 を選択して画素 1 1 4 への画像信号の書き込みを行い、次いで、第 3 領域 1 1 0 c が有する走査線 G 2 j + 1 を選択して画素 1 1 4 への画像信号の書き込みを行う。そして、次に、第 1 領域 1 1 0 a が有する走査線 G 2 を選択して画素 1 1 4 への画像信号の書き込みを行った後、第 2 領域 1 1 0 b が有する走査線 G j + 2 を選択して画素 1 1 4 への画像信号の書き込みを行い、次いで、第 3 領域 1 1 0 c が有する走査線 G 2 j + 2 を選択して画素 1 1 4 への画像信号の書き込みを行う。上記動作を繰り返していくことで、全ての画素に画像信号の書き込みを行うことができる。

40

【0104】

次いで、第 2 フレーム期間において、第 1 フレーム期間と同様に、画素 1 1 4 への画像信号の入力が行われる。ただし、第 2 フレーム期間においても、第 1 フレーム期間と同様に

50

、各走査線 G が選択されている期間において、信号線 S 1 から信号線 S x に正の極性の画像信号が与えられる。本発明の一態様では、連続するフレーム期間において、画素 1 1 4 に入力する画像信号の極性を同一にすることで、1 フレーム期間毎に画素 1 1 4 に入力する画像信号の極性を反転させる場合に比べて、画素部への画像信号の入力を高速に行うことができる。

【0105】

次いで、図 2 に示した液晶表示装置 1 0 0 が、図 6 に示すパネル 1 0 5 を有する場合の、光供給部 1 0 6 の動作の一例について説明する。

【0106】

図 7 に、画素部 1 1 0 における画像信号の書き込みのタイミングと、光供給部 1 0 6 における光の供給のタイミングとを示す。なお、図 7 において横方向は時間を表している。また、図 7 において縦方向は、第 1 領域 1 1 0 a、第 2 領域 1 1 0 b、及び第 3 領域 1 1 0 c における、走査線 G の位置を示している。ただし、図 7 では、各領域が有する走査線 G を、4 つのグループに分割した場合を例示している。すなわち、第 1 領域 1 1 0 a が有する走査線 G 1 乃至 G j を、G L 1 - 1 乃至 G L 1 - 4 までの 4 つのグループに分割し、第 2 領域 1 1 0 b が有する走査線 G j + 1 乃至 G 2 j を、G L 2 - 1 乃至 G L 2 - 4 までの 4 つのグループに分割し、第 3 領域 1 1 0 c が有する走査線 G 2 j + 1 乃至 G 3 j を、G L 3 - 1 乃至 G L 3 - 4 までの 4 つのグループに分割している。

10

【0107】

まず、第 1 フレーム期間 F 1 において、第 1 領域 1 1 0 a に赤色に対応した画像信号の書き込みが行われ、第 2 領域 1 1 0 b に緑色に対応した画像信号の書き込みが行われ、第 3 領域 1 1 0 c に青色に対応した画像信号の書き込みが行われる。

20

【0108】

具体的に図 7 では、第 1 フレーム期間 F 1 において、グループ G L 1 - 1 に属する走査線 G 1 に接続された画素 1 1 4 に、赤色に対応した画像信号を入力する。次いで、グループ G L 2 - 1 に属する走査線 G j + 1 に接続された画素 1 1 4 に、緑色に対応した画像信号を入力する。次いで、グループ G L 3 - 1 に属する走査線 G 2 j + 1 に接続された画素 1 1 4 に、青色に対応した画像信号を入力する。次いで、グループ G L 1 - 1 に属する走査線 G 2 に接続された画素 1 1 4 に、赤色に対応した画像信号を入力する。

【0109】

以下、同様の動作が、グループ G L 1 - 1 に属する走査線 G に接続された画素 1 1 4 と、グループ G L 2 - 1 に属する走査線 G に接続された画素 1 1 4 と、グループ G L 3 - 1 に属する走査線 G に接続された画素 1 1 4 において、順に行われる。

30

【0110】

そして、グループ G L 1 - 1 に属する走査線 G に接続された全ての画素 1 1 4 に、赤色に対応した画像信号が入力されたら、次にグループ G L 1 - 2 に属する走査線 G に接続された全ての画素 1 1 4 に、グループ G L 1 - 1 の場合と同様に、赤色に対応した画像信号を順に入力する。また、グループ G L 2 - 1 に属する走査線 G に接続された全ての画素 1 1 4 に、緑色に対応した画像信号が入力されたら、次にグループ G L 2 - 2 に属する走査線 G に接続された全ての画素 1 1 4 に、グループ G L 2 - 1 の場合と同様に、緑色に対応した画像信号を順に入力する。また、グループ G L 3 - 1 に属する走査線 G に接続された全ての画素 1 1 4 に、青色に対応した画像信号が入力されたら、次にグループ G L 3 - 2 に属する走査線 G に接続された全ての画素 1 1 4 に、グループ G L 3 - 1 の場合と同様に、青色に対応した画像信号を順に入力する。

40

【0111】

上記動作を順次繰り返すことで、最終的には、第 1 フレーム期間 F 1 において、第 1 領域 1 1 0 a が有する全ての画素 1 1 4 に、赤色に対応した画像信号が入力される。また、第 2 領域 1 1 0 b が有する全ての画素 1 1 4 に、緑色に対応した画像信号が入力される。また、第 3 領域 1 1 0 c が有する全ての画素 1 1 4 に、青色に対応した画像信号が入力される。

50

【0112】

一方、グループGL1-1に属する走査線Gに接続された全ての画素114に、赤色に対応した画像信号が入力された後、光供給部106から上記画素114に赤色の光が供給される。図7では、赤色に対応した画像信号が画素114に入力される期間を、書き込み期間Ta__Rとし、光供給部106から画素114に赤色の光が供給される期間を、表示期間Tr__Rとして示す。なお、グループGL1-1に属する走査線Gに接続された画素114への光の供給は、グループGL1-1以外の走査線Gに接続された画素114への画像信号の書き込みと、並行して行うことができる。

【0113】

また、同様に、グループGL2-1に属する走査線Gに接続された全ての画素114に、緑色に対応した画像信号が入力された後、光供給部106から上記画素114に緑色の光が供給される。図7では、緑色に対応した画像信号が画素114に入力される期間を、書き込み期間Ta__Gとし、光供給部106から画素114に緑色の光が供給される期間を、表示期間Tr__Gとして示す。そして、グループGL2-1に属する走査線Gに接続された画素114への光の供給は、グループGL2-1以外の走査線Gに接続された画素114への画像信号の書き込みと、並行して行うことができる。

10

【0114】

また、同様に、グループGL3-1に属する走査線Gに接続された全ての画素114に、青色に対応した画像信号が入力された後、光供給部106から上記画素114に青色の光が供給される。図7では、青色に対応した画像信号が画素114に入力される期間を、書き込み期間Ta__Bとし、光供給部106から画素114に青色の光が供給される期間を、表示期間Tr__Bとして示す。そして、グループGL3-1に属する走査線Gに接続された画素114への光の供給は、グループGL3-1以外の走査線Gに接続された画素114への画像信号の書き込みと、並行して行うことができる。

20

【0115】

そして、グループGL1-1の場合と同様に、グループGL1-2乃至グループGL1-4に属する走査線Gに接続された全ての画素114に対しても、光供給部106から順に赤色の光が供給される。その結果、最終的には、第1フレーム期間F1において、第1領域110aに、赤色に対応した画像の一部が表示される。また、グループGL2-1の場合と同様に、グループGL2-2乃至グループGL2-4に属する走査線Gに接続された全ての画素114に対しても、光供給部106から順に緑色の光が供給される。その結果、最終的には、第1フレーム期間F1において、第2領域110bに、緑色に対応した画像の一部が表示される。また、グループGL3-1の場合と同様に、グループGL3-2乃至グループGL3-4に属する走査線Gに接続された全ての画素114に対しても、光供給部106から順に青色の光が供給される。その結果、最終的には、第1フレーム期間F1において、第3領域110cに、青色に対応した画像の一部が表示される。

30

【0116】

なお、図7では、画像信号が入力された後、上記画像信号の電位に従って液晶層に含まれる液晶分子の配向の変化が収束するのを待ってから、画素114への光の供給を行う場合を例示している。そのため、例えば、書き込み期間Ta__Rが終了してから、表示期間Tr__Rが開始されるまで、所定の時間が設けられている。上記所定の時間は、液晶の応答速度に合わせて定めることができる。

40

【0117】

また、図7では、複数の各領域から順に一走査線Gずつ選択し、選択された走査線Gに接続された画素に画像信号を入力する場合を例に挙げている。しかし、本発明の一態様では、走査線G1乃至走査線Gyを順に選択し、選択された走査線Gに接続された画素に画像信号を入力するようにしても良い。

【0118】

次いで、第2フレーム期間F2及び第3フレーム期間F3においても、第1フレーム期間F1と同様の動作を繰り返す。ただし、第2フレーム期間F2では、第1領域110aに

50

において、青色に対応した画像信号の書き込み及び青色の光の供給を行い、第2領域110bにおいて、赤色に対応した画像信号の書き込み及び赤色の光の供給を行い、第3領域110cにおいて、緑色に対応した画像信号の書き込み及び緑色の光の供給を行うようにする。また、第3フレーム期間F3では、第1領域110aにおいて、緑色に対応した画像信号の書き込み及び緑色の光の供給を行い、第2領域110bにおいて、青色に対応した画像信号の書き込み及び青色の光の供給を行い、第3領域110cにおいて、赤色に対応した画像信号の書き込み及び赤色の光の供給を行うようにする。

【0119】

そして、第1領域110a、第2領域110b、第3領域110cの全てにおいて、第1フレーム期間F1乃至第3フレーム期間F3が終了し、且つ各領域の全ての画素への光の供給が行われることで、フルカラーの画像を画素部110に表示することができる。

10

【0120】

なお、図7では、信号線駆動回路111から信号線S1乃至信号線Sxに、画像信号を順に入力する点順次駆動の場合のタイミングチャートを例示している。しかし、本発明の一態様に係る液晶表示装置は、信号線駆動回路111から信号線S1乃至信号線Sxに一斉に画像信号を入力する線順次駆動を用いても良い。或いは、本発明の一態様に係る液晶表示装置は、複数の信号線Sごとに順に、画像信号を入力する駆動方法を用いても良い。

【0121】

また、図7では、各領域が有する走査線Gを、それぞれ4つのグループに分割した場合を例示している。しかし、各領域が有する走査線Gは必ずしも4つのグループに分割する必要は無く、4以外の数のグループで分割しても良いし、分割しなくとも良い。

20

【0122】

また、図7では、上記グループごとに画像信号の書き込みが終了した時点で、光供給部からの光の供給を順次開始している。上記構成により、画素部の全ての画素において画像信号の書き込みが終了した時点で、光供給部からの光の供給を開始する場合よりも、表示期間を長く確保することができる、或いは1フレーム期間を短くすることができる。

【0123】

また、図7では、書き込み期間において、光供給部106から画素114への光の供給は行われていない。しかし、書き込み期間が開始された直後は、液晶層における液晶分子の配向の変化は小さい。よって、書き込み期間が開始されてから液晶分子の配向の変化が観察者に視認されるまでの間は、光供給部106から画素114への光の供給を行うようにしても良い。ただし、書き込み期間の当初に画素114に供給される光の色相は、上記書き込み期間の前に設けられた表示期間における光の色相と同じとする。

30

【0124】

図6及び図7に示す本発明の一態様に係る液晶表示装置では、画素部を複数の領域に分割し、領域ごとに異なる色相の光を順次供給することで、フルカラー画像の表示を行うことで、特定の時刻に着目すると、隣接する領域に供給される光の色相を、互いに異ならせることができる。よって、図5の場合とは異なり、カラーブレイクの発生を防ぐことができる。また、本発明の一態様に係る液晶表示装置は、カラーフィルタを用いる必要がないため、光供給部から発せられる光の利用効率を高めることができ、液晶表示装置全体の消費電力を低減させることができる。

40

【0125】

(実施の形態2)

本実施の形態では、本発明の一態様に係る液晶表示装置の、駆動回路の構成について説明する。

【0126】

図8に、図2に示したパネル105の構成を、ブロック図で一例として示す。図8に示すパネル105は、画素部110と、信号線駆動回路111と、走査線駆動回路112とを有している。信号線駆動回路111は、シフトレジスタ150、第1記憶回路151、第

50

2 記憶回路 152、レベルシフタ 153、DAC (DA コンバータ) 154、アナログバッファ 155 を有している。また、走査線駆動回路 112 は、シフトレジスタ 156、デジタルバッファ 157 を有している。

【0127】

次いで、図 8 に示すパネル 105 の動作について説明する。シフトレジスタ 150 に、信号線駆動回路 111 用のスタートパルス信号 SP 及びクロック信号 CK が入力されると、シフトレジスタ 150 は、パルスが順次シフトするタイミング信号を生成する。

【0128】

第 1 記憶回路 151 には、画像信号 IMG が入力される。そして、第 1 記憶回路 151 にタイミング信号が入力されると、該タイミング信号のパルスに従って、画像信号 IMG がサンプリングされ、第 1 記憶回路 151 が有する複数の記憶素子に順に書き込まれる。第 1 記憶回路 151 に書き込まれた画像信号 IMG は、保持される。

【0129】

なお、第 1 記憶回路 151 が有する複数の記憶素子に順に画像信号 IMG を書き込んでも良いが、第 1 記憶回路 151 が有する複数の記憶素子をいくつかのグループに分け、該グループごとに並行して画像信号 IMG を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループ内の記憶素子数を分割数と呼ぶ。例えば 4 つの記憶素子ごとにグループに分けた場合、4 分割で分割駆動することになる。

【0130】

第 2 記憶回路 152 には、ラッチ信号 LP が入力される。第 1 記憶回路 151 への、画像信号 IMG の書き込みが一通り終了した後、帰線期間において、第 2 記憶回路 152 に入力されるラッチ信号 LP のパルスに従い、第 1 記憶回路 151 に保持されている画像信号 IMG が、第 2 記憶回路 152 に一斉に書き込まれ、保持される。画像信号 IMG を第 2 記憶回路 152 に送出し終えた第 1 記憶回路 151 では、再びシフトレジスタ 150 からのタイミング信号に従って、次の画像信号 IMG の書き込みが順次行われる。この 2 順目の 1 ライン期間中には、第 2 記憶回路 152 に書き込まれ、保持されている画像信号 IMG が、レベルシフタ 153 において、その電圧の振幅を調整された後、DAC 154 に送られる。

【0131】

DAC 154 には、画像信号 IMG の極性の反転を制御する信号 RP が、コントローラから入力される。DAC 154 は、信号 RP に従って、レベルシフタ 153 から入力されたデジタルの画像信号 IMG を、正の極性を有するアナログの画像信号 IMG、または負の極性を有するアナログの画像信号 IMG に変換する。そして、アナログに変換された画像信号 IMG は、アナログバッファ 155 に送られる。DAC 154 から送られてきた画像信号 IMG は、アナログバッファ 155 から信号線を介して画素部 110 に送られる。

【0132】

一方、走査線駆動回路 112 において、シフトレジスタ 156 は、走査線駆動回路 112 用のスタート信号 SP 及びクロック信号 CK が入力されると、パルスが順次シフトする走査信号 SCN を生成する。シフトレジスタ 150 から出力された走査信号 SCN は、デジタルバッファ 157 から走査線を介して画素部 110 に送られる。

【0133】

画素部 110 が有する画素は、走査線駆動回路 112 から走査線に入力された走査信号 SCN により選択される。信号線駆動回路 111 から信号線を介して画素部 110 に送られた画像信号 IMG は、上記選択された画素に入力される。

【0134】

なお、図 8 では、コントローラ 103 からの命令に従って、画像信号の極性の反転をパネル 105 の内部において行う場合について例示した。しかし、画像信号の極性の反転は、コントローラ 103 の内部において行われても良い。この場合、正の極性を有するアナログの画像信号と、負の極性を有するアナログの画像信号とが、コントローラから信号線駆動回路に入力されるものとする。

10

20

30

40

50

【0135】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

【0136】

(実施の形態3)

本発明の一態様に係る液晶表示装置では、非晶質、微結晶、多結晶又は単結晶である、シリコン又はゲルマニウムなどの半導体膜にチャネル形成領域を有するトランジスタが用いられていても良いし、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体膜にチャネル形成領域を有するトランジスタが用いられていても良い。シリコンとしては、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

10

【0137】

電子供与体(ドナー)となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体(purified Oxide Semiconductor)は、i型(真性半導体)又はi型に限りなく近い。そのため、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタは、オフ電流が著しく小さく、信頼性が高い。

【0138】

具体的に、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧(ドレイン電圧)が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{A}$ 以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が3Vの場合に、数十 $\text{yA} / \mu\text{m}$ という、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

20

30

【0139】

なお、特に断りがない限り、本明細書でオフ電流とは、nチャネル型トランジスタにおいては、ドレインをソースとゲートよりも高い電位とした状態において、ソースの電位を基準としたときのゲートの電位が0V以下であるときに、ソースとドレインの間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、pチャネル型トランジスタにおいては、ドレインをソースとゲートよりも低い電位とした状態において、ソースの電位を基準としたときのゲートの電位が0V以上であるときに、ソースとドレインの間に流れる電流のことを意味する。

40

【0140】

次いで、酸化物半導体膜にチャネル形成領域を有するトランジスタの一例について、図面を参照して説明する。

【0141】

図9(A)に、画素に設けられたトランジスタ201と、駆動回路に設けられたトランジスタ202の断面構造を、一例として示す。

【0142】

図9(A)に示すトランジスタ201は、絶縁表面上に設けられた、ゲートとして機能する導電膜204と、導電膜204上の絶縁膜205と、絶縁膜205上において導電膜2

50

04と重なる位置に設けられた半導体膜206と、半導体膜206上においてソースまたはドレインとして機能する導電膜207及び導電膜208と、を有する。また、図9(A)では、半導体膜206、導電膜207及び導電膜208上に、絶縁膜209及び絶縁膜210が、順に積層するように設けられている。トランジスタ201は、絶縁膜209及び絶縁膜210をその構成要素に含んでいても良い。

【0143】

また、絶縁膜209及び絶縁膜210上には、樹脂を用いた絶縁膜211が設けられている。そして、絶縁膜209、絶縁膜210、及び絶縁膜211には開口部が設けられており、絶縁膜211上には、当該開口部において導電膜207に接続された導電膜203が設けられている。導電膜203は、液晶素子の第1電極として機能する。

10

【0144】

例えば、液晶素子は第1電極及び第2電極と、第1電極及び第2電極により電界が加えられる液晶層とを有する。よって、液晶素子をトランジスタ201上に形成する場合、導電膜203に加え、第2電極として機能する導電膜と、液晶層とを、絶縁膜211上に設ければよい。

【0145】

また、絶縁膜211に樹脂を用いることで、導電膜203の被形成表面に凹凸が生じるのを防ぐ、すなわち、導電膜203の被形成表面の平坦性を高めることができる。

【0146】

具体的に、絶縁膜211として、アクリル樹脂、エポキシ樹脂、ベンゾシクロブテン系樹脂、ポリイミド、ポリアミド等の有機材料を用いることができる。また上記有機材料の他に、シリコン樹脂等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、より平坦性の高い絶縁膜211を形成することができる。

20

【0147】

また、導電膜203として、酸化インジウム、酸化インジウム - 酸化スズ (ITO: Indium Tin Oxide)、珪素若しくは酸化珪素を含有した酸化インジウム - 酸化スズ、酸化インジウム - 酸化亜鉛 (Indium Zinc Oxide)、酸化タングステン及び酸化亜鉛を含有した酸化インジウム、窒素を含ませたAl-Zn系酸化物半導体、窒素を含ませたZn系酸化物半導体、窒素を含ませたSn-Zn系酸化物半導体、金(Au)、白金(Pt)、ニッケル(Ni)、タングステン(W)、クロム(Cr)、モリブデン(Mo)、鉄(Fe)、コバルト(Co)、銅(Cu)、パラジウム(Pd)、チタン(Ti)の他、元素周期表の第1族または第2族に属する元素、すなわちリチウム(Li)やセシウム(Cs)等のアルカリ金属、およびマグネシウム(Mg)、カルシウム(Ca)、ストロンチウム(Sr)等のアルカリ土類金属、およびこれらを含む合金(MgAg、AlLi)、ユウロピウム(Eu)、イッテルビウム(Yb)等の希土類金属およびこれらを含む合金などを用いることができる。なお、導電膜203は、例えばスパッタリング法や蒸着法(真空蒸着法を含む)等により上記材料を用いて導電膜を形成した後、フォトリソグラフィ法を用いたエッチングにより当該導電膜を所望の形状に加工することで、形成することができる。

30

【0148】

また、図9(A)に示すトランジスタ202は、絶縁表面上に設けられた、ゲートとして機能する導電膜212と、導電膜212上の絶縁膜205と、絶縁膜205上において導電膜212と重なる位置に設けられた半導体膜213と、半導体膜213上においてソースまたはドレインとして機能する導電膜214及び導電膜215と、を有する。また、図9(A)では、半導体膜213、導電膜214及び導電膜215上に、絶縁膜209及び絶縁膜210が順に積層するように設けられている。また、絶縁膜209及び絶縁膜210上には、樹脂を用いた絶縁膜211が設けられている。

40

【0149】

なお、図9(A)では、駆動回路が有するトランジスタ202のバックゲートとして機能する導電膜を、画素において液晶素子の電極として機能する導電膜203と共に、絶縁膜

50

211上に形成しても良い。上記構成により、一の導電膜をエッチング等により所望の形状に加工することにより、導電膜203と、バックゲートとして機能する導電膜とを形成することができる。よって、液晶表示装置の作製工程を増やすことなく、バックゲートとして機能する導電膜を設けることができる。

【0150】

バックゲートはフローティングの状態であっても良いし、電位が他から与えられる状態であっても良い。後者の場合、通常のゲート（フロントゲート）及びバックゲートに同じ高さの電位が与えられていても良いし、バックゲートにのみ接地電位などの固定の電位が与えられていても良い。バックゲートに与える電位を制御することで、トランジスタ202の閾値電圧を制御することができる。また、バックゲートを設けることで、チャンネル形成領域が増え、ドレイン電流の増加を実現することができる。また、バックゲートを設けることで、半導体膜に空乏層ができやすくなるため、S値の改善を図ることができる。

10

【0151】

また、図9(A)では、半導体膜206及び半導体膜213と絶縁膜211の間に、絶縁膜209及び絶縁膜210が設けられている場合を例示しているが、半導体膜206及び半導体膜213と絶縁膜211の間に設けられる絶縁膜は、一層であっても良いし、3以上の複数層であっても良い。

【0152】

絶縁膜210は、化学量論的組成以上の酸素が含まれており、加熱により上記酸素の一部を半導体膜206に供給する機能を有する絶縁膜であることが望ましい。また、絶縁膜210は、欠陥が少ないことが好ましく、代表的には、ESR測定により、シリコンのダングリングボンドに由来する $g = 2.001$ に現れる信号のスピン密度が 1×10^{18} spins/cm³以下であることが好ましい。ただし、絶縁膜210を半導体膜206及び半導体膜213上に直接設けると、絶縁膜210の形成時に半導体膜206にダメージが与えられる場合、図9(A)に示すように、絶縁膜209を半導体膜206及び半導体膜213と絶縁膜210の間に設けると良い。絶縁膜209は、その形成時に半導体膜206に与えるダメージが絶縁膜210の場合よりも小さく、なおかつ、酸素を透過する機能を有する絶縁膜であることが望ましい。ただし、半導体膜206及び半導体膜213に与えられるダメージを小さく抑えつつ、半導体膜206及び半導体膜213上に直接絶縁膜210を形成することができるのであれば、絶縁膜209は必ずしも設けなくとも良い。

20

30

【0153】

絶縁膜209は、欠陥が少ないことが好ましく、代表的には、ESR測定により、シリコンのダングリングボンドに由来する $g = 2.001$ に現れる信号のスピン密度が 3×10^{17} spins/cm³以下であることが好ましい。これは、絶縁膜209に含まれる欠陥密度が多いと、当該欠陥に酸素が結合してしまい、絶縁膜209における酸素の透過量が減少してしまうためである。

【0154】

また、絶縁膜209と半導体膜206及び半導体膜213との界面に欠陥が少ないことが好ましく、代表的には、磁場の向きを膜面に対して平行に印加したESR測定により、半導体膜206及び半導体膜213に用いられる酸化物半導体中の酸素欠損に由来する $g = 1.93$ に現れる信号のスピン密度が 1×10^{17} spins/cm³以下、更には検出下限以下であることが好ましい。

40

【0155】

具体的に、絶縁膜209または絶縁膜210として、酸化シリコン膜または酸化窒化シリコン膜を用いることができる。

【0156】

次いで、図9(B)に、図9(A)に示した断面構造に、さらに絶縁膜210と絶縁膜211の間に絶縁膜217を設けた場合の、トランジスタ201と、トランジスタ201に接続された導電膜203と、トランジスタ202の断面構造を、一例として示す。絶縁膜217は、酸素、水素、水の拡散を防ぐブロッキング効果を有することが、望ましい。或

50

いは、絶縁膜 217 は、水素、水の拡散を防ぐブロッキング効果を有することが、望ましい。

【0157】

絶縁膜は、密度が高くて緻密である程、また未結合手が少なく化学的に安定である程、より高いブロッキング効果を示す。酸素、水素、水の拡散を防ぐブロッキング効果を示す絶縁膜は、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いて、形成することができる。水素、水の拡散を防ぐブロッキング効果を示す絶縁膜は、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。

【0158】

絶縁膜 217 が水、水素などの拡散を防ぐブロッキング効果を有する場合、樹脂を用いた絶縁膜 211 や、パネルの外部に存在する水、水素などの不純物が、半導体膜 206 または半導体膜 213 に侵入するのを防ぐことができる。半導体膜 206 または半導体膜 213 に酸化物半導体を用いる場合、酸化物半導体に侵入した水または水素の一部は電子供与体（ドナー）となるため、上記ブロッキング効果を有する絶縁膜 217 を用いることで、トランジスタ 201 及びトランジスタ 202 の閾値電圧がドナーの生成によりシフトするのを防ぐことができる。

【0159】

また、半導体膜 206 または半導体膜 213 に酸化物半導体を用いる場合、絶縁膜 217 が酸素の拡散を防ぐブロッキング効果を有することで、酸化物半導体からの酸素が外部に拡散するのを防ぐことができる。よって、酸化物半導体中において、ドナーとなる酸素欠損が低減されるので、トランジスタ 201 及びトランジスタ 202 の閾値電圧がドナーの生成によりシフトするのを防ぐことができる。

【0160】

また、絶縁膜 217 と絶縁膜 211 の密着性が、絶縁膜 210 と絶縁膜 211 の密着性よりも高い場合、絶縁膜 217 を用いることで、絶縁膜 211 の剥離を防ぐことができる。

【0161】

なお、半導体膜 206 及び半導体膜 213 として酸化物半導体膜を用いる場合、酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）を有することが好ましい。また、スタビライザーとしてハフニウム（Hf）を有することが好ましい。また、スタビライザーとしてアルミニウム（Al）を有することが好ましい。また、スタビライザーとしてジルコニウム（Zr）を含むことが好ましい。

【0162】

酸化物半導体の中でも In - Ga - Zn 系酸化物、In - Sn - Zn 系酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、上記 In - Ga - Zn 系酸化物は、ガラス基板上に、電気的特性の優れたトランジスタを作製することが可能である。また、基板の大型化にも対応が可能である。

【0163】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種または複数種を含んでもよい。

【0164】

例えば、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、二

10

20

30

40

50

元系金属の酸化物である In - Zn 系酸化物、Sn - Zn 系酸化物、Al - Zn 系酸化物、Zn - Mg 系酸化物、Sn - Mg 系酸化物、In - Mg 系酸化物、In - Ga 系酸化物、三元系金属の酸化物である In - Ga - Zn 系酸化物 (IGZOとも表記する)、In - Al - Zn 系酸化物、In - Sn - Zn 系酸化物、Sn - Ga - Zn 系酸化物、Al - Ga - Zn 系酸化物、Sn - Al - Zn 系酸化物、In - Hf - Zn 系酸化物、In - La - Zn 系酸化物、In - Pr - Zn 系酸化物、In - Nd - Zn 系酸化物、In - Sm - Zn 系酸化物、In - Eu - Zn 系酸化物、In - Gd - Zn 系酸化物、In - Tb - Zn 系酸化物、In - Dy - Zn 系酸化物、In - Ho - Zn 系酸化物、In - Er - Zn 系酸化物、In - Tm - Zn 系酸化物、In - Yb - Zn 系酸化物、In - Lu - Zn 系酸化物、四元系金属の酸化物である In - Sn - Ga - Zn 系酸化物、In - Hf - Ga - Zn 系酸化物、In - Al - Ga - Zn 系酸化物、In - Sn - Al - Zn 系酸化物、In - Sn - Hf - Zn 系酸化物、In - Hf - Al - Zn 系酸化物を用いることができる。

10

【0165】

なお、例えば、In - Ga - Zn 系酸化物とは、In と Ga と Zn を含む酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素を含んでいてもよい。In - Ga - Zn 系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

【0166】

例えば、In : Ga : Zn = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3) あるいは In : Ga : Zn = 2 : 2 : 1 (= 2 / 5 : 2 / 5 : 1 / 5) の原子比の In - Ga - Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In : Sn : Zn = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3)、In : Sn : Zn = 2 : 1 : 3 (= 1 / 3 : 1 / 6 : 1 / 2) あるいは In : Sn : Zn = 2 : 1 : 5 (= 1 / 4 : 1 / 8 : 5 / 8) の原子比の In - Sn - Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

20

【0167】

例えば、In - Sn - Zn 系酸化物では比較的容易に高い移動度が得られる。しかしながら、In - Ga - Zn 系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0168】

以下では、酸化物半導体膜の構造について説明する。

30

【0169】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜などをいう。

【0170】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

40

【0171】

微結晶酸化物半導体膜は、例えば、1 nm 以上 10 nm 未満の大きさの微結晶 (ナノ結晶ともいう。) を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

【0172】

CAAC-OS 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさである。従って、CAAC-OS 膜に含まれる結晶部は、一辺が 10 nm 未満、5 nm 未満または 3 nm 未満の立方体内に収まる大きさの場合も含まれる。CAAC-OS 膜は、微結晶酸化物半導体膜よりも欠

50

陥準位密度が低いという特徴がある。以下、C A A C - O S 膜について詳細な説明を行う。

【0173】

C A A C - O S 膜を透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって観察すると、結晶部同士の明確な境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0174】

C A A C - O S 膜を、試料面と概略平行な方向から TEM によって観察 (断面 TEM 観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

10

【0175】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0176】

一方、C A A C - O S 膜を、試料面と概略垂直な方向から TEM によって観察 (平面 TEM 観察) すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

20

【0177】

断面 TEM 観察および平面 TEM 観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

【0178】

C A A C - O S 膜に対し、X線回折 (XRD: X-Ray Diffraction) 装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する C A A C - O S 膜の out-of-plane 法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (009) 面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

30

【0179】

一方、C A A C - O S 膜に対し、c 軸に概略垂直な方向から X 線を入射させる in-plane 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (110) 面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (c 軸) として試料を回転させながら分析 (スキャン) を行うと、(110) 面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、C A A C - O S 膜の場合は、 2θ を 56° 近傍に固定して スキャンした場合でも、明瞭なピークが現れない。

40

【0180】

以上のことから、C A A C - O S 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 TEM 観察で確認された層状に配列した金属原子の各層は、結晶の a b 面に平行な面である。

【0181】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C - O S 膜の被形成面

50

または上面の法線ベクトルと平行にならないこともある。

【0182】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0183】

なお、 InGaZnO_4 の結晶を有するCAAC-OS膜のout-of-plane法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

10

【0184】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0185】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0186】

CAAC-OS膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、CAAC-OS膜を成膜することができる。

20

【0187】

また、CAAC-OS膜を成膜するために、以下の条件を適用することが好ましい。

【0188】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が -80 以下、好ましくは -100 以下である成膜ガスを用いる。

30

【0189】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 100 以上 740 以下、好ましくは 200 以上 500 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【0190】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、 30 体積%以上、好ましくは 100 体積%とする。

40

【0191】

スパッタリング用ターゲットの一例として、In-Ga-Zn系酸化物ターゲットについて以下に示す。

【0192】

InO_x 粉末、 GaO_y 粉末および ZnO_z 粉末を所定のmol数で混合し、加圧処理後、 1000 以上 1500 以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn系酸化物ターゲットとする。なお、X、YおよびZは任意の正数である。ここで、

50

所定のmol数比は、例えば、 InO_x 粉末、 GaO_y 粉末および ZnO_z 粉末が、2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3または3 : 1 : 2である。なお、粉末の種類、およびその混合するmol数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

【0193】

また、半導体膜206及び半導体膜213は、金属の原子数比が互いに異なる金属酸化物のターゲットを用いて形成された複数の酸化物半導体膜が、積層された構造を有していても良い。例えば、ターゲットの原子数比は、1層目の酸化物半導体膜が $In : Ga : Zn = 1 : 1 : 1$ 、2層目の酸化物半導体膜が $In : Ga : Zn = 3 : 1 : 2$ となるように、形成しても良い。また、ターゲットの原子数比は、1層目の酸化物半導体膜が $In : Ga : Zn = 1 : 3 : 2$ 、2層目の酸化物半導体膜が $In : Ga : Zn = 3 : 1 : 2$ 、3層目の酸化物半導体膜が $In : Ga : Zn = 1 : 1 : 1$ となるように、形成しても良い。

10

【0194】

或いは、半導体膜206及び半導体膜213は、異なる金属を含む金属酸化物のターゲットを用いて形成された複数の酸化物半導体膜が、積層された構造を有していても良い。

【0195】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0196】

(実施の形態4)

本実施の形態では、図3(B)に示す画素114を例に挙げて、本発明の一態様に係る液晶表示装置の、画素114の具体的な構成の一例について説明する。

20

【0197】

図10(A)に、画素の上面図を一例として示す。ただし、図10(A)では、画素114のレイアウトを明確にするために、各種絶縁膜、液晶層、第2電極を省略した上面図を示す。また、図10(B)に、図10(A)の破線A1-A2、及び破線B1-B2における断面図を示す。

【0198】

図10(A)、図10(B)に示す画素は、導電膜501が、走査線G、またはトランジスタ115のゲートとして機能する。また、導電膜502は、信号線S、またはトランジスタ115のソース及びドレインの一方として機能する。導電膜503は、容量素子116が有する電極の一つとして機能する。導電膜504は、トランジスタ115のソース及びドレインの他方、または容量素子116が有する電極の別の一つとして機能する。

30

【0199】

導電膜501、導電膜503上にはゲート絶縁膜506が形成されている。トランジスタ115の半導体膜507は、導電膜501と重なる位置においてゲート絶縁膜506上に形成されている。

【0200】

また、図10(A)、図10(B)に示す画素では、導電膜503と導電膜502とが重なる位置において、ゲート絶縁膜506及び半導体膜520が設けられている。具体的には、導電膜503上にゲート絶縁膜506が設けられ、ゲート絶縁膜506上に半導体膜520が設けられ、半導体膜520上に導電膜502が設けられている。半導体膜520を導電膜502と導電膜503の間に設けることで、導電膜502と導電膜503の間に形成される寄生容量を小さく抑えることができる。

40

【0201】

また、図10(A)、図10(B)に示す画素では、導電膜501と導電膜502とが重なる位置において、ゲート絶縁膜506及び半導体膜523が設けられている。具体的には、導電膜501上にゲート絶縁膜506が設けられ、ゲート絶縁膜506上に半導体膜523が設けられ、半導体膜523上に導電膜502が設けられている。半導体膜523を導電膜501と導電膜502の間に設けることで、導電膜501と導電膜502の間に形成される寄生容量を小さく抑えることができる。

50

【0202】

なお、導電膜501、導電膜503は、絶縁表面を有する基板500上に形成された一の導電膜を所望の形状に加工することで形成することができる。半導体膜507、半導体膜520、半導体膜523は、ゲート絶縁膜506上に形成された一の半導体膜を所望の形状に加工することで形成することができる。導電膜502、導電膜504は、ゲート絶縁膜506、半導体膜507、半導体膜520及び半導体膜523上に形成された一の導電膜を所望の形状に加工することで形成することができる。

【0203】

さらに、図10(A)、図10(B)に示す画素は、半導体膜507、半導体膜520、半導体膜523、導電膜502、導電膜504を覆うように、絶縁膜512が形成されている。そして、絶縁膜512に形成されたコンタクトホールを介して導電膜504と接するように、絶縁膜512上に導電膜521が形成されている。そして、導電膜521及び絶縁膜512上に、絶縁膜513が形成されている。そして、絶縁膜513上には第1電極505が形成されており、絶縁膜513に形成されたコンタクトホールを介して、導電膜521と第1電極505とが接している。

10

【0204】

なお、図10(A)、図10(B)に示す画素では、導電膜504と第1電極505が、導電膜521を介して接続されているが、本発明の一態様では、導電膜521を設けずに、導電膜504と第1電極505が接する構成であっても良い。

【0205】

導電膜503と、導電膜504とが、ゲート絶縁膜506を間に挟んで重なり合っている部分が、容量素子116として機能する。

20

【0206】

また、本実施の形態では、導電膜521と第1電極505とが重なる位置において、第1電極505上にスペーサ510が形成されている。

【0207】

なお、図10(A)では、スペーサ510までが形成された画素の上面図を示している。図10(B)では、スペーサ510までが形成されている基板500と対峙するように、基板514が配置されている様子を示す。

【0208】

基板514上には第2電極515が形成されており、第1電極505と第2電極515の間には液晶を含む液晶層516が設けられている。第1電極505と、第2電極515と、液晶層516とが重なる部分に液晶素子113が形成される。

30

【0209】

透過型の液晶表示装置である場合、第1電極505と第2電極515には、例えば、酸化珪素を含む酸化インジウムスズ(I₂TSO)、酸化インジウムスズ(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛、ガリウムを添加した酸化亜鉛(GZO)などの透光性を有する導電材料を用いることができる。反射型の液晶表示装置である場合は、第2電極515に、光を反射もしくは遮蔽する材料、例えば、窒化チタン、窒化ジルコニウム、チタン、タングステン、ニッケル、白金、クロム、銀、アルミニウム等を用いることができる。

40

【0210】

なお、第1電極505と液晶層516の間、または第2電極515と液晶層516の間に、配向膜を適宜設けても良い。配向膜は、ポリイミド、ポリビニルアルコールなどの有機樹脂を用いて形成することができ、その表面には、ラビングなどの、液晶分子を一定方向に配列させるための配向処理が施されている。ラビングは、配向膜に接するように、ナイロンなどの布を巻いたローラーを回転させて、上記配向膜の表面を一定方向に擦ることで、行うことができる。なお、酸化珪素などの無機材料を用い、配向処理を施すことなく、蒸着法で配向特性を有する配向膜を直接形成することも可能である。

【0211】

50

また、液晶層 5 1 6 を形成するために行われる液晶の注入は、ディスペンサ式（滴下式）を用いても良いし、ディップ式（汲み上げ式）を用いても良い。

【0212】

なお、基板 5 1 4 上には、画素間における液晶の配向の乱れに起因するディスクリネーションが視認されるのを防ぐため、或いは、拡散した光が隣接する複数の画素に入射するのを防ぐために、光を遮蔽することができる遮蔽膜 5 1 7 が設けられている。遮蔽膜 5 1 7 には、カーボンブラック、低原子価酸化チタンなどの黒色顔料を含む有機樹脂を用いることができる。または、クロムを用いた膜で、遮蔽膜を形成することも可能である。

【0213】

なお、図 10 では、第 1 電極 5 0 5 と第 2 電極 5 1 5 の間に液晶層 5 1 6 が挟まれている構造を有する液晶素子 1 1 3 を例に挙げて説明したが、本発明の一態様に係る液晶表示装置はこの構成に限定されない。IPS 型の液晶素子やブルー相を用いた液晶素子のように、一对の電極が共に一の基板に形成されていても良い。

10

【0214】

次いで、図 3 (B) に示す画素 1 1 4 を例に挙げて、液晶素子が有する液晶層にブルー相を示す液晶を用いた場合の、画素 1 1 4 の具体的な構成の一例について説明する。

【0215】

図 11 (A) に、画素の上面図を一例として示す。ただし、図 11 (A) では、画素 1 1 4 のレイアウトを明確にするために、各種絶縁膜、液晶層、第 2 電極を省略した上面図を示す。また、図 11 (B) に、図 11 (A) の破線 C 1 C 2 における断面図を示す。

20

【0216】

図 11 (A)、図 11 (B) に示す画素は、導電膜 6 0 1 が、走査線 G、またはトランジスタ 1 1 5 のゲートとして機能する。また、導電膜 6 0 2 は、信号線 S、またはトランジスタ 1 1 5 のソース及びドレインの一方として機能する。導電膜 6 0 3 は、容量素子 1 1 6 が有する電極の一つとして機能する。導電膜 6 0 4 は、トランジスタ 1 1 5 のソース及びドレインの他方、または容量素子 1 1 6 が有する電極の別の一つとして機能する。

【0217】

導電膜 6 0 1、導電膜 6 0 3 上にはゲート絶縁膜 6 0 6 が形成されている。トランジスタ 1 1 5 の半導体膜 6 0 7 は、導電膜 6 0 1 と重なる位置においてゲート絶縁膜 6 0 6 上に形成されている。さらに、半導体膜 6 0 7、導電膜 6 0 2、導電膜 6 0 4 を覆うように、絶縁膜 6 1 2 と、絶縁膜 6 1 3 とが順に形成されている。そして、絶縁膜 6 1 3 上には第 1 電極 6 0 5 及び第 2 電極 6 0 8 が形成されており、絶縁膜 6 1 2 及び絶縁膜 6 1 3 に形成されたコンタクトホールにおいて、導電膜 6 0 4 と第 1 電極 6 0 5 とが接続されている。

30

【0218】

導電膜 6 0 1、導電膜 6 0 3 は、絶縁表面を有する基板 6 0 0 上に形成された一の導電膜を所望の形状に加工することで形成することができる。導電膜 6 0 1、導電膜 6 0 3 上にはゲート絶縁膜 6 0 6 が形成されている。導電膜 6 0 2、導電膜 6 0 4 は、半導体膜 6 0 7 及びゲート絶縁膜 6 0 6 上に形成された一の導電膜を所望の形状に加工することで形成することができる。

40

【0219】

なお、導電膜 6 0 3 と、導電膜 6 0 4 とが、ゲート絶縁膜 6 0 6 を間に挟んで重なり合っている部分が、容量素子 1 1 6 として機能する。

【0220】

また、図 11 (A) 及び図 11 (B) に示す画素では、導電膜 6 0 3 とゲート絶縁膜 6 0 6 の間に絶縁膜 6 0 9 が形成されている。そして、第 1 電極 6 0 5 と絶縁膜 6 0 9 とが重なる位置において、第 1 電極 6 0 5 上にスペーサ 6 1 0 が形成されている。

【0221】

なお、図 11 (A) では、スペーサ 6 1 0 までが形成された画素の上面図を示している。図 11 (B) では、スペーサ 6 1 0 までが形成されている基板 6 0 0 と対峙するように、

50

基板 614 が配置されている様子を示す。

【0222】

基板 614 と、第 1 電極 605 及び第 2 電極 608 との間には、液晶を含む液晶層 616 が設けられている。第 1 電極 605 と、第 2 電極 608 と、液晶層 616 とを含む領域に液晶素子 113 が形成される。

【0223】

第 1 電極 605 と第 2 電極 608 には、例えば、酸化珪素を含む酸化インジウムスズ (ITO)、酸化インジウムスズ (ITO)、酸化亜鉛 (ZnO)、酸化インジウム亜鉛、ガリウムを添加した酸化亜鉛 (GZO) などの透光性を有する導電材料を用いることができる。

10

【0224】

液晶層 616 を形成するために行われる液晶の注入は、ディスペンサ式 (滴下式) を用いても良いし、ディップ式 (汲み上げ式) を用いても良い。

【0225】

なお、基板 614 上には、画素間における液晶の配向の乱れに起因するディスクリネーションが視認されるのを防ぐため、或いは、拡散した光が隣接する複数の画素に入射するのを防ぐために、光を遮蔽することができる遮蔽膜が設けられていても良い。遮蔽膜には、カーボンブラック、低原子価酸化チタンなどの黒色顔料を含む有機樹脂を用いることができる。または、クロムを用いた膜で、遮蔽膜を形成することも可能である。

20

【0226】

なお、図 10 または図 11 において、トランジスタ 115 は、酸化物半導体などのワイドギャップ半導体を半導体膜 507 或いは半導体膜 607 に有していても良いし、非晶質、微結晶、多結晶又は単結晶である、シリコン又はゲルマニウムなどの半導体を半導体膜 507 或いは半導体膜 607 に有していても良い。

【0227】

なお、トランジスタ 115 は、半導体膜 507 或いは半導体膜 607 の片側にだけ存在するゲートを少なくとも有していれば良いが、半導体膜 507 或いは半導体膜 607 を間に挟んで存在する一対のゲートを有していても良い。また、トランジスタ 115 は、単数のゲートと単数のチャネル形成領域を有するシングルゲート構造であっても良いし、電氣的に接続された複数のゲートを有することで、チャネル形成領域を複数有する、マルチゲート構造であっても良い。

30

【0228】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0229】

(実施の形態 5)

本発明の一態様に係る液晶表示装置の外観について、図 12 を用いて説明する。図 12 (A) は、基板 4001 と基板 4006 とを封止材 4005 によって接着させた液晶表示装置の上面図である。また、図 12 (B) は、図 12 (A) の破線 A1 - A2 における断面図に相当し、図 12 (C) は、図 12 (A) の破線 B1 - B2 における断面図に相当する。なお、図 12 では、FFS (Fringe Field Switching) モードの液晶表示装置を例示している。

40

【0230】

基板 4001 上に設けられた画素部 4002 と、一対の走査線駆動回路 4004 とを囲むように、封止材 4005 が設けられている。また、画素部 4002、走査線駆動回路 4004 の上に基板 4006 が設けられている。よって、画素部 4002 と、走査線駆動回路 4004 とは、基板 4001 と封止材 4005 と基板 4006 とによって封止されている。

【0231】

また、基板 4001 上の封止材 4005 によって囲まれている領域とは異なる領域に、信号線駆動回路 4003 が実装されている。

50

【0232】

また、基板4001上に設けられた画素部4002、走査線駆動回路4004は、トランジスタを複数有している。図12(B)では、画素部4002に含まれるトランジスタ4010と、走査線駆動回路4004に含まれるトランジスタ4022とを例示している。また、図12(C)では、画素部4002に含まれるトランジスタ4010を例示している。

【0233】

画素部4002及び走査線駆動回路4004において、トランジスタ4010及びトランジスタ4022上には、樹脂を用いた絶縁膜4020が設けられている。そして、絶縁膜4020上には、液晶素子4023の第1電極4021と、導電膜4024とが設けられている。導電膜4024は、絶縁膜4020に蓄積された電荷の放電経路として機能させることができる。或いは、導電膜4024及び絶縁膜4020をトランジスタ4022の構成要素とし、導電膜4024をバックゲートとして機能させることもできる。

10

【0234】

また、絶縁膜4020、第1電極4021、及び導電膜4024上には、絶縁膜4025が設けられている。絶縁膜4025は、水、水素などの拡散を防ぐブロッキング効果が高いことが望ましい。絶縁膜4025として、窒化シリコン膜、窒化酸化シリコン膜などを用いることができる。

【0235】

また、図12(B)及び図12(C)に示すように、本発明の一態様では、絶縁膜4020は、パネルの端部において除去されている。そして、絶縁膜4020上の絶縁膜4025は、封止材4005と基板4001の間において、トランジスタ4010及びトランジスタ4022のゲート絶縁膜として機能する絶縁膜4026と接している。

20

【0236】

絶縁膜4025及び絶縁膜4026の、水、水素などの拡散を防ぐブロッキング効果が高い場合、パネルの端部において絶縁膜4025と絶縁膜4026とが接することで、パネルの端部から、または封止材4005から、水、水素などがトランジスタ4010及びトランジスタ4022がそれぞれ有する半導体膜に侵入するのを、防ぐことができる。

【0237】

また、絶縁膜4025上には、液晶素子4023の第2電極4027が設けられている。そして、第2電極4027及び絶縁膜4025と、基板4006との間には、液晶層4028が設けられている。液晶素子4023は、第1電極4021、第2電極4027、及び液晶層4028を有する。

30

【0238】

なお、本発明の一態様に係る液晶表示装置において、液晶層には、例えば、サーモトロピック液晶またはリオトロピック液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、ネマチック液晶、スメクチック液晶、コレステリック液晶、または、ディスコチック液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、強誘電性液晶、または反強誘電性液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、主鎖型高分子液晶、側鎖型高分子液晶、或いは、複合型高分子液晶などの高分子液晶、または低分子液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、高分子分散型液晶(PDLC)に分類される液晶材料を用いることができる。

40

【0239】

また、配向膜を用いないブルー相を示す液晶を液晶層に用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、カイラル剤や紫外線硬化樹脂を添加して温度範囲を改善する。ブルー相を示す液晶とカイラル剤を含む液晶組成物は、応答速度が1msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さいため好ましい。

50

【0240】

液晶素子4023では、第1電極4021と第2電極4027の間に与えられる電圧の値に従って、液晶層4028に含まれる液晶分子の配向が変化し、透過率が変化する。よって、液晶素子4023は、第1電極4021に与えられる画像信号の電位によって、その透過率が制御されることで、階調を表示することができる。

【0241】

また、信号線駆動回路4003からの画像信号や、FPC4018からの各種制御信号及び電源電位は、引き回し配線4030及び4031を介して、走査線駆動回路4004または画素部4002に与えられる。

【0242】

また、本実施の形態では、液晶の駆動方法としてFFS (Fringe Field Switching) モードを用いる場合を例示したが、液晶の駆動方法としては、TN (Twisted Nematic) モード、STN (Super Twisted Nematic) モード、VA (Vertical Alignment) モード、MVA (Multi-domain Vertical Alignment) モード、IPS (In-Plane Switching) モード、OCB (Optically Compensated Birefringence) モード、ブルー相モード、TBA (Transverse Bend Alignment) モード、VA-IPSモード、ECB (Electrically Controlled Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、PNLC (Polymer Network Liquid Crystal) モード、ゲストホストモード、ASV (Advanced Super View) モードなどを適用することも可能である。

10

20

【0243】

図13(A)、図13(B)に、VAモードの液晶素子の、断面構造の一例を示す。

【0244】

トランジスタが形成された第1基板50201と、第2基板50202との間に、液晶層50200が設けられている。第1基板50201上には、第1電極50205が形成されている。第2基板50202上には、第2電極50206が形成されている。第1基板50201の液晶層50200と反対側には、第1偏光板50203が配置されている。第2基板50202の液晶層50200と反対側には、第2偏光板50204が配置されている。なお、第1偏光板50203と第2偏光板50204とは、クロスニコルになるように配置されている。

30

【0245】

図13(A)は、第1電極50205及び第2電極50206に電圧が印加(縦電界方式と呼ぶ)された場合の断面の模式図である。液晶分子が横に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第1偏光板50203と第2偏光板50204とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。

40

【0246】

図13(B)は、第1電極50205及び第2電極50206に電圧が印加されていない場合の断面の模式図である。液晶分子が縦に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第1偏光板50203と第2偏光板50204とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。

【0247】

図13(C)、図13(D)に、MVAモードの液晶素子の、断面構造の一例を示す。

【0248】

50

トランジスタが形成された第1基板50211と、第2基板50212の間に、液晶層50210が設けられている。第1基板50211上には、第1電極50215が形成されている。第2基板50212上には、第2電極50216が形成されている。第1電極50215上には、配向制御用に第1突起物50217が形成されている。第2電極50216上には、配向制御用に第2突起物50218が形成されている。第1基板50211の液晶層50210と反対側には、第1偏光板50213が配置されている。第2基板50212の液晶層50210と反対側には、第2偏光板50214が配置されている。なお、第1偏光板50213と第2偏光板50214とは、クロスニコルになるように配置されている。

【0249】

図13(C)は、第1電極50215及び第2電極50216に電圧が印加(縦電界方式と呼ぶ)された場合の断面の模式図である。液晶分子が第1突起物50217及び第2突起物50218に対して倒れて並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第1偏光板50213と第2偏光板50214とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。

【0250】

図13(D)は、第1電極50215及び第2電極50216に電圧が印加されていない場合の断面の模式図である。液晶分子が縦に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第1偏光板50213と第2偏光板50214とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。

【0251】

図13(E)、図13(F)に、IPSモードの液晶素子の、断面構造の一例を示す。

【0252】

トランジスタが形成された第1基板50401と、第2基板50402との間に、液晶層50400が設けられている。第2基板50402上には、第1電極50405及び第2電極50406が形成されている。第1基板50401の液晶層50400と反対側には、第1偏光板50403が配置されている。第2基板50402の液晶層50400と反対側には、第2偏光板50404が配置されている。なお、第1偏光板50403と第2偏光板50404とは、クロスニコルになるように配置されている。

【0253】

図13(E)は、第1電極50405及び第2電極50406に電圧が印加(縦電界方式と呼ぶ)された場合の断面の模式図である。液晶分子がラビング方向からずれた電気力線に沿って配向した状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第1偏光板50403と第2偏光板50404とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。

【0254】

図13(F)は、第1電極50405及び第2電極50406に電圧が印加されていない場合の断面の模式図である。液晶分子がラビング方向に沿って横に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第1偏光板50403と第2偏光板50404とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。

【0255】

また、本発明の一態様に係る液晶表示装置は、広視野角を得るための光学補償層が設けられていても良い。上記光学補償層は、その屈折率楕円体の光軸がパネルの表面に平行である構造を有していても良いし、その屈折率楕円体の光軸とパネルの表面との間に所定の角度が設けられた構造を有していても良い。

【0256】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することができる。

【0257】

10

20

30

40

50

(実施の形態6)

本発明の一態様に係る液晶表示装置は、消費電力を小さく抑えることができる。よって、携帯情報端末や携帯型ゲーム機などの、電力の供給を常時受けることが困難な携帯用電子機器の場合、本発明の一態様に係る液晶表示装置を用いることで、連続使用時間を長く確保することができるので好ましい。

【0258】

本発明の一態様に係る液晶表示装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る液晶表示装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラなどのカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図14に示す。

10

【0259】

図14(A)は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイラス5008等を有する。表示部5003または表示部5004に、本発明の一態様に係る液晶表示装置を用いることができる。なお、図14(A)に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

20

【0260】

図14(B)は表示機器であり、筐体5201、表示部5202、支持台5203等を有する。表示部5202に本発明の一態様に係る液晶表示装置を用いることができる。なお、表示機器には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示機器が含まれる。

【0261】

図14(C)はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。表示部5402に本発明の一態様に係る液晶表示装置を用いることができる。

30

【0262】

図14(D)は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。そして、第1筐体5601と第2筐体5602とは、接続部5605により接続されており、第1筐体5601と第2筐体5602との間の角度は、接続部5605により変更が可能となっている。第1表示部5603における映像を、接続部5605における第1筐体5601と第2筐体5602との間の角度に従って、切り替える構成としても良い。また、第1表示部5603及び第2表示部5604の少なくとも一方に、位置入力装置としての機能が付加された液晶表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、液晶表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を液晶表示装置の画素部に設けることで、付加することができる。第1表示部5603または第2表示部5604に本発明の一態様に係る液晶表示装置を用いることができる。

40

【0263】

図14(E)はビデオカメラであり、第1筐体5801、第2筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。操作キー580

50

4及びレンズ5805は第1筐体5801に設けられており、表示部5803は第2筐体5802に設けられている。そして、第1筐体5801と第2筐体5802とは、接続部5806により接続されており、第1筐体5801と第2筐体5802の間の角度は、接続部5806により変更が可能となっている。表示部5803における映像の切り替えを、接続部5806における第1筐体5801と第2筐体5802との間の角度に従って行う構成としても良い。表示部5803に本発明の一態様に係る液晶表示装置を用いることができる。

【0264】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することができる。

【符号の説明】

【0265】

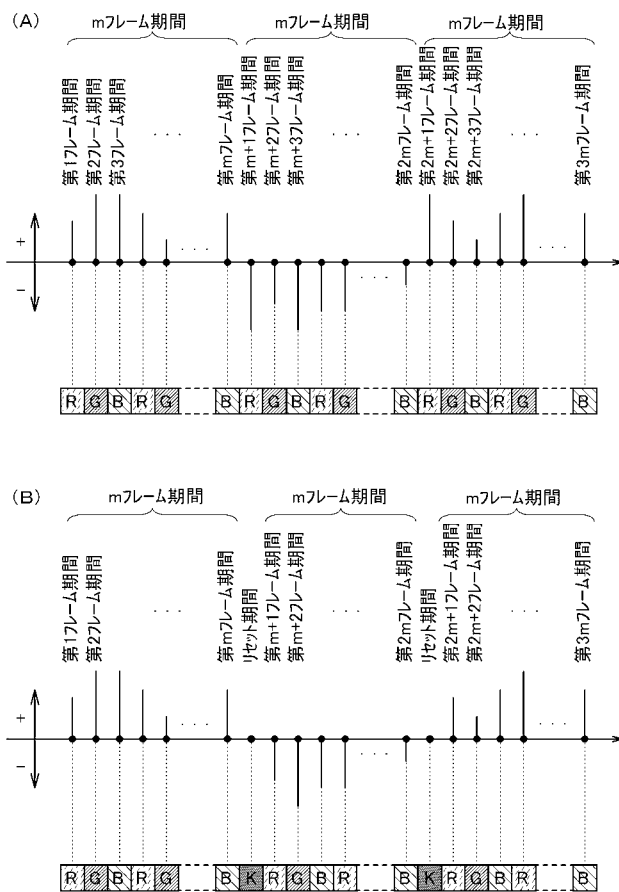
100	液晶表示装置	
101	記憶装置	
102	画像処理回路	
103	コントローラ	
104	反転制御回路	
105	パネル	
106	光供給部	
107	光供給部制御回路	
108	カウンタ	20
109	信号生成回路	
110	画素部	
110 a	第1領域	
110 b	第2領域	
110 c	第3領域	
111	信号線駆動回路	
112	走査線駆動回路	
113	液晶素子	
114	画素	
115	トランジスタ	30
116	容量素子	
150	シフトレジスタ	
151	記憶回路	
152	記憶回路	
153	レベルシフタ	
154	D A C	
155	アナログバッファ	
156	シフトレジスタ	
157	デジタルバッファ	
201	トランジスタ	40
202	トランジスタ	
203	導電膜	
204	導電膜	
205	絶縁膜	
206	半導体膜	
207	導電膜	
208	導電膜	
209	絶縁膜	
210	絶縁膜	
211	絶縁膜	50

2 1 2	導電膜	
2 1 3	半導体膜	
2 1 4	導電膜	
2 1 5	導電膜	
2 1 7	絶縁膜	
5 0 0	基板	
5 0 1	導電膜	
5 0 2	導電膜	
5 0 3	導電膜	
5 0 4	導電膜	10
5 0 5	第 1 電極	
5 0 6	ゲート絶縁膜	
5 0 7	半導体膜	
5 1 0	スペーサ	
5 1 2	絶縁膜	
5 1 3	絶縁膜	
5 1 4	基板	
5 1 5	第 2 電極	
5 1 6	液晶層	
5 1 7	遮蔽膜	20
5 2 0	半導体膜	
5 2 1	導電膜	
5 2 3	半導体膜	
6 0 0	基板	
6 0 1	導電膜	
6 0 2	導電膜	
6 0 3	導電膜	
6 0 4	導電膜	
6 0 5	第 1 電極	
6 0 6	ゲート絶縁膜	30
6 0 7	半導体膜	
6 0 8	第 2 電極	
6 0 9	絶縁膜	
6 1 0	スペーサ	
6 1 2	絶縁膜	
6 1 3	絶縁膜	
6 1 4	基板	
6 1 6	液晶層	
4 0 0 1	基板	
4 0 0 2	画素部	40
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	封止材	
4 0 0 6	基板	
4 0 1 0	トランジスタ	
4 0 1 8	F P C	
4 0 2 0	絶縁膜	
4 0 2 1	第 1 電極	
4 0 2 2	トランジスタ	
4 0 2 3	液晶素子	50

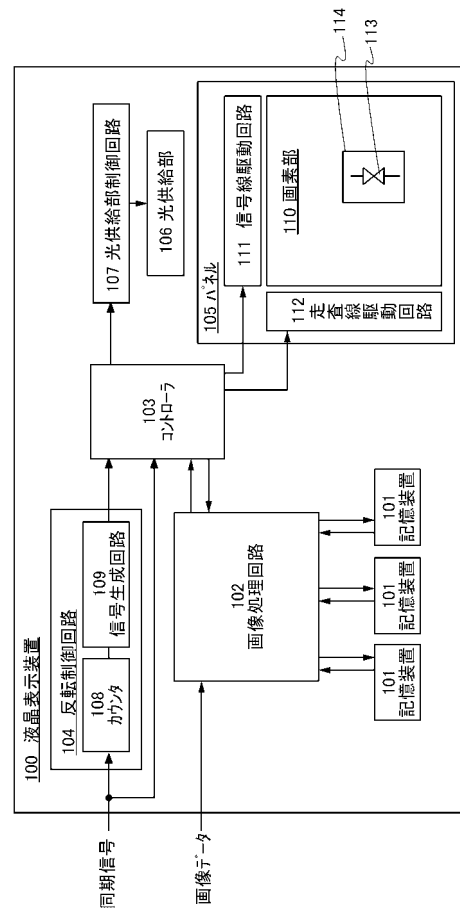
4 0 2 4	導電膜	
4 0 2 5	絶縁膜	
4 0 2 6	絶縁膜	
4 0 2 7	第 2 電極	
4 0 2 8	液晶層	
4 0 3 0	配線	
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	10
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 2 0 1	筐体	
5 2 0 2	表示部	
5 2 0 3	支持台	
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	20
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	
5 6 0 4	表示部	
5 6 0 5	接続部	
5 6 0 6	操作キー	
5 8 0 1	筐体	
5 8 0 2	筐体	
5 8 0 3	表示部	30
5 8 0 4	操作キー	
5 8 0 5	レンズ	
5 8 0 6	接続部	
5 0 2 0 0	液晶層	
5 0 2 0 1	第 1 基板	
5 0 2 0 2	第 2 基板	
5 0 2 0 3	第 1 偏光板	
5 0 2 0 4	第 2 偏光板	
5 0 2 0 5	第 1 電極	
5 0 2 0 6	第 2 電極	40
5 0 2 1 0	液晶層	
5 0 2 1 1	第 1 基板	
5 0 2 1 2	第 2 基板	
5 0 2 1 3	第 1 偏光板	
5 0 2 1 4	第 2 偏光板	
5 0 2 1 5	第 1 電極	
5 0 2 1 6	第 2 電極	
5 0 2 1 7	第 1 突起物	
5 0 2 1 8	第 2 突起物	
5 0 4 0 0	液晶層	50

- 5 0 4 0 1 第 1 基板
- 5 0 4 0 2 第 2 基板
- 5 0 4 0 3 第 1 偏光板
- 5 0 4 0 4 第 2 偏光板
- 5 0 4 0 5 第 1 電極
- 5 0 4 0 6 第 2 電極

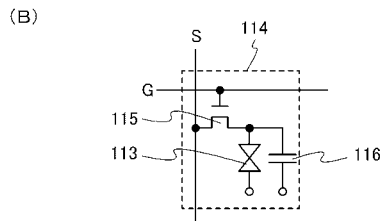
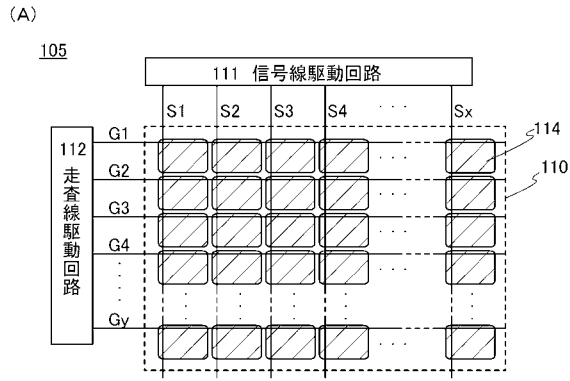
【 図 1 】



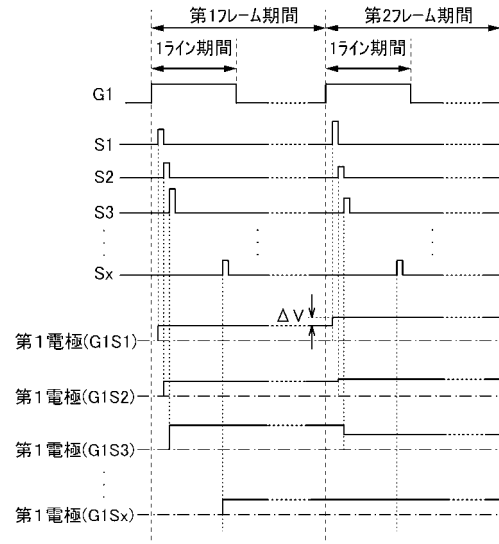
【 図 2 】



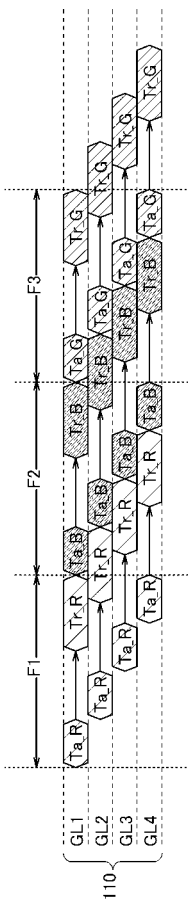
【 図 3 】



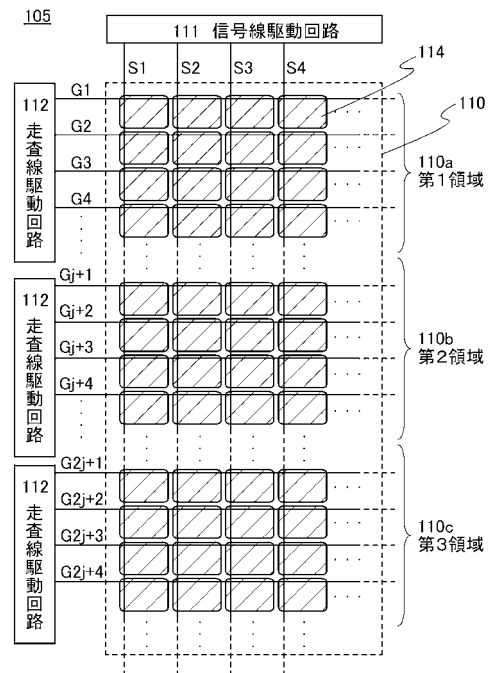
【 図 4 】



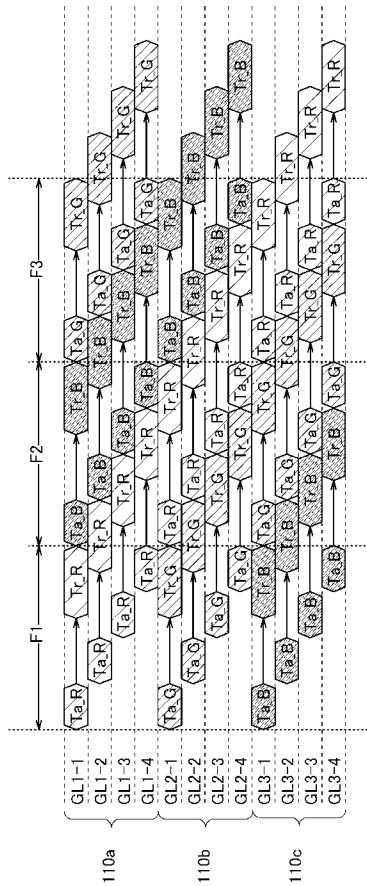
【 図 5 】



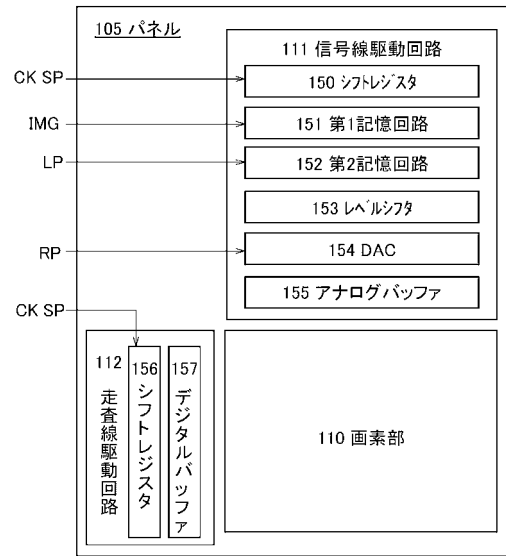
【 図 6 】



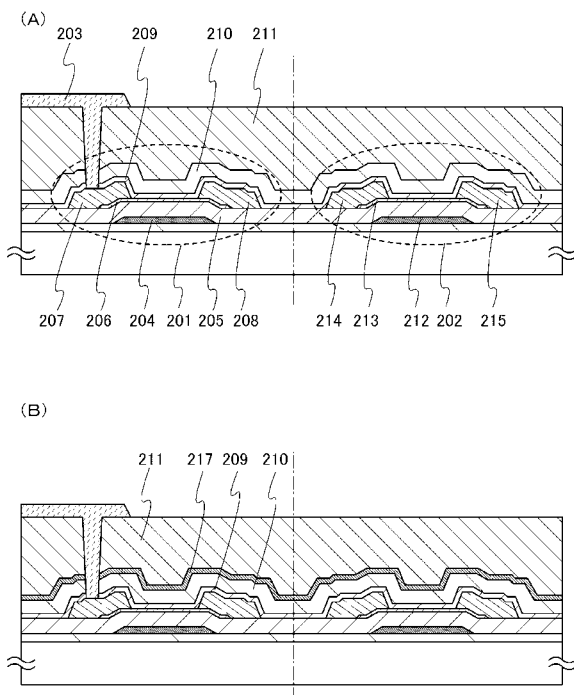
【 図 7 】



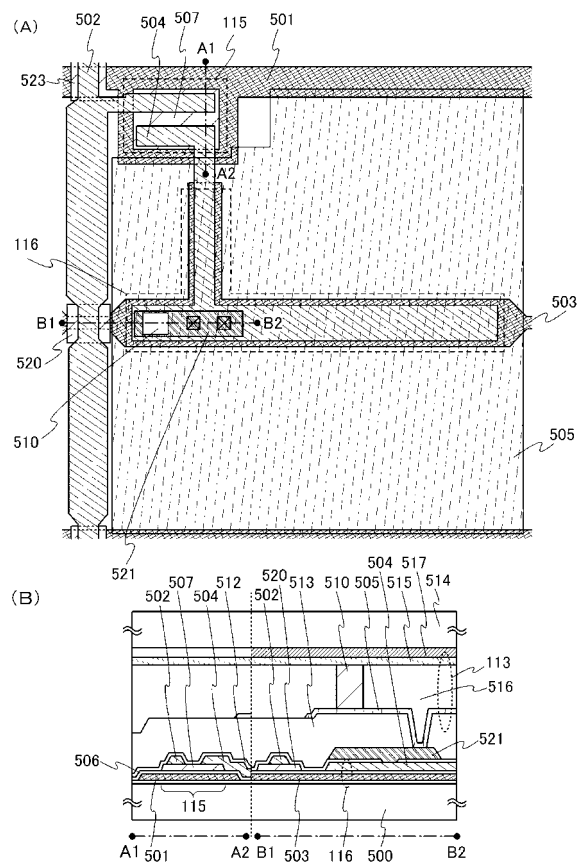
【 図 8 】



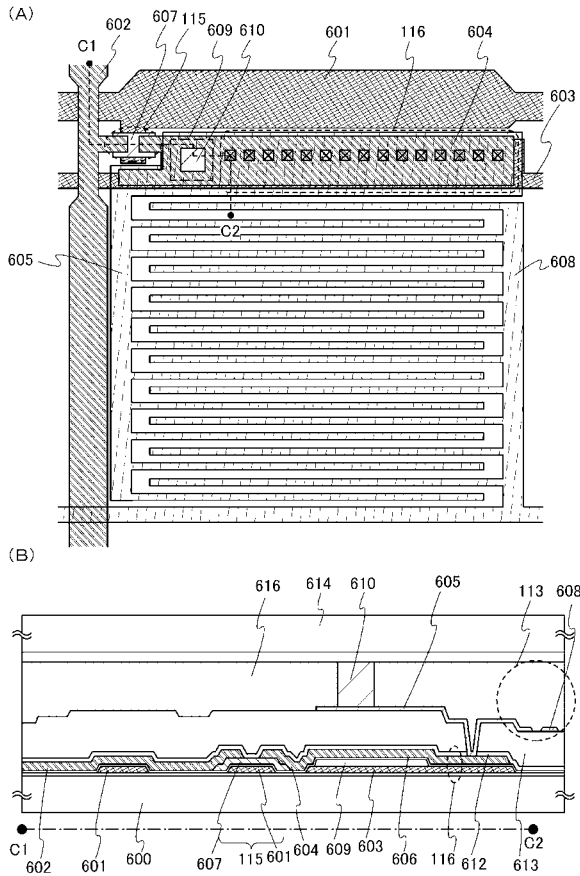
【 図 9 】



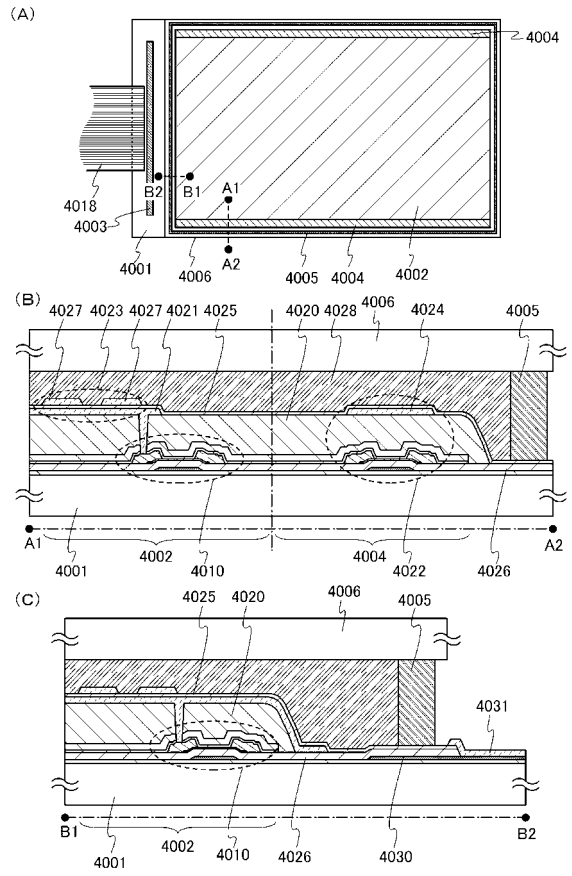
【 図 10 】



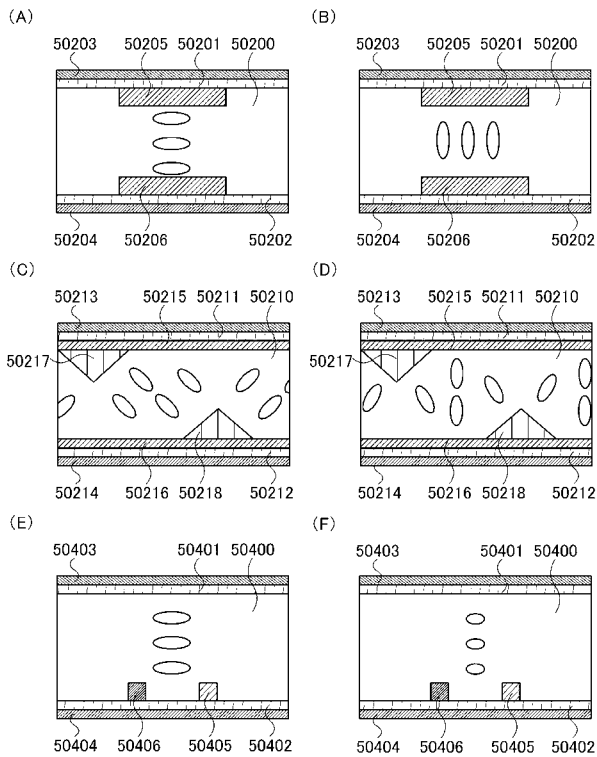
【図 1 1】



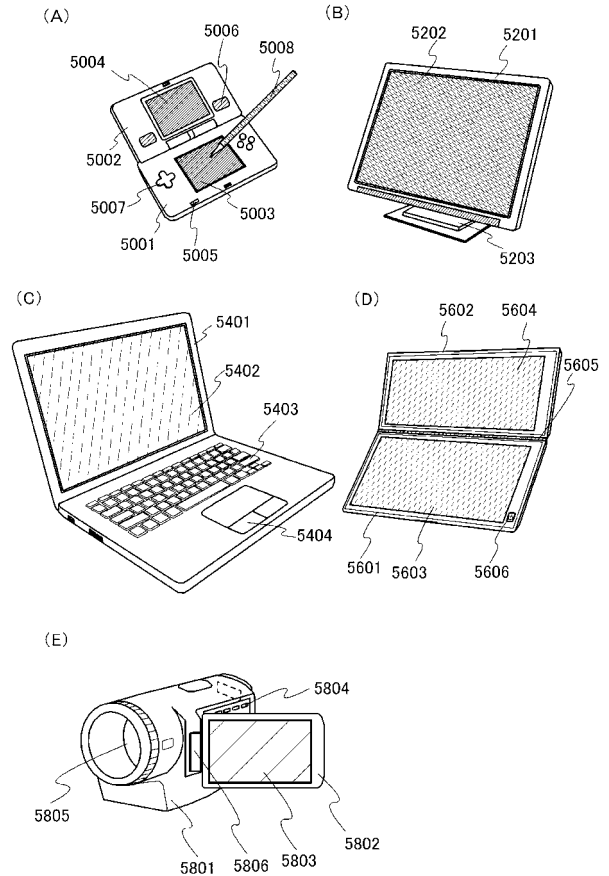
【図 1 2】



【図 1 3】



【図 1 4】



 フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 2 K
	G 0 9 G 3/20	6 2 1 A
	G 0 2 F 1/133	5 0 5
	G 0 9 F 9/30	3 3 8

Fターム(参考)	2H193	ZA04	ZC17	ZC25	ZC26	ZE01	ZF16	ZF44	ZG12	ZG14	ZG27
		ZG28	ZG34	ZQ16							
	5C006	AA22	AC21	AC26	AF42	AF44	AF68	AF82	BB16	BB29	BC03
		BC11	BC16	BF02	BF03	BF22	BF25	BF46	EA01	FA12	FA14
		FA34	FA47	FA56							
	5C080	AA10	BB05	BB06	CC03	DD08	DD26	DD29	JJ02	JJ04	JJ06
	5C094	AA22	BA03	BA43	DA09	FB14	FB20	HA08			