

發明專利說明書 200539382

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94114443

※ 申請日期：2005 年 5 月 4 日

※IPC 分類：H01L 21/76

一、發明名稱：(中文/英文)

一種形成一具有空氣間隙之半導體元件的方法及以該方法所形成之結構

METHOD OF FORMING A SEMICONDUCTOR DEVICE HAVING AIR
GAPS AND THE STRUCTURE SO FORMED

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商·萬國商業機器公司

International Business Machines Corporation

代表人：(中文/英文)

羅森瑟爾傑拉德

ROSENTHAL, GERALD

住居所或營業所地址：(中文/英文)

美國紐約州阿蒙市新果園路

New Orchard Road, Armonk, New York 10504, U.S.A.

國 籍：(中文/英文)

美國/USA

三、發明人：(共 1 人)

姓 名：(中文/英文)

史丹培爾安東尼 K/STAMPER, ANTHONY K.

國 籍：(中文/英文)

美國/USA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國；2004 年 5 月 25 日；10/709,722

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明廣義上關於半導體元件，且尤其是更關於一種形成在連線層中具有空氣間隙之半導體元件的方法，及以該方法所形成之結構。

【先前技術】

隨著半導體元件日漸縮小，元件特徵間之距離會減少。在金屬連線層中，減少特徵中之距離造成電容增加。因此，在產業中需求一種能克服上述及其他問題之半導體元件，其能維持較低電容，同時減少元件特徵間的距離。

【發明內容】

本發明提供一種形成一在金屬連線層中具有空氣間隙之半導體元件的方法，及以該方法所形成之結構，以解決上述問題。

本發明之第一特點提供一種形成一半導體元件的方法，該方法至少包含：沉積一第一及一第二介電材料之交替層，其中該第一及第二介電材料係能以不同速率作選擇性地蝕刻；在介電材料之該等交替層中形成一第一特徵；及選擇性蝕刻介電材料之該等交替層，以移除在具有第一介電材料之各層中的第一介電材料之至少一部分（但非全部），且留下如同實質上未蝕刻的第二介電材料。

本發明之第二特點提供一種形成一半導體元件的方

法，該方法至少包含：沉積一第一及一第二絕緣材料之交替層；形成一鑲嵌特徵；及在第一絕緣材料之該等層中形成開口。

本發明之第三特點提供一種半導體元件，至少包含：一具有一第一介電材料及一第二介電材料之交替層的金屬連線層，其具有一形成在第一及第二介電材料之該等交替層中的第一特徵；及複數個位在第一介電材料中之開口。

本發明之第四特點提供一種半導體元件，至少包含：複數個交替穿插的第一及第二絕緣層，其中該第一及第二絕緣層具有不同蝕刻速率；一形成在該等第一及第二絕緣層中之第一特徵；在選擇性蝕刻期間，形成在複數個第一絕緣層中之複數個開口。

本發明之前述及其他特徵與優勢將可從以下本發明之具體實施例的更特別說明中瞭解。

【實施方式】

雖然本發明之某些具體實施例將會詳細顯示及說明，應瞭解在不脫離隨附申請專利範圍之範疇下可進行各種變化及修改。本發明之範疇將完全不受限於構成組件之數目、其材料、其形狀、其相對配置等等。雖然圖式係意於示範本發明，該等圖式無須按比例繪製。

第 1 圖之剖面圖係描述一預製金屬介電質 (PMD) 10，其上方形成一第一絕緣層 12a。PMD 10 至少包含一或多個介電材料，諸如以 SiO_2 為基礎之材料，即 SiO_2 、PSG、

BPSG、SiCOH(OSG)、SiLKTM(Dow 化學公司)、SiN、SiC、SiCN、C-H 等。第一絕緣層 12a 至少包含一介電材料(在此實例中為一有機介電材料)，諸如聚亞芳香基醚(polyarylene ether, SILKTM)、聚對二甲苯基(氮或氟)、鐵氟龍(Teflon)或此等膜之其他多孔型式。所使用之有機介電材料之類型可取決於已使用之沉積技藝。例如，如果第一絕緣層 12a 係使用化學汽相沉積(CVD)或電漿增強化學汽相沉積(PECVD)形成時，可使用聚對二甲苯基(氮或氟)、鐵氟龍或此等膜之其他多孔型式。然而，如果第一絕緣層 12a 係使用旋塗(spin-on)沉積形成時，則可使用 SILKTM。第一絕緣層 12a 之厚度可介於 5 至 10 奈米的範圍中。

如第 2 圖中所示，一第二絕緣層 14a 係接著形成於第一絕緣層 12a 上。第二絕緣層 14a 至少包含一介電材料(在此實例中為一無機介電材料)，諸如 SiCOH(OSG)、SiO₂、氟化 SiO₂(FSG)、甲基矽酸鹽(MSQ)或此等材料之其他多孔型式。如同第一絕緣層 12a，第二絕緣層 14a 可使用 CVD、PECVD、旋塗沉積或其他類似沉積技藝形成。第二絕緣層 14a 之厚度可介於 5-10 奈米的範圍中。

如第 3 圖中所示，一第三絕緣層 12b 係形成於第二絕緣層 14a 上。第三絕緣層 12b 至少包含一有機介電材料，其類似於第一絕緣層 12a。第三絕緣層 12b 係使用類似技藝形成，且具有與第一絕緣層 12a 相同之厚度。

如第 4 圖中所示，一第四絕緣層 14b 係形成於第三絕緣層 12b 上。第四絕緣層 14b 至少包含一無機介電材料，

其類似於第二絕緣層 14a。第四絕緣層 14b 係使用類似技藝形成，且具有與第二絕緣層 14a 相同之厚度。

有機及無機介電材料之交替層可依此方式形成在基材 10 上(如第 5 圖中所示)，以達到用於第一金屬連線層 20 所需之厚度。在本實例中，層 12c-12f 至少包含一有機介電材料，其類似第一及第三絕緣層 12a、12b。同樣地，層 14c-14f 至少包含一無機介電材料，其類似第二及第四絕緣層 14a、14b。本發明中描述之層數係只用於示範目的，且絕非意於限制，只要出現至少一有機層及一無機層即可。同時，應注意的是，在本實例中先沉積有機介電材料係只供用於示範目的。有機或無機介電材料中任一者均可先沉積。

同時也應注意到，可能需要原位(in-situ)沉積有機或無機絕緣材料之交替層。例如，可用一單一 PECVD 室來沉積有機或無機層二者，而無須離開該室。同時，可使用一旋轉施加軌道(spin-apply track)，其中該等交替層可在相同室內沉積兼固化。使用任一技藝，第一絕緣層 12a 或可沉積至具有需求厚度之二倍。之後，第一絕緣層 12a 係曝露於一電漿或熱處理，其中第一絕緣層 12a 之上部被轉換成第二絕緣層 14a 中所需之材料。此等方法可協助減少有機及無機絕緣層間之厚度不均一性，且可增加有機及無機絕緣層間之黏著。

如第 6 圖中所示，在達到第一連線層 20 之需求厚度後，在此實例中，一第一特徵 22 及一第二特徵 24 係形成

在第一連線層 20 中。第一及第二特徵 22、24 係用於形成連線之連線溝渠，其係使用習知圖案化及蝕刻技藝所形成。

接著第一及第二特徵 22、24 之形成後，會施行一選擇性蝕刻，以移除在第一連線層 20 中之有機介電材料的至少一部分，在此實例中係移除層 12a 至 12f 中部分之有機介電材料(第 7 圖)。在本實例中，當有機介電材料至少包含 p-SILKTM，而無機介電材料至少包含 p-OSG 時，可使用氮氣電漿、氬氣電漿或其他類似電漿蝕刻，以選擇性移除有機介電材料。氮氣或氬氣蝕刻可在約 3 至 200 mT 之壓力範圍中，於典型平行板或高密度電漿功率及流動條件下操作。另一選擇是，無機介電材料(p-OSG)之部分可使用諸如 100:1 之 DHF 等濕式蝕刻劑來加以蝕刻，以留下在層 14a-14f 中的 SILKTM 材料。

如第 7 圖中所示，開口或空氣間隙 26 係在選擇性蝕刻該些層 12a-12f 中之有機介電材料之後所形成。空氣間隙 26 係形成在層 12a 至 12f 內之有機介電材料中，而不形成在層 14a 至 14f 內的無機介電材料中，因為層 12a 至 12f 之有機介電材料的蝕刻速率，比層 14a 至 14f 的無機介電材料之蝕刻速率快。在第一連線層 20 中之空氣間隙 26 可減少整體元件中之電容。空氣間隙 26 之尺寸係藉由校準選擇性蝕刻以移除有機介電材料的一部分(而非全部)而決定。在選擇性蝕刻後應保留至少一些有機介電材料，以防止元件之機械性失效，如無機介電層 14a 至 14f 之崩潰。

以下表 1 顯示使用不同有機及無機材料、具有及不具

空氣間隙 26 之元件的電容值估計比較。尤其是，資料係自一第一連線層 20 之線寬約 100 奈米及線距約 100 奈米之樣本中模擬而得，其中 100 奈米之線距內的有機介電材料中的 33 奈米已被移除。此結果造成 K_{eff} (該元件之有效介電常數) 減少約 20%，其可解釋為該元件之電容減少 20%，因為 K_{eff} 係正比於該元件之電容。

表 1：具有或不具空氣間隙之 K_{eff} 的比較

無機介電質	有機介電質	K_{eff} ，無空氣間隙	K_{eff} ，有空氣間隙	K_{eff} 之減少百分比%
$\text{SiO}_2(K=4)$	$\text{SiLK}(K=2.6)$	3.30	2.70	18%
$\text{SiCOH}(K=3)$	$\text{SiLK}(K=2.6)$	2.80	2.24	20%
$\text{p-SiCOH}^*(K=2.5)$	$\text{SiLK}(K=2.6)$	2.55	1.99	22%
$\text{p-SiO}_2^*(K=2)$	$\text{p-SiLK}^*(K=2.2)$	2.10	1.68	20%

(*「p-」指該介電質係一多孔介電質)

在空氣間隙 26 形成後，第一金屬連線層 20 層之表面 28 被密封，以防止在下一步驟中所沉積之金屬洩漏至空氣間隙 26。此可藉由若干不同方式來達成上述之密封動作。例如，一諸如具有低介電常數(即， SiCOH 、 SiO_2 、 SiN 、 SiC 、及 SiCN 等)之保形(conformal)襯層 30 係沉積於第一金屬連線層 20 之表面 28 上(第 8 圖)。襯層 30 可使用 PECVD、HDPCVD、SACVD、APCVD、THCVD 或其他類似沉積技藝沉積至厚度約 1-10 奈米之範圍中。

另一選擇是，如果空氣間隙 26 較小(如在約 1 至 10

奈米之範圍中)，以下步驟中所沉積之金屬將足以密封空氣間隙 26。電漿汽相沉積(PVD)、化學汽相沉積(CVD)、原子層沉積(ALD)或其他類似沉積技藝可用以沉積該金屬，使得只有極少數金屬離子實際穿過空氣間隙 26。

如果如前述使用一分離密封過程以密封空氣間隙 26 之後，一導電層 32 會沉積於第一連線層 20 之表面 28 上，以填充第一及第二特徵 22、24(第 9 圖)。導電層 32 可至少包含襯有此項技術中已知之一薄耐火金屬襯層(諸如鈦)之銅，或使用其他類似材料。第一連線層 20 之表面 28 係使用習知技藝加以拋光(polishing)，以移除過量導電層 32，留下位在第一及第二特徵 22、24 中之導電層 32，以形成一第一連線 34 及一第二連線 36(第 10 圖)。

在此實例中顯示之第一金屬連線層 20 係一單鑲嵌連線層。如第 11-17 圖中所示，本發明也可設計供結合一雙鑲嵌連線層使用。如第 11 圖中所示，一第三絕緣層 38 可沉積於第一連線層 20 之表面 28 上。第三絕緣層 38 可至少包含一或多個具有低介電常數之介電材料，其等在用以形成空氣間隙 26(以後形成)之後續蝕刻過程中不會被移除。例如，第三絕緣層 38 可至少包含多孔 SiCOH(p-OSG)、SiO₂、氟化 SiO₂(FSG)、SiCOH(OSG)、諸如甲基矽酸鹽(MSQ))，或所有此等材料之多孔型式。第三絕緣層 38 可使用 CVD、PECVD、旋塗沉積或其他類似沉積技藝形成，且可由多數層組成，諸如 SiN、SiC、FSG 等。第三絕緣層 38 之厚度可約等於最後通道高度，如 0.1 至 1.0 微米。

有機介電材料 40a-40f 及無機介電材料 42a-42f 之交替層係形成在第三絕緣層 38 之表面 40 上，如第 12 圖中所示，以形成一第二連線層 50。該等交替層係與形成於第一金屬連線層 20 中之該等類似者（即有機介電材料、無機介電材料、有機介電材料、無機介電材料等），且係以類似方式形成。

在第二連線層 50 形成後，一第一雙鑲嵌特徵 44 係形成於有機介電材料 40a-40f、無機介電材料 42a-42f 之交替層及第三絕緣層 38 中。如第 13 圖中所示，第一雙鑲嵌特徵 44 係一通道溝渠 (via trench，或稱中介窗溝渠)。通道溝渠 44 係使用習知圖案化及蝕刻技藝向下形成到達第一金屬連線層 20。

如第 14 圖中所示，一第二雙鑲嵌特徵 46 及一第二溝渠 48 係形成於有機介電材料 40a-40f 及無機介電材料 42a-42f 之交替層中。第二雙鑲嵌特徵 46 也是一使用習知圖案化及蝕刻技藝形成之連線溝渠，其係向下形成到達第三絕緣層 38 之表面。另一選擇是，可使用一種此項技術中已知之「先溝渠-後通道 (trench first-via second)」的製程。同樣的，可使用一多層硬遮罩，其中第一鑲嵌特徵被圖案化且蝕刻成上方硬遮罩，如此項技術中已知者。

在第一及第二雙鑲嵌特徵 44、46、48 形成後，會施行一選擇性蝕刻，以移除在第二連線層 50 中之有機介電材料 40a-40f 的至少一部分。如上述，當有機介電材料至少包含 p-SILKTM 而無機介電材料至少包含 p-OSG 時，可使用氮氣

電漿、氬氣電漿或其他類似電漿蝕刻以選擇性移除有機介電材料。氬氣或氬氣蝕刻可在約 3 至 200mT 之壓力範圍中，於典型平行板或高密度電漿功率及流動條件下操作。

如第 15 圖中所示，開口或空氣間隙 52 係在選擇性蝕刻後形成在第二連線層 50 中。應注意的是，在本實例中之第三絕緣層 38 中未形成空氣間隙 52，以增加整體元件之機械強度及穩定度。例如，一保形襯層 53 係接著沉積於第二金屬連線層 50 之表面上，用以密封第二金屬連線層 50，以防止次一步驟中所沉積之金屬洩漏至空氣間隙 52。

一導電層 54 會沉積於第二連線層 50 之表面上，填充通道溝渠 44 及溝渠 46、48(第 16 圖)。導電層 54 可至少包含襯有一薄耐火金屬襯層(諸如鈦)之銅，或使用其他類似材料。第二連線層 50 之表面係使用習知技藝拋光，以移除過量導電層 54，留下在通道溝渠 44 及連線溝渠 46、48 中之導電層 54，以形成一導電雙鑲嵌特徵 60 及一導電單鑲嵌特徵 62(第 17 圖)。

本發明之金屬連線層中的空氣間隙之形成，提供該元件已減少之整體電容。本發明對於當元件變得愈來愈小且元件特徵間之距離持續減少時尤其有用。

【圖式簡單說明】

本發明之具體實施例將參考以下圖式詳細說明，其中相似之標示指相似的元件，且其中：

第 1 圖描述依據本發明之具體實施例的元件之斷面

圖，其上方至少包含一預製金屬介電層及一第一絕緣層；

第2圖描述第1圖中之元件，其上方具有一第二絕緣層；

第3圖描述第2圖中之元件，其上方具有一第三絕緣層；

第4圖描述第3圖中之元件，其上方具有一第四絕緣層；

第5圖描述第4圖中的元件，其上方具有複數個形成第一金屬連線層之絕緣層；

第6圖描述第5圖中之元件，其具有一對鑲嵌特徵形成於其內；

第7圖描述第6圖中之元件，其具有複數個空氣間隙形成於選擇的絕緣層內；

第8圖描述第7圖中之元件，其具有一保形襯層形成於其上方；

第9圖描述第8圖中之元件，其具有一導電層形成於其上；

第10圖描述第9圖的元件拋光後之圖式；

第11圖描述第10圖中之元件，其具有一絕緣層形成於第一金屬連線層上方；

第12圖描述第11圖中的元件，其具有複數個形成一第二金屬連線層之絕緣層；

第13圖描述第12圖中之元件，其具有一第一鑲嵌特徵形成於其內；

第14圖描述第13圖中之元件，其具有第二鑲嵌特徵形成於其內；

第15圖描述第14圖中之元件，其具有複數個空氣間隙

形成於選擇的絕緣層內；

第16圖描述第15圖中之元件，其具有一導電層沉積於其上；且

第17圖描述第16圖的元件拋光後之圖式。

【主要元件符號說明】

10 基材 / PMD	12a 第一絕緣層
12b 第三絕緣層	12c-12f 層
14a 第二絕緣層	14b 第四絕緣
14c-14f 層	20 第一金屬連線層
22 第一特徵	24 第二特徵
26 開口 / 空氣間隙	30 保形襯層
32 導電層	34 第一連線
36 第二連線	38 第三特徵
40 表面	40a-40f 有機介電材料
42a-42f 無機介電材料	44 通道溝渠/第一雙鑲嵌特徵
46 第二雙鑲嵌特徵	48 第二溝渠
50 第二連線層	52 空氣間隙
53 保形襯層	54 導電層
60 導電雙鑲嵌特徵	62 導電單鑲嵌特徵

伍、中文發明摘要：

一種形成一半導體元件的方法及以該方法所形成之元件。沉積一第一及一第二介電材料之交替層，其中該第一及第二介電材料係可以不同速率作選擇性地蝕刻。在介電材料之該等交替層中形成一第一特徵。選擇性蝕刻介電材料之該等交替層，以移除在具有第一介電材料之各層中的第一介電材料之至少一部分，且留下如同實質上無法蝕刻的第二介電材料。

陸、英文發明摘要：

A method of forming a semiconductor device, and the device so formed. Depositing alternating layers of a first and a second dielectric material, where in the first and second dielectric materials are selectively etchable at different rates. Forming a first feature within the alternating layers of dielectric material. Selectively etching the alternating layers of dielectric material to remove at least a portion of the first dielectric material in each layer having the first dielectric material and leaving the second dielectric material as essentially unetched.

拾、申請專利範圍：

1. 一種形成一半導體元件的方法，至少包含步驟：

沉積一第一介電材料及一第二介電材料之交替層，其中該第一及第二介電材料係以不同速率作選擇性蝕刻；

在介電材料之該等交替層中形成一第一特徵；及

選擇性蝕刻介電材料之該等交替層，以移除具有該第一介電材料之各層中的該第一介電材料之至少一部分，但非全部，且留下如同實質上無法蝕刻的該第二介電材料。

2. 如申請專利範圍第 1 項所述之方法，其中該第一介電材料至少包含一相對於該第二介電材料係可選擇性蝕刻之材料。

3. 如申請專利範圍第 1 項所述之方法，其中該第一介電材料至少包含一有機介電材料，而該第二介電材料係一無機介電材料。

4. 如申請專利範圍第 1 項所述之方法，其中該第一介電材料至少包含一有機介電材料，其係選自於由聚亞芳香基醚(SILKTM)、聚對二甲苯基(氮)、聚對二甲苯基(氟)、鐵氟龍(Teflon)、多孔聚亞芳香基醚(SILKTM)、多孔聚對二甲苯基(氮)、多孔聚對二甲苯基(氟)及多孔鐵氟龍所構成之群組中，且其中該第二介電材料至少包含一無機介電材料，其係選自於由 OSG、SiO₂、FSG、MSQ、

多孔 OSG、多孔 SiO_2 、多孔 FSG 及多孔 MSQ 所構成之群組中。

5. 如申請專利範圍第 1 項所述之方法，其中該第一特徵至少包含一單鑲嵌特徵或一雙鑲嵌特徵。

6. 如申請專利範圍第 5 項所述之方法，其中該第一介電材料之部分係自該雙鑲嵌特徵之一連線溝渠部分中移除，而不從該雙鑲嵌特徵之一通道溝渠部分中移除。

7. 如申請專利範圍第 1 項所述之方法，在選擇性蝕刻介電材料之該等交替層的步驟後，更包含：

沉積一保形襯層於介電材料之該等交替層的一表面上，以密封該等交替層。

8. 如申請專利範圍第 7 項所述之方法，其中該保形襯層至少包含一選自於由 SiCOH 、 SiO_2 、 SiN 、 SiC 及 SiCN 所構成之群組中的材料。

9. 如申請專利範圍第 7 項所述之方法，在沉積一保形襯層之步驟後，更包含：

沉積一層導電材料於該元件之一表面上，以填充該第一特徵；及

拋光該元件之表面，以移除位在該元件上之表面上的過量導電材料，留下位在該第一特徵中之該導電材料。

10. 一種一半導體元件的方法，至少包含步驟：

沉積一第一及一第二絕緣材料之交替層；

在該第一及該第二絕緣材料之該等交替層中形成一第一特徵；及

在該第一絕緣材料之該等層中形成開口。

11. 如申請專利範圍第 10 項所述之方法，其中該第一絕緣材料至少包含一相對於該第二絕緣材料係可選擇性蝕刻之材料。

12. 如申請專利範圍第 10 項所述之方法，其中該第一絕緣材料至少包含一有機介電材料，其係選自於由聚亞芳香基醚(SILKTM)、聚對二甲苯基(氮)、聚對二甲苯基(氟)、鐵氟龍(Teflon)、多孔聚亞芳香基醚(SILKTM)、多孔聚對二甲苯基(氮)、多孔聚對二甲苯基(氟)及多孔鐵氟龍所構成之群組中，且其中該第二絕緣材料至少包含一無機介電材料，其係選自於由 OSG、SiO₂、FSG、MSQ、多孔 OSG、多孔 SiO₂、多孔 FSG 及多孔 MSQ 所構成之群組中。

13. 如申請專利範圍第 10 項所述之方法，其中該第一特徵至少包含一單鑲嵌特徵或一雙鑲嵌特徵。

14. 如申請專利範圍第 13 項所述之方法，其中該第一絕緣材料係從該雙鑲嵌特徵之一連線溝渠部分中移除，而非自一通道溝渠部分中移除。

15. 如申請專利範圍第 10 項所述之方法，在形成開口於第一絕緣材料之該等層中的步驟後，更包含：

沉積一保形襯層於介電材料之該等交替層的一表面上，以密封該等交替層，其中該保形襯層至少包含一選自於由 SiCOH、SiO₂、SiN、SiC 及 SiCN 所構成之群組中的材料。

16. 一種半導體元件，至少包含：

一具有一第一介電材料及一第二介電材料之交替層的金屬連線層，且具有一形成在第一及第二介電材料之該等交替層中的第一特徵；及

複數個開口，位在該第一介電材料中。

17. 如申請專利範圍第 16 項所述之半導體元件，其中該第一介電材料至少包含一相對於該第二介電材料係可選擇性蝕刻之材料。

18. 如申請專利範圍第 16 項所述之半導體元件，其中該第一介電材料至少包含一有機介電材料，其係選自於由聚亞芳香基醚(SILKTM)、聚對二甲苯基(氮)、聚對二甲苯基(氟)、鐵氟龍、多孔聚亞芳香基醚(SILKTM)、多孔聚對二甲苯基(氮)、多孔聚對二甲苯基(氟)及多孔鐵氟龍所構成之群組中，且其中該第二介電材料至少包含一無機介電材料，其係選自於由 OSG、SiO₂、FSG、MSQ、多孔 OSG、多孔 SiO₂、多孔 FSG 及多孔 MSQ 所構成之群組中。

19. 如申請專利範圍第 18 項所述之方法，其中該第一介電材料係從該雙鑲嵌特徵之一連線溝渠部分中移除，而非自一通道溝渠部分中移除。

20. 如申請專利範圍第 16 項所述之半導體元件，其更包含：
一保形襯層，其係在介電材料之該等交替層的一表面上，以密封該等交替層，其中該保形襯層至少包含一選自於由 SiCOH、SiO₂、SiN、SiC 及 SiCN 所構成之群組中的材料。

21. 如申請專利範圍第 16 項所述之半導體元件，其更包含：
一導電材料，係位在該第一特徵中。

22. 如申請專利範圍第 16 項所述之半導體元件，其更包含：

一具有一第一介電材料及一第二介電材料之交替層的第二金屬連線層，其係形成在具有開口之該金屬連線層上，該等開口係位在該第二金屬連線層之該第一介電材料中；

一第二特徵，其係形成在該第二金屬連線層之第一介電材料及第二介電材料之該等交替層中；及

複數個開口，係位在該第二金屬連線層之該第一介電材料中。

23. 一種半導體元件，至少包含：

複數個交替的第一及第二絕緣層，其中該第一及第二絕緣層具有不同蝕刻速率：

一第一特徵，其係形成在該等第一及第二絕緣層中；

複數個開口，係在一選擇性蝕刻期間形成於該複數個第一絕緣層中。

24. 如申請專利範圍第 23 項所述之半導體元件，其中該第

一絕緣層至少包含一相對於該第二絕緣層係可選擇性蝕刻之材料。

25. 如申請專利範圍第 23 項所述之半導體元件，其中該第

一絕緣層至少包含一有機介電材料，且該第二絕緣層至少包含一無機介電材料。

26. 如申請專利範圍第 23 項所述之半導體元件，其中該第一絕緣層至少包含一有機介電材料，其係選自於由聚亞芳香基醚(SILKTM)、聚對二甲苯基(氮)、聚對二甲苯基(氟)、鐵氟龍、多孔聚亞芳香基醚(SILKTM)、多孔聚對二甲苯基(氮)、多孔聚對二甲苯基(氟)及多孔鐵氟龍所構成之群組中，且其中該第二絕緣層至少包含一無機介電材料，其係選自於由 OSG、SiO₂、FSG、MSQ、多孔 OSG、多孔 SiO₂、多孔 FSG 及多孔 MSQ 所構成之群組中。

27. 如申請專利範圍第 23 項所述之半導體元件，其中該第一特徵至少包含一單鑲嵌特徵或一雙鑲嵌特徵。

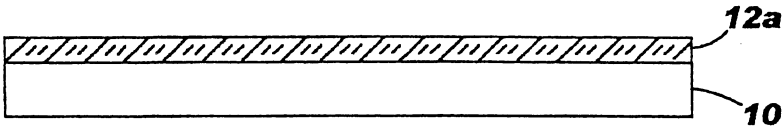
28. 如申請專利範圍第 27 項所述之方法，其中該等開口係位在該雙鑲嵌特徵之一連線溝渠部分中，而非位於一通道的溝渠部分中。

29. 如申請專利範圍第 23 項所述之半導體元件，其更包含：
一保形襯層，其係位在介電材料之該等交替層的一表面上，以密封該等交替層，其中該保形襯層至少包含一選自於由 SiCOH、SiO₂、SiN、SiC 及 SiCN 所構成之群組中的材料。

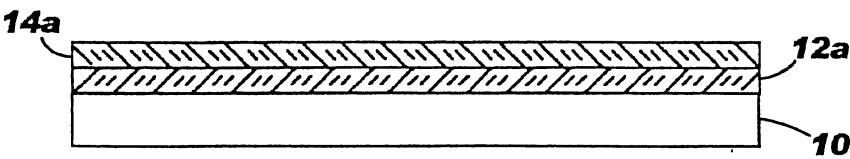
30.如申請專利範圍第23項所述之半導體元件，其更包含：

一導電材料，係位在該第一特徵中。

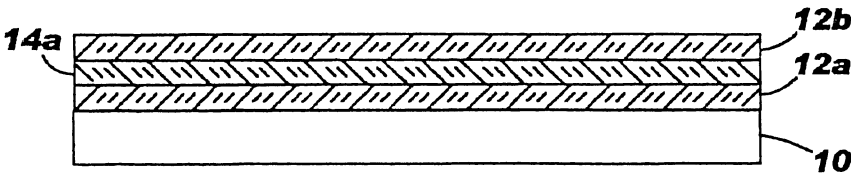
第 1 圖



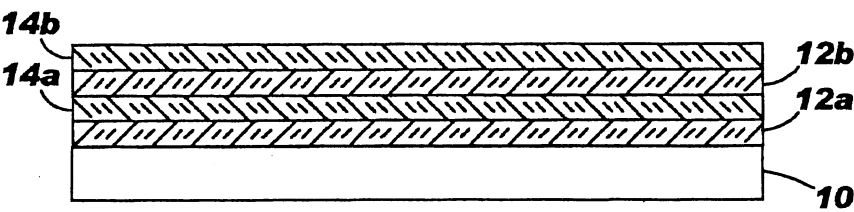
第 2 圖



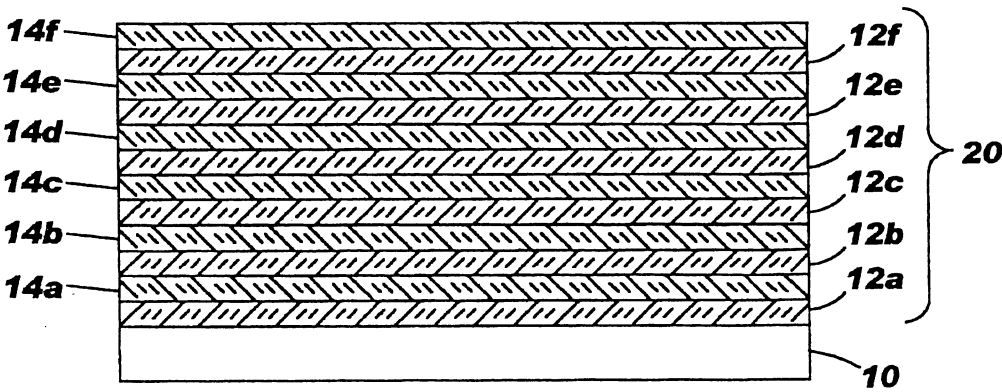
第 3 圖



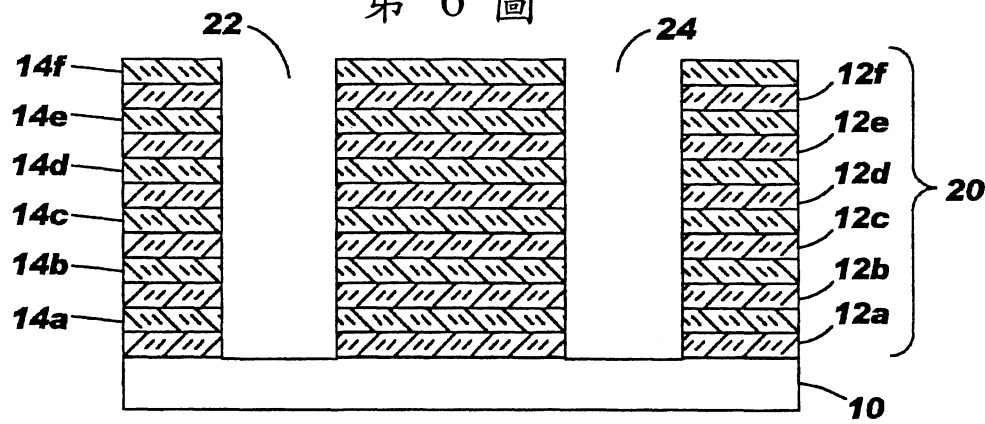
第 4 圖



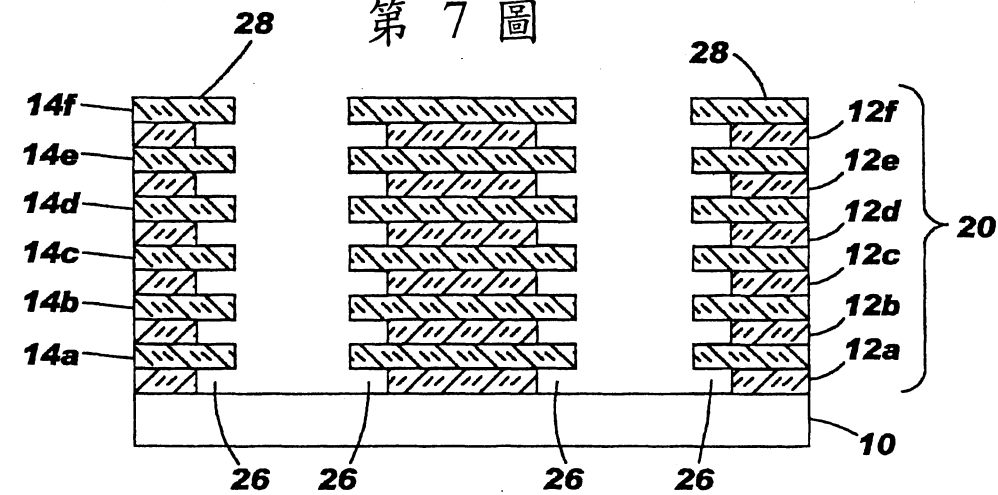
第 5 圖



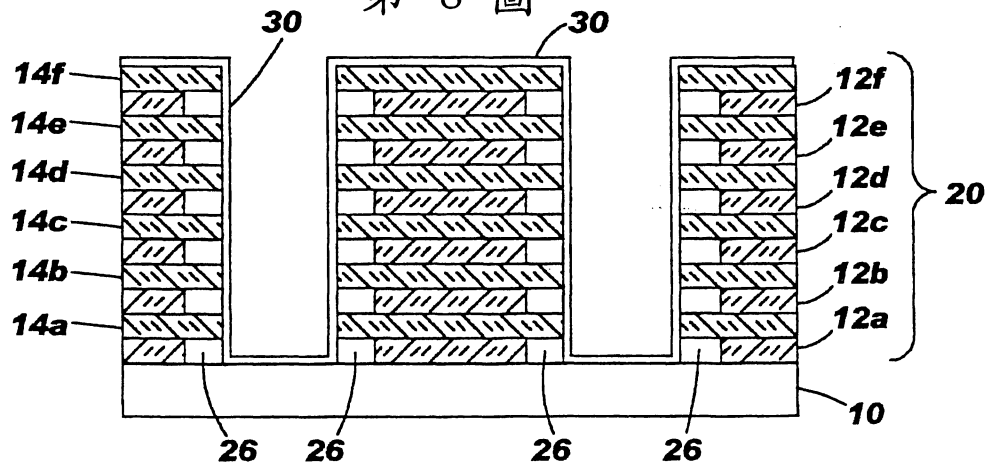
第 6 圖



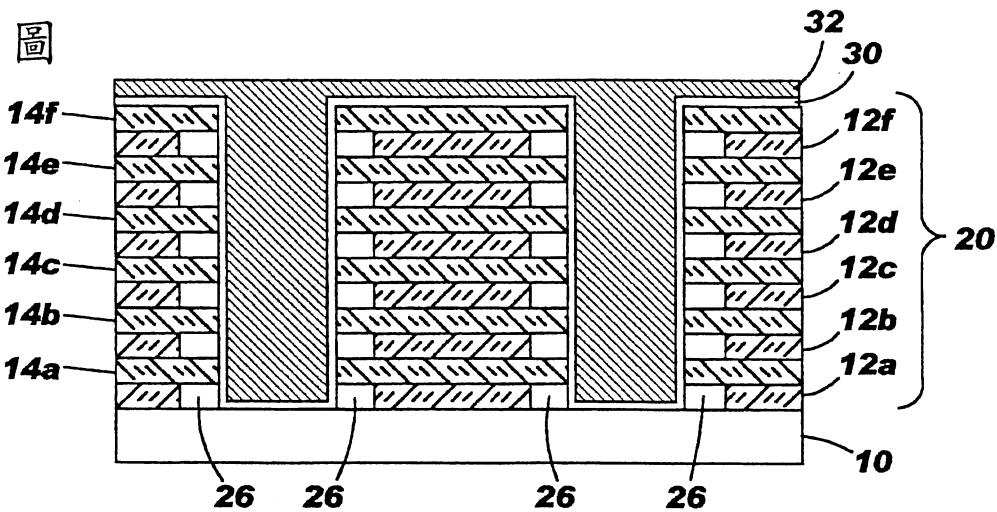
第 7 圖



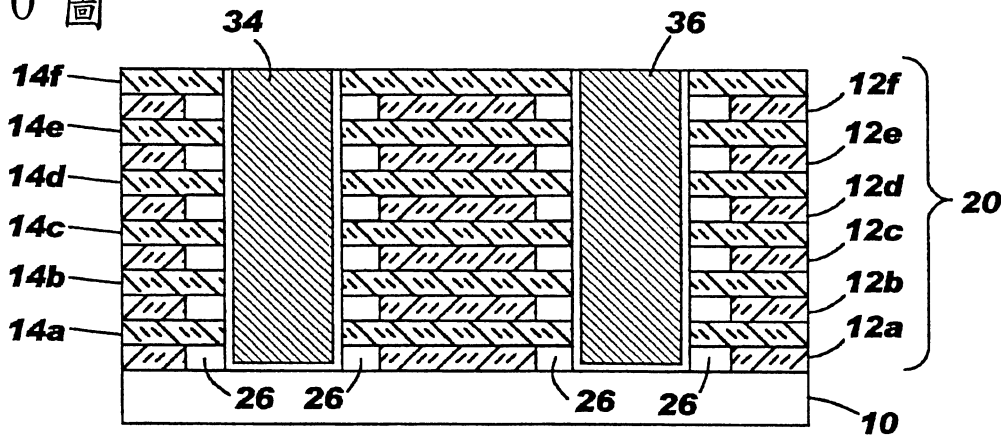
第 8 圖



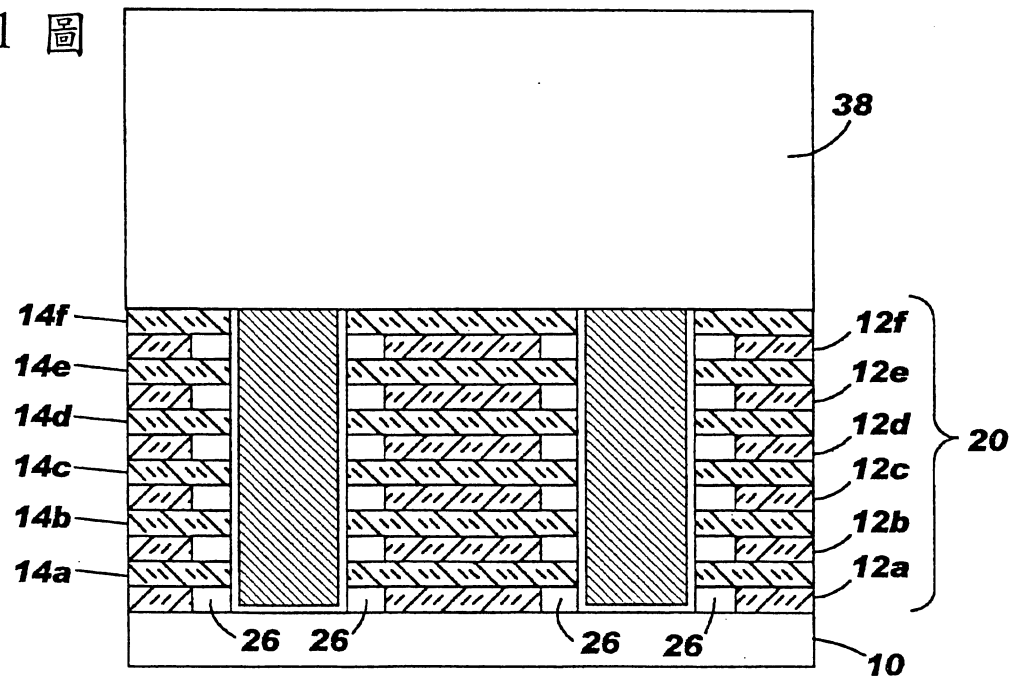
第 9 圖



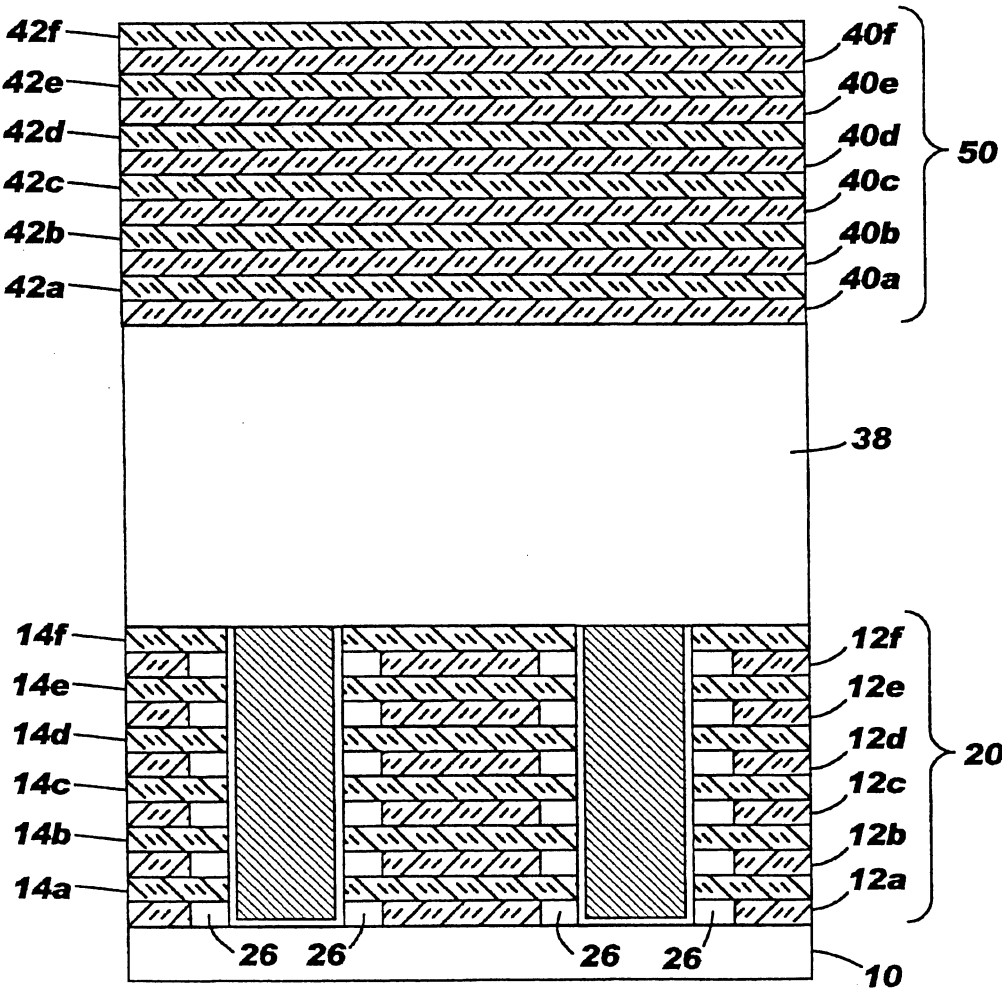
第 10 圖



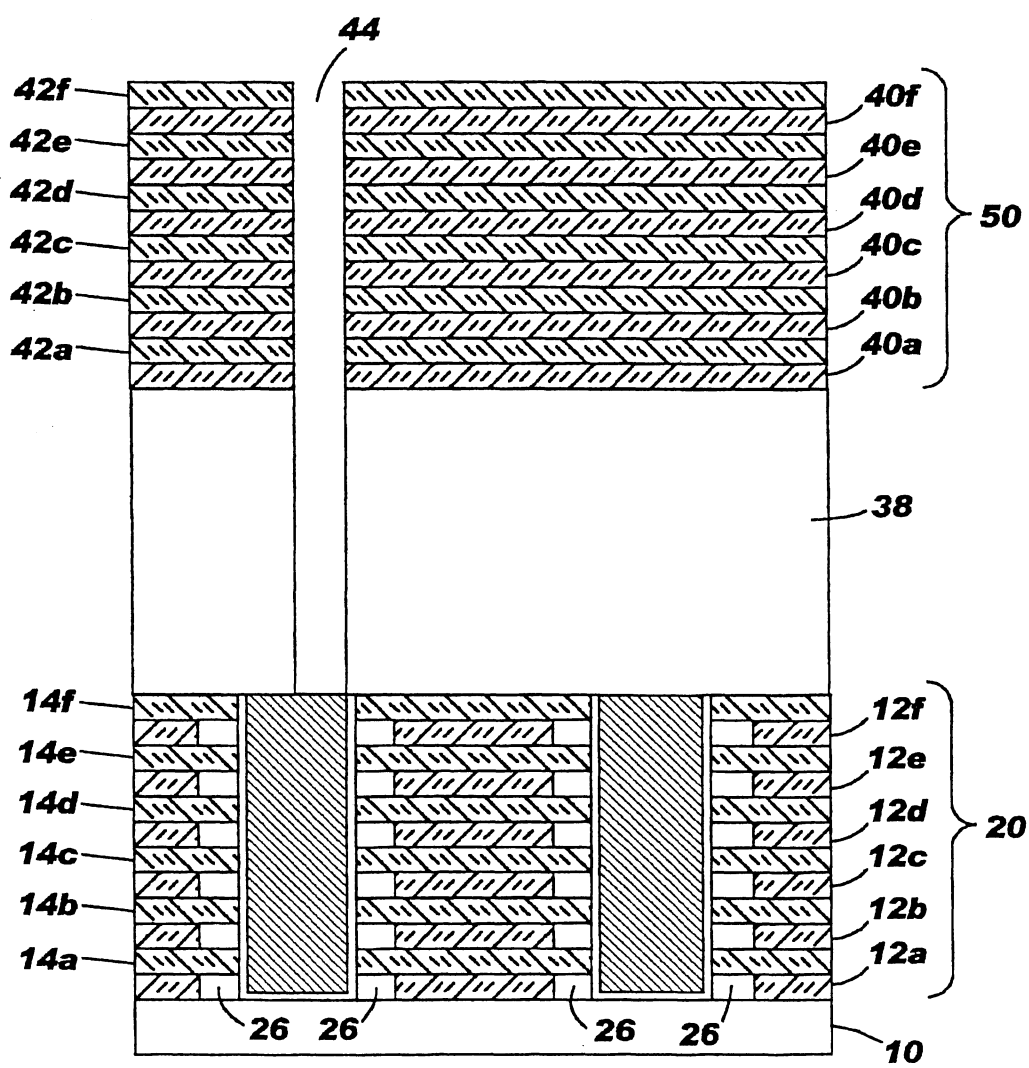
第 11 圖



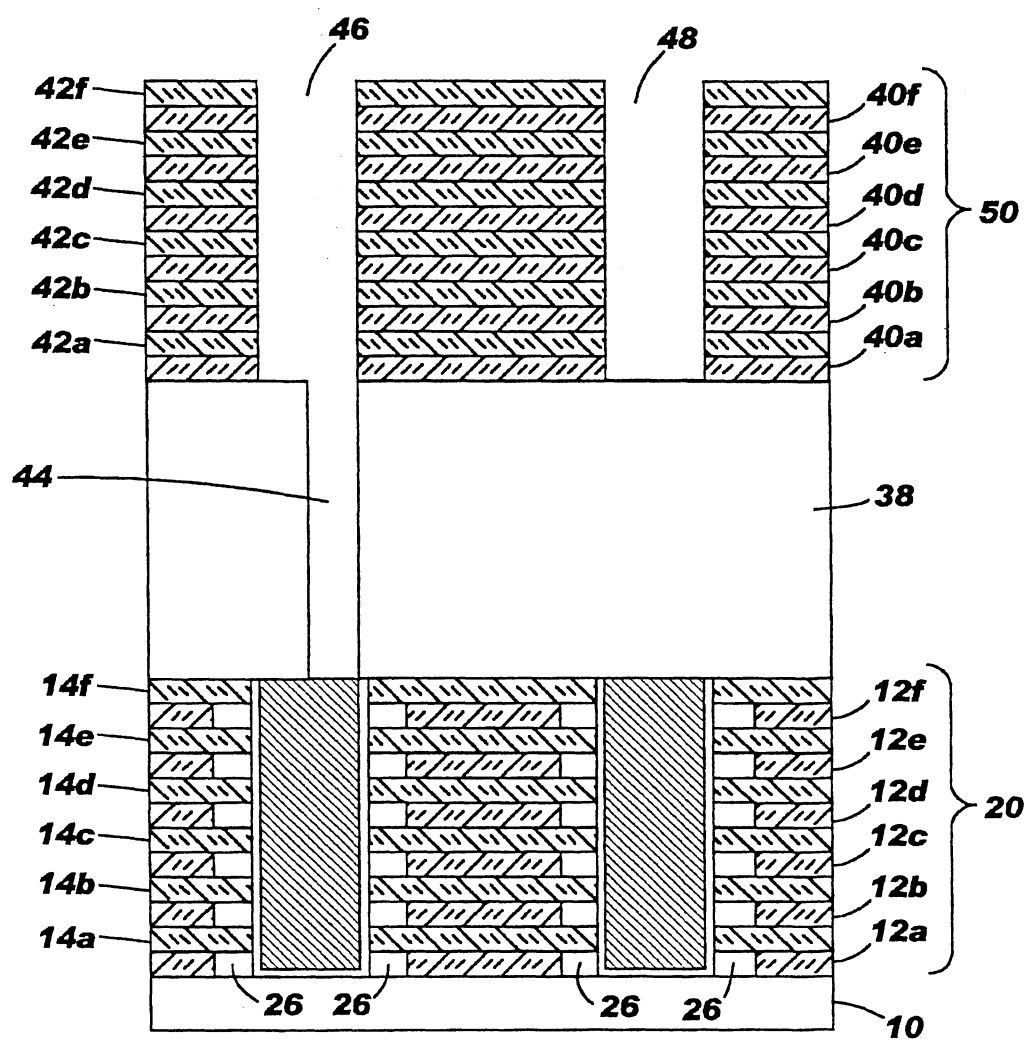
第 12 圖



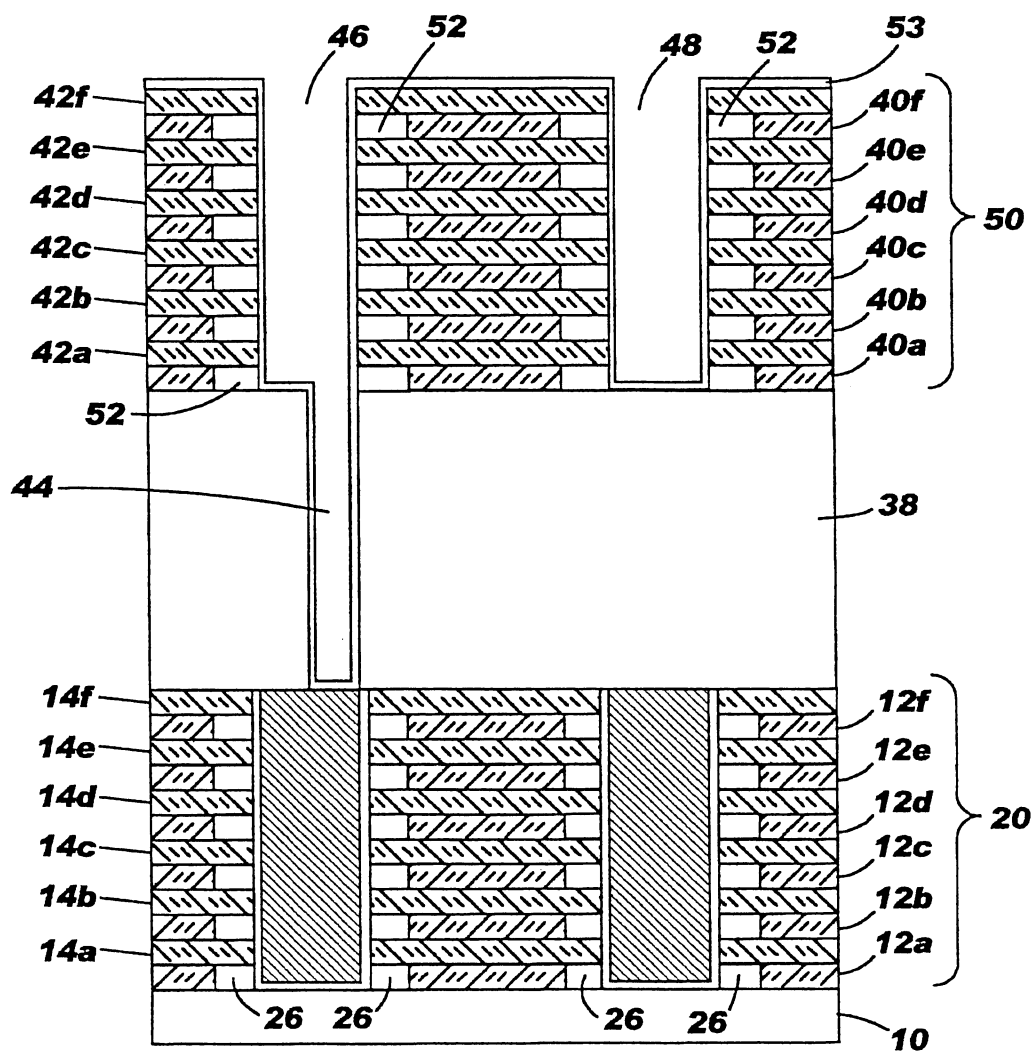
第 13 圖



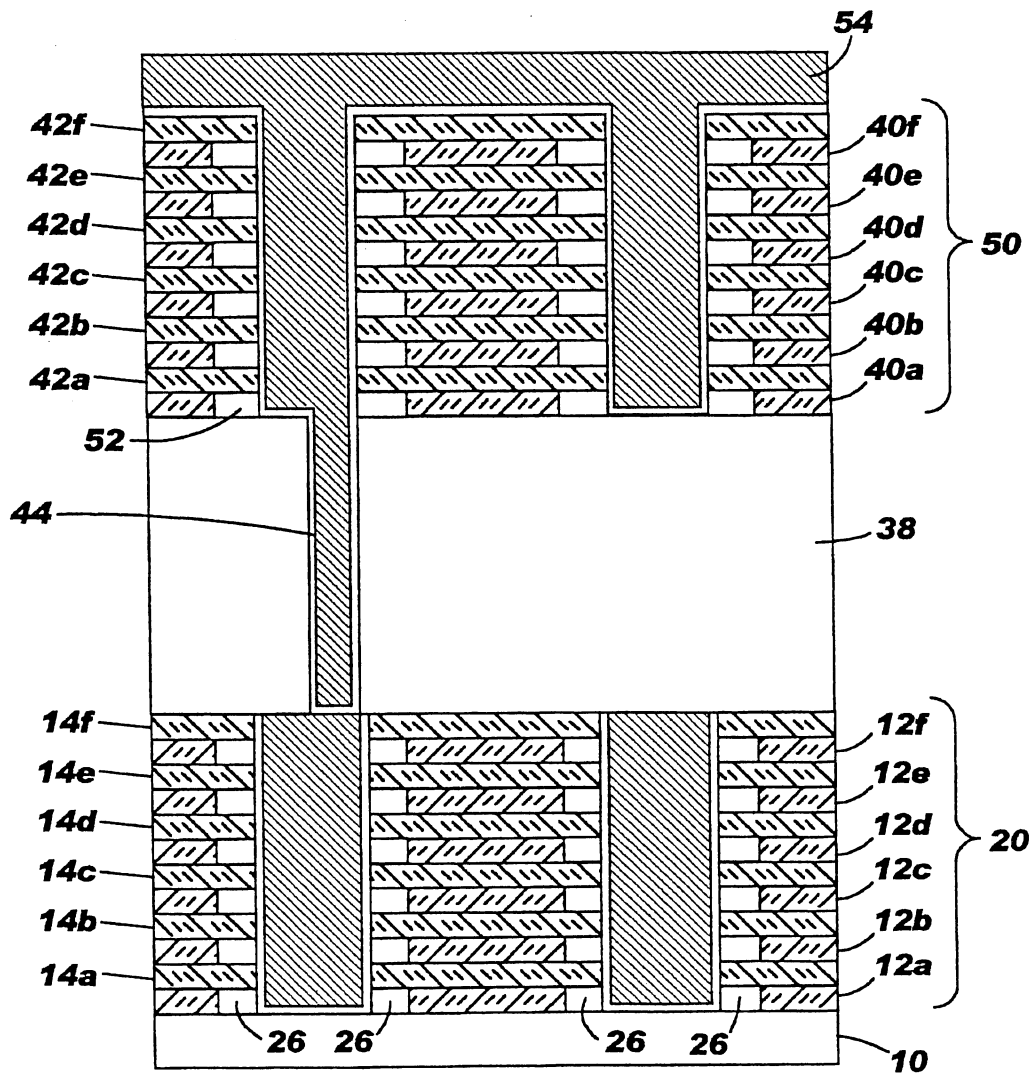
第 14 圖



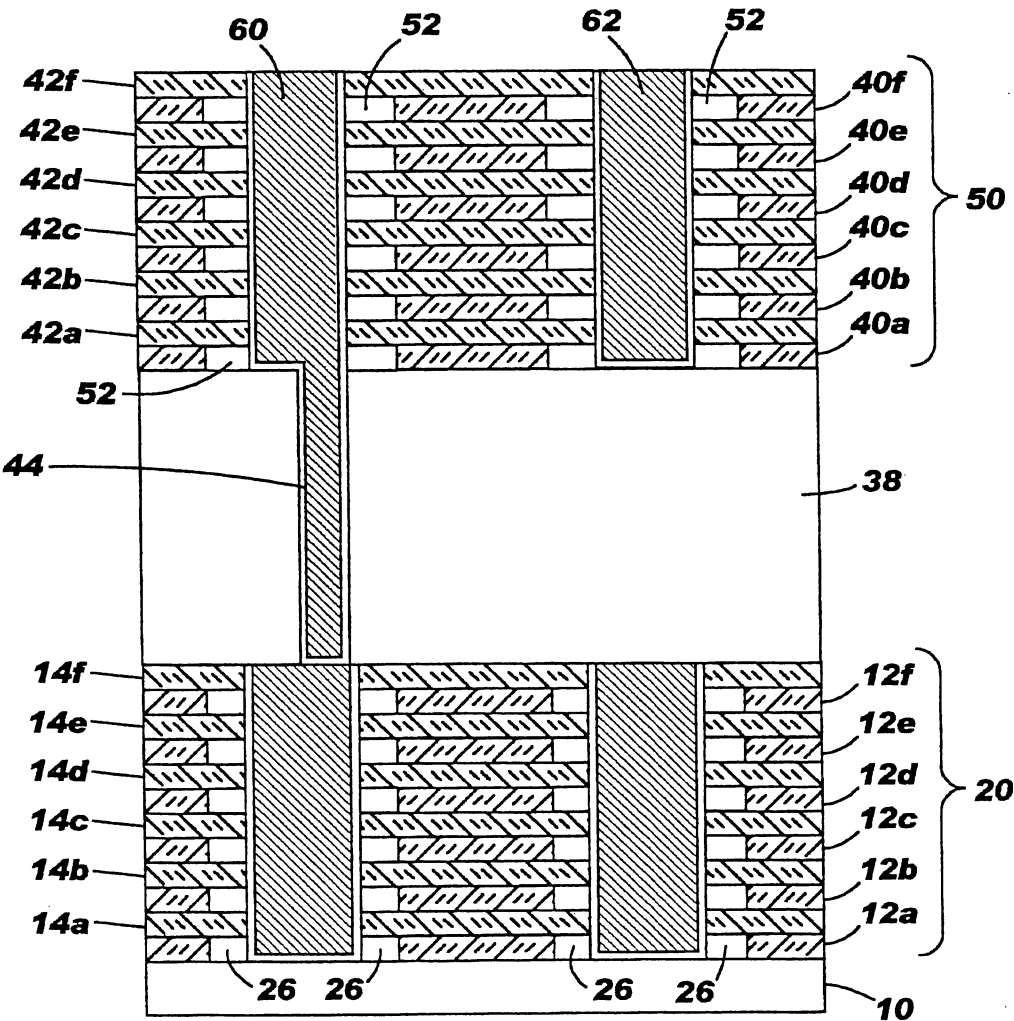
第 15 圖



第 16 圖



第 17 圖



柒、指定代表圖：

(一)、本案指定代表圖為：第 17 圖。

(二)、本代表圖之元件代表符號簡單說明：

10 基材 / PMD	12a 第一絕緣層
12b 第三絕緣層	12c-12f 層
14a 第二絕緣層	14b 第四絕緣
14c-14f 層	20 第一金屬連線層
22 第一特徵	26 開口 / 空氣間隙
38 第三特徵	40a-40f 有機介電材料
42a-42f 無機介電材料	44 通道溝渠 / 第一鑲嵌特徵
50 第二連線層	52 空氣間隙
60 導電雙鑲嵌特徵	62 導電單鑲嵌特徵

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

伍、中文發明摘要：

一種形成一半導體元件的方法及以該方法所形成之元件。沉積一第一及一第二介電材料之交替層，其中該第一及第二介電材料係可以不同速率作選擇性地蝕刻。在介電材料之該等交替層中形成一第一特徵。選擇性蝕刻介電材料之該等交替層，以移除在具有第一介電材料之各層中的第一介電材料之至少一部分，且留下如同實質上未蝕刻的第二介電材料。

陸、英文發明摘要：

A method of forming a semiconductor device, and the device so formed. Depositing alternating layers of a first and a second dielectric material, where in the first and second dielectric materials are selectively etchable at different rates. Forming a first feature within the alternating layers of dielectric material. Selectively etching the alternating layers of dielectric material to remove at least a portion of the first dielectric material in each layer having the first dielectric material and leaving the second dielectric material as essentially unetched.

拾、申請專利範圍：

1. 一種形成一半導體元件的方法，至少包含步驟：

沉積一第一介電材料及一第二介電材料之交替層，其中該第一及第二介電材料係以不同速率作選擇性蝕刻；

在介電材料之該等交替層中形成一第一特徵；及

選擇性蝕刻介電材料之該等交替層，以移除具有該第一介電材料之各層中的該第一介電材料之至少一部分，但非全部，且留下如同實質上未蝕刻的該第二介電材料。

2. 如申請專利範圍第1項所述之方法，其中該第一介電材料至少包含一相對於該第二介電材料係可選擇性蝕刻之材料。

3. 如申請專利範圍第1項所述之方法，其中該第一介電材料至少包含一有機介電材料，而該第二介電材料係一無機介電材料。

4. 如申請專利範圍第1項所述之方法，其中該第一介電材料至少包含一有機介電材料，其係選自於由聚亞芳香基醚(SILKTM)、聚對二甲苯基(氮)、聚對二甲苯基(氟)、鐵氟龍(Teflon)、多孔聚亞芳香基醚(SILKTM)、多孔聚對二甲苯基(氮)、多孔聚對二甲苯基(氟)及多孔鐵氟龍所構成之群組中，且其中該第二介電材料至少包含一無機介電材料，其係選自於由OSG、SiO₂、FSG、MSQ、