



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

242 132

(11) (B1)

(61)

(23) Výstavní priorita

(22) Přihlášeno 20 10 84

(21) PV 8161-84

(51) Int. Cl.⁴
H 03 L 5/00

(40) Zveřejněno 22 08 85

(45) Vydáno 01 02 88

(75)

Autor vynálezu VÁLA LUTZ, PRAHA

(54)

Testovací obvod primární zálohové baterie

Řešení se týká testování stavu zálohového zdroje pro paměti u zařízení, kde je pro tento účel použito primárních článků. Testovací obvod podle vynálezu sestává z řídicího obvodu, spínacího obvodu a komparátoru, přičemž mezi řídicím obvodem a spínacím obvodem je zavedena zpětná vazba. Paměťový klopný obvod je zapojen mezi komparátor a výstup řídicího obvodu. Řešení lze využít zejména v elektrotechnickém průmyslu.

Testovací obvod primární zálohové baterie řeší testování stavu zálohového zdroje pro paměti u zařízení, kde je pro tento účel použito primárních článků.

Dosud známé způsoby zajišťování stavu zálohové baterie je měření jejího napětí pomocí měřicího přístroje, a to buď naprázdno, nebo i při zatížení a podle výsledného napětí potom zhodnotit kdy je nutno baterii vyměnit. Přitom není záruka, že se měření na baterii provede dostatečně často a včas se rozpozná nutnost výměny baterie, dále není zajištěno, že test baterie proběhne co nejkratší dobu a konečně při měření naprázdno je nebezpečí, že se vždy nerozezná správná doba výměny baterie.

Uvedené nevýhody odstraňuje testovací obvod primární zálohové baterie podle vynálezu, jehož podstata spočívá v tom, že k jednomu vývodu zatěžovacího odporu je připojen výstup spínacího obvodu mezi jehož vstup a výstup řídicího obvodu je připojena sériová kombinace časovacího odporu testu a časovací kapacity testu a na vstup řídicího obvodu je připojen časovací odpor prodlevy, mezi jehož druhý vývod a výstup spínacího obvodu je připojena sériová kombinace zpětnovazebního odporu a zpětnovazební diody, zároveň je na druhý vývod časovacího odporu prodlevy připojen jeden vývod časovací kapacity prodlevy, jejíž druhý vývod je přes omezovací odpor připojen na svorku napájecího napětí. Druhý vývod zatěžovacího odporu je připojen jednak ke vstupní svorce a zároveň ke vstupu komparátoru, jehož výstup je spojen se zápisovým vstupem klopného obvodu, jehož nulovací vstup je propojen s výstupem řídicího obvodu,

příčemž výstup klopného obvodu je připojen na výstupní svorku, zatímco tlačítko je jedním vývodem připojeno na spojnicí mezi omezovacím odporem a časovací kapacitu prodlevy, kdežto druhým vývodem je připojeno k nulové svorce.

Výhoda uvedeného zapojení spočívá zejména v tom, že při každém zapnutí zařízení proběhne automaticky test zálohové baterie, dále je prostřednictvím prodlevy mezi zapnutím napájecího napětí a vlastním testem zaručeno, že test proběhne při plném a ustáleném napájecím napětí a případný napěťový pokles baterie při testu neovlivní stavy pamětí, dále je výhodné, že délku testu je možno vhodnou volbou časové konstanty testu nastavit na optimální délku, kdy je co nejméně zmenšována kapacita baterie a konečně je to možnost kdykoliv ručně testovat pomocí tlačítka, přičemž je vyloučeno testování za nepřítomnosti napájecího napětí.

Příklad konkrétního zapojení testovacího obvodu primární zálohové baterie podle vynálezu je znázorněno na připojeném výkrese.

K jednomu vývodu zatěžovacího odporu 2 je připojen výstup 31 spínacího obvodu 3, mezi jehož vstup 32 a výstup 101 řídicího obvodu je připojena sériová kombinace časovacího odporu testu 5 a časovací kapacity testu 8 a na vstup 102 řídicího obvodu 10 je připojen časovací odpor prodlevy 13 mezi jehož druhý vývod a výstup 31 spínacího obvodu 3 je připojena sériová kombinace zpětnovazebního odporu 6 a zpětnovazební diody 4, zároveň je na druhý vývod časovacího odporu prodlevy 13 připojen jeden vývod časovací kapacity prodlevy 12, jejíž druhý vývod je přes omezovací odpor 11 připojen na svorku napájecího napětí 16, zatímco druhý vývod zatěžovacího odporu 2 je připojen jednak ke vstupní svorce 1 a zároveň ke vstupu 171 komparátoru 17, jehož výstup 172 je spojen se zápisovým vstupem 181 klopného obvodu 18, jehož nulovací vstup 182 je propojen s výstupem 101 řídicího obvodu 10, přičemž výstup 183 klopného obvodu 18 je připojen na výstupní svorku 19, zatímco tlačítko 15 je jedním vývodem připojeno na spojnicí mezi omezovacím odporem 11 a časovací

kapacitu prodlevy 12, kdežto druhým vývodem je připojeno k nulové svorce 20.

Funkci testovacího obvodu primární zálohové baterie lze charakterizovat takto

vstupní svorka 1 je připojena na kladný pól zálohové baterie, jejíž záporný pól je připojen na nulovou svorku 20. Na svorku napájecího napětí 16 je připojen kladný pól napájecího napětí, které napájí paměti při připojení síťového napětí. Záporný pól napájecího napětí je připojen na nulovou svorku 20. Za nepřítomnosti síťového napětí je na svorce napájecího napětí 16 nulové napětí proti nulové svorce 20. Při zapnutí síťového napětí vystoupí na svorce napájecího napětí 16 napětí na jmenovitou hodnotu. Přes omezovací odpor 11 a časovací odpor prodlevy 13 se nabíjí časovací kapacita prodlevy 12 a nabíjecí proud teče do vstupu 102 řídicího obvodu 10 a způsobuje sepnutí řídicího obvodu 10, takže na jeho výstupu 101 je nulové napětí a to po celou dobu nabíjení časovací kapacity prodlevy 12. Tak vznikne prodleva mezi zapnutím napájecího napětí a vlastním testem, která je zařazena před test proto, aby test probíhal bezpečně již při zapnutém a ustáleném napájecím napětí a aby případný pokles napětí na zálohové baterii při testu neovlivnil paměti. Po skončení prodlevy vystoupí napětí na výstupu 101 řídicího obvodu 10 na jmenovitou hodnotu a přes časovací odpor testu 5 se nabíjí časovací kapacita testu 8 a nabíjecí proud tekoucí do vstupu 32 spínacího obvodu 3 způsobí jeho sepnutí. Tím se na výstupu 31 spínacího obvodu 3 objeví nulové napětí a zálohová baterie připojená ke vstupní svorce 1 se přes zatěžovací odpor 2 vybíjí určitým proudem daným velikostí zatěžovacího odporu 2. Vnitřní odpor primárních článků vzrůstá během jejich vybíjení a při vybíjení daným proudem při testu poklesne na baterii napětí úměrně k jejímu vybití. Napětí zálohové baterie je indikováno komparátorem 17, k jehož vstupu 171 je baterie kladným pólem připojena. Komparátor 17 má vlastní referenční napětí, které

porovnává s napětím zálohové baterie. Jestliže napětí na baterii poklesne pod hodnotu referenčního napětí, objeví se na výstupu 172 komparátoru 17 nulové napětí, které na zápisovém vstupu 181 klopného obvodu 18 způsobí překlopení klopného obvodu 18, na jehož výstupu 183 a tím i na výstupní svorce 19 se objeví signál L. Klopný obvod 18 je na každém začátku testovacího cyklu vynulován a to při sepnutí řídicího obvodu 10, z jehož výstupu 101 je na nulovací vstup 182 klopného obvodu 18 přivedeno nulové napětí, které způsobí na jeho výstupu 183 a tím i na výstupní svorce 19, signál H. Potom teprve probíhá vlastní test zálohové baterie, podle jehož výsledku buď zůstává klopný obvod 18 s výstupem 183 ve stavu H při dobrém stavu zálohové baterie, nebo se na výstupu 183 objeví signál L, při takovém stavu zálohové baterie, kdy již je doporučena její výměna.

Tlačítkem 15 lze vyvolat test zálohové baterie kdykoliv ručně, ale pouze při zapnutém napájecím napětí na svorce 16. Stisknutím tlačítka 15 se vybije časovací kapacita prodlevy 12 a při opětném uvolnění tlačítka se časovací kapacita prodlevy 12 opět nabíjí a nastává tak testovací cyklus.

Na délku prodlevy mezi zapnutím napájecího napětí a vlastním testem má tedy vliv časová konstanta složená z časovací kapacity prodlevy 12 a časovacího odporu prodlevy 13, zatímco na délku vlastního testu má vliv časová konstanta složená z časovacího odporu testu 5 a z časovací kapacity testu 8. Vhodnou volbou časové konstanty testu se docílí pouze nezbytně nutná doba vlastního testu, kdy zálohovou baterií protéká testovací proud a tím se kapacita zálohové baterie maximálně šetří.

Zpětnovazební odpor 6 spolu se zpětnovazební diodou 4 způsobují rychlý přechod mezi prodlevou a vlastním testem, způsobí rychlé vybuzení testovacího obvodu 3 a tím je možno dobu testu zkrátit.

Testovací obvod primární zálohové baterie podle vynálezu lze s výhodou využít zejména v NC systémech a dále všude tam, kde pro zálohové napájení pamětí CMOS jsou použity primární baterie.

P Ř E D M Ě T V Y N Á L E Z U

Testovací obvod primární zálohové baterie, vyznačující se tím, že k jednomu vývodu zatěžovacího odporu (2) je připojen výstup (31) spínacího obvodu (3), mezi jehož vstup (32) a výstup (101) řídicího obvodu (10) je připojena sériová kombinace časovacího odporu testu (5) a časovací kapacity testu (8) a na vstup (102) řídicího obvodu (10) je připojen časovací odpor prodlevy (13), mezi jehož druhý vývod a výstup (31) spínacího obvodu (3) je připojena sériová kombinace zpětnovazebního odporu (6) a zpětnovazební diody (4), zároveň je na druhý vývod časovacího odporu prodlevy (13) připojen jeden vývod časovací kapacity prodlevy (12), jejíž druhý vývod je přes omezovací odpor (11) připojen na svorku napájecího napětí (16), zatímco druhý vývod zatěžovacího odporu (2) je připojen jednak ke vstupní svorce (1) a zároveň ke vstupu (171) komparátoru (17), jehož výstup (172) je spojen se zápisovým vstupem (181) klopného obvodu (18), jehož nulovací vstup (182) je spojen s výstupem (101) řídicího obvodu (10), kdežto výstup (183) klopného obvodu (18) je připojen na výstupní svorku (19), přičemž tlačítko (15) je jedním vývodem připojeno na spojnicí mezi omezovacím odporem (11) a časovací kapacitou prodlevy (12) a druhým vývodem je připojeno k nulové svorce (20).

