

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 4 区分

【発行日】平成 26 年 7 月 31 日 (2014.7.31)

【公開番号】特開 2014-87252 (P2014-87252A)

【公開日】平成 26 年 5 月 12 日 (2014.5.12)

【年通号数】公開・登録公報 2014-024

【出願番号】特願 2013-204019 (P2013-204019)

【国際特許分類】

H 0 2 M 3/155 (2006.01)

【F I】

H 0 2 M 3/155 E

H 0 2 M 3/155 Y

【手続補正書】

【提出日】平成 26 年 6 月 17 日 (2014.6.17)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

入力電圧を受け取り、かつ調整出力を生成するスイッチングレギュレータ回路であって、前記回路は、

トランジスタスイッチ制御信号を生成するコントローラ (19) と、

前記コントローラによって制御される第 1 のスイッチ (14A) であって、前記コントローラは、調節可能なデューティサイクルにおける単一のスイッチングサイクルの間、前記第 1 のスイッチが導電状態と非導電状態との間でスイッチされるように制御して、前記スイッチングレギュレータ回路の前記調整出力を制御し、前記デューティサイクルは、前記第 1 のスイッチが前記単一のスイッチングサイクルの間に導電状態にある時間のパーセンテージである、第 1 のスイッチ (14A) と、

前記第 1 のスイッチを有するカレントループの一部として、前記第 1 のスイッチへ連結された第 1 のバイパスコンデンサ (20A) と、

前記第 1 のスイッチ (14A) と並列に接続された第 2 のスイッチ (14B) であって、前記第 2 のスイッチは、前記第 1 のスイッチと同じデューティサイクルを有するように前記第 1 のスイッチと同じ状態にあるように前記コントローラによって制御されて、前記スイッチングレギュレータ回路の前記調整出力を制御する、第 2 のスイッチ (14B) とを含み、

前記第 1 のスイッチは、導電状態へとスイッチされると、第 1 のカレントループ (25) を発生させるように位置付けられ、第 1 の電流は、前記第 1 のカレントループにおいて第 1 の方向に流れて第 1 の磁場を生成し、前記第 1 の磁場は、第 1 の大きさを第 1 の方向に有し、

前記第 2 のスイッチは、導電状態へとスイッチされると、第 2 のカレントループ (24) を発生させるように位置付けられ、第 2 の電流は、前記第 2 のカレントループにおいて第 2 の方向に流れて第 2 の磁場を生成し、前記第 2 の方向は前記第 1 の方向と反対方向であり、前記第 2 の磁場は、第 2 の大きさを第 2 の方向に有し、これにより、前記第 1 の磁場および前記第 2 の磁場が協働して、前記スイッチングレギュレータ回路によって発生した電磁干渉 (EMI) を低減する、回路。

【請求項 2】

前記第 1 の大きさは、前記第 2 の大きさとほぼ同じである、請求項 1 に記載の回路。

【請求項 3】

スイッチングレギュレータ回路であって、前記回路は、

トランジスタスイッチ制御信号を生成するコントローラ (1 9) と、

前記コントローラによって制御される少なくとも第 1 のスイッチ (1 2) であって、前記第 1 のスイッチのデューティサイクルは、前記スイッチングレギュレータ回路の調整出力を制御し、前記コントローラは、調節可能なデューティサイクルにおける単一のスイッチングサイクルの間、前記第 1 のスイッチが導電状態と非導電状態との間でスイッチされるように制御して、前記スイッチングレギュレータ回路の前記調整出力を制御し、前記デューティサイクルは、前記第 1 のスイッチが前記単一のスイッチングサイクルの間に導電状態にある時間のパーセンテージである、少なくとも第 1 のスイッチ (1 2) と、

前記第 1 のスイッチを有するカレントループの一部として、前記第 1 のスイッチへ連結された第 1 のバイパスコンデンサ (2 0) と、

前記第 1 のスイッチのスイッチングによって同時に発生させられる少なくとも第 1 のカレントループ (5 2) および第 2 のカレントループ (5 4) であって、第 1 の電流は、前記第 1 のカレントループにおいて第 1 の方向に流れて第 1 の磁場を生成し、前記第 1 の磁場は、第 1 の大きさを第 1 の方向に有し、第 2 の電流は、前記第 2 のカレントループにおいて第 2 の方向に流れて第 2 の磁場を生成し、前記第 2 の方向は前記第 1 の方向と反対方向であり、前記第 2 の磁場は、第 2 の大きさを第 2 の方向に有し、これにより、前記第 1 の磁場および前記第 2 の磁場が協働して、前記スイッチングレギュレータ回路によって発生した電磁干渉 (E M I) を低減する、少なくとも第 1 のカレントループ (5 2) および第 2 のカレントループ (5 4) と、

前記第 1 のスイッチの第 1 の端子と前記第 1 のバイパスコンデンサの第 1 の端子との間に接続された第 1 の導体 (5 5) と、

前記第 1 のバイパスコンデンサの第 2 の端子と基準電圧との間に接続された第 2 の導体と

を含み、

前記第 1 の導体および前記第 2 の導体は相互に交差して、電流を互いに反対方向に伝導する前記第 1 のカレントループおよび前記第 2 のカレントループを形成するように 8 字型形状を形成する、回路。

【請求項 4】

前記 8 字型形状は、前記第 1 のバイパスコンデンサ (2 0) の下側に交差点を形成することによって構築される、請求項 3 に記載の回路。

【請求項 5】

前記回路は、第 3 のスイッチ (1 2) をさらに含み、

前記第 1 のスイッチ (1 4 A) および前記第 2 のスイッチ (1 4 B) は、前記第 3 のスイッチの対向する側に置かれ、これにより、前記第 1 のスイッチおよび前記第 3 のスイッチ内へ流れる前記第 1 の電流によって前記第 1 のカレントループ (2 5) を発生させ、前記第 2 のスイッチおよび前記第 3 のスイッチ内に流れる前記第 2 の電流によって前記第 2 のカレントループ (2 4) を発生させる、請求項 1 に記載の回路。

【請求項 6】

前記第 1 のスイッチ (1 4 A) および第 2 のスイッチ (1 4 B) がオンであり、かつ前記第 3 のスイッチ (1 2) がオフになると、前記第 1 の電流が前記第 1 のスイッチを通じて前記第 3 のスイッチの寄生コンデンサ内へと流れ、前記第 2 の電流が前記第 2 のスイッチを通じて前記第 3 のスイッチの前記寄生コンデンサ内へと流れる、請求項 5 に記載の回路。

【請求項 7】

前記第 1 のバイパスコンデンサ (2 0 A) は、前記第 3 のスイッチ (1 2) と前記第 1 のスイッチ (1 4 A) との間に連結され、前記第 1 のバイパスコンデンサは前記第 1 のカレントループ (2 5) の一部である、請求項 5 に記載の回路。

【請求項 8】

前記第 3 のスイッチ (1 2) と前記第 2 のスイッチ (1 4 B) との間に連結された第 2 のバイパスコンデンサ (2 0 B) をさらに含み、前記第 2 のバイパスコンデンサは、前記第 2 のカレントループ (2 4) の一部である、請求項 7 に記載の回路。

【請求項 9】

前記第 1 のバイパスコンデンサ (5 0) も前記第 3 のスイッチと前記第 2 のスイッチとの間に連結され、前記第 1 のバイパスコンデンサも前記第 2 のカレントループ (2 4) の一部である、請求項 7 に記載の回路。

【請求項 10】

前記第 1 のバイパスコンデンサ (5 0) は、前記第 1 のスイッチおよび前記第 2 のスイッチから実質的に等距離となるように、前記第 1 のスイッチ (1 4 A) と前記第 2 のスイッチ (1 4 B) との間に対称に設置される、請求項 9 に記載の回路。

【請求項 11】

前記回路は、同時に伝導するように並列接続された第 3 のスイッチ (1 4 A) および第 4 のスイッチ (1 2 B) をさらに含み、前記第 3 のスイッチは前記第 1 のスイッチ (1 4 A) に対向して位置付けられ、前記第 4 のスイッチ (1 2 B) は前記第 2 のスイッチ (1 4 B) に対向して位置付けられ、前記第 4 のスイッチは前記第 3 のスイッチに隣接し、前記第 1 のスイッチは前記第 2 のスイッチに隣接し、前記第 1 のカレントループ (3 0) を、前記第 1 のスイッチおよび前記第 3 のスイッチ内へと流れる前記第 1 の電流によって発生させ、前記第 2 のカレントループ (3 2) を、前記第 2 のスイッチおよび前記第 4 のスイッチ内へと流れる前記第 2 の電流によって発生させる、請求項 1 に記載の回路。

【請求項 12】

前記第 1 のスイッチ (1 4 A) および第 2 のスイッチ (1 4 B) がオンになり、かつ前記第 3 のスイッチ (1 2 A) および第 4 のスイッチ (1 2 B) がオフになると、前記第 1 の電流は、前記第 1 のスイッチを通じて前記第 3 のスイッチの寄生コンデンサ内へと流れ、前記第 2 の電流は、前記第 2 のスイッチを通じて前記第 4 のスイッチの前記寄生コンデンサ内へと流れる、請求項 11 に記載の回路。

【請求項 13】

前記第 1 のバイパスコンデンサ (3 4) は、前記第 3 のスイッチ (1 2 A) と前記第 1 のスイッチ (1 4 A) との間に連結され、前記第 1 のバイパスコンデンサは前記第 1 のカレントループ (3 0) の一部である、請求項 11 に記載の回路。

【請求項 14】

前記第 4 のスイッチ (1 2 B) と前記第 2 のスイッチ (1 4 B) との間に連結された第 2 のバイパスコンデンサ (3 6) をさらに含み、前記第 2 のバイパスコンデンサは、前記第 2 のカレントループ (3 2) の一部である、請求項 13 に記載の回路。

【請求項 15】

前記回路は、同時にスイッチされ、かつ前記第 1 のスイッチ (1 4 A) と前記第 2 のスイッチ (1 4 B) のスイッチングに対向してスイッチされるように並列接続された第 3 のスイッチ (1 2 A) および第 4 のスイッチ (1 2 B) をさらに含み、

前記第 1 のスイッチおよび前記第 2 のスイッチは、スイッチからなる対向する対を発生させるために、前記第 3 のスイッチおよび前記第 4 のスイッチに対向して位置付けられ、

前記対向する対は、複数のカレントループを発生させ、前記複数のカレントループは、前記第 1 のカレントループ (3 0) および前記第 2 のカレントループ (3 2) を含み、いくつかのカレントループは、前記カレントループのうち他のカレントループと反対方向に流れて、反対方向の複数の磁場を発生させ、これにより、前記スイッチングレギュレータ回路によって生成された E M I を低減させる、請求項 1 に記載の回路。

【請求項 16】

前記第 1 のバイパスコンデンサ (3 4) を含む複数のバイパスコンデンサ (3 4 , 3 6) をさらに含み、前記バイパスコンデンサのうち関連付けられたバイパスコンデンサは、前記第 1 のスイッチ、前記第 2 のスイッチ、前記第 3 のスイッチ、および前記第 4 のスイ

ッチの間に連結されて、前記カレントループを形成する、請求項 15 に記載の回路。

【請求項 17】

少なくとも 4 つのカレントループ (24A, 24B, 25A, 25B) を、前記第 1 のカレントループ (24A) および前記第 2 のカレントループ (24B) と、第 3 のカレントループ (25A) および第 4 のカレントループ (25B) とを含んで発生させ、前記第 3 のカレントループ中の電流の方向は、前記第 4 のカレントループ中の電流の方向と反対方向である、請求項 16 に記載の回路。

【請求項 18】

前記第 1 のカレントループ (25) および前記第 2 のカレントループ (24) は平面であり、前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) が形成された基板表面に対して実質的に平行である、請求項 1 に記載の回路。

【請求項 19】

前記第 1 のカレントループ (60) および前記第 2 のカレントループ (62) は垂直コンポーネントを有し、前記垂直コンポーネントは、前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) が形成された基板表面に対して非平面である、請求項 1 に記載の回路。

【請求項 20】

前記第 1 のバイパスコンデンサ (70) は、前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) と共に非平面である、請求項 19 に記載の回路。

【請求項 21】

前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) は MOSFET である、請求項 1 に記載の回路。

【請求項 22】

前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) は、集積回路チップ (46, 58) 上に形成される、請求項 1 に記載の回路。

【請求項 23】

前記集積回路チップ (46) は、交互またはインターリーブ配置された外部端子を前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) に対して有する、請求項 22 に記載の回路。

【請求項 24】

前記集積回路チップ (46) は、前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) に対して 2 組の外部端子を有し、1 組が前記集積回路パッケージの各側部にある、請求項 22 に記載の回路。

【請求項 25】

前記集積回路チップ (46) は、前記チップを収容する集積回路パッケージの外部にある複数のコンデンサ (20, 48, 50) を利用して、前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) の前記端子全てまたはその一部へと接続する、請求項 22 に記載の回路。

【請求項 26】

前記集積回路チップ (46) は、前記チップを収容する集積回路パッケージの内部にある複数のコンデンサを利用して、いくつかの位置において前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) へと接続する、請求項 22 に記載の回路。

【請求項 27】

前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) は、端子を有する同一パッケージ中に収容され、前記第 1 のバイパスコンデンサ (48) が前記パッケージの外部にある前記端子へ接続されたときに前記第 1 のカレントループおよび前記第 2 のカレントループが形成されるように、前記端子が前記パッケージ上に配置される、請求項 1 に記載の回路。