

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第4区分

【発行日】平成26年7月31日(2014.7.31)

【公開番号】特開2014-87252(P2014-87252A)

【公開日】平成26年5月12日(2014.5.12)

【年通号数】公開・登録公報2014-024

【出願番号】特願2013-204019(P2013-204019)

【国際特許分類】

H 02 M 3/155 (2006.01)

【F I】

H 02 M 3/155 E

H 02 M 3/155 Y

【手続補正書】

【提出日】平成26年6月17日(2014.6.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

入力電圧を受け取り、かつ調整出力を生成するスイッチングレギュレータ回路であって、前記回路は、

トランジスタスイッチ制御信号を生成するコントローラ(19)と、

前記コントローラによって制御される第1のスイッチ(14A)であって、前記コントローラは、調節可能なデューティサイクルにおける単一のスイッチングサイクルの間、前記第1のスイッチが導電状態と非導電状態との間でスイッチされるように制御して、前記スイッチングレギュレータ回路の前記調整出力を制御し、前記デューティサイクルは、前記第1のスイッチが前記単一のスイッチングサイクルの間に導電状態にある時間のパーセンテージである、第1のスイッチ(14A)と、

前記第1のスイッチを有するカレントループの一部として、前記第1のスイッチへ連結された第1のバイパスコンデンサ(20A)と、

前記第1のスイッチ(14A)と並列に接続された第2のスイッチ(14B)であって、前記第2のスイッチは、前記第1のスイッチと同じデューティサイクルを有するように前記第1のスイッチと同じ状態にあるように前記コントローラによって制御されて、前記スイッチングレギュレータ回路の前記調整出力を制御する、第2のスイッチ(14B)とを含み、

前記第1のスイッチは、導電状態へとスイッチされると、第1のカレントループ(25)を発生させるように位置付けられ、第1の電流は、前記第1のカレントループにおいて第1の方向に流れて第1の磁場を生成し、前記第1の磁場は、第1の大きさを第1の方向に有し、

前記第2のスイッチは、導電状態へとスイッチされると、第2のカレントループ(24)を発生させるように位置付けられ、第2の電流は、前記第2のカレントループにおいて第2の方向に流れて第2の磁場を生成し、前記第2の方向は前記第1の方向と反対方向であり、前記第2の磁場は、第2の大きさを第2の方向に有し、これにより、前記第1の磁場および前記第2の磁場が協働して、前記スイッチングレギュレータ回路によって発生した電磁干渉(EMI)を低減する、回路。

【請求項2】

前記第1の大きさは、前記第2の大きさとほぼ同じである、請求項1に記載の回路。

**【請求項3】**

スイッチングレギュレータ回路であって、前記回路は、

トランジスタスイッチ制御信号を生成するコントローラ(19)と、

前記コントローラによって制御される少なくとも第1のスイッチ(12)であって、前記第1のスイッチのデューティサイクルは、前記スイッチングレギュレータ回路の調整出力を制御し、前記コントローラは、調節可能なデューティサイクルにおける単一のスイッチングサイクルの間、前記第1のスイッチが導電状態と非導電状態との間でスイッチされるように制御して、前記スイッチングレギュレータ回路の前記調整出力を制御し、前記デューティサイクルは、前記第1のスイッチが前記単一のスイッチングサイクルの間に導電状態にある時間のパーセンテージである、少なくとも第1のスイッチ(12)と、

前記第1のスイッチを有するカレントループの一部として、前記第1のスイッチへ連結された第1のバイパスコンデンサ(20)と、

前記第1のスイッチのスイッチングによって同時に発生させられる少なくとも第1のカレントループ(52)および第2のカレントループ(54)であって、第1の電流は、前記第1のカレントループにおいて第1の方向に流れて第1の磁場を生成し、前記第1の磁場は、第1の大きさを第1の方向に有し、第2の電流は、前記第2のカレントループにおいて第2の方向に流れて第2の磁場を生成し、前記第2の方向は前記第1の方向と反対方向であり、前記第2の磁場は、第2の大きさを第2の方向に有し、これにより、前記第1の磁場および前記第2の磁場が協働して、前記スイッチングレギュレータ回路によって発生した電磁干渉(EMI)を低減する、少なくとも第1のカレントループ(52)および第2のカレントループ(54)と、

前記第1のスイッチの第1の端子と前記第1のバイパスコンデンサの第1の端子との間に接続された第1の導体(55)と、

前記第1のバイパスコンデンサの第2の端子と基準電圧との間に接続された第2の導体と

を含み、

前記第1の導体および前記第2の導体は相互に交差して、電流を互いに反対方向に伝導する前記第1のカレントループおよび前記第2のカレントループを形成するように8字型形状を形成する、回路。

**【請求項4】**

前記8字型形状は、前記第1のバイパスコンデンサ(20)の下側に交差点を形成することによって構築される、請求項3に記載の回路。

**【請求項5】**

前記回路は、第3のスイッチ(12)をさらに含み、

前記第1のスイッチ(14A)および前記第2のスイッチ(14B)は、前記第3のスイッチの対向する側に置かれ、これにより、前記第1のスイッチおよび前記第3のスイッチ内へ流れる前記第1の電流によって前記第1のカレントループ(25)を発生させ、前記第2のスイッチおよび前記第3のスイッチ内に流れる前記第2の電流によって前記第2のカレントループ(24)を発生させる、請求項1に記載の回路。

**【請求項6】**

前記第1のスイッチ(14A)および第2のスイッチ(14B)がオンであり、かつ前記第3のスイッチ(12)がオフになると、前記第1の電流が前記第1のスイッチを通じて前記第3のスイッチの寄生コンデンサ内へと流れ、前記第2の電流が前記第2のスイッチを通じて前記第3のスイッチの前記寄生コンデンサ内へと流れる、請求項5に記載の回路。

**【請求項7】**

前記第1のバイパスコンデンサ(20A)は、前記第3のスイッチ(12)と前記第1のスイッチ(14A)との間に連結され、前記第1のバイパスコンデンサは前記第1のカレントループ(25)の一部である、請求項5に記載の回路。

**【請求項 8】**

前記第3のスイッチ(12)と前記第2のスイッチ(14B)との間に連結された第2のバイパスコンデンサ(20B)をさらに含み、前記第2のバイパスコンデンサは、前記第2のカレントループ(24)の一部である、請求項7に記載の回路。

**【請求項 9】**

前記第1のバイパスコンデンサ(50)も前記第3のスイッチと前記第2のスイッチとの間に連結され、前記第1のバイパスコンデンサも前記第2のカレントループ(24)の一部である、請求項7に記載の回路。

**【請求項 10】**

前記第1のバイパスコンデンサ(50)は、前記第1のスイッチおよび前記第2のスイッチから実質的に等距離となるように、前記第1のスイッチ(14A)と前記第2のスイッチ(14B)との間に対称に設置される、請求項9に記載の回路。

**【請求項 11】**

前記回路は、同時に伝導するように並列接続された第3のスイッチ(14A)および第4のスイッチ(12B)をさらに含み、前記第3のスイッチは前記第1のスイッチ(14A)に対向して位置付けられ、前記第4のスイッチ(12B)は前記第2のスイッチ(14B)に対向して位置付けられ、前記第4のスイッチは前記第3のスイッチに隣接し、前記第1のスイッチは前記第2のスイッチに隣接し、前記第1のカレントループ(30)を、前記第1のスイッチおよび前記第3のスイッチ内へと流れる前記第1の電流によって発生させ、前記第2のカレントループ(32)を、前記第2のスイッチおよび前記第4のスイッチ内へと流れる前記第2の電流によって発生させる、請求項1に記載の回路。

**【請求項 12】**

前記第1のスイッチ(14A)および第2のスイッチ(14B)がオンになり、かつ前記第3のスイッチ(12A)および第4のスイッチ(12B)がオフになると、前記第1の電流は、前記第1のスイッチを通じて前記第3のスイッチの寄生コンデンサ内へと流れ、前記第2の電流は、前記第2のスイッチを通じて前記第4のスイッチの前記寄生コンデンサ内へと流れる、請求項11に記載の回路。

**【請求項 13】**

前記第1のバイパスコンデンサ(34)は、前記第3のスイッチ(12A)と前記第1のスイッチ(14A)との間に連結され、前記第1のバイパスコンデンサは前記第1のカレントループ(30)の一部である、請求項11に記載の回路。

**【請求項 14】**

前記第4のスイッチ(12B)と前記第2のスイッチ(14B)との間に連結された第2のバイパスコンデンサ(36)をさらに含み、前記第2のバイパスコンデンサは、前記第2のカレントループ(32)の一部である、請求項13に記載の回路。

**【請求項 15】**

前記回路は、同時にスイッチされ、かつ前記第1のスイッチ(14A)と前記第2のスイッチ(14B)のスイッチングに對向してスイッチされるように並列接続された第3のスイッチ(12A)および第4のスイッチ(12B)をさらに含み、

前記第1のスイッチおよび前記第2のスイッチは、スイッチからなる對向する対を発生させるために、前記第3のスイッチおよび前記第4のスイッチに對向して位置付けられ、

前記對向する対は、複数のカレントループを発生させ、前記複数のカレントループは、前記第1のカレントループ(30)および前記第2のカレントループ(32)を含み、いくつかのカレントループは、前記カレントループのうち他のカレントループと反対方向に流れて、反対方向の複数の磁場を発生させ、これにより、前記スイッチングレギュレータ回路によって生成されたEMIを低減させる、請求項1に記載の回路。

**【請求項 16】**

前記第1のバイパスコンデンサ(34)を含む複数のバイパスコンデンサ(34, 36)をさらに含み、前記バイパスコンデンサのうち関連付けられたバイパスコンデンサは、前記第1のスイッチ、前記第2のスイッチ、前記第3のスイッチ、および前記第4のスイ

ツチの間に連結されて、前記カレントループを形成する、請求項 1 5 に記載の回路。

【請求項 1 7】

少なくとも 4 つのカレントループ (24A, 24B, 25A, 25B) を、前記第 1 のカレントループ (24A) および前記第 2 のカレントループ (24B) と、第 3 のカレントループ (25A) および第 4 のカレントループ (25B) とを含んで発生させ、前記第 3 のカレントループ中の電流の方向は、前記第 4 のカレントループ中の電流の方向と反対方向である、請求項 1 6 に記載の回路。

【請求項 1 8】

前記第 1 のカレントループ (25) および前記第 2 のカレントループ (24) は平面であり、前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) が形成された基板表面に対して実質的に平行である、請求項 1 に記載の回路。

【請求項 1 9】

前記第 1 のカレントループ (60) および前記第 2 のカレントループ (62) は垂直コンポーネントを有し、前記垂直コンポーネントは、前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) が形成された基板表面に対して非平面である、請求項 1 に記載の回路。

【請求項 2 0】

前記第 1 のバイパスコンデンサ (70) は、前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) と共に非平面である、請求項 1 9 に記載の回路。

【請求項 2 1】

前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) は MOSFET である、請求項 1 に記載の回路。

【請求項 2 2】

前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) は、集積回路チップ (46, 58) 上に形成される、請求項 1 に記載の回路。

【請求項 2 3】

前記集積回路チップ (46) は、交互またはインターリープ配置された外部端子を前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) に対して有する、請求項 2 2 に記載の回路。

【請求項 2 4】

前記集積回路チップ (46) は、前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) に対して 2 組の外部端子を有し、1 組が前記集積回路パッケージの各側部にある、請求項 2 2 に記載の回路。

【請求項 2 5】

前記集積回路チップ (46) は、前記チップを収容する集積回路パッケージの外部にある複数のコンデンサ (20, 48, 50) を利用して、前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) の前記端子全てまたはその一部へと接続する、請求項 2 2 に記載の回路。

【請求項 2 6】

前記集積回路チップ (46) は、前記チップを収容する集積回路パッケージの内部にある複数のコンデンサを利用して、いくつかの位置において前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) へと接続する、請求項 2 2 に記載の回路。

【請求項 2 7】

前記第 1 のスイッチ (14A) および前記第 2 のスイッチ (14B) は、端子を有する同一パッケージ中に収容され、前記第 1 のバイパスコンデンサ (48) が前記パッケージの外部にある前記端子へ接続されたときに前記第 1 のカレントループおよび前記第 2 のカレントループが形成されるように、前記端子が前記パッケージ上に配置される、請求項 1 に記載の回路。