



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

243042

(11)

(B1)

(22) Přihlášeno 28 06 84
(21) PV 4993-84

(51) Int. Cl.⁴

G 08 C 19/02
G 08 C 13/02

(40) Zveřejněno 31 08 85

(45) Vydáno 15 05 87

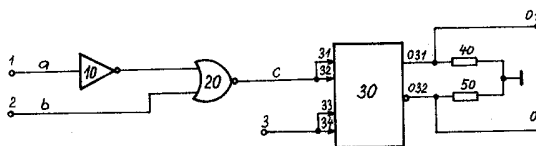
(75)

Autor vynálezu

JÍZDNÝ OLDŘICH ing., KUŘIM; SÝKORA TOMÁŠ, BRNO

(54) Zapojení napěťového adaptéru

Cílem řešení je vytvořit jednoduché zapojení, jež odstraňuje nerozhodný stav na výstupu linkového přijímače a docílí, aby hodnoty vstupních napětí pro linkové přijímače ležely na hranici rozlišovací schopnosti. Uvedeného cíle se dosáhne zapojením, v němž první vstup obvodu k realizaci funkce $c = a \cdot b$ tvoří současně první vstup zapojení, kdežto jeho druhý vstup tvoří současně druhý vstup zapojení a jeho výstup je připojen alespoň na jeden ze dvou logických vstupů budiče signálu. První a druhý hradicový vstup budiče signálu, případně dále zbývající ze dvou logických vstupů tvoří současně třetí vstup zapojení. První výstup budiče signálu je připojen přes první odpor na nulový potenciál a tvoří současně první výstup zapojení, kdežto jeho druhý výstup je připojen přes druhý odpor na nulový potenciál a tvoří současně druhý výstup zapojení. Zapojení lze použít pro testování obvodů s linkovými přijímači velkokapacitních diskových pamětí, jakož i obdobných obvodů s linkovými přijímači jiných zařízení pro elektronické počítače.



Obr. 1

Vynález se týká zapojení napěťového adaptéru.

Při zpracování číslíkových signálů v zařízeních na zpracování informací se pro převádění úrovní na interfejsových linkách na úroveň TTL používá linkových přijímačů, tvořených zpravidla komparátory napětí s výstupem na úrovni TTL.

Vstupní napětí linkového přijímače se vztahuje na neinvertující vstup. Při kladném vstupním napětí $U_{10} > 25 \text{ mV}$ je na výstupu přijímače úroveň logické jedničky, při záporném vstupním napětí $U_{10} < -25 \text{ mV}$ úroveň logické nuly.

Při vstupním napětí v rozsahu daném vztahem $-25 \text{ mV} \leq U_{10} \leq 25 \text{ mV}$ je na výstupu linkového přijímače nerozhodný stav, co se ve skutečnosti projevuje kmitáním. Obvody takovýchto zařízení, uspořádané na deskách s plošnými spoji, se přezkušují testéry, jež se připojují ke konektorům těchto desek.

Při použití známých testérů a úplného testu generovaného pomocí simulace na modelu desky, obsahuje tento test kombinace, které na skutečné desce vyvolávají nerozhodný stav na výstupu linkového přijímače.

Tento nežádoucí nerozhodný stav může dále nastat při postupném nastavování vstupních hodnot testu, kdy po určitý časový interval jsou oba vstupy linkového přijímače nastaveny na stejnou logickou hodnotu. Tento stav je vyhodnocován testéry jako chybový.

Uvedené nevýhody odstraňuje zapojení napěťového adaptéru podle vynálezu, jehož podstatou je, že první vstup obvodu k realizaci funkce $c = a \cdot \bar{b}$ tvoří současně první vstup zapojení, kdežto jeho druhý vstup tvoří současně druhý vstup zapojení a jeho výstup je připojen alespoň na jeden ze dvou logických vstupů budiče signálu, jehož první a druhý hradicí vstup, případně dále zbývající ze dvou logických vstupů tvoří současně třetí vstup zapojení, první výstup budiče signálu tvoří současně první výstup zapojení, kdežto jeho druhý výstup tvoří současně druhý výstup zapojení.

Výhodou napěťového adaptéru podle vynálezu je jeho jednoduchost, dále odstranění nerozhodného stavu na výstupu linkového přijímače a konečně hodnoty vstupních napětí pro linkové přijímače leží na hranici rozlišovací schopnosti.

Příklad zapojení napěťového adaptéru podle vynálezu je znázorněn na připojeném výkrese, na němž

- obr. 1 představuje schéma zapojení a
- obr. 2 tabulku logické funkce $c = a \cdot \bar{b}$.

Vstup invertoru 10 tvoří současně první vstup 1 zapojení pro připojení na neznázorněný testér (obr. 1). Výstup invertoru 10 je připojen na první vstup obvodu 20 typu negace logického součtu, jehož druhý vstup tvoří současně druhý vstup 2 zapojení pro připojení na testér.

Výstup obvodu 20 typu negace logického součtu je připojen na první a druhý logický vstup 31, 32 budiče 30 signálu, jehož první a druhý hradicí vstup 33 a 34 tvoří současně třetí vstup 3 zapojení pro připojení na neznázorněný zdroj úrovně logické jedničky. První výstup 011 budiče 30 signálu je připojen přes první odpor 40 na nulový potenciál a tvoří současně první výstup 01 zapojení pro připojení na neznázorněný linkový přijímač.

Druhý výstup 032 budiče 30 signálu je připojen přes druhý odpor 50 na nulový potenciál a tvoří současně druhý výstup 02 zapojení pro připojení na linkový přijímač.

Invertor 10 a obvod 20 typu negace logického součinu realizují funkci $c = a \cdot \bar{b}$ a mohou

být nahrazeny i jiným obvodem, jenž tuto funkci realizuje. V alternativním provedení je výstup obvodu 20 typu negace logického součtu připojen na jeden ze dvou logických vstupů 31, 32 budiče 30 signálu, přičemž zbývající ze dvou jeho logických vstupů 31, 32 je připojen na zdroj úrovně logické jedničky.

Zapojení napěťového adaptéru lze uspořádat na zvláštní desce s plošnými spoji, jež se při testování zapojuje mezi testér a linkový přijímač na testované desce, přičemž pro každý linkový přijímač testované desky je na zvláštní desce uspořádáno vlastní zapojení napěťového adaptéru.

Realizaci funkce $c = a \cdot b$ se určuje logická hodnota na výstupu obvodu 20 typu negace logického součtu i pro kombinace, kdy na prvním i druhém vstupu 1 a 2 zapojení je nastavena stejná logická hodnota (obr. 2). Budič 30 signálu pracuje v aktivní oblasti, což je zajištěno úrovní logické jedničky na prvním i druhém hradicím vstupu 33, 34.

Při úrovni logické nuly na prvním i druhém logickém vstupu 31, 32 je sepnut proudový zdroj na prvním výstupu 031 a vytváří na prvním odporu 40 zápornou napěťovou úroveň proti nulovému potenciálu. Při úrovni logické jedničky na prvním a druhém logickém vstupu 31, 32 je sepnut proudový zdroj na druhém výstupu 032 a záporná napěťová úroveň se vytváří na druhém odporu 50.

Budič 30 signálu zajišťuje, že je sepnut vždy jeden z uvedených proudových zdrojů. První výstup 031 budiče 30 signálu se připojuje na neinvertující vstup linkového přijímače, kdežto jeho druhý výstup 032 na invertující vstup linkového přijímače. Tím je zajištěno, že při úrovni logické nuly na prvním a druhém logickém vstupu 31, 32 budiče 30 signálu bude na výstupu linkového přijímače úroveň logické nuly a při úrovni logické jedničky na prvním a druhém vstupu 31, 32 budiče 30 signálu bude na výstupu linkového přijímače úroveň logické jedničky.

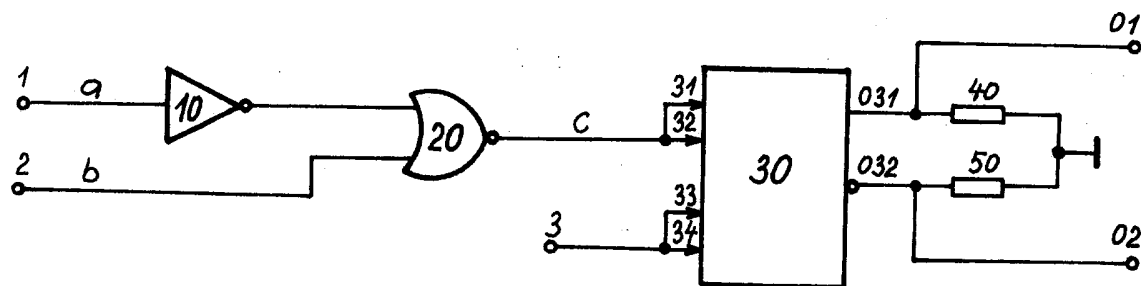
Napěťová úroveň na výstupech 031 a 032 budiče 30 signálu je závislá na hodnotách odporů 40 a 50 a na druhu použitého budiče signálu. V praxi se pohybuje v rozmezí 50 až 100 mV. Tyto hodnoty vstupních napětí pro linkový přijímač leží na hranici rozlišovací schopnosti, z čehož plyne další výhoda oproti přímému testování na úrovních TTL.

Vynálezu lze použít pro testování obvodů s linkovými přijímači velkokapacitních diskových pamětí, jakož i obdobných obvodů s linkovými přijímači jiných zařízení pro elektronické počítače.

PŘEDMĚT VYNÁLEZU

Zapojení napěťového adaptéru s budičem signálu, jehož první výstup je připojen přes první odpor na nulový potenciál a druhý výstup přes druhý odpor na nulový potenciál, vyznačené tím, že první vstup obvodu k realizaci funkce $c = a \cdot b$ tvoří současně první vstup (1) zapojení, kdežto jeho druhý vstup tvoří současně druhý vstup (2) zapojení a jeho výstup je připojen alespoň na jeden ze dvou logických vstupů (31, 32) budiče (30) signálu, jehož první a druhý hradicím vstup (33, 34), případně dále zbývající ze dvou logických vstupů (31, 32) tvoří současně třetí vstup (3) zapojení, první výstup (031) budiče (30) signálu tvoří současně první výstup (01) zapojení, kdežto jeho druhý výstup (032) tvoří současně druhý výstup (02) zapojení.

243042



Obr. 1

<i>a</i>	<i>b</i>	<i>c</i>
0	0	0
0	1	0
1	0	1
1	1	0

Obr. 2