(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3633244号

(P3633244)

(45)発行日　平成17年3月30日(2005.3.30)　(24)登録日　平成17年1月7日(2005.1.7)

(51)Int.Cl.[7]	F I	
H01L 29/786	H01L	29/78　616S
G02F 1/1368	H01L	21/28　A
H01L 21/28	G02F	1/136　500
H01L 21/3065	H01L	21/302　100

請求項の数 2　(全 14 頁)

(21)出願番号　特願平9-303203
(22)出願日　平成9年11月5日(1997.11.5)
(65)公開番号　特開平11-145479
(43)公開日　平成11年5月28日(1999.5.28)
審査請求日　平成15年2月5日(2003.2.5)

前置審査

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107076
弁理士　藤綱　英吉
(74)代理人　100107261
弁理士　須澤　修
(72)発明者　米山　良一
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(72)発明者　三浦　栄一
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

最終頁に続く

(54)【発明の名称】液晶パネル用基板、液晶パネル用基板の製造方法

(57)【特許請求の範囲】

【請求項１】

基板上に複数の薄膜トランジスタの能動層となるシリコン層を堆積してパターニングする工程と、前記シリコン層を覆うようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記シリコン層、前記ゲート絶縁膜及び前記ゲート電極上に第１層間絶縁膜を形成する工程と、前記第１層間絶縁膜にコンタクトホールを形成し、前記コンタクトホールを介して前記シリコン層に接続されるソース電極を形成する工程と、前記ソース電極及び前記第１層間絶縁膜を、フッ酸とフッ化アンモニウムと酢酸の混合液を用いてライトエッチングする工程と、前記ライトエッチングされた第１層間絶縁膜及び前記ソース電極上に第２層間絶縁膜を形成する工程と、前記第１層間絶縁膜及び前記第２層間絶縁膜にコンタクトホールを形成する工程と、を有することを特徴とする液晶パネル用基板の製造方法。

【請求項２】

基板上に堆積されてパターニング形成される、複数の薄膜トランジスタの能動層となるシリコン層と、前記シリコン層を覆うように形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるゲート電極と、前記シリコン層、前記ゲート絶縁膜及び前記ゲート電極上に形成され、表面にフッ酸とフッ化アンモニウムと酢酸の混合液を用いたライトエッチングが施される第１層間絶縁膜と、前記第１層間絶縁膜に形成される第１のコンタクトホールと、前記第１のコンタクトホールを介して前記シリコン層に接続されるように形成され、表面に前記ライトエッチングが施されるソース電極と、表面に前記ライトエッチングが

施される前記第１層間絶縁膜及び前記ソース電極上に形成される第２層間絶縁膜と、前記第１層間絶縁膜及び前記第２層間絶縁膜に形成される第２のコンタクトホールと、を有することを特徴とする液晶パネル用基板。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、例えば、ガラス基板上に形成される薄膜トランジスタ（以下、ＴＦＴという）のような半導体装置の製造方法に関し、特に、堆積させた層のエッチング精度を向上させる技術に関する。さらに、この半導体装置並びにこれを用いた液晶パネル用基板および液晶パネルに関する。

【０００２】

【従来の技術】

従来の半導体装置の製造方法、例えば、ＴＦＴの製造方法において、ゲート電極２ａは、次のようにして形成される。すなわち、図１１において、第１に、基板１０上にポリシリコンやアモルファスシリコンなどを堆積した後、パターニングして、ソース・ドレイン・チャネルとなる能動層１ａを形成し、第２に、この能動層１ａの表面を熱酸化等して、ゲート絶縁膜１２を形成し、第３に、この後、導電層を堆積した後、パターニングすることによって、ゲート電極２ａが形成される。

【０００３】

また、半導体装置、例えば、ＴＦＴにおいては各電極の接続を確保するため、コンタクトホールを設ける必要があるが、このコンタクトホールは、従来、次のようにして形成される。すなわち、図１２において、第１に、基板１０全体に堆積された第１の層間絶縁膜１３をソース領域に対応する位置で貫通させ、ソース電極の接続を確保するためのコンタクトホール５を形成し、そこに、導電層たるデータ線３ａを形成し、第２に、全体に第２の層間絶縁膜１５を堆積した後、第２の層間絶縁膜１５および第１の層間絶縁膜１３の間をドレイン領域に対応する位置で貫通させることにより、ドレイン領域の接続を確保するためのコンタクトホール４が形成される。

【０００４】

【発明が解決しようとする課題】

しかしながら、上述した方法に形成されるゲート電極２ａは、図１１に示すように、オーバーエッチング傾向にあり、したがって、所望の形状に一定化できないという問題があった。

【０００５】

また、上述した方法に形成されるコンタクトホール４は、図１２に示すように、第１の層間絶縁膜１３および第２の層間絶縁膜１５層の間においてオーバーハング的にエッチングされ、したがって、ゲート電極２ａと同様に、所望の形状に一定化できないという問題があった。

【０００６】

本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、堆積させた層のエッチング精度を向上させて、上述したゲート電極やコンタクトホールを所望の形状にすることが可能な半導体装置の製造方法、半導体装置、この素子を用いた液晶パネル用基板、および、この基板を用いた液晶パネルを提供することにある。

【０００７】

【課題を解決するための手段】

上記課題を解決するため本発明にあっては、半導体装置の製造方法において、第１層の表面をエッチングする工程と、前記第１層に重ねて第２層を形成する工程と、前記第２層をパターニングする工程とを有することを特徴としている。

また、第１の絶縁層を形成する工程と、前記第１の絶縁層の表面をエッチングする工程と、前記第１の絶縁層に重ねて第２の絶縁層を形成する工程と、前記第１の絶縁層および前記第２の絶縁層を開孔する工程とを備えることを特徴とする。

【０００８】
通常、層の堆積には、ＣＶＤやスパッタ法などが用いられるため、第１層の表面には、少なからずダメージが発生したり、フォトレジストなどの汚れなどが付着する可能性がある。このような状態にある第１層の上にさらに第２層を堆積しても、表面に受けたダメージや汚れ等のため、密着性が低下すると考えられる。しかしながら、本発明によれば、第１層の表面は、第２層の堆積前にエッチングされるので、ダメージを受けた部分が除去され、また、表面に付着した汚れなども除去されるため、第１層および第２層の密着性が向上する。
【０００９】
本発明の液晶パネルの製造方法は、基板上に形成された複数のデータ線と、前記複数のデータ線に交差する複数の走査線と、前記複数のデータ線と走査線に接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタに接続された複数の画素電極とを有する液晶パネルの製造方法において、前記基板上に前記薄膜トランジスタの能動層となるシリコン層を堆積してパターニングする工程と、前記シリコン層を覆うようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜をライトエッチングする工程と、前記ライトエッチングされたゲート絶縁膜上にゲート電極を形成する工程とを有することを特徴とする。
【００１０】
本発明の液晶パネル用基板の製造方法は、基板上に複数の薄膜トランジスタの能動層となるシリコン層を堆積してパターニングする工程と、前記シリコン層を覆うようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記シリコン層、前記ゲート絶縁膜及び前記ゲート電極上に第１層間絶縁膜を形成する工程と、前記第１層間絶縁膜にコンタクトホールを形成し、前記コンタクトホールを介して前記シリコン層に接続されるソース電極を形成する工程と、前記ソース電極及び前記第１層間絶縁膜を、フッ酸とフッ化アンモニウムと酢酸の混合液を用いてライトエッチングする工程と、前記ライトエッチングされた第１層間絶縁膜及び前記ソース電極上に第２層間絶縁膜を形成する工程と、前記第１層間絶縁膜及び前記第２層間絶縁膜にコンタクトホールを形成する工程と、を有することを特徴とする。
本発明の液晶パネル用基板は、基板上に堆積されてパターニング形成される、複数の薄膜トランジスタの能動層となるシリコン層と、前記シリコン層を覆うように形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるゲート電極と、前記シリコン層、前記ゲート絶縁膜及び前記ゲート電極上に形成され、表面にフッ酸とフッ化アンモニウムと酢酸の混合液を用いたライトエッチングが施される第１層間絶縁膜と、前記第１層間絶縁膜に形成される第１のコンタクトホールと、前記第１のコンタクトホールを介して前記シリコン層に接続されるように形成され、表面に前記ライトエッチングが施されるソース電極と、表面に前記ライトエッチングが施される前記第１層間絶縁膜及び前記ソース電極上に形成される第２層間絶縁膜と、前記第１層間絶縁膜及び前記第２層間絶縁膜に形成される第２のコンタクトホールと、を有することを特徴とする。
本発明の半導体装置の製造方法は、第１の絶縁層を形成する工程と、前記第１の絶縁層の表面をフッ酸とフッ化アンモニウムと酢酸の混合液を用いてライトエッチングする工程と、前記第１の絶縁層に重ねて第２の絶縁層を形成する工程と、前記第１の絶縁層および前記第２の絶縁層を開孔する工程とを備える。
また、本発明の半導体装置は、表面がフッ酸とフッ化アンモニウムと酢酸の混合液を用いてライトエッチングされた第１の絶縁層と、前記第１の絶縁層に重ねて形成された第２の絶縁層と、前記前記第１の絶縁層および前記第２の絶縁層に形成された開孔とを有する。
本発明の液晶パネルの製造方法は、基板上に形成された複数のデータ線と、前記複数のデータ線に交差する複数の走査線と、前記複数のデータ線と走査線に接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタに接続された複数の画素電極とを有する液晶パネルの製造方法において、前記基板上に前記複数の薄膜トランジスタの能動層となるシリコン層を堆積してパターニングする工程と、前記シリコン層を覆うようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記シリコン

層、前記ゲート絶縁膜及びゲート電極上に第１層間絶縁膜を形成する工程と、前記第１層間絶縁膜にコンタクトホールを形成し、前記コンタクトホールを介して前記シリコン層に接続されるソース電極を形成する工程と、前記ソース電極及び前記第１層間絶縁膜をライトエッチングする工程と、前記ライトエッチングされた第１層間絶縁膜及び前記ソース電極上に第２層間絶縁膜を形成する工程と、前記第１層間絶縁膜及び前記第２層間絶縁膜にコンタクトホールを形成する工程と、を有することを特徴とする。

【００１１】

上述のようにライトエッチング工程を有することにより、表面に受けたダメージや汚れ等の問題がなく、密着性のよい膜を形成することが可能となる。

【００１２】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【００１３】

＜実施形態＞

本実施形態は、半導体装置として、アクティブマトリックス型液晶表示装置の各画素を駆動するポリシリコン型ＴＦＴとしたものであり、図１（ａ）は、そのＴＦＴを適用した液晶パネル基板における１画素分のレイアウトを示す平面図である。また、図１（ｂ）は、そのＴＦＴの構造を図１（ａ）におけるＡ－Ａ線に沿って示す断面図である。

【００１４】

まず、図１（ａ）において、１ａは１層目のポリシリコン層であり、ＴＦＴの能動層（ソース・ドレイン・チャネル領域）を構成する。２ａは走査線であり、ＴＦＴにあってはゲート電極となる。３ａはデータ線であり、走査線２ａと交差するように配設されたＴＦＴのソース領域に印加すべき電圧を供給する。ここで、走査線２ａは二層目のポリシリコン層によって、また、データ線３ａはアルミニウム層のような導電層によってそれぞれ形成されている。

【００１５】

さらに、コンタクトホール４は、ＩＴＯ（Ｉｎｄｉｕｍ－Ｔｉｎ　Ｏｘｉｄｅ）膜からなる画素電極６ａとポリシリコン層１におけるＴＦＴのドレイン領域（もしくはソース領域）とを接続するために設けられ、また、コンタクトホール５は、データ線３ａとポリシリコン層１ａにおけるＴＦＴのソース領域とを接続するために設けられる。

【００１６】

次に、図１（ｂ）において、基板１０は、ガラス基板（例えば、無アルカリ基板）や、石英基板などのような絶縁性基板により構成される。ゲート絶縁膜１２は、ＴＦＴの能動層となるポリシリコン層１を熱酸化処理等することによってその表面に形成されたものである。また、第１の層間絶縁膜１３および第２の層間絶縁膜１５は、それぞれ、SiO_2膜（ＮＳＧ膜）やＢＰＳＧ膜（ボロンおよびリンを含むシリケートガラス膜）等からなり、後述するようにＣＶＤにより形成される。

【００１７】

このような構成にかかるＴＦＴの製造工程について、図２～図５を参照しながら説明する。

【００１８】

まず、（１）の工程において、基板１０の上面にポリシリコン層１を、例えば減圧ＣＶＤ法等によって５００～２０００オングストロームの厚さで、好ましくは１０００オングストローム弱の厚さに堆積する。

【００１９】

（２）の工程において、フォトリソグラフィ工程およびエッチング工程等によって、ポリシリコン層１をパターニングして、ＴＦＴにおける島状の能動層１ａを形成する。

【００２０】

（３）の工程において、能動層１ａの表面を熱酸化処理して、ゲート絶縁膜１２を能動層１ａの表面に形成する。この工程により、能動層１ａは最終的に３００～１５００オング

ストロームの厚さ、好ましくは３５０～４５０オングストロームの厚さとなり、ゲート絶縁膜１２は約６００～１５００オングストロームの厚さとなる。

【００２１】

ここで、能動層１ａを構成するポリシリコン層のうちのデータ線３ａに沿って上方へ延在して保持容量を形成する延設部１ｂ（図１（ａ）参照）に、不純物（例えばリン）を適当なドーズ量（例えば、3×10^{14}［ａｔｍｓ／ｃｍ^2］）でドープして、その部分のポリシリコン層を低抵抗化させる。このドーズ量の下限は、ポリシリコン層の保持容量を形成するために必要な導電性を確保する観点から求められ、また、その上限は、ゲート酸化膜の劣化を抑える観点から求められる。

【００２２】

次に、工程（４）においては、半導体装置の能動層１ａの表面にゲート絶縁膜１２が形成された状態の基板１０と当該ゲート絶縁膜１２との表面をごくわずかにエッチング（以下、ライトエッチングと略す）する。ここで、工程（４）におけるライトエッチングは、例えば、フッ酸と純水との混合液を用いるのが有効である。また、そのエッチング量は、濃度をフッ酸：純水＝１：５０とし、かつ、処理時間を１０［秒］とした場合において約１３オングストロームであり、また、濃度をフッ酸：純水＝１：１０とし、かつ、処理時間を５［秒］とした場合において約３２オングストロームとなる。

【００２３】

このようなライトエッチングにより、工程（１）によってダメージを受けた基板１０の表面部分が除去されて、基板１０が本来的に有する性質を引き出すことが可能となる。さらに、このライトエッチングによって、基板１０およびゲート絶縁膜１２の表面に付着した不純物や残査物なども除去される。

【００２４】

そして、（５）の工程において、ＴＦＴにおけるゲート絶縁膜１２および基板１０の上に、ゲート電極および走査線となるべき低抵抗のポリシリコン層２を減圧ＣＶＤ法等により堆積する。ここで、ゲート電極の材料としては、ポリシリコンの他、Ｍｏ，Ｔａ，Ｔｉ，W等の高融点金属、あるいは、これらのメタルシリサイドを用いることができる。

【００２５】

次に説明を図３に移すと、（６）の工程において、ポリシリコン層２を、ケミカル・ドライエッチングによりパターニングして、ＴＦＴの走査線を含むゲート電極２ａを形成する。このケミカル・ドライエッチングの条件を、O_2：１００［ｓｃｃｍ］、CF_4：３００［ｓｃｃｍ］、電力：７００［W］、時間：５０～９０［秒］とした場合において、上記（４）の工程におけるライトエッチングを省略すると、パターニングしたゲート電極２ａのアンダーカット量が２．５±１．０［μｍ］となるのに対し、ライトエッチングを実行すれば、アンダーカット量が２．０±０．５［μｍ］に収まる。

【００２６】

この理由としては、上記工程（４）のライトエッチングによって、基板１０あるいはゲート絶縁膜１２と、工程（５）において堆積したポリシリコン層２との密着性が向上するため、層間に反応性ガスが侵入しにくくなるため、と考えられる。

【００２７】

したがって、本実施形態においては、基板１０およびゲート絶縁膜１２の表面に付着した不純物や残査物などの除去のほか、さらに、ゲート電極２ａのエッチング精度も向上することとなる。

【００２８】

さて、（７）の工程においては、ゲート電極２ａをマスクとして不純物（例えばリン）のイオンを打込み、ＴＦＴの能動層１ａにおいて自己整合されたソース領域およびドレイン領域となる高濃度半導体領域を形成する。なお、ソース・ドレイン領域は、不純物（リン）を1×10^{13}～3×10^{13}［ａｔｍｓ／ｃｍ^2］のドーズ量にてライトドープして低濃度領域を形成した後に、ゲート電極の幅よりも広いマスク層を走査線２ａ上に形成して、さらに不純物（リン）を1×10^{15}～3×10^{15}［ａｔｍｓ／ｃｍ^2］のドーズ

量で打ち込むことによって、マスクされた領域がライトリー・ドープト・ドレイン（ＬＤＤ）構造となるようにしても良い。あるいは、ライトリー・ドープせずにゲート電極２ａの幅よりも広いマスクを使用してパターンを形成し、続いてイオンを打ち込んでソース・ドレインを形成した後にゲート電極をオーバーエッチングすることにより、オフセット構造となるようにしてもよい。

【００２９】

さて、（８）の工程では、ゲート電極２ａを覆うように第１の層間絶縁膜１３を、例えば、ＣＶＤ法等によって８００度の温度下で５０００～１５０００オングストロームの厚さに堆積する。

【００３０】

（９）の工程では、この第１の層間絶縁膜１３に対し、ＴＦＴのソース領域に対応した位置にドライエッチング等によりコンタクトホール５を開孔させる。

【００３１】

ここで、コンタクトホール５は、ゲート絶縁膜１２および第１の層間絶縁膜１３の重ね膜を貫通して形成される。

【００３２】

次に、説明を図４に移すと、（１０）の工程では、ソース電極を兼ねるデータ線となるべきアルミニウム等の低抵抗導電層３をスパッタ法により堆積する。この低抵抗導電層３は、ＴＦＴのコンタクトホール５にて能動層１ａのソース領域に接続される。

【００３３】

（１１）の工程では、低抵抗導電層３をフォトエッチングによりパターニングして、ＴＦＴのソース電極を兼ねるデータ線３ａを形成する。

【００３４】

次に、工程（１２）においては、半導体装置のソース電極たるデータ線３ａと露出した第１の層間絶縁膜１３との表面をライトエッチングする。ここで、工程（１２）のライトエッチングは、例えば、フッ酸とフッ化アンモニウムと酢酸との混合液を用いるのが有効である。また、そのエッチング量は、濃度をフッ酸：フッ化アンモニウム：酢酸＝１：１０：５とし、かつ、処理時間を２０［秒］とした場合において２０～５０オングストロームとなる。

【００３５】

このようなライトエッチングにより、工程（１０）において低抵抗導電層３のスパッタ法によりダメージを受けた第１の層間絶縁膜１３の表面部分が除去されて、当該絶縁膜が本来的に有する性質を引き出すことが可能となる。さらに、このライトエッチングに伴い、その表面に付着した不純物や残査物なども除去される。

【００３６】

そして、（１３）の工程では、データ線３ａを覆うように、第２の層間絶縁膜１５を、例えばＣＶＤ法により５００度のような低温下で５０００～１５０００オングストロームの厚さに形成する。

【００３７】

次に、説明を図５に移すと、（１４）の工程では、第２の層間絶縁膜１５とその下層の第１の層間絶縁膜１３とゲート絶縁膜１２とからなる重ね膜であって、ドレイン領域に対応する位置において、第１に、ドライエッチングを実行して、異方性エッチングによるホールを形成し、第２に、ウェットエッチングによって上記ホールを能動層１ａまで貫通させて、ＴＦＴのコンタクトホール４を形成する。

【００３８】

ここで、上記工程（１２）のライトエッチングによって、第１の層間絶縁膜１３の表面部分が除去され、さらに、その表面に付着した不純物や残査物なども除去された結果、第１の層間絶縁膜１３と第２の層間絶縁膜１５との密着性が向上している。

【００３９】

したがって、本実施形態のようにライトエッチングを行うと、第１の層間絶縁膜１３と第

２の層間絶縁膜１５との間には、エッチング液や反応性ガスなどが侵入しにくくなるため、コンタクトホール４が精度良く形成されることとなる。

【００４０】

さて、（１５）の工程では、画素電極となるべきＩＴＯ膜６をスパッタ法で、例えば１５００オングストロームの厚さに形成する。このときＴＦＴでは、ＩＴＯ膜６が、コンタクトホール４にて能動層１ａのドレイン領域に接続される。

【００４１】

（１６）の工程では、ＩＴＯ膜６に対してフォトエッチングによりパターニングを行なうことで、ＴＦＴの画素電極６ａを形成する。

【００４２】

このようなＴＦＴは、実際には各画素に対応して基板１０の上に複数形成されることとなる。

【００４３】

以上述べたように、本実施形態にかかる半導体の製造方法によれば、基板１０の上に、能動層１ａのゲート酸化膜１２を形成した後に、さらに、ポリシリコン層２を堆積し、エッチングしてゲート電極２ａを形成する場合において、ポリシリコン層２を堆積する前に、基板１０およびゲート酸化膜１２をライトエッチングすることによって、ゲート電極２ａのエッチング精度を向上させることが可能となる。

【００４４】

同様に、第１の層間絶縁膜１３上にデータ線３ａを形成した後に、第２の層間絶縁膜１５を堆積し、エッチングしてコンタクトホール４を形成する場合において、第２の層間絶縁膜１５を堆積する前に、第１の層間絶縁膜１３をライトエッチングすることによって、コンタクトホールを精度良く形成することが可能となる。

【００４５】

なお、本実施形態においては、半導体装置の一例としてＴＦＴを挙げて説明したが、本発明はこれに限られない。すなわち、絶縁性基板上に半導体装置の能動層をパターニングして形成する場合や、ある絶縁層の上に導電層を形成した後、別の絶縁層を堆積する場合などに広く適用可能である。

【００４６】

また、本実施形態においては、工程（４）および工程（１２）の両工程についてライトエッチングを行ったが、いずれかについてのみライトエッチングを行うこととしても良い。

【００４７】

＜応用例＞

次に、本実施形態により形成されるＴＦＴをアクティブマトリックス型の液晶パネルに適用した応用例について説明する。

【００４８】

図６は、応用例にかかる液晶パネルのうち、ＴＦＴが形成される基板１０の構成を示すブロック図である。

【００４９】

図において、９０，９０，……，はそれぞれ画素であり、互いに交差するように配設された走査線２とデータ線３との交点に対応してそれぞれ配置される。各画素９０はＩＴＯ等からなる画素電極６ａとこの画素電極６ａにデータ線３上の画像信号に応じた電圧を印加するＴＦＴ９１とからなる。同一行のＴＦＴ９１はそのゲート電極が同一の走査線２に接続され、そのドレインが対応する画素電極６ａに接続されている。また、同一列のＴＦＴ９１は、そのソース電極が同一のデータ線３に接続されている。この応用例においては、周辺回路（Ｘ、Ｙシフトレジスタやサンプリング手段）５０，６０を構成するトランジスタが、画素を駆動するＴＦＴと同様に、ポリシリコン層を動作層とするいわゆるポリシリコンＴＦＴで構成されている。したがって、周辺回路５０，６０を構成するトランジスタは、画素駆動用ＴＦＴとともに同一プロセスにより、同時に形成されることとなる。

【００５０】

さて、図において、表示領域（画素マトリックス）２０の上側一端には、データ線３を順次選択するシフトレジスタ（以下、Ｘシフトレジスタと称する）５１が配置される一方、画素マトリックスの左側一端には、走査線２を順次選択駆動するシフトレジスタ（以下、Ｙシフトレジスタと称する）６１が設けられている。また、Ｙシフトレジスタ６１の次段には必要に応じてバッファ６３が設けられる。

【００５１】

また、各データ線３の一端にはＴＦＴで構成されたサンプリング用スイッチ５２がそれぞれ設けられている。これらのサンプリング用スイッチ５２は、外部端子７４，７５，７６に入力される画像信号ＶＩＤ１～ＶＩＤ３を伝送するビデオ信号線５４、５５、５６との間に接続され、Ｘシフトレジスタ５１から出力されるサンプリング信号によって順次オン／オフされるように構成されている。Ｘシフトレジスタ５１は、端子７２，７３を介して外部より入力されるクロック信号ＣＬＸ１、ＣＬＫ２に基づいて１水平走査期間中にすべてのデータ線３を順番に１回ずつ選択するようなサンプリング信号Ｘ１，Ｘ２，Ｘ３，……，Ｘｎを形成してサンプリング用スイッチ５２の制御端子に供給する。一方、Ｙシフトレジスタ６１は、端子７７，７８を介して外部から入力されるクロック信号ＣＬＹ１，ＣＬＹ２に同期して動作され、各走査線２を順次駆動する。また、端子７２～７８等は、後述するように基板１０の周縁部に沿って一列にパッド電極群として配置される。

【００５２】

次に、液晶パネル全体の構成について説明する。図７（ａ）は、図６における基板を適用した液晶パネルの構成を示す断面図であり、図７（ｂ）は、そのレイアウトを示す平面図である。

【００５３】

まず、図７（ａ）に示すように、液晶パネル３０は、ＴＦＴや画素電極が形成された基板１０とＩＴＯ等のような透明導電膜を対向電極（共通電極）３３として有する対向基板３１とを、電極同士が互いに対向するように、かつ、適当な間隔があくように、シール材３６によって接着した構成となっており、さらに、その間隙内にはＴＮ（Ｔｗｉｓｔｅｄ　Ｎｅｍａｔｉｃ）型やＳＨ（Ｓｕｐｅｒ　Ｈｏｍｅｏｔｒｏｐｉｃ）型などの液晶３７が充填された構成となっている。ここで、対向基板３１における対向電極３３の上面（図では下側となる）には、基板１０における画素電極に相当する部分以外を遮光するブラックマトリックス層や、必要に応じてカラーフィルタ層が設けられる（図示省略）。

【００５４】

また、周辺回路５０，６０の上方は、例えば、対向基板３１に設けられるブラックマトリックス層等により遮光されるように構成される。なお、３８は対向基板３１側に設けられる液晶注入口、３９は対向基板３１に設けられるクロム層等からなる見切り用の遮光層である。その他、液晶パネルとして必要なものとして、入出射光の偏光方向を選択する偏光板や、液晶３７の分子配列を定める配向膜、基板１０と対向基板３１との間隙を全面にわたって一定に維持するためのスペーサー等が挙げられるが、図示を省略することとする。

【００５５】

さて、図７（ｂ）に示すように、対向基板３１は、ＴＦＴが形成された基板１０よりも一回り小さな形状とされるため、基板１０の周縁部に配置するパッド電極群７０は、対向基板３１よりも外側に露出して、前述した周辺回路５０，６０へのクロック信号や、スタート信号、ビデオ信号などの信号を入力する外部入力端子として用いる際の便宜が図られている。

【００５６】

また、基板１０の周縁部には、パッド電極群７０の他に、プローブによる検査の際に信号を入出力するのに使用される検査用端子としてのパッド電極群１７０が設けられている。一方、対向基板３１にも検査用端子としてのパッド電極群２７０が設けられており、これらのパッド電極群は、データ線の短絡や画素電極の欠陥等を検査するための信号の入出力に使用される。

【００５７】

なお、８０は、ＴＦＴが形成される基板１０から対向基板３１の対向電極３３に、共通電位を与えるための上下基板間導通用端子であり、所定の径を有する導電性接着剤を介在させて、基板１０と対向基板３１との導通を図るように構成されている。

【００５８】

次に、液晶パネルと外部回路との接続の一例について図８を用いて説明する。この図に示すように、パッド電極群７０のうちの１つのパッド電極７１と、外部回路に接続されてクロック信号や、スタート信号、ビデオ信号などの信号を供給するＦＰＣ（Ｆｉｌｍ　Ｐｒｉｎｔｅｄ　Ｃｉｒｃｕｉｔ）１０２の端子電極１０３とは、物理的には接着剤１０１によって固定保持される一方、電気的には接着剤１０１中に分散する導電粒子１００によって接続される。

【００５９】

ここで、接着剤１０１における導電粒子１００の濃度を適切に設定すれば、接着層の上下方向（パッド電極７１と端子電極１０３とを結ぶ方向）には導通を許すが、接着層の平面方向には導通を許さないという異方性導電接合が実現される。そして、この異方性導電接合によれば、間隔が狭い多数の端子を一括して接続できるため効率的である。

【００６０】

なお、ＦＰＣ１０２は、例えば、ポリイミドフィルムにラミネートされた銅箔を周知のフォトリソグラフィ工程やエッチング工程等によってパターニングすることで形成される。また、導電粒子１００には、ハンダニッケルなどの金属粒子や金属メッキしたプラスチックボールなどが用いられる。

【００６１】

＜液晶パネルの適用例▲１▼＞

次に、応用例にかかる液晶パネルを表示装置として用いた例を説明する。

【００６２】

まず、この液晶パネルをライトバルブとして用いたビデオプロジェクタについて説明する。図９は、ビデオプロジェクタの構成例を示す平面図である。

【００６３】

この図に示すように、ビデオプロジェクタ１１００内部には、ハロゲンランプ等の白色光源からなるランプユニット１１０２が設けられている。このランプユニット１１０２から射出された投射光は、ライトガイド１１０４内に配置された複数のミラー１１０６，１１０６，……および２枚のダイクロックミラー１１０８によってＲＧＢの３原色に分離され、各原色に対応するライトバルブとしての液晶パネル１１１０Ｒ，１１１０Ｂおよび１１１０Ｇに入射される。

【００６４】

液晶パネル１１１０Ｒ，１１１０Ｂおよび１１１０Ｇの構成は、上述した通りであり、図示しないビデオ信号処理回路から供給されるＲ，Ｇ，Ｂの原色信号でそれぞれ駆動される。さて、これらの液晶パネルによって変調された光は、ダイクロックプリズム１１１２に３方向から入射される。このダイクロックプリズム１１１２においては、ＲおよびＢの光が９０度に屈折する一方、Ｇの光が直進する。したがって、各色の画像が合成される結果、投射レンズ１１１４を介して、スクリーン等にカラー画像が投写されることとなる。

【００６５】

＜液晶パネルの適用例▲２▼＞

次に、応用例にかかる液晶パネルをパーソナルコンピュータに適用した例について説明する。図１０は、このパーソナルコンピュータの構成を示す正面図である。図において、パーソナルコンピュータ１２００は、キーボード１２０２を備えた本体部１２０４と、液晶ディスプレイ１２０６とから構成されている。この液晶ディスプレイ１２０６は、先に述べた応用例にかかる液晶パネルにカラーフィルタとバックライトとを付加することにより構成される。

【００６６】

なお、液晶パネルの適用例としてビデオプロジェクタ１１００およびパーソナルコンピュ

ータ１２００を挙げて説明したが、これ以外の種々の各種電子機器に適用可能なのは言うまでもない。

【００６７】

【発明の効果】

以上説明したように本発明によれば、本発明によれば、第１層表面が第２層の堆積前にエッチングされる結果、ダメージを受けた部分が除去され、また、表面に付着した汚れなども除去されるので、第１層および第２層の密着性が向上し、反応性イオンやエッチング液等の侵入が防止される。したがって、第２層のエッチング精度を向上させることが可能となる。

【図面の簡単な説明】

【図１】（ａ）は、本発明の実施形態にかかる半導体装置の製造方法によるＴＦＴを適用した液晶パネル用基板の１画素分についてのレイアウトを示す平面図であり、（ｂ）は、そのＡ－Ａ線の断面図である。

【図２】（１）～（５）は、それぞれ同実施形態にかかるＴＦＴの製造工程を示す図である。

【図３】（６）～（９）は、それぞれ同実施形態にかかるＴＦＴの製造工程を示す図である。

【図４】（１０）～（１３）は、それぞれ同実施形態にかかるＴＦＴの製造工程を示す図である。

【図５】（１４）～（１６）は、それぞれ同実施形態にかかるＴＦＴの製造工程を示す図である。

【図６】本実施形態にかかる半導体装置の製造方法を適用したＴＦＴを有する液晶パネル基板の構成を示すブロック図である。

【図７】（ａ）は、本実施形態にかかる半導体装置の製造方法を適用したＴＦＴを有する液晶パネルの構成を示す断面図であり、（ｂ）は、同液晶パネルの構成を示す平面図である。

【図８】同液晶パネルと外部回路との異方性導電接合構造を示す断面図である。

【図９】同液晶パネルをライトバルブに用いたビデオプロジェクタの構成を示す平面図である。

【図１０】同液晶パネルを表示装置に用いたパーソナルコンピュータの構成を示す平面図である。

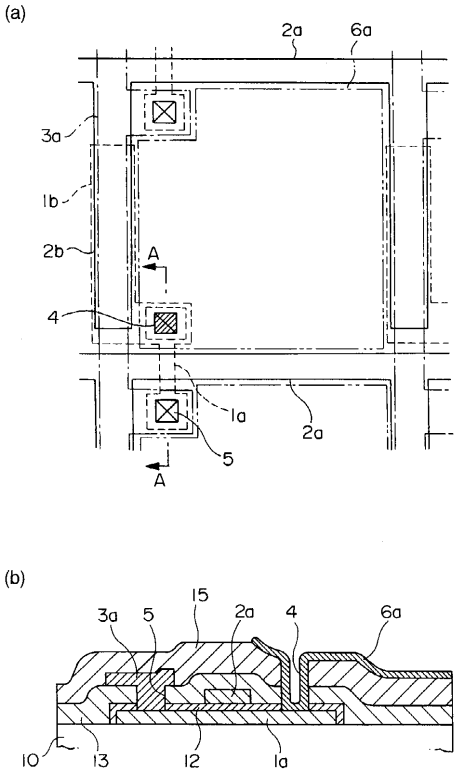
【図１１】従来の工程における不都合を示す図である。

【図１２】従来の工程における不都合を示す図である。

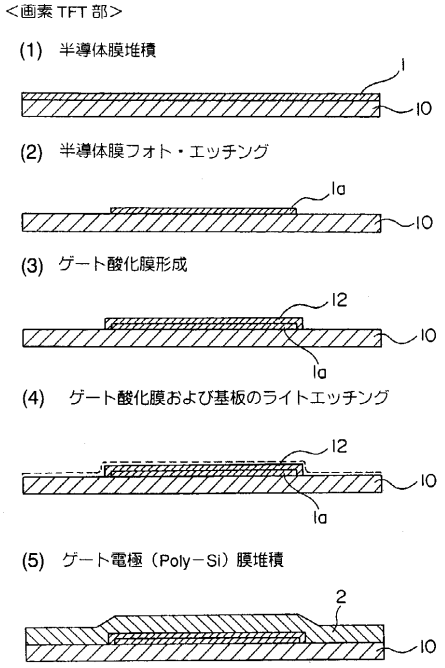
【符号の説明】

１…ポリシリコン層、１ａ…能動層、２ａ…走査線（ゲート電極）、３ａ…データ線（ソース電極）、４，５…コンタクトホール、６…ＩＴＯ膜、６ａ…画素電極、１０…基板、１２…ゲート絶縁膜、１３…第１の層間絶縁膜、１５…第２の層間絶縁膜、２０…表示領域、３０…液晶パネル、３１…対向基板

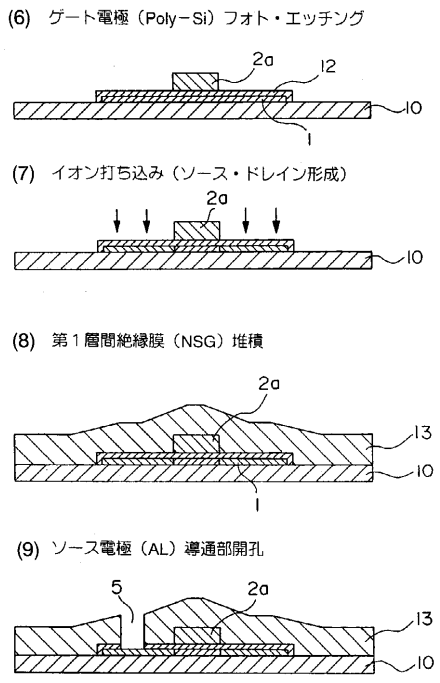
【図１】


(a)
2a
6a
3a
1b
2b
A
4
1a
2a
5
A
(b)
15
3a
5
2a
4
6a
10
13
12
1a

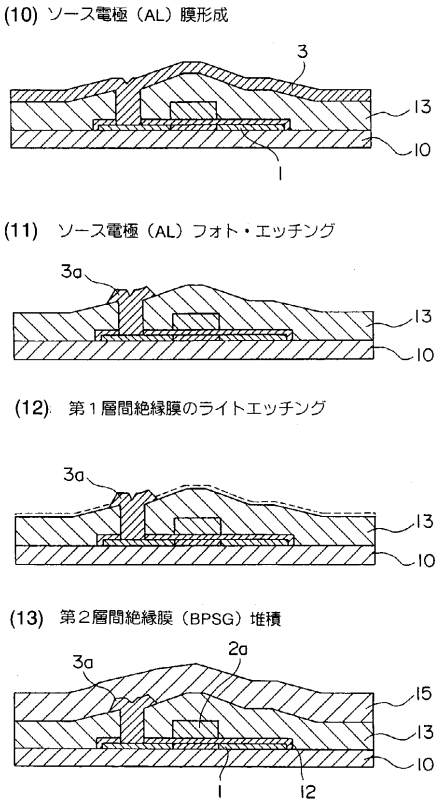
【図２】


<画素 TFT 部>
(1) 半導体膜堆積
1
10
(2) 半導体膜フォト・エッチング
1a
10
(3) ゲート酸化膜形成
12
10
1a
(4) ゲート酸化膜および基板のライトエッチング
12
10
1a
(5) ゲート電極（Poly−Si）膜堆積
2
10

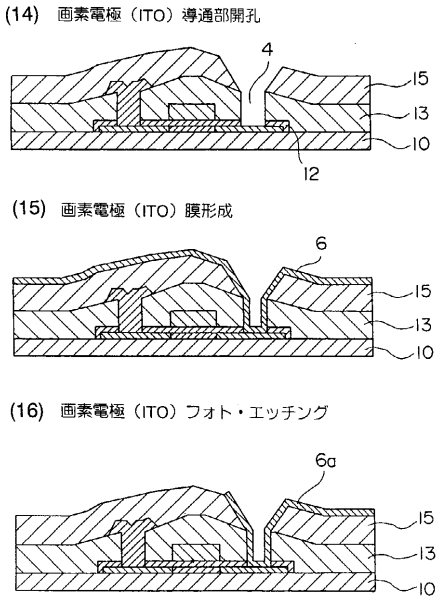
【図３】


(6) ゲート電極（Poly−Si）フォト・エッチング
2a
12
10
1
(7) イオン打ち込み（ソース・ドレイン形成）
2a
10
(8) 第１層間絶縁膜（NSG）堆積
2a
13
10
1
(9) ソース電極（AL）導通部開孔
5
2a
13
10

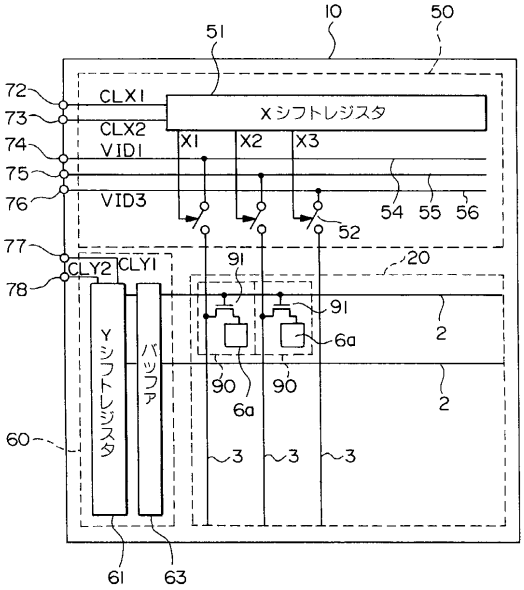
【図４】


(10) ソース電極（AL）膜形成
3
13
10
1
(11) ソース電極（AL）フォト・エッチング
3a
13
10
(12) 第１層間絶縁膜のライトエッチング
3a
13
10
(13) 第２層間絶縁膜（BPSG）堆積
3a
2a
15
13
10
1
12

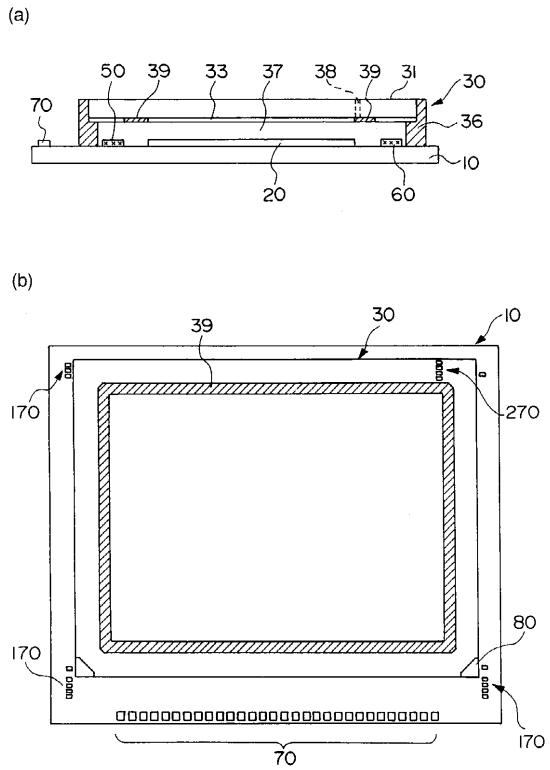
【図５】


(14) 画素電極（ITO）導通部開孔
4
15
13
10
12
(15) 画素電極（ITO）膜形成
6
15
13
10
(16) 画素電極（ITO）フォト・エッチング
6a
15
13
10

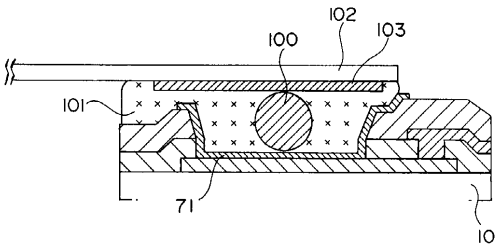
【図６】


10
50
51
72
73
74
75
76
77
78
CLX1
CLX2
VID1
VID3
CLY2
CLY1
Xシフトレジスタ
X1
X2
X3
54
55
56
52
91
20
Yシフトレジスタ
バッファ
6a
90
2
60
3
61
63

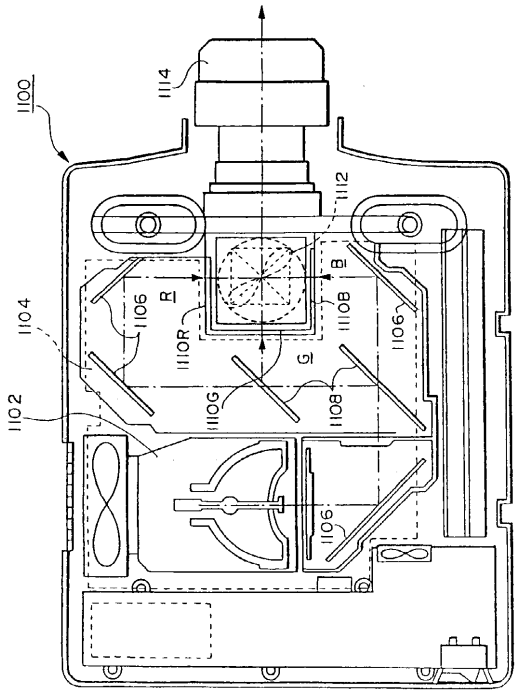
【図７】


(a)
50
39
33
37
38
39
31
30
70
36
10
20
60
(b)
39
30
10
170
270
80
170
170
70

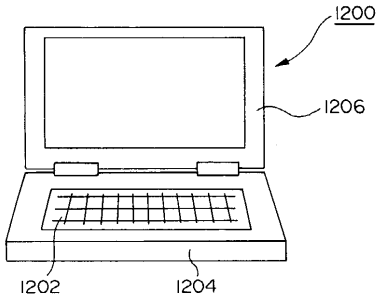
【図８】


102
103
100
101
71
10

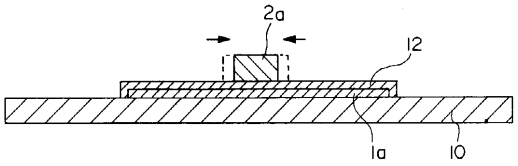
【図９】



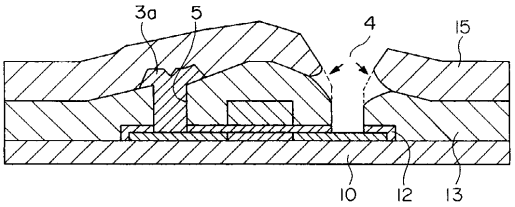
【図１０】



【図１１】



【図１２】



フロントページの続き

審査官　棚田　一也

(56)参考文献　特開平０７－０９９１８０（ＪＰ，Ａ）
特開平０１－１２４２２１（ＪＰ，Ａ）
特開昭５５－１５８６４９（ＪＰ，Ａ）
特開平０４－２０６７３３（ＪＰ，Ａ）
特開平０６－２６０６４４（ＪＰ，Ａ）
特開平０７－０８６５９８（ＪＰ，Ａ）
特開平１０－１７７９６８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H01L 29/786
G02F 1/1368
H01L 21/28
H01L 21/3065