



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0054682
(43) 공개일자 2025년04월23일

(51) 국제특허분류(Int. Cl.)
H04L 25/03 (2006.01) H04L 25/02 (2006.01)
H04L 25/49 (2006.01)
(52) CPC특허분류
H04L 25/03159 (2013.01)
H04L 25/0272 (2013.01)
(21) 출원번호 10-2024-0047041
(22) 출원일자 2024년04월08일
심사청구일자 2024년04월08일
(30) 우선권주장
1020230137364 2023년10월16일 대한민국(KR)

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
심진철
서울특별시 성북구 삼선교로8길 16(삼선동1가)
(뒷면에 계속)
(74) 대리인
특허법인주연케이알피

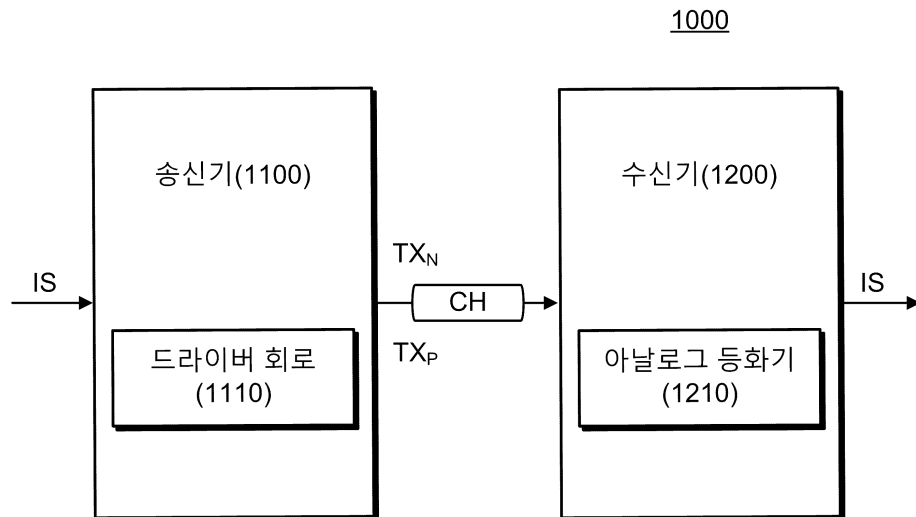
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **교전압 출력 드라이버와 아날로그 피드백 등화기를 이용한 PAM-4 송수신기 및 그 동작 방법**

(57) 요약

본 출원은 송수신기에 관한 것이다. 본 출원의 몇몇 실시예들에 따른 송수신기는 제1 인코딩 신호 및 제2 인코딩 신호를 수신하고, 상기 제1 인코딩 신호 및 제2 인코딩 신호를 통해 PAM-4(4-Level Pulse Amplitude Modulation) 신호의 레벨을 갖는 차동 아날로그 신호를 출력하는 드라이버 회로; 및 상기 차동 아날로그 신호를 수신하고, 제1 피드백 회로 및 제2 피드백 회로를 통해 상기 차동 아날로그 신호의 주파수 대역을 제어하여 데이터 신호를 출력하는 아날로그 등화기를 포함하고, 상기 드라이버 회로는, 제1 전류원 및 제2 전류원을 이용하여 상기 차동 아날로그 신호의 전압을 증압 및 강압할 수 있다.

대표도 - 도1



(52) CPC특허분류

H04L 25/0282 (2013.01)

H04L 25/4917 (2013.01)

(72) 발명자

김성철

서울특별시 동대문구 왕산로 122 (용두동)

권영욱

서울특별시 강남구 개포로20길 49(개포동, 파크타운)

소준섭

서울특별시 서초구 양재대로2길 90(우면동, 서초힐스)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711199384
과제번호	RS-2023-00281047
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	국가반도체연구실(NSL)핵심기술개발
연구과제명	차세대 초고속 고효율 인터페이스 IP 개발
과제수행기관명	고려대학교 산학협력단
연구기간	2023.08.01 ~ 2027.12.31

명세서

청구범위

청구항 1

제1 인코딩 신호 및 제2 인코딩 신호를 수신하고, 상기 제1 인코딩 신호 및 제2 인코딩 신호를 통해 PAM-4(4-Level Pulse Amplitude Modulation) 신호의 레벨을 갖는 차동 아날로그 신호를 출력하는 드라이버 회로; 및

상기 차동 아날로그 신호를 수신하고, 제1 피드백 회로 및 제2 피드백 회로를 통해 상기 차동 아날로그 신호의 주파수 대역을 제어하여 데이터 신호를 출력하는 아날로그 등화기를 포함하고,

상기 드라이버 회로는,

제1 전류원 및 제2 전류원을 이용하여 상기 차동 아날로그 신호의 전압을 승압 및 강압하는 송수신기.

청구항 2

제1항에 있어서,

상기 드라이버 회로는,

상기 제1 전류원은 상기 제2 인코딩 신호에 의해 동작하는 P형 트랜지스터에 연결되고,

상기 제2 전류원은 상기 제2 인코딩 신호에 의해 동작하는 N형 트랜지스터에 연결되는 송수신기.

청구항 3

제2항에 있어서,

상기 드라이버 회로는,

상기 제1 인코딩 신호 및 제2 인코딩 신호에 의해 형성된 경로에 상기 제1 전류원 및 제2 전류원이 연결되는 송수신기.

청구항 4

제1항에 있어서,

상기 아날로그 등화기는,

상기 제1 피드백 회로를 이용하여 피크값 이득을 증가시키고, 상기 제2 피드백 회로를 이용하여 주파수 대역폭을 증가시키는 송수신기.

청구항 5

제1항에 있어서,

상기 아날로그 등화기는:

상기 차동 아날로그 신호를 입력받아 심볼 간 간섭을 제거하는 복수의 연속 시간 선형 등화기;

상기 심볼 간 간섭이 제거된 상기 차동 아날로그 신호에 기초하여 상기 데이터 신호를 출력하는 복수의 증폭기;

상기 차동 아날로그 신호에 대한 로우레벨 대역 출력 신호를 입력받아, 제1 출력 신호를 출력하는 복수의 로우레벨 증폭기; 및

상기 제1 출력 신호를 입력받아 상기 복수의 연속 시간 선형 등화기의 출력 신호를 피드백하는 복수의 이득 제어기를 포함하는 송수신기.

청구항 6

송수신기의 동작 방법에 있어서,

제1 인코딩 신호 및 제2 인코딩 신호를 수신하고, 상기 제1 인코딩 신호 및 제2 인코딩 신호를 통해 PAM-4(4-Level Pulse Amplitude Modulation) 신호의 레벨을 갖는 차동 아날로그 신호를 출력하는 단계; 및

상기 차동 아날로그 신호를 수신하고, 제1 피드백 회로 및 제2 피드백 회로를 통해 상기 차동 아날로그 신호의 주파수 대역을 제어하여 데이터 신호를 출력하는 단계를 포함하고,

상기 차동 아날로그 신호를 출력하는 단계는,

제1 전류원 및 제2 전류원을 이용하여 상기 차동 아날로그 신호의 전압을 증압 및 강압하는 송수신기의 동작 방법.

청구항 7

제6항에 있어서,

상기 차동 아날로그 신호를 출력하는 단계는,

상기 제1 전류원은 상기 제2 인코딩 신호에 의해 동작하는 P형 트랜지스터에 연결되고,

상기 제2 전류원은 상기 제2 인코딩 신호에 의해 동작하는 N형 트랜지스터에 연결되는 송수신기의 동작 방법.

청구항 8

제7항에 있어서,

상기 차동 아날로그 신호를 출력하는 단계는,

상기 제1 인코딩 신호 및 제2 인코딩 신호에 의해 형성된 경로에 상기 제1 전류원 및 제2 전류원이 연결되는 송수신기의 동작 방법.

청구항 9

제6항에 있어서,

상기 데이터 신호를 출력하는 단계는,

상기 제1 피드백 회로를 이용하여 피크값 이득을 증가시키고, 상기 제2 피드백 회로를 이용하여 주파수 대역폭을 증가시키는 송수신기의 동작 방법.

청구항 10

제6항에 있어서,

상기 데이터 신호를 출력하는 단계는:

상기 차동 아날로그 신호를 입력받아 심볼 간 간섭을 제거하는 단계;

상기 심볼 간 간섭이 제거된 상기 차동 아날로그 신호에 기초하여 데이터 신호를 출력하는 단계;

상기 차동 아날로그 신호에 대한 로우레벨 대역 출력 신호가 입력받아, 제1 출력 신호를 출력하는 단계; 및

상기 제1 출력 신호를 입력받아 상기 심볼 간 간섭을 제거하는 단계의 출력 신호를 피드백하는 단계를 포함하는 송수신기의 동작 방법.

발명의 설명

기술 분야

본 발명은 고전압 출력 드라이버와 아날로그 피드백 등화기를 이용한 PAM-4 송수신기 및 그 동작 방법에 관한 것이다.

배경 기술

[0001]

- [0002] 모바일 장치의 급속한 공급과 인터넷 접속량의 급격한 증가에 따라 고용량 및 고속 데이터 전송에 대한 요구가 날로 증가하고 있다. 하지만, NRZ(Non-Return to Zero) 타입의 인코딩을 기반으로 하는 신호 변조 방식으로는 이러한 고용량 및 고속의 데이터 전송 요구를 만족시키기 어려운 실정이다. 최근에는 펄스 진폭 변조(Pulse Amplitude Modulation; PAM) 방식이 고용량과 고속 데이터 전송을 위한 신호 방식의 대안으로 활발하게 연구되고 있다.
- [0003] 한편, 송신기 측면에서 CML(Current Mode Logic) 방식의 드라이버는 전류를 이용하여 PAM 신호를 생성하지만, 전류원의 동작을 위해서는 전압 헤드 룸(Headroom)이 필요하므로, CML 타입의 드라이버는 전원 전압부터 접지 전압까지의 PAM 신호를 생성하기에 어려움이 있다.
- [0004] 또한, 송수신기의 심볼 간 간섭(Inter Symbol Interference, ISI)를 보상할 수 있는 고성능 등화기 및 이를 포함하는 수신기가 필요한 실정이다.

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 대한민국 공개특허 제 10-2021-0091659호

발명의 내용

해결하려는 과제

- [0006] 본 발명은 상술한 과제를 해결하기 위한 것으로서, 본 발명의 목적은 고전압 출력 드라이버와 아날로그 피드백 등화기를 이용한 PAM-4 송수신기 및 그 동작 방법을 제공하는 데 있다.

과제의 해결 수단

- [0007] 본 출원은 제1 인코딩 신호 및 제2 인코딩 신호를 수신하고, 상기 제1 인코딩 신호 및 제2 인코딩 신호를 통해 PAM-4(4-Level Pulse Amplitude Modulation) 신호의 레벨을 갖는 차동 아날로그 신호를 출력하는 드라이버 회로; 및 상기 차동 아날로그 신호를 수신하고, 제1 피드백 회로 및 제2 피드백 회로를 통해 상기 차동 아날로그 신호의 주파수 대역을 제어하여 데이터 신호를 출력하는 아날로그 등화기를 포함하고, 상기 드라이버 회로는, 제1 전류원 및 제2 전류원을 이용하여 상기 차동 아날로그 신호의 전압을 증압 및 강압할 수 있다.
- [0008] 본 출원의 실시 예에 따른, 상기 드라이버 회로는, 상기 제1 전류원은 상기 제2 인코딩 신호에 의해 동작하는 P형 트랜지스터에 연결되고, 상기 제2 전류원은 상기 제2 인코딩 신호에 의해 동작하는 N형 트랜지스터에 연결될 수 있다.
- [0009] 본 출원의 실시 예에 따른, 상기 드라이버 회로는, 상기 제1 인코딩 신호 및 제2 인코딩 신호에 의해 형성된 경로에 상기 제1 전류원 및 제2 전류원이 연결될 수 있다.
- [0010] 본 출원의 실시 예에 따른, 상기 아날로그 등화기는, 상기 제1 피드백 회로를 이용하여 피크값 이득을 증가시키고, 상기 제2 피드백 회로를 이용하여 주파수 대역폭을 증가시킬 수 있다.
- [0011] 본 출원의 실시 예에 따른, 상기 아날로그 등화기는: 상기 차동 아날로그 신호를 입력받아 심볼 간 간섭을 제거하는 복수의 연속 시간 선형 등화기; 상기 심볼 간 간섭이 제거된 상기 차동 아날로그 신호에 기초하여 상기 데이터 신호를 출력하는 복수의 증폭기; 상기 차동 아날로그 신호에 대한 로우레벨 대역 출력 신호를 입력받아, 제1 출력 신호를 출력하는 복수의 로우레벨 증폭기; 및 상기 제1 출력 신호를 입력받아 상기 복수의 연속 시간 선형 등화기의 출력 신호를 피드백하는 복수의 이득 제어기를 포함할 수 있다.
- [0012] 본 출원은 송수신기의 동작 방법에 있어서, 제1 인코딩 신호 및 제2 인코딩 신호를 수신하고, 상기 제1 인코딩 신호 및 제2 인코딩 신호를 통해 PAM-4(4-Level Pulse Amplitude Modulation) 신호의 레벨을 갖는 차동 아날로그 신호를 출력하는 단계; 및 상기 차동 아날로그 신호를 수신하고, 제1 피드백 회로 및 제2 피드백 회로를 통해 상기 차동 아날로그 신호의 주파수 대역을 제어하여 데이터 신호를 출력하는 단계를 포함하고, 상기 차동 아날로그 신호를 출력하는 단계는, 제1 전류원 및 제2 전류원을 이용하여 상기 차동 아날로그 신호의 전압을 증압 및 강압할 수 있다.

[0013] 본 출원의 실시 예에 따른, 상기 차동 아날로그 신호를 출력하는 단계는, 상기 제1 전류원은 상기 제2 인코딩 신호에 의해 동작하는 P형 트랜지스터에 연결되고, 상기 제2 전류원은 상기 제2 인코딩 신호에 의해 동작하는 N형 트랜지스터에 연결될 수 있다.

[0014] 본 출원의 실시 예에 따른, 상기 차동 아날로그 신호를 출력하는 단계는, 상기 제1 인코딩 신호 및 제2 인코딩 신호에 의해 형성된 경로에 상기 제1 전류원 및 제2 전류원이 연결될 수 있다.

[0015] 본 출원의 실시 예에 따른, 상기 데이터 신호를 출력하는 단계는, 상기 제1 피드백 회로를 이용하여 피크값 이득을 증가시키고, 상기 제2 피드백 회로를 이용하여 주파수 대역폭을 증가시킬 수 있다.

[0016] 본 출원의 실시 예에 따른, 상기 데이터 신호를 출력하는 단계는: 상기 차동 아날로그 신호를 입력받아 심볼 간 간섭을 제거하는 단계; 상기 심볼 간 간섭이 제거된 상기 차동 아날로그 신호에 기초하여 데이터 신호를 출력하는 단계; 상기 차동 아날로그 신호에 대한 로우레벨 대역 출력 신호가 입력받아, 제1 출력 신호를 출력하는 단계; 및 상기 제1 출력 신호를 입력받아 상기 심볼 간 간섭을 제거하는 단계의 출력 신호를 피드백하는 단계를 포함할 수 있다.

발명의 효과

[0017] 본 출원에 따른 고전압 출력 드라이버와 아날로그 피드백 등화기를 이용한 PAM-4 송수신기는 복수의 전류원을 이용하여 공급 전압 이상의 차동 아날로그 신호를 출력할 수 있으며, 2개의 복소 피드백 시스템을 구현함으로써 심볼 간 간섭을 대폭적으로 줄일 수 있다.

도면의 간단한 설명

[0018] 도 1은 본 출원의 실시 예에 따른 송수신기의 블록도이다.

도 2는 본 출원의 일 실시 예에 따른 드라이버 회로의 회로도이다.

도 3a 내지 도 6b는 본 출원의 일 실시 예에 따른 드라이버 회로의 동작 일 예를 도시한 도면이다.

도 7은 본 출원의 일 실시 예에 따른 아날로그 등화기(1210)의 회로 구성도이다.

도 8a 내지 8c는 도 7의 아날로그 등화기에 대한 회로도의 예시이다.

도 9는 본 출원의 실시 예에 따른 복수의 인코딩 신호 및 차동 아날로그 신호의 파형을 도시한 것이다.

도 10a 및 도 10b는 본 출원의 실시 예에 따른 피드백 회로에 대한 출력 전압 실험 데이터이다.

도 11은 본 출원의 실시 예에 따른 아날로그 등화기의 출력 파형을 도시한 것이다.

도 12는 본 출원의 실시 예에 따른 송수신기의 동작 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하에서, 본 출원의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 출원의 실시 예들이 명확하고 상세하게 기재될 것이다.

[0020] 도 1은 본 출원의 실시 예에 따른 송수신기의 블록도이다.

[0021] 본 출원의 실시 예에 따른 송수신기(1000)는 멀티-레벨(Multi-Level)의 신호를 송수신하는 장치에 구현될 수 있다. 예를 들어, 송수신기(1000)는 PCIe(Peripheral Component Interconnection express), PCIe Gen(Generation) 6.0 등과 같은 채널 인터페이스 규격이나, SD(Solid State Drive), 임베디드 UFS(Universal Flash Storage), DDR(Double Data Rate) 등과 같은 메모리 규격이 지원되는 데스크톱 컴퓨터, 랩톱 컴퓨터, 태블릿 컴퓨터, 스마트 폰, 웨어러블(Wearable) 장치 등에 구현될 수 있다.

[0022] 도 1을 참조하면, 송수신기(1000)는 송신기(1100) 및 수신기(1200)를 포함할 수 있다.

[0023] 송신기(1100)는 입력 신호(IS)를 수신하고, 수신한 입력 신호(IS)를 처리하여 수신기(1200)에 송신하도록 구성될 수 있다. 송신기(1100)는 채널(CH)을 통해 수신기(1200)와 연결될 수 있다.

[0024] 송신기(1100)는 멀티-레벨(Multi-Level) 시그널링을 지원하는 다양한 인터페이스 및 메모리 규격에 적용될 수 있다. 즉, 송신기(1100)는 입력 신호(IS)를 복수의 인코딩 신호로 변환하고, 복수의 인코딩 신호를 기반으로 멀

터-레벨이 갖는 차동 아날로그 신호(TXP, TXN)를 출력할 수 있다. 예를 들어, 송신기(1100)는 입력 신호(IS)를 PAM-4(4-Level Pluse Amplitude Modulation) 신호의 레벨을 갖는 차동 아날로그 신호(TXP, TXN)로 변환하여 송신할 수 있다. 이를 위해, 송신기(1100)는 드라이버 회로(1110)를 포함할 수 있다.

- [0025] 드라이버 회로(1110)는 복수의 인코딩 신호를 수신할 수 있다. 드라이버 회로(1110)는 복수의 인코딩 신호에 의해 형성된 경로를 통해 PAM-4 신호의 레벨을 갖는 차동 아날로그 신호(TXP, TXN)를 출력할 수 있다. 또한, 드라이버 회로(1110)는 복수의 전류원을 포함할 수 있다. 여기서, 복수의 전류원은 복수의 인코딩 신호에 의해 형성된 경로와 연결될 수 있다.
- [0026] 일 실시 예에 있어서, 복수의 전류원은 차동 아날로그 신호(TXP, TXN)를 생성 및 출력하는 드라이버 회로(1110)의 일단과 연결될 수 있다. 복수의 전류원은 복수의 인코딩 신호에 의해 형성된 경로에 전류를 높이거나 낮출 수 있다. 이에 따라, 복수의 전류원은 차동 아날로그 신호(TXP, TXN)의 전압을 증압 또는 강압할 수 있다. 보다 상세한 설명은 도 2에서 설명될 것이다.
- [0027] 수신기(1200)는 채널(CH)을 통해 송신기(1100)와 연결되어, 송신기(1100)로부터의 차동 아날로그 신호(TXP, TXN)를 수신할 수 있다. 수신기(1200)는 차동 아날로그 신호(TXP, TXN)로부터 입력 신호(IS)를 획득하도록 구성될 수 있다. 이를 위해, 수신기(1200)는 아날로그 등화기(1210)를 포함할 수 있다.
- [0028] 아날로그 등화기(1210)는 차동 아날로그 신호(TXP, TXN)를 수신하고, 피드백 회로를 통해 주파수 대역을 제어하여 차동 아날로그 신호(TXP, TXN)의 데이터 신호를 출력할 수 있다. 여기서, 데이터 신호는 입력 신호(IS)일 수 있다.
- [0029] 이상에서 상술한 바와 같이, 본 출원의 실시 예에 따른 송수신기(1000)는 복수의 전류원을 이용하여 공급 전압 이상의 출력 전압을 가지는 차동 아날로그 신호(TXP, TXN)를 출력할 수 있다. 또한, 송수신기(1000)는 아날로그 등화기(1210) 단계 피드백 회로를 구현하여 멀티-레벨 환경에서의 심볼 간 간섭을 보상할 수 있다.
- [0031] 도 2는 본 출원의 일 실시 예에 따른 드라이버 회로의 회로도이다.
- [0032] 도 2를 참조하면, 드라이버 회로(1110)는 제1 전류원(IP), 제2 전류원(IN), 제1 P형 트랜지스터(TP1), 제2 P형 트랜지스터(TP2), 제1 N형 트랜지스터(TN1), 제2 N형 트랜지스터(TN2), 제1 스위치(S1), 제2 스위치(SW), 제3 스위치(S3), 제4 스위치(S4) 및 복수의 저항(RT)를 포함할 수 있다.
- [0033] 제1 전류원(IP)는 전원 전압(VDD)와 연결되고, 제1 P형 트랜지스터(TP1) 및 제2 P형 트랜지스터(TP2) 각각의 소스와 연결될 수 있다.
- [0034] 제1 스위치(S1) 및 제4 스위치(S4)는 제1 인코딩 신호(MSB_P)에 기초하여 턴 온 또는 턴 오프될 수 있다. 제2 스위치(S2) 및 제3 스위치(S3)는 제1 인코딩 반전 신호(MSB_N)에 기초하여 턴 온 또는 턴 오프될 수 있다.
- [0035] 제1 P형 트랜지스터(TP1)는 게이트를 통해 제2 인코딩 신호(LSB_P)를 수신하고, 드레인이 제1 노드(N1)의 일단과 연결될 수 있다. 제1 노드(N1)의 타단은 제1 스위치(S1) 일단과 연결되고, 제1 스위치(S1) 타단은 접지와 연결된 저항과 연결될 수 있다.
- [0036] 제2 P형 트랜지스터(TP2)는 게이트를 통해 제2 인코딩 반전 신호(LSB_N)를 수신하고, 드레인이 제2 노드(N2)의 일단과 연결될 수 있다. 제2 노드(N2)의 타단은 제2 스위치(S2) 일단과 연결되고, 제2 스위치(S2) 타단은 접지와 연결된 저항과 연결될 수 있다.
- [0037] 제2 전류원(IN)은 접지와 연결되고, 제1 N형 트랜지스터(TN1) 및 제2 N형 트랜지스터(TN2) 각각의 소스와 연결될 수 있다.
- [0038] 제1 N형 트랜지스터(TN1)는 게이트를 통해 제2 인코딩 신호(LSB_P)를 수신하고, 드레인이 제3 노드(N3)의 일단과 연결될 수 있다. 제3 노드(N3)의 타단은 제3 스위치(S3) 일단과 연결되고, 제3 스위치(S3) 타단은 전원 전압과 연결될 수 있다.
- [0039] 제2 N형 트랜지스터(TN2)는 게이트를 통해 제2 인코딩 반전 신호(LSB_N)를 수신하고, 드레인이 제4 노드(N4)의 일단과 연결될 수 있다. 제4 노드(N4)의 타단은 제4 스위치(S4) 일단과 연결되고, 제4 스위치(S4) 타단은 전원 전압과 연결될 수 있다.

- [0040] 제1 노드(N1) 및 제3 노드(N3)는 연결되고, 제2 노드(N2) 및 제4 노드(N4)는 연결될 수 있다. 즉, 드라이버 회로(1110)는 제1 및 제2 인코딩 신호(MSB_p , LSB_p)와 제1 및 제2 인코딩 반전 신호(MSB_n , LSB_n)에 기초하여 경로를 형성하고, 제1 내지 제4 노드(N1, N2, N3, N4)를 통해 차동 아날로그 신호(TXP, TXN)를 출력할 수 있다. 여기서, 드라이버 회로(1110)의 제1 내지 제4 노드(N1, N2, N3, N4)는 채널(CH)의 종단 저항(Termination)과 연결될 수 있다.
- [0042] 도 3a 내지 도 6b는 본 출원의 일 실시 예에 따른 드라이버 회로의 동작 일 예를 도시한 도면이다.
- [0043] 도 3a 및 도 3b는 제1 및 제2 인코딩 신호(MSB_p , LSB_p)가 각각 '11'일 경우 드라이버 회로(1110)의 경로를 나타내는 도면이다.
- [0044] 도 3a를 참조하면, 제1 및 제2 인코딩 신호(MSB_p , LSB_p)가 각각 '11'일 경우, 제2 P형 트랜지스터(TP2) 및 제4 스위치(S4)가 턴 온되어 제1 아날로그 신호(TXP)를 출력하고, 제1 N형 트랜지스터(TN1) 및 제1 스위치(S1)가 턴 온되어 제2 아날로그 신호(TXN)를 출력할 수 있다.
- [0045] 도 3b를 참조하면, 드라이버 회로(1110)는 제1 아날로그 신호(TXP)를 출력하는 경로에 제1 전류원(IP)이 연결되어 제1 아날로그 신호(TXP)의 전압을 승압시킬 수 있다. 또한, 드라이버 회로(1110)는 제2 아날로그 신호(TXN)를 출력하는 경로에 제2 전류원(IN)이 연결되어 제2 아날로그 신호(TXN)의 전압을 강압시킬 수 있다.
- [0047] 도 4a 및 도 4b는 제1 및 제2 인코딩 신호(MSB_p , LSB_p)가 각각 '10'일 경우 드라이버 회로(1110)의 경로를 나타내는 도면이다.
- [0048] 도 4a를 참조하면, 제1 및 제2 인코딩 신호(MSB_p , LSB_p)가 각각 '10'일 경우, 제1 P형 트랜지스터(TP1) 및 제1 스위치(S1)가 턴 온되어 제2 아날로그 신호(TXN)를 출력하고, 제2 N형 트랜지스터(TN2) 및 제4 스위치(S4)가 턴 온되어 제1 아날로그 신호(TXP)를 출력할 수 있다.
- [0049] 도 4b를 참조하면, 드라이버 회로(1110)는 제1 아날로그 신호(TXP)를 출력하는 경로에 제2 전류원(IN)이 연결되어 제1 아날로그 신호(TXP)의 전압을 강압시킬 수 있다. 또한, 드라이버 회로(1110)는 제2 아날로그 신호(TXN)를 출력하는 경로에 제1 전류원(IP)이 연결되어 제2 아날로그 신호(TXN)의 전압을 승압시킬 수 있다.
- [0051] 도 5a 및 도 5b는 제1 및 제2 인코딩 신호(MSB_p , LSB_p)가 각각 '01'일 경우 드라이버 회로(1110)의 경로를 나타내는 도면이다.
- [0052] 도 5a를 참조하면, 제1 및 제2 인코딩 신호(MSB_p , LSB_p)가 각각 '01'일 경우, 제2 P형 트랜지스터(TP2) 및 제2 스위치(S2)가 턴 온되어 제1 아날로그 신호(TXP)를 출력하고, 제1 N형 트랜지스터(TN1) 및 제3 스위치(S3)가 턴 온되어 제2 아날로그 신호(TXN)를 출력할 수 있다.
- [0053] 도 5b를 참조하면, 드라이버 회로(1110)는 제1 아날로그 신호(TXP)를 출력하는 경로에 제1 전류원(IP)이 연결되어 제1 아날로그 신호(TXP)의 전압을 승압시킬 수 있다. 또한, 드라이버 회로(1110)는 제2 아날로그 신호(TXN)를 출력하는 경로에 제2 전류원(IN)이 연결되어 제2 아날로그 신호(TXN)의 전압을 강압시킬 수 있다.
- [0055] 도 6a 및 도 6b는 제1 및 제2 인코딩 신호(MSB_p , LSB_p)가 각각 '00'일 경우 드라이버 회로(1110)의 경로를 나타내는 도면이다.
- [0056] 도 6a를 참조하면, 제1 및 제2 인코딩 신호(MSB_p , LSB_p)가 각각 '00'일 경우, 제1 P형 트랜지스터(TP1) 및 제3 스위치(S3)가 턴 온되어 제2 아날로그 신호(TXN)를 출력하고, 제2 N형 트랜지스터(TN2) 및 제2 스위치(S2)가 턴 온되어 제1 아날로그 신호(TXP)를 출력할 수 있다.
- [0057] 도 6b를 참조하면, 드라이버 회로(1110)는 제1 아날로그 신호(TXP)를 출력하는 경로에 제2 전류원(IN)이 연결되어 제1 아날로그 신호(TXP)의 전압을 강압시킬 수 있다. 또한, 드라이버 회로(1110)는 제2 아날로그 신호(TXN)를

를 출력하는 경로에 제1 전류원(IP)이 연결되어 제2 아날로그 신호(TXN)의 전압을 승압시킬 수 있다.

- [0058] 이상에서 상술한 바와 같이, 드라이버 회로(1110)는 전압 분배법칙으로 차동 아날로그 신호(TXP, TXN)를 생성함과 동시에, 복수의 전류원을 연결하여 차동 아날로그 신호(TXP, TXN)의 전압을 승압 또는 강압할 수 있다. 이에 따라, 드라이버 회로(1110)는 별도의 전압 헤드 룸(Headroom)없이 CML(Current Mode Logic) 기반의 드라이버를 구현하여 드라이버의 면적을 줄일 수 있다.
- [0060] 도 7은 본 출원의 일 실시 예에 따른 아날로그 등화기(1210)의 회로 구성도이다.
- [0061] 도 7을 참조하면, 아날로그 등화기(1210)는 제1 연속 시간 선형 등화기(Contrinuos Time Linear Equalizer, CTLE, 1211), 제2 연속 시간 선형 등화기(1212), 제1 증폭기(1213), 제2 증폭기(1214), 제1 로우 레벨 증폭기(1215), 제1 이득 제어기(1216), 제2 로우 레벨 증폭기(1217) 및 제2 이득 제어기(1218)를 포함할 수 있다.
- [0062] 아날로그 등화기(1210)는 차동 아날로그 신호(TXP, TXN)를 수신하고, 피드백 회로를 통해 주파수 대역을 제어할 수 있다. 일 실시 예에 있어서, 아날로그 등화기(1210)는 제1 연속 시간 선형 등화기(1211), 제2 연속 시간 선형 등화기(1212), 제1 로우 레벨 증폭기(1215) 및 제1 이득 제어기(1216)를 이용하여 제1 피드백 회로를 구성할 수 있다. 또한, 아날로그 등화기(1210)는 제2 연속 시간 선형 등화기(1212) 제1 증폭기(1213), 제2 증폭기(1214), 제2 로우 레벨 증폭기(1217) 및 제2 이득 제어기(1218)를 이용하여 제2 피드백 회로를 구성할 수 있다.
- [0063] 일 실시 예에 있어서, 제1 피드백 회로는 제2 연속 시간 선형 등화기(1212)로부터 심볼 간 간섭(Inter Symbol Interference, ISI)이 제거된 차동 아날로그 신호(TXP, TXN)를 피드백하고, 제2 피드백 회로는 제2 증폭기(1214)로부터 증폭된 신호를 피드백할 수 있다.
- [0064] 아날로그 등화기(1210)는 제1 피드백 회로를 통해 직류 이득(DC Gain)을 낮추고, 피크값 이득(Peaking Gain)을 증가시킬 수 있다. 또한, 드라이버 회로(1210)는 제2 피드백 회로를 통해 직류 이득(DC Gain)을 낮추고, 주파수 대역폭(Bandwidth)를 증가시킬 수 있다.
- [0065] 이상에서 상술한 바와 같이, 본 출원의 실시 예에 다른 아날로그 등화기(1210)는 2개의 복소 피드백 시스템을 구현함으로써 기존의 등화기 성능 대비 심볼 간 간섭을 대폭적으로 줄일 수 있다.
- [0067] 도 8a 내지 8c는 도 7의 아날로그 등화기에 대한 회로도 예시이다. 구체적으로, 도 8a는 아날로그 등화기(1210)의 연속 시간 선형 등화기들(1211, 1212)에 대한 회로도 예시이고, 도 8b는 아날로그 등화기(1210)의 증폭기들(1213, 1214, 1215, 1217)에 대한 회로도 예시이고, 도 8c는 아날로그 등화기(1210)의 이득 제어기들(1216, 1218)에 대한 회로도 예시이다.
- [0068] 도 8a를 참조하면, 연속 시간 선형 등화기들(1211, 1212)은 송신기(1100)의 출력 신호인 차동 아날로그 신호(TXP, TXN)를 입력받아 심볼 간 간섭을 제거할 수 있다.
- [0069] 연속 시간 선형 등화기들(1211, 1212)은 3개의 저항(2개의 RD, 1개의 RS), 캐패시터(CS), 2개의 N형 트랜지스터(TN3, TN4)로 구성될 수 있다. 구체적으로, 캐패시터(CS)와 저항(RS)가 병렬 연결되며, 캐패시터(CS) 및 저항(RS) 각 양단에 2개의 N형 트랜지스터(TN3, TN4)가 병렬 연결될 수 있다. 또한, 직렬 연결된 N형 트랜지스터(TN3, TN4) 사이에 직렬 연결된 2개의 저항(RD)이 연결될 수 있다.
- [0070] 제1 연속 시간 선형 등화기(1211)는 차동 아날로그 신호(TXP, TXN)를 수신하고, 제2 연속 시간 선형 등화기(1212)는 제1 연속 시간 선형 등화기(1211)와 직렬로 연결되어 제1 연속 시간 선형 등화기(1211)의 출력 신호가 입력될 수 있다.
- [0072] 도 8b를 참조하면, 증폭기들(1213, 1214, 1215, 1217)은 연속 선형 등화기들(1211, 1212)로부터 심볼 간 간섭이 제거된 차동 아날로그 신호(TXP, TXN)를 입력받아 데이터 신호를 출력할 수 있다.
- [0073] 증폭기들(1213, 1214, 1215, 1217)은 3개의 저항(2개의 RD, 1개의 RS), 및 2개의 N형 트랜지스터(TN5, TN6)로 구성될 수 있다. 구체적으로, 저항(RS) 양단에 2개의 N형 트랜지스터(TN5, TN6)가 병렬 연결될 수 있다. 또한, 직렬 연결된 N형 트랜지스터(TN5, TN6) 사이에 직렬 연결된 2개의 저항(RD)이 연결될 수 있다.
- [0074] 제1 증폭기(1213)와 제2 증폭기(1214)는 직렬로 연결되어 차동 아날로그 신호(TXP, TXN)에 대응하는 데이터 신

호를 출력할 수 있다.

- [0075] 제1 로우레벨 증폭기(1215)는 제2 연속 시간 선형 등화기(1212)와 제1 증폭기(1213) 사이에 연결되어 제2 연속 시간 선형 등화기(1212)의 로우레벨 대역의 출력 신호가 입력될 수 있다.
- [0076] 제2 로우레벨 증폭기(1217)는 제1 증폭기(1213)와 제2 증폭기(1214) 사이에 연결되어 제1 증폭기(1213)의 로우레벨 대역의 출력 신호가 입력될 수 있다.
- [0078] 도 8c를 참조하면, 이득 제어기들(1216, 1218)은 상보적(Complementary)으로 연결된 인버터 구조의 증폭기인 트랜지스터들(WP, WN) 및 트랜지스터들(WP, WN)의 양단에 연결된 스위치들(S5, S6)을 포함할 수 있다. 이득 제어기들(1216, 1218)은 2개의 인버터 구조의 트랜지스터들(WP, WN) 및 스위치들(S5, S6)을 하나의 단위 회로로 하여, 복수개의 회로 단위로 구성할 수 있다.
- [0079] 이득 제어기들(1216, 1218)은 이진 디비털 비트(N_{GCP} , N_{GCN})에 따라 스위치들(S5, S6)을 동작시키며, 이득 제어기들(1216, 1218)의 출력(OUT_P , OUT_N)을 제어할 수 있다.
- [0080] 이득 제어기들(1216, 1218)은 로우레벨 증폭기들(1215, 1217)의 출력신호를 입력받아 출력 신호를 피드백할 수 있다. 또한, 이득 제어기들(1216, 1218)은 아날로그 등화기(1210)의 감쇠 상수(Damping Factor)를 결정할 수 있고, 아날로그 등화기(1210)의 주파수 대역폭을 제어할 수 있다.
- [0082] 도 9는 본 출원의 실시 예에 따른 복수의 인코딩 신호 및 차동 아날로그 신호의 파형을 도시한 것이다.
- [0083] 도 9를 참조하면, 드라이버 회로(1110)는 복수의 인코딩 신호(MSB_P , LSB_P)를 수신할 수 있다. 도 9의 (a)와 같이, 복수의 인코딩 신호(MSB_P , LSB_P)는 1V의 피크 투 피크(Peak-to-Peak)를 가질 수 있다.
- [0084] 도 9의 (b)와 같이, 드라이버 회로(1110)는 복수의 전류원(IP, IN)을 통해 차동 아날로그 신호(TX_P , TX_N)의 전압을 승압 또는 강압하여 PAM-4 신호의 레벨에 대응하는 전압을 출력할 수 있다. 이에 따라, 드라이버 회로(1110)에서 출력되는 차동 아날로그 신호(TX_P , TX_N)은 1.2V의 피크 투 피크를 가질 수 있다.
- [0086] 도 10a 및 도 10b는 본 출원의 실시 예에 따른 피드백 회로에 대한 출력 전압 실험 데이터이다. 구체적으로, 도 10a는 제1 피드백 회로에 대한 출력 전압의 파형이고, 도 10b는 제2 피드백 회로에 대한 출력 전압의 파형이다.
- [0087] 도 10a를 참조하면, 아날로그 등화기(1210)는 제1 피드백 회로를 이용하여 직류 이득(DC Gain)을 낮추고, 피드백 이득(GC)을 증가시킬 수 있다. 즉, 본 출원의 실시 예에 따른 아날로그 등화기(1210)는 멀티-레벨을 송수신하는 환경에서 발생하는 심볼 간 간섭을 보상할 수 있다.
- [0088] 도 10b를 참조하면, 아날로그 등화기(1210)는 제2 피드백 회로를 이용하여 직류 이득(DC Gain)을 낮추고, 주파수 대역폭(Bandwidth)을 증가시킬 수 있다. 즉, 본 출원의 실시 예에 따른 아날로그 등화기(1210)는 심볼 간 간섭을 보상할 수 있으며, 주파수 대역폭을 확장하여 강건한 신호를 생성할 수 있다.
- [0089] 이상에서 상술한 바와 같이, 본 출원의 실시 예에 따른 아날로그 등화기(1210)는 제1 및 제2 피드백 회로를 이용함으로써, 단일의 피드백 회로보다 심볼 간 간섭을 줄일 수 있다. 즉, 아날로그 등화기(1210)는 이득과 제동비(Damping Ratio)가 감소하면서 시스템이 불안정해지지만, 심볼 간 간섭 제거 성능이 향상될 수 있다.
- [0091] 도 11은 본 출원의 실시 예에 따른 아날로그 등화기의 출력 파형을 도시한 것이다.
- [0092] 도 11을 참조하면, 일 실시 예에 따른 아날로그 등화기(1210)는 미드 아이의 지터가 열화되지 않도록 주파수 대역을 제어할 수 있다.
- [0093] 구체적으로, 입력 신호가 천이(예를 들어, 입력 신호가 00에서 11으로 천이 또는 00에서 10으로 천이)할 경우, 아날로그 등화기(1210)는 제1 및 제2 피드백 회로를 통해 피크값을 증가시키고 주파수 대역폭을 증가하여 PAM-4 신호 레벨에 대응하는 미드 아이의 지터가 열화되지 않도록 할 수 있다.

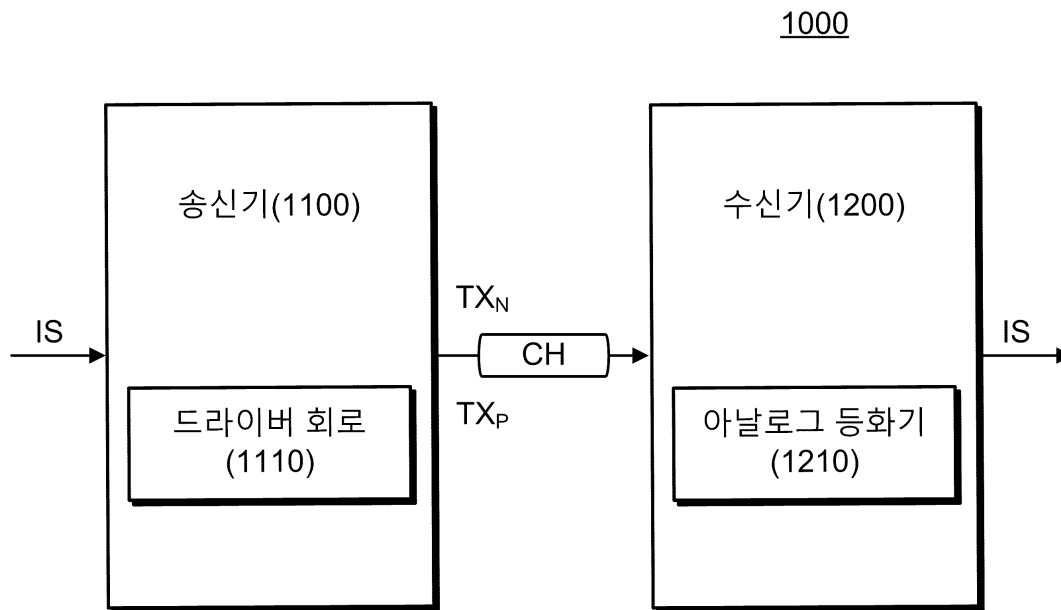
- [0095] 도 12는 본 출원의 실시 예에 따른 송수신기의 동작 순서도이다.
- [0096] 도 12를 참조하면, S110 단계에서, 제1 및 제2 인코딩 신호(MSB_p , LSB_p)를 수신할 수 있다. 예를 들어, 드라이버 회로(1110)는 제1 및 제2 인코딩 신호(MSB_p , LSB_p)를 수신할 수 있다.
- [0097] S120 단계에서, 드라이버 회로(1110)는 제1 및 제2 인코딩 신호(MSB_p , LSB_p)에 의해 형성된 경로에 제1 전류원(IP) 및 제2 전류원(IN)이 연결될 수 있다.
- [0098] 예를 들어, 제1 및 제2 인코딩 신호(MSB_p , LSB_p)가 각각 '11'일 경우, 드라이버 회로(1110)는 제1 아날로그 신호(TXP)를 출력하는 경로에 제1 전류원(IP)이 연결되어 제1 아날로그 신호(TXP)의 전압을 증압시킬 수 있다. 또한, 드라이버 회로(1110)는 제2 아날로그 신호(TXN)를 출력하는 경로에 제2 전류원(IN)이 연결되어 제2 아날로그 신호(TXN)의 전압을 강압시킬 수 있다.
- [0099] S130 단계에서, 송신기(1100)는 채널(CH)을 통해 PAM-4 신호의 레벨을 갖는 차동 아날로그 신호(TXP, TXN)를 출력할 수 있다.
- [0100] S140 단계에서, 아날로그 등화기(1210)는 채널(CH)로부터 차동 아날로그 신호(TXP, TXN)를 수신하고, 제1 피드백 회로를 이용하여 피크값 이득을 증가시킬 수 있다.
- [0101] S150 단계에서, 아날로그 등화기(1210)는 제1 피드백 회로와 직렬로 연결되는 제2 피드백 회로를 이용하여 차동 아날로그 신호(TXP, TXN)의 주파수 대역폭을 증가시킬 수 있다.
- [0102] S160 단계에서, 아날로그 등화기(1210)는 차동 아날로그 신호(TXP, TXN)에 대한 데이터 신호를 출력할 수 있다.
- [0103] 상술한 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술한 실시 예들 이외에도, 단순히 설계 변경되거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술한 실시 예들에 국한되어 정해져서는 안되며, 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

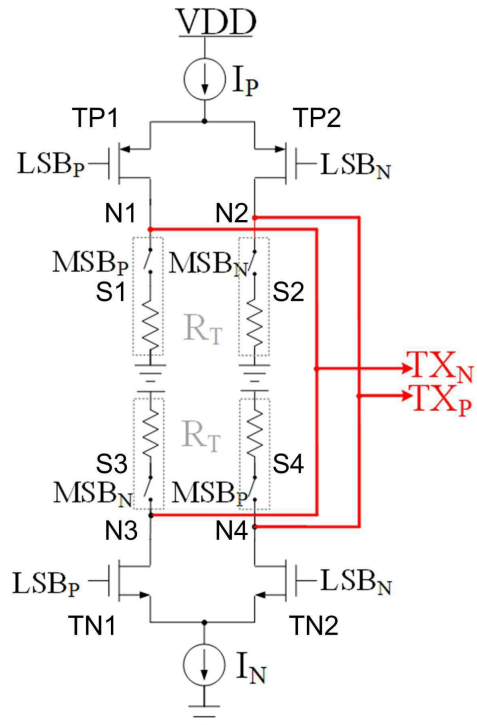
- [0104] 1000 : 송수신기
 1100 : 송신기
 1200 : 수신기
 1110 : 드라이버 회로
 1210 : 아날로그 등화기

도면

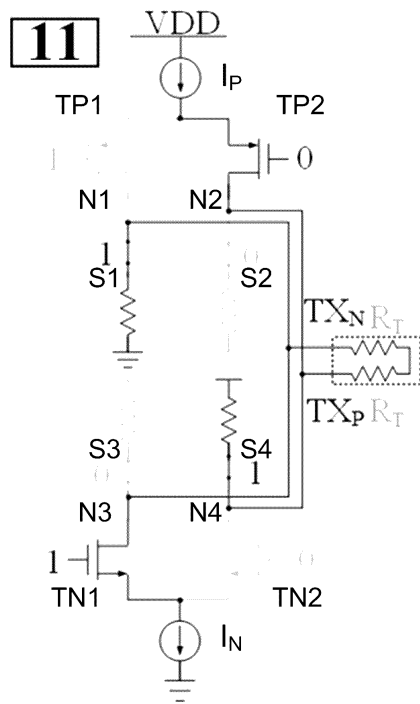
도면1



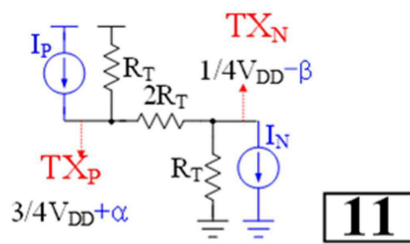
도면2



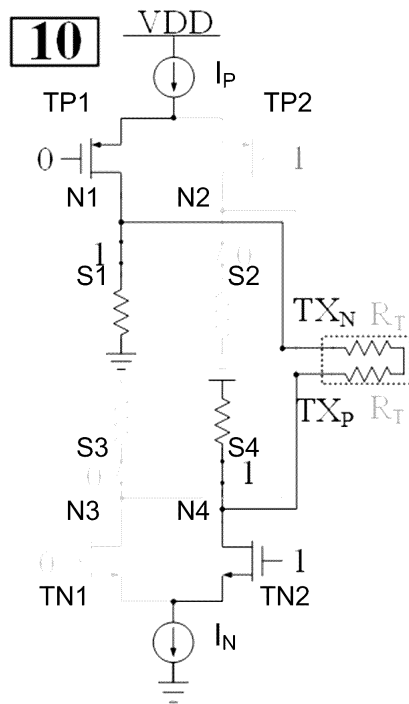
도면3a



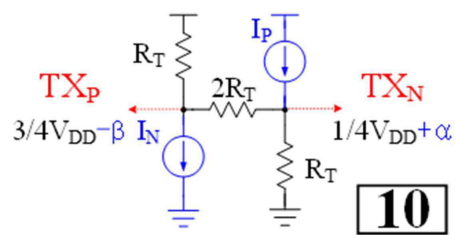
도면3b



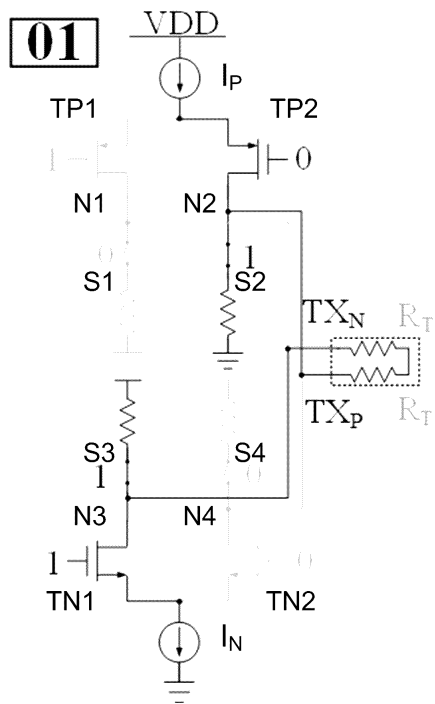
도면4a



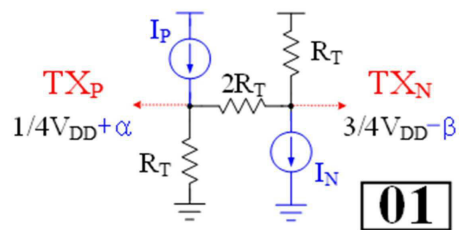
도면4b



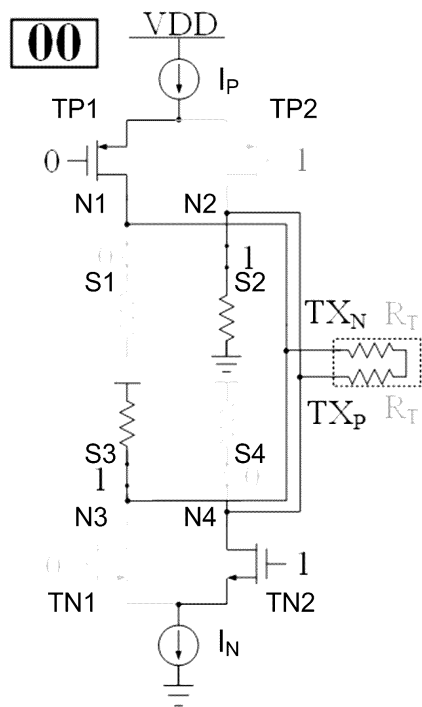
도면5a



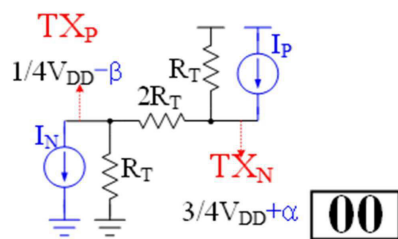
도면5b



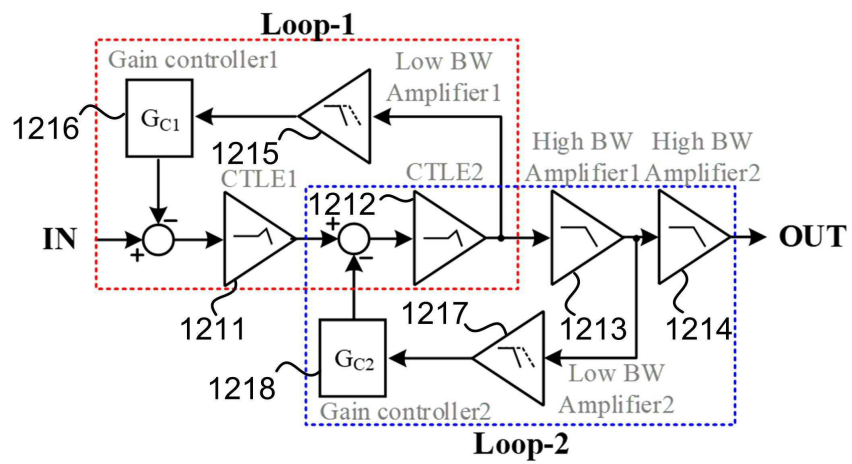
도면 6a



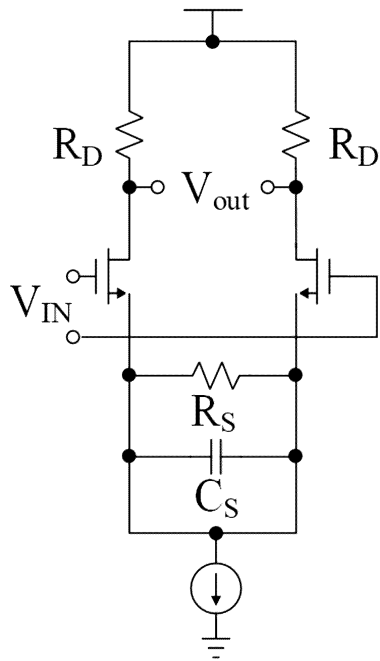
도면 6b



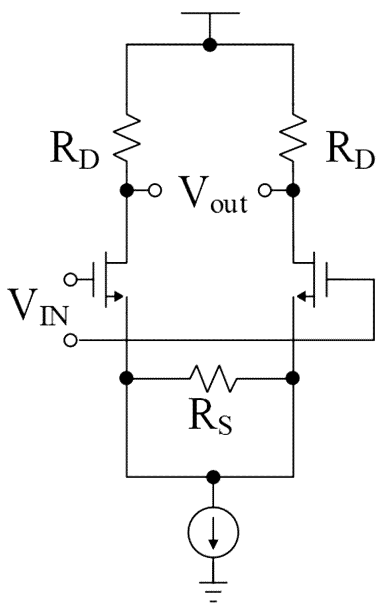
도면7



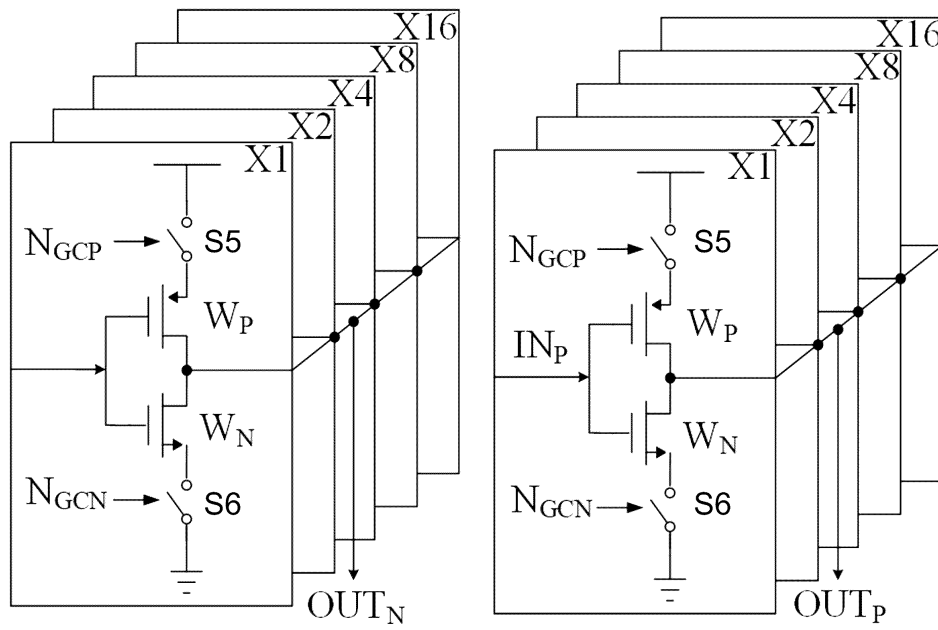
도면8a



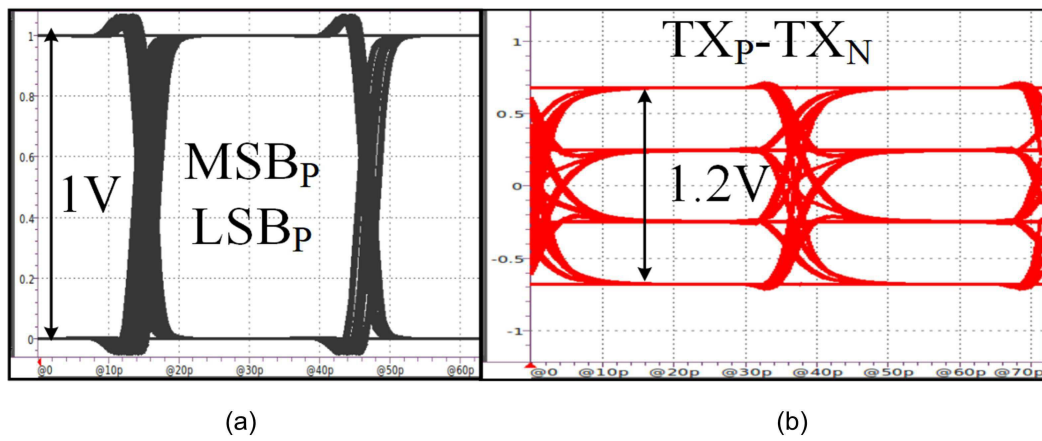
도면8b



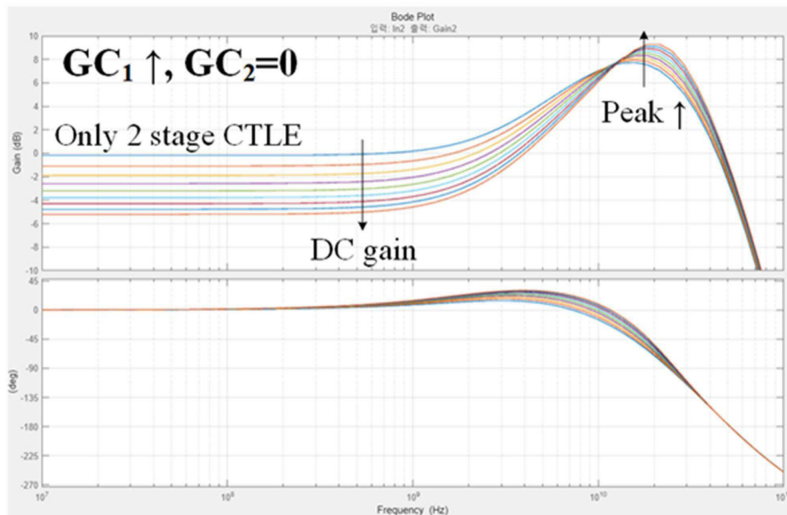
도면8c



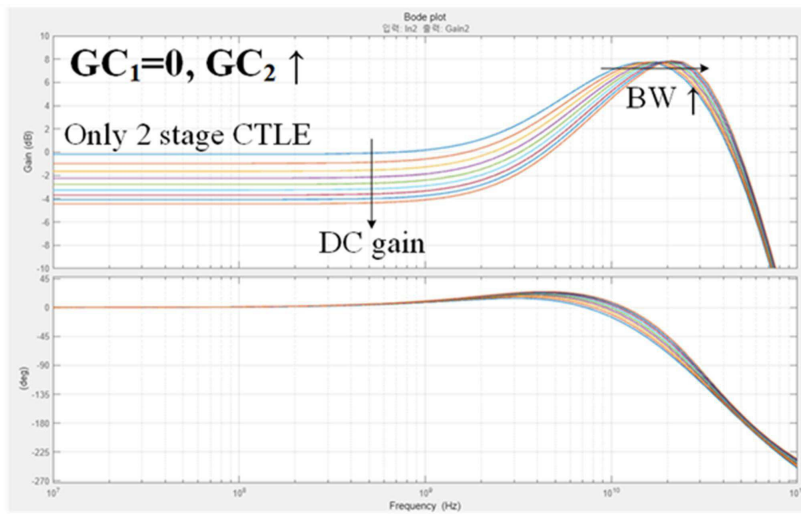
도면9



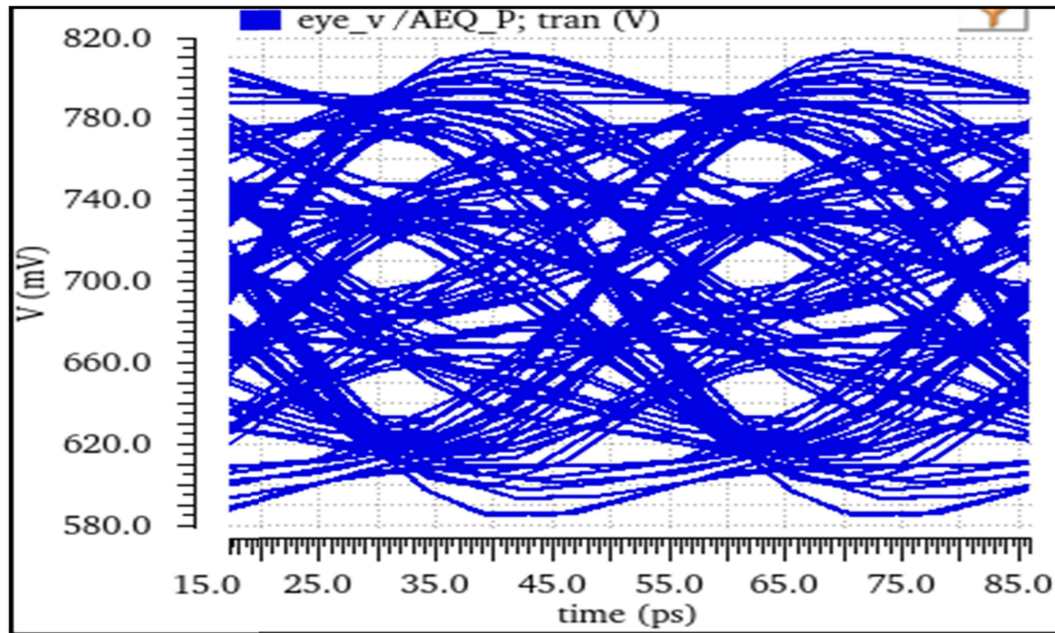
도면10a



도면10b



도면11



도면12

