

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-190835

(P2013-190835A)

(43) 公開日 平成25年9月26日(2013.9.26)

(51) Int.Cl.

G06F 3/00 (2006.01)

F I

G06F 3/00

T

テーマコード (参考)

審査請求 未請求 請求項の数 20 O L (全 20 頁)

(21) 出願番号 特願2012-54406 (P2012-54406)
 (22) 出願日 平成24年3月12日 (2012.3.12)

(71) 出願人 311005884
 ルネサスモバイル株式会社
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 佐々木 聡
 東京都千代田区大手町二丁目6番2号 ル
 ネサスモバイル株式会社内

(54) 【発明の名称】 半導体装置及び携帯端末装置

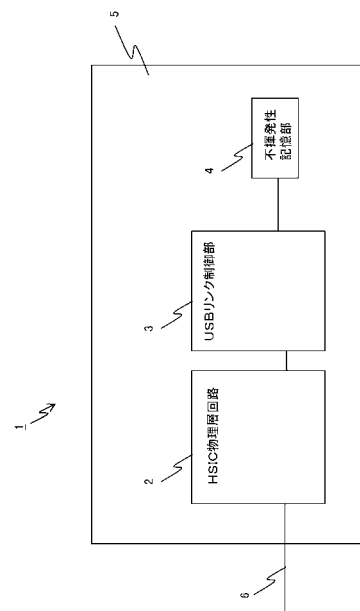
(57) 【要約】

【課題】 安定的に動作することが可能な半導体装置及び携帯端末装置を提供する。

【解決手段】

半導体装置 1 は、他の半導体装置とバス配線を介して固定接続される H S I C 物理層回路 2 と、ホスト機能またはデバイス機能のいずれかの U S B 機能により動作し、他の半導体装置とリンク接続する U S B リンク制御部 3 と、U S B リンク制御部 3 が動作する U S B 機能を選択するための選択データを記憶する不揮発性記憶部 4 と、U S B 物理制御部 2 と U S B リンク制御部 3 と不揮発性記憶部 4 とが形成された半導体基板とを備えている。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

他の半導体装置とバス配線を介して固定接続される H S I C 物理層回路と、
ホスト機能またはデバイス機能のいずれかの U S B 機能により動作し、前記 H S I C 物理層回路を介して前記他の半導体装置とリンク接続する U S B リンク制御部と、
前記 U S B リンク制御部が動作する前記 U S B 機能を選択するための選択データを記憶する不揮発性記憶部と、
前記 H S I C 物理層回路と前記 U S B リンク制御部と前記不揮発性記憶部とが形成された半導体基板と、
を備える半導体装置。

10

【請求項 2】

前記 U S B リンク制御部は、
ホスト機能として動作するための設定信号を生成するホスト設定部と、
デバイス機能として動作するための設定信号を生成するデバイス設定部と、
前記ホスト設定部または前記デバイス設定部が生成した前記設定信号を、前記選択データに応じて出力する切替部と、
を備える請求項 1 に記載の半導体装置。

【請求項 3】

前記 H S I C 物理層回路は、前記 U S B リンク制御部から出力された前記設定信号に応じて、前記バス配線の信号を制御する、
請求項 2 に記載の半導体装置。

20

【請求項 4】

前記バス配線は、S T R O B E 信号線及び D A T A 信号線を含み、
前記 H S I C 物理層回路は、前記 U S B リンク制御部から出力された前記設定信号に応じて、前記 S T R O B E 信号線及び D A T A 信号線の初期状態を制御する、
請求項 2 に記載の半導体装置。

【請求項 5】

前記選択データに応じて前記 U S B リンク制御部がホスト機能として動作する場合、前記 H S I C 物理層回路は、起動時に前記バス配線を I D L E 状態とする、
請求項 1 に記載の半導体装置。

30

【請求項 6】

前記選択データに応じて前記 U S B リンク制御部がデバイス機能として動作する場合、前記 H S I C 物理層回路は、起動時に前記バス配線を C O N N E C T 状態とする、
請求項 1 に記載の半導体装置。

【請求項 7】

前記選択データに応じて前記 U S B リンク制御部がホスト機能として動作する場合、前記 H S I C 物理層回路は、起動時に前記バス配線を R E S E T 状態とする、
請求項 1 に記載の半導体装置。

【請求項 8】

前記選択データに応じて前記 U S B リンク制御部がホスト機能として動作する場合、前記 H S I C 物理層回路は、前記 C O N N E C T 状態とされた後に前記バス配線を R E S E T 状態とする、
請求項 6 に記載の半導体装置。

40

【請求項 9】

前記不揮発性記憶部は、起動時に前記選択データを前記 U S B リンク制御部へ出力する、
請求項 1 に記載の半導体装置。

【請求項 10】

前記不揮発性記憶部は、電気ヒューズである、
請求項 1 に記載の半導体装置。

50

【請求項 1 1】

前記不揮発性記憶部は、不揮発性メモリである、
請求項 1 に記載の半導体装置。

【請求項 1 2】

前記他の半導体装置で実行するプログラムを格納するメモリを備え、
前記選択データに応じて前記 U S B リンク制御部がホスト機能として動作する場合、前記メモリに格納されたプログラムを前記他の半導体装置へ転送する、
請求項 1 に記載の半導体装置。

【請求項 1 3】

アプリケーション処理を実行するアプリケーションプロセッサと、
前記アプリケーションプロセッサとバス配線を介して固定接続され、ベースバンド処理を実行するベースバンドプロセッサと、を備え、
前記アプリケーションプロセッサ及び前記ベースバンドプロセッサのそれぞれは、
前記バス配線に固定接続される H S I C 物理層回路と、
ホスト機能またはデバイス機能のいずれかの U S B 機能により動作し、前記 H S I C 物理層回路を介して前記アプリケーションプロセッサまたは前記ベースバンドプロセッサとリンク接続する U S B リンク制御部と、
前記 U S B リンク制御部が動作する前記 U S B 機能を選択するための選択データを記憶する不揮発性記憶部と、
前記 H S I C 物理層回路と前記 U S B リンク制御部と前記不揮発性記憶部とが形成された半導体基板と、を備える、
携帯端末装置。

【請求項 1 4】

前記 U S B リンク制御部は、
ホスト機能として動作するための設定信号を生成するホスト設定部と、
デバイス機能として動作するための設定信号を生成するデバイス設定部と、
前記ホスト設定部または前記デバイス設定部が生成した前記設定信号を、前記選択データに応じて出力する切替部と、
を備える請求項 1 3 に記載の携帯端末装置。

【請求項 1 5】

前記 H S I C 物理層回路は、前記 U S B リンク制御部から出力された前記設定信号に応じて、前記バス配線の信号を制御する、
請求項 1 4 に記載の携帯端末装置。

【請求項 1 6】

前記バス配線は、S T R O B E 信号線及び D A T A 信号線を含み、
前記 H S I C 物理層回路は、前記 U S B リンク制御部から出力された前記設定信号に応じて、前記 S T R O B E 信号線及び D A T A 信号線の初期状態を制御する、
請求項 1 4 に記載の携帯端末装置。

【請求項 1 7】

前記不揮発性記憶部は、起動時に前記選択データを前記 U S B リンク制御部へ出力する、
請求項 1 3 に記載の携帯端末装置。

【請求項 1 8】

前記不揮発性記憶部は、電気ヒューズである、
請求項 1 3 に記載の携帯端末装置。

【請求項 1 9】

前記不揮発性記憶部は、不揮発性メモリである、
請求項 1 3 に記載の携帯端末装置。

【請求項 2 0】

前記アプリケーションプロセッサまたは前記ベースバンドプロセッサは、前記アプリケ

ーションプロセッサ及び前記ベースバンドプロセッサで実行するプログラムを格納するメモリを備え、

前記選択データに応じて前記USBリンク制御部がホスト機能として動作する場合、前記メモリに格納されたプログラムを、前記アプリケーションプロセッサまたは前記ベースバンドプロセッサへ転送する、

請求項13に記載の携帯端末装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及び携帯端末装置に関し、例えば、ホスト機能またはデバイス機能のいずれかのUSB機能により動作する半導体装置及び携帯端末装置に好適に利用できるものである。

【背景技術】

【0002】

近年、電子機器間を接続するインタフェースとしてUSB(Universal Serial Bus)が広く普及している。USBにより、ホスト機能を有するホスト装置とデバイス機能を有するさまざまなデバイス装置(周辺装置)との接続が可能であり、転送速度の高速化も進んでいることから多くの機器で使用されている。また、電子機器間に限らず、電子機器内部においても使用され始めている。例えば、USB規格の中の"USB 2.0 high speed mode"では、半導体装置(半導体チップ)間を固定接続するHSIC(High Speed Inter Chip)が規格化されている。

【0003】

このようなHSICに関する文献として、例えば特許文献1が知られている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特表2011-512577号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記のようなHSICにより半導体装置間を接続するためには、一方の半導体装置がホスト機能を有するホスト装置として動作し、他方の半導体装置がデバイス機能を有するデバイス装置として動作する必要がある。

【0006】

しかしながら、半導体装置がホスト機能とデバイス機能のいずれのUSB機能で動作するのか選択する方法は規定されていないため、従来の半導体装置では、動作が不安定になる恐れがあるという問題がある。

【0007】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0008】

一実施の形態によれば、半導体装置は、HSIC物理層回路とUSBリンク制御部と不揮発性記憶部とを備えており、HSIC物理層回路とUSBリンク制御部と不揮発性記憶部は半導体基板に形成されている。また、HSIC物理層回路は、他の半導体装置とバス配線を介して固定接続されるものである。USBリンク制御部は、ホスト機能またはデバイス機能のいずれかのUSB機能により動作し、HSIC物理層回路を介して他の半導体装置とリンク接続するものである。不揮発性記憶部は、USBリンク制御部が動作するUSB機能を選択するための選択データを記憶するものである。

【発明の効果】

【 0 0 0 9 】

前記一実施の形態によれば、安定的に動作することが可能な半導体装置及び携帯端末装置を提供することができる。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】実施の形態に係る半導体装置の主要な特徴を示す構成図である。

【図 2】実施の形態 1 に係る携帯端末装置の構成を示す構成図である。

【図 3】実施の形態 1 に係るアプリケーションプロセッサの構成を示す構成図である。

【図 4】実施の形態 1 に係るベースバンドプロセッサの構成を示す構成図である。

【図 5】実施の形態 1 に係る半導体装置の構成を示す構成図である。

10

【図 6】実施の形態 1 に係る半導体装置の構成を示す構成図である。

【図 7】実施の形態 1 に係る半導体装置の動作を示すタイミングチャートである。

【図 8】実施の形態 1 に係る半導体装置の効果を説明するための説明図である。

【図 9】実施の形態 1 に係る半導体装置の動作を説明するための説明図である。

【図 10】実施の形態 2 に係る半導体装置の構成を示す構成図である。

【発明を実施するための形態】

【 0 0 1 1 】

(実施の形態の概要)

まず、図 1 を用いて実施の形態の概要について説明する。図 1 に示すように、実施の形態に係る半導体装置 1 は、H S I C 物理層回路 2 と、U S B リンク制御部 3 と、不揮発性記憶部 4 を備えている。

20

【 0 0 1 2 】

H S I C 物理層回路 2 は、他の半導体装置（不図示）とバス配線 6 を介して固定接続され、U S B 物理層の制御を行う。U S B リンク制御部 3 は、ホスト機能またはデバイス機能のいずれかの U S B 機能により動作し、H S I C 物理層回路 2 を介して他の半導体装置とのリンク接続を制御する。不揮発性記憶部 4 は、U S B リンク制御部 3 が動作する U S B 機能を選択するための選択データを記憶する。さらに、H S I C 物理層回路 2 と U S B リンク制御部 3 と不揮発性記憶部 4 は半導体基板 5 に形成されている。

【 0 0 1 3 】

このような構成により、半導体装置が、ホスト機能とデバイス機能のいずれの U S B 機能で動作するのかを不揮発性記憶部により設定することができるため、半導体装置を常に安定して動作させることができる。例えば、電源 O N 時やリセット時においても、設定されたホスト機能またはデバイス機能により確実に動作することができる。

30

【 0 0 1 4 】

(実施の形態 1)

以下、図面を参照して実施の形態 1 について説明する。

【 0 0 1 5 】

図 2 は、本実施の形態に係る携帯端末装置の構成を示している。携帯端末装置 1 0 0 は、例えば、携帯電話やスマートフォン、タブレット端末等の携帯端末装置である。携帯端末装置 1 0 0 は、不図示の基地局と無線通信を行い、基地局を介して他の携帯端末装置等と接続して通話等のデータ通信を行う。

40

【 0 0 1 6 】

図 2 に示すように、携帯端末装置 1 0 0 は、マルチプロセッサ構成の端末装置であり、アプリケーションプロセッサ (A P E : Application Processor Engine) 1 1 0 とベースバンドプロセッサ (B B : Base Band processor) 1 2 0 を備えており、各プロセッサの記憶装置としてメモリ 1 1 1、不揮発性メモリ 1 1 2、メモリ 1 2 1 を有している。さらに、携帯端末装置 1 0 0 は、P M I C (Power Management IC) 1 3 0、アンテナ 1 4 0、R F A F E (Radio Frequency Analog Front End) 1 5 0、R F I C (Radio Frequency IC) 1 6 0、スピーカ 1 7 0、マイク 1 8 0 を備えている。

【 0 0 1 7 】

50

なお、携帯端末装置 100 は、携帯電話やスマートフォン等として必要な機能を実現するために、キーボード、カメラ等の入力部や、液晶ディスプレイ、タッチパネル等の表示部等その他の構成を有している。

【0018】

P M I C (Power Management IC) 130 は、携帯端末装置 100 の各部への電源供給を管理する電源回路である。マイク 180 は、通話等のために音声入力を行う入力部であり、スピーカ 170 は、通話等のために音声出力を行う出力部である。

【0019】

R F A F E 150 及び R F I C 160 は、R F 信号処理回路を構成し、アンテナ 140 を介して送受信される R F 信号 (無線信号) に対し R F 処理を行う。例えば、R F A F E 150 は、送信信号の増幅、送信信号の選択及び受信信号の選択を行い、R F I C 160 は、送信信号のアップコンバート、受信信号のダウンコンバート、送信データの D / A 変換及び受信信号の A / D 変換を行う。

【0020】

アプリケーションプロセッサ 110 は、映像データ (画像データ) の圧縮や伸張等のアプリケーション処理を行う半導体装置である。ベースバンドプロセッサ 120 は、無線データの変調や復調等のベースバンド処理を行う半導体装置である。アプリケーションプロセッサ 110 及びベースバンドプロセッサ 120 は、それぞれ 1 チップの半導体装置であり H S I C バス 101 を介して接続されている。

【0021】

アプリケーションプロセッサ 110 には、不揮発性メモリ 112 及びメモリ 111 が接続されている。不揮発性メモリ 112 は、アプリケーションプロセッサ 110 及びベースバンドプロセッサ 120 で実行されるプログラムが格納されており、後述のように、不揮発性メモリ 112 をベースバンドプロセッサ 120 に接続してもよい。メモリ 111 は、アプリケーションプロセッサ 110 が処理した映像データ等のアプリケーションデータが格納される。例えば、メモリ 111 の映像データが表示部に表示される。

【0022】

ベースバンドプロセッサ 120 には、メモリ 121、スピーカ 170、マイク 180 が接続されている。メモリ 121 は、ベースバンドプロセッサ 120 が処理した音声データ等のベースバンドデータが格納される。

【0023】

通話機能を実現するため、ベースバンドプロセッサ 120 は、マイク 180 から音声信号が入力されると、音声信号をエンコードして送信データとして R F I C 160 へ出力する。また、ベースバンドプロセッサ 120 は、R F I C 160 から音声の受信データが入力されると、受信データをデコードして音声信号としてスピーカ 170 へ出力する。

【0024】

また、映像データ等のデータ通信機能を実現するため、ベースバンドプロセッサ 120 は、アプリケーションプロセッサ 110 から映像データが入力されると、映像データをエンコードして送信データとして R F I C 160 へ出力する。また、ベースバンドプロセッサ 120 は、R F I C 160 から映像等の受信データが入力されると、受信データをデコードして映像データとしてアプリケーションプロセッサ 110 へ出力する。

【0025】

その他、アプリケーション機能を実現するため、例えば、アプリケーションプロセッサ 110 は、カメラ等から映像信号が入力されると、映像信号をエンコードして映像データをメモリ 111 やベースバンドプロセッサ 120 へ出力する。また、アプリケーションプロセッサ 110 は、ベースバンドプロセッサ 120 から映像データが入力されると、映像データをデコードして映像信号として表示部へ出力する。

【0026】

なお、アプリケーションプロセッサ 110 とベースバンドプロセッサ 120 との間は、H S I C バス 101 を介して接続されるとともに、他のバス (不図示) を介しても接続さ

10

20

30

40

50

れている。後述のように、H S I Cバス101を介して、主に、アプリケーションプロセッサ110またはベースバンドプロセッサ120で実行されるプログラムが入出力される。その他、アプリケーションプロセッサ110とベースバンドプロセッサ120との間で入出力される通信データ等については、H S I Cバス101を介して入出力してもよいし、他のバスを介して入出力してもよい。例えば、H S I Cバス101は、転送速度が480Mbpsであるため、480Mbps程度の速度で転送する必要のあるデータについては、H S I Cバス101を介して転送し、480Mbps以下の速度で転送してもよいデータについては、他の低速の通信経路を介して転送するようにしてもよい。

【0027】

図3は、本実施の形態に係るアプリケーションプロセッサ110の構成を示し、図4は、本実施の形態に係るベースバンドプロセッサ120の構成を示している。アプリケーションプロセッサ110及びベースバンドプロセッサ120は、周辺回路（インタフェース）としてH S I Cを実装している。

【0028】

なお、図3及び図4において、共通する構成の符号の末尾にはaまたはbが付されている。共通する構成について符号にaまたはbを付さずに称する場合もあり、また、特にアプリケーションプロセッサ110に備えられる構成については、符号にaを付して称し、特にベースバンドプロセッサ120に備えられる構成については、符号にbを付して称する。

【0029】

図3及び図4に示すように、アプリケーションプロセッサ110及びベースバンドプロセッサ120は、CPU11（11a及び11b）、バス12（12a及び12b）、バスブリッジ13（13a及び13b）、バス14（14a及び14b）、USBリンク層回路20（20a及び20b）、H S I C物理層回路30（30a及び30b）、複数のペリフェラル回路50（50a及び50b）、電気ヒューズ40（40a及び40b）を含む設定制御回路60（60a及び60b）、オンチップメモリ61（61a及び61b）、DMAC（Direct Memory Access Controller）62（62a及び62b）、SDRAMインタフェース63（63a及び63b）、ROM64（64a及び64b）を備えている。

【0030】

さらに、アプリケーションプロセッサ110は、グラフィックアクセラレータ70を備えており、ベースバンドプロセッサ120は、モデム80を備えている。また、これらの回路は、半導体基板10（10a及び10b）上に形成されている。

【0031】

CPU11と、オンチップメモリ61と、DMAC62と、SDRAMインタフェース63と、ROM64と、グラフィックアクセラレータ70もしくはモデム80とは、CPUバスであるバス12を介して共通接続されている。また、USBリンク層回路20と、電気ヒューズ40を含む設定制御回路60と、ペリフェラル回路50とは、周辺バスであるバス14を介して共通接続されている。さらに、バス12とバス14とはバスブリッジ13を介して接続されている。例えば、バス12は高速バスであり、バス14は低速バスであり、バスブリッジ13は、高速バスに接続されたCPU11と低速バスに接続されたUSBリンク層回路20との間で信号の入出力を可能とする。

【0032】

CPU11は、プログラムに従って演算処理を行うことで各処理を実行する処理部である。揮発性メモリであるオンチップメモリ61には、映像データや音声データ、演算処理に必要なデータが格納され、不揮発性メモリであるROM64には、その他、電源オフの状態でも保持すべき設定データ等が格納される。

【0033】

DMAC62は、周辺回路等とオンチップメモリとの間でダイレクトメモリアクセスを可能にする。SDRAMインタフェース63は、SDRAMに対しデータの書き込み/読

10

20

30

40

50

み出しを行うインタフェースであり、例えば、図 2 のメモリ 1 1 1 もしくはメモリ 1 2 1 と接続するためのインタフェースである。

【 0 0 3 4 】

アプリケーションプロセッサ 1 1 0 の H S I C 物理層回路 3 0 a とベースバンドプロセッサ 1 2 0 の H S I C 物理層回路 3 0 b は、H S I C バス 1 0 1 を介して着脱不可能に固定接続されており、H S I C 規格に従った物理層制御を行う。

【 0 0 3 5 】

アプリケーションプロセッサ 1 1 0 の U S B リンク層回路 2 0 a とベースバンドプロセッサ 1 2 0 の U S B リンク層回路 2 0 b は、H S I C 物理層回路 3 0 a、H S I C バス 1 0 1、H S I C 物理層回路 3 0 b を介して接続され、U S B 規格に従ったリンク層制御を行う。U S B リンク層回路 2 0 は、ホスト機能及びデバイス機能のいずれの機能でも動作することが可能である。

10

【 0 0 3 6 】

設定制御回路 6 0 は、アプリケーションプロセッサ 1 1 0 またはベースバンドプロセッサ 1 2 0 である半導体装置の各種設定を行う回路である。例えば、設定制御回路 6 0 は、R O M 6 4 に格納された設定データや外部から入力される信号に基づいて各回路の設定を行う。

【 0 0 3 7 】

特に、本実施の形態では、設定制御回路 6 0 は、電氣的に切断可能（プログラム可能）な電気ヒューズ 4 0 を含んでいる。電気ヒューズ 4 0 は、ヒューズの切断状態（プログラム状態）に応じて U S B リンク層回路 2 0 に対し、ホスト機能及びデバイス機能のいずれかを設定する。電気ヒューズ 4 0 の状態を書き換えることで、回路製造後でも、ホスト機能か、デバイス機能かの選択を変更することができる。

20

【 0 0 3 8 】

ペリフェラル回路 5 0 は、バスを介して C P U に接続される種々の周辺回路であり、半導体装置の機能に応じて必要となる回路が設けられる。例えば、U A R T (Universal Asynchronous Receiver Transmitter) や I 2 C (Inter Integrated Circuit)、半導体装置の外部に設けられた外部装置とのインタフェースである。

【 0 0 3 9 】

図 3 のグラフィックアクセラレータ 7 0 は、映像データ（画像データ）の圧縮や伸張等を行う映像（画像）処理部である。例えば、グラフィックアクセラレータ 7 0 で処理された映像データが S D R A M インタフェース 6 3 を介してメモリ 1 1 1 へ格納される。図 4 のモデム 8 0 は、R F I C 1 6 0 との間で入出力されるデジタル信号の変調処理や復調処理を行う通信処理部である。例えば、モデム 8 0 で処理された音声データが S D R A M インタフェース 6 3 を介してメモリ 1 2 1 へ格納される。

30

【 0 0 4 0 】

図 5 は、本実施の形態に係るアプリケーションプロセッサ 1 1 0 及びベースバンドプロセッサ 1 2 0 である半導体装置 1 のさらに詳細な構成を示している。図 5 の半導体装置 1 は、図 3 のアプリケーションプロセッサ 1 1 0 及び図 4 のベースバンドプロセッサ 1 2 0 に共通する構成のうち、特に、電気ヒューズ 4 0、U S B リンク層回路 2 0、H S I C 物理層回路 3 0 の構成と接続関係を示している。

40

【 0 0 4 1 】

図 5 に示すように、U S B リンク層回路 2 0 は、物理（P H Y）制御回路 2 1、切替回路 2 2、バスインタフェース 2 3、ホスト設定部 2 4、デバイス設定部 2 5 を備えている。

【 0 0 4 2 】

バスインタフェース 2 3 は、C P U 1 1 等から H S I C バス 1 0 1 を介して送信するデータが入力され、また H S I C バス 1 0 1 を介して受信したデータを C P U 1 1 等へ出力する。また、バスインタフェース 2 3 は、C P U 1 1 等からホスト機能 / デバイス機能を切り替えるための切替信号（U S B S E L）を入力し、切替回路 2 2 へ出力してもよい。

50

【 0 0 4 3 】

ホスト設定部 2 4 は、U S B リンク層回路 2 0 及び H S I C 物理層回路 3 0 をホスト機能として動作させるように設定するための設定部である。ホスト設定部 2 4 は、ホスト機能として動作を開始するように H S I C 物理層の S T R O B E 信号及び D A T A 信号の初期状態（起動時の信号の状態）を設定する設定信号を出力する。

【 0 0 4 4 】

デバイス設定部 2 5 は、U S B リンク層回路 2 0 及び H S I C 物理層回路 3 0 をデバイス機能として動作させるように設定するための設定部である。デバイス設定部 2 5 は、デバイス機能として動作を開始するように H S I C 物理層の S T R O B E 信号及び D A T A 信号の初期状態を設定する設定信号を出力する。

10

【 0 0 4 5 】

切替回路 2 2 は、ホスト機能 / デバイス機能を切り替えるための切替信号（U S B S E L）が入力され、U S B S E L 信号に応じて、ホスト機能またはデバイス機能を切り替える。この切り替えにより、切替回路 2 2 は、ホスト設定部 2 4 またはデバイス設定部 2 5 から出力されるホスト機能またはデバイス機能を設定するための設定信号を物理制御回路 2 1 へ出力する。

【 0 0 4 6 】

物理制御回路 2 1 は、切替回路 2 2 から出力された、S T R O B E 信号及び D A T A 信号の初期状態を決める設定信号を、H S I C 物理層回路 3 0 へ U T M I バス 1 0 2 を介して出力する。また、物理制御回路 2 1 は、バスインタフェース 2 3 との間で、H S I C バス 1 0 1 及び U T M I バス 1 0 2 を介して送受信するデータの入出力も行う。

20

【 0 0 4 7 】

H S I C 物理層回路 3 0 は、端子制御回路 3 1 を備えている。端子制御回路 3 1 は、U T M I バス 1 0 2 を介して設定信号が入力され、設定信号に応じて S T R O B E 信号及び D A T A 信号を出力する。また、S T R O B E 信号及び D A T A 信号から入力されるデータを U T M I バス 1 0 2 を介して U S B リンク層回路 2 0 へ出力する。半導体装置 1 は、S T R O B E 信号用の端子 1 0 1 a と D A T A 信号用の端子 1 0 1 b を有しており、端子 1 0 1 a 及び端子 1 0 1 b を介して S T R O B E 信号及び D A T A 信号が H S I C 物理層回路 3 0（端子制御回路 3 1）に入出力される。

【 0 0 4 8 】

30

電気ヒューズ 4 0 は、ヒューズ制御回路 4 1、バスインタフェース 4 2、選択回路 4 3、複数のヒューズ本体部 4 4 を備えている。各ヒューズ本体部 4 4 は、電圧生成回路 4 5、ヒューズ 4 6、センスアンプ（S A）4 7、シフトレジスタ（S R）4 8 を備えている。

【 0 0 4 9 】

バスインタフェース 4 2 には、C P U 1 1 等から切断または読出対象となるヒューズを選択する選択信号（アドレス信号）が入力される。ヒューズ制御回路 4 1 は、選択信号に対応するヒューズ本体部 4 4 及び選択回路 4 3 へヒューズの切断または読出を指示する。

【 0 0 5 0 】

ヒューズ本体部 4 4 は、ヒューズを切断する場合は、電圧生成回路 4 5 により切断電圧を生成してヒューズ 4 6 に印可する。また、ヒューズ本体部 4 4 は、ヒューズの切断状態を読み出す場合は、電圧生成回路 4 5 により読出電圧をヒューズ 4 6 に印可する。

40

【 0 0 5 1 】

センスアンプ 4 7 及びシフトレジスタ 4 8 は、ヒューズの読出時に、ヒューズ 4 6 の電流をセンス（検出）して増幅し、ヒューズの切断状態に応じたヒューズデータをレジスタに保持し出力する。選択回路 4 3 は、ヒューズ本体部 4 4 から読み出されるヒューズデータ（選択データ）をホスト機能 / デバイス機能を切り替えるための切替信号（U S B S E L）として、U S B リンク層回路 2 0 の切替回路 2 2 へ出力する。

【 0 0 5 2 】

次に、本実施の形態に係るアプリケーションプロセッサ及びベースバンドプロセッサの

50

動作について説明する。図 6 は、この動作を説明するために使用する U T M I バス及び H S I C バスの信号線の接続関係を示している。

【 0 0 5 3 】

図 6 に示すように、アプリケーションプロセッサ 1 1 0 及びベースバンドプロセッサ 1 2 0 は、図 5 の U S B リンク層回路 2 0 (2 0 a 及び 2 0 b)、H S I C 物理層回路 3 0 (3 0 a 及び 3 0 b)、電気ヒューズ 4 0 (4 0 a 及び 4 0 b) を有している。

【 0 0 5 4 】

U S B リンク層回路 2 0 と H S I C 物理層回路 3 0 との間は、U T M I バス 1 0 2 (1 0 2 a 及び 1 0 2 b) により接続されている。U S B リンク層回路 2 0 は、U T M I バス 1 0 2 を介して接続するための U T M I インタフェース 2 6 (2 6 a 及び 2 6 b) を有し、H S I C 物理層回路 3 0 は、U T M I バス 1 0 2 を介して接続するための U T M I インタフェース 3 2 (3 2 a 及び 3 2 b) を有している。

【 0 0 5 5 】

U T M I インタフェース (U T M I バス) は、U T M I 規格に準拠したインタフェース (バス) である。例えば、"USB 2.0 Transceiver Macrocell Interface (UMTI) Specification"に既定された U T M I + 規格に対応しており、その他、U L P I (UMTI Low Pin Interface) 規格に対応していてもよい。

【 0 0 5 6 】

U T M I バス 1 0 2 には複数の入出力信号が含まれており、ここではその一部を示している。U T M I バス 1 0 2 では、U S B リンク層回路 2 0 から H S I C 物理層回路 3 0 へ向かって X C V R S E L 信号、O P M O D E 信号、T X V A L I D 信号が出力され、H S I C 物理層回路 3 0 から U S B リンク層回路 2 0 へ向かって L I N E S T A T E 信号が出力される。

【 0 0 5 7 】

X C V R S E L 信号は、U S B リンク層回路 2 0 が H S I C 物理層回路 3 0 へトランシーバを選択するための選択信号である。U S B リンク層回路 2 0 は、H S (Hi Speed) トランシーバまたは F S (Full Speed) トランシーバを 1 ビットの X C V R S E L 信号により設定する。

【 0 0 5 8 】

O P M O D E 信号は、U S B リンク層回路 2 0 が H S I C 物理層回路 3 0 へオペレーショナルモードを設定するためのモード信号である。U S B リンク層回路 2 0 は、ノーマルオペレーションモード、ノンドライビングモード、ディスエーブルモード (Disable bit stuffing and NRZI encoding) を 2 ビットの O P M O D E 信号により設定する。

【 0 0 5 9 】

T X V A L I D 信号は、U S B リンク層回路 2 0 が H S I C 物理層回路 3 0 へ送信フラグを設定するためのフラグ信号である。U S B リンク層回路 2 0 は、U T M I バスに含まれるデータバス (不図示) によりデータを送信する場合に T X V A L I D 信号を設定する。

【 0 0 6 0 】

L I N E S T A T E 信号は、H S I C 物理層回路 3 0 が U S B リンク層回路 2 0 へ H S I C バスの現在の回線状態を通知するための回線状態信号である。H S I C 物理層回路 3 0 は、S E 0 (single ended 0)、J ステート、K ステート、S E 1 (single ended 1) を 2 ビットの L I N E S T A T E 信号により通知する。

【 0 0 6 1 】

H S I C 物理層回路 3 0 は、H S I C バス 1 0 1 を介して接続するための H S I C インタフェース 3 3 (3 3 a 及び 3 3 b) を有している。H S I C インタフェース (H S I C バス) は、H S I C 規格に準拠したインタフェース (バス) である。例えば、"High-Speed Inter-Chip USB Electrical Specification version 1.0"の規格に従っている。

【 0 0 6 2 】

H S I C バス 1 0 1 に含まれる S T R O B E 信号及び D A T A 信号は、アプリケーション

10

20

30

40

50

ンプロセッサ 110 とベースバンドプロセッサ 120 との間で双方向に入出力される。DATA 信号は、送受信するデータを入出力するための信号であり、STROBE 信号は、DATA 信号で出力されるデータに同期して出力されるタイミング信号である。

【0063】

また、HSIC バスでは、STROBE 信号及び DATA 信号の High / Low の組み合わせにより、バス状態がシグナリングされる。このバス状態により、電源オンによる起動時（リセット時）の接続シーケンス（起動シーケンス）が実現される。例えば、電源オンされて HSIC がイネーブルとなった場合には IDLE 状態がシグナリングされ、その後、CONNECT 状態がシグナリングされる。

【0064】

図 7 のタイミングチャートは、図 6 のアプリケーションプロセッサ 110 及びベースバンドプロセッサにおける、電源オンの起動時（リセット時）の接続シーケンス（起動シーケンス）を示している。すなわち、図 7 は、電源 ON により HSIC バスを介してシグナリングが行われてデータ伝送が開始されるまでの各信号を示している。ここでは、アプリケーションプロセッサ 110 がホスト機能として動作し、ベースバンドプロセッサ 120 がデバイス機能として動作する例について説明する。

【0065】

まず、HSIC 物理層回路 30a 及び 30b の電源が ON される（T0）。携帯端末装置 100 の電源が ON されると、アプリケーションプロセッサ 110 及びベースバンドプロセッサ 120 が同時に電源 ON となり、HSIC 物理層回路 30a 及び 30b に電源の供給が開始される。この状態では HSIC 物理層回路 30a 及び 30b は動作不可である。このとき、HSIC 物理層回路 30a 及び 30b が動作していないため、HSIC バス 101 では STROBE 信号及び DATA 信号は Low である。

【0066】

また、電源 ON によりすぐに電気ヒューズ 40 が動作する。そうすると、アプリケーションプロセッサ 110 では、ホスト機能として動作するために電気ヒューズ 40a が切断状態に応じて USBSEL 信号に High（"1"）の出力を開始する。また、ベースバンドプロセッサ 120 では、デバイス機能として動作するために電気ヒューズ 40b が切断状態に応じて USBSEL 信号に Low（"0"）を出力し続ける。したがって、USB リンク層回路 20a の切替回路 22a はホスト設定部 24a を選択し、USB リンク層回路 20b の切替回路 22b はデバイス設定部 25b を選択するように切り替える。

【0067】

このとき、UTMI バス 102a ではホスト設定部 24a によって、また、UTMI バス 102b ではデバイス設定部 25b によって、XCVRSEL 信号は FSTRANSIEVA（"1"）に設定され、OPMODE 信号はノンドライビングモード（"01"）に設定され、TXVALID 信号は Low となる。また、HSIC 物理層回路 30a 及び 30b が動作していないため、UTMI バス 102a 及び 102b では、LINESTATE 信号は SE0（"00"）である。

【0068】

続いて、HSIC 物理層回路 30a 及び 30b は動作可能な状態となる（T1）。アプリケーションプロセッサ 110 がホスト機能として動作するため、T1 の直前のタイミング（T1a）で、USB リンク層回路 20a のホスト設定部 24a は UTMI バス 102a の OPMODE 信号をノーマルオペレーションモード（"00"）に設定する。例えば、これらの信号が HSIC 物理層をホスト機能として動作させるための設定信号である。

【0069】

そうすると、T1 で、HSIC 物理層回路 30a の端子制御回路 31a は、HSIC バス 101 の STROBE 信号を High に立ち上げて、HSIC バス 101 を IDLE 状態（STROBE = High / DATA = Low）とする。すなわち、ホスト機能で動作するアプリケーションプロセッサ 110 が HSIC バス 101 を IDLE 状態とする。STROBE 信号が High となったため、T1 の直後のタイミング（T1b）で、HSI

10

20

30

40

50

C物理層回路30a及び30bは、UTMIバス102a及び102bのLINE STATE信号をJステート("01")とする。

【0070】

続いて、HSIC物理層回路30a及び30bはアタッチを開始する(T2)。ベースバンドプロセッサ120がデバイス機能として動作するため、T2の直前のタイミング(T2a)で、USBリンク層回路20bのデバイス設定部25bは、UTMIバス102bのOPMODE信号をディスエーブルモード("10")に設定し、TXVALID信号をHighに立ち上げる。例えば、これらの信号がHSIC物理層をデバイス機能として動作させるための設定信号である。

【0071】

そうすると、T2で、HSIC物理層回路30bの端子制御回路31bは、HSICバス101のSTROBE信号をLowに立ち下げ、DATA信号をHighに立ち上げて、HSICバス101をCONNECT状態(STROBE=Low/DATA=High)とする。すなわち、デバイス機能で動作するベースバンドプロセッサ120がHSICバス101をCONNECT状態とする。STROBE信号がLow、DATA信号がHighとなったため、T2の直後のタイミング(T2b)で、HSIC物理層回路30a及び30bは、UTMIバス102a及び102bのLINE STATE信号をKステート("10")とする。

【0072】

また、HSIC物理層回路30bの端子制御回路31bは、所定期間後、HSICバス101のSTROBE信号をHighに立ち上げ、DATA信号をLowに立ち下げて、HSICバス101をIDLE状態(STROBE=High/DATA=Low)に戻す(T2c)。なお、このとき、USBリンク層回路20a(ホスト機能)とUSBリンク層回路20b(デバイス機能)との間でエニュメレーションが行われ、ホスト機能は、デバイス機能の装置を認識する。

【0073】

続いて、HSIC物理層回路30a及び30bはアタッチを終了する(T3)。T3の直前のタイミング(T3a)で、USBリンク層回路30bのデバイス設定部25bは、UTMIバス102bのOPMODE信号をノーマルオペレーションモード("00")に設定し、TXVALID信号をLowに立ち下げる。

【0074】

そうすると、HSICバス101のSTROBE信号がHigh、DATA信号がLowであるため、T3で、HSIC物理層回路30aの端子制御回路31aは、UTMIバス102aのLINE STATE信号をJステート("01")とし、T3の直後のタイミング(T3b)で、HSIC物理層回路30bの端末制御回路31bは、UTMIバス102bのLINE STATE信号をJステート("01")とする。

【0075】

続いて、HSIC物理層回路30a及び30bは、物理層(PHY)をリセットする(T4)。アプリケーションプロセッサ110がホスト機能として動作するため、T4の直前のタイミング(T4a)で、USBリンク層回路30aのホスト設定部24aは、UTMIバス102aのXCVRSEL信号をHストランシーバ("0")に設定し、OPMODE信号をディスエーブルモード("10")に設定する。例えば、これらの信号がHSIC物理層をホスト機能として動作させるための設定信号である。

【0076】

そうすると、T4で、HSIC物理層回路30aの端子制御回路31aは、HSICバス101のSTROBE信号をLowに立ち下げ、HSICバス101をRESET状態(STROBE=Low/DATA=Low)とする。すなわち、ホスト機能で動作するアプリケーションプロセッサ110がHSICバス101をRESET状態とする。STROBE信号がLow、DATA信号がLowとなったため、T4の直後のタイミング(T4b)で、HSIC物理層回路30a及び30bは、UTMIバス102a及び102

10

20

30

40

50

bのLINE STATE信号をSE0("00")とする。

【0077】

続いて、HSIC物理層回路30a及び30bは、HSICをアイドルにする(T5)。T5の直前のタイミング(T5a)で、USBリンク層回路20aのホスト設定部24aは、UTMIバス102aのOPMODE信号をノーマルオペレーションモード("00")に設定し、USBリンク層回路20bのデバイス設定部25bは、UTMIバス102bのXCVRSEL信号をHストランシーバ("0")に設定する。

【0078】

そうすると、T4で、HSIC物理層回路30a及び30bの端子制御回路31a及び31bは、HSICバス101のSTROBE信号Highに立ち上げ、HSICバス101をIDLE状態(STROBE=High/DATA=Low)とする。STROBE信号がHigh、DATA信号がLowとなったため、T5の直後のタイミング(T5b)で、HSIC物理層回路30bは、UTMIバス102bのLINE STATE信号をKステート("10")とし、その後、LINE STATE信号をSE0("00")とし、さらに、Jステート("01")とする。

10

【0079】

続いて、HSIC物理層回路30a及び30bは、HSICの転送を開始する(T6)。T6の直前のタイミング(T6a)で、USBリンク層回路20aのホスト設定部24aは、UTMIバス102aのTXVALID信号をHighに立ち上げる。

【0080】

そうすると、T2で、HSIC物理層回路30a及び30bの端子制御回路31a及び31bは、HSICバス101のSTROBE信号及びDATA信号を用いて、データ転送を行う。データ転送が開始されたため、T6の直後のタイミング(T6b)で、HSIC物理層回路30a及び30bは、UTMIバス102a及び102bのLINE STATE信号をJステート("01")とする。

20

【0081】

このようにして、電源ON時にHSICバスを介してシグナリングが行われることでデータ転送が可能となる。図7のように、HSICバスにより接続する場合には、電源ONの後、T2にてデバイス機能の装置がアタッチ(CONNECT状態のシグナリング)を行い、T4にてホスト機能の装置がリセット(RESET状態のシグナリング)を行わなければならない。このため、電源ON直後(リセット解除時)に半導体装置がホスト機能で動作するのかデバイス機能で動作するのか決まっていないと、アタッチやリセットのシグナリングが行われず、半導体装置間で正常にハンドシェイクが実行されないため、USBリンクを接続することができない。

30

【0082】

例えば、レジスタ等によりホスト機能/デバイス機能を確定してもよいが、この場合には、電源ON直後に状態が確定しないため、シグナリングが正常に行われない可能性がある。また、ホスト機能もしくはデバイス機能のいずれかの機能に固定して半導体装置を構成してもよいが、製造後に半導体装置の用途等に応じて機能を選択することができなくなってしまう。そこで、本実施の形態では、電気ヒューズ40の切断状態により電源ON直後にホスト機能またはデバイス機能のいずれの機能で動作するのか決定することで、確実に起動シーケンスのシグナリングを行い、正常な接続を可能とした。

40

【0083】

図8は、ホスト/デバイス切り替え機能を半導体装置に内蔵する場合と(図8(a))、半導体装置の外部に外付けにする場合(図8(b))の構成の違いを示している。

【0084】

図8(b)では、半導体装置900の外部に外付け部品49を設け、外付け部品49を半導体装置900の入力端子101cに接続している。外付け部品49は抵抗等であり、抵抗値に応じた信号が入力端子101cを介して入力され、この信号がバッファ49aにより増幅されてUSBSL信号が生成される。このように、切り替え機能を外付けにし

50

た場合、半導体装置には切り替え用の入力端子が必要になるという問題がある。近年の微細化プロセスにより、一つの半導体装置に組み込まれる機能が増加しているため、ホスト／デバイス切り替えのために端子を設けることは困難である。また、この場合、半導体装置の外部に抵抗などの外付け部品が余計に必要なため、コストが上昇するという問題もある。

【 0 0 8 5 】

そこで、本実施の形態では、図 8 (a) に示すように、ホスト／デバイス切り替え機能を半導体装置に内蔵させている。上述したように、本実施の形態に係る半導体装置 1 は、内部に電気ヒューズ 4 0 を備え、ヒューズの切断状態に応じて U S B S E L 信号を生成し、ホスト機能／デバイス機能を切り替える構成とした。これにより、図 8 (b) のような切り替えのための入力端子が不要であるため、半導体装置の端子数を減らすことができる。また、抵抗等の外付け部品を用意する必要がないためコストを削減することも可能である。

10

【 0 0 8 6 】

図 9 は、本実施の形態に係る携帯端末装置 1 0 0 において、上記のようにアプリケーションプロセッサ 1 1 0 とベースバンドプロセッサ 1 2 0 がホスト機能またはデバイス機能に切り替えられた状態を示している。

【 0 0 8 7 】

図 9 (a) は、アプリケーションプロセッサ 1 1 0 がホスト機能として動作し、ベースバンドプロセッサ 1 2 0 がデバイス機能として動作する例である。図 9 (a) では、アプリケーションプロセッサ 1 1 0 に不揮発性メモリ 1 1 2 が接続されており、この不揮発性メモリ 1 1 2 には、アプリケーションプロセッサ 1 1 0 用の起動プログラム 1 1 0 a とベースバンドプロセッサ 1 2 0 用の起動プログラム 1 2 0 a が格納されている。

20

【 0 0 8 8 】

そして、アプリケーションプロセッサ 1 1 0 の電気ヒューズ 4 0 a はホスト機能を選択するように設定され、ベースバンドプロセッサ 1 2 0 の電気ヒューズ 4 0 b はデバイス機能を選択するように設定されている。携帯端末装置 1 0 0 が電源 O N されると、図 7 で示したように、アプリケーションプロセッサ 1 1 0 の U S B リンク層回路 2 0 a 及び H S I C 物理層回路 3 0 a はホスト機能として動作し、ベースバンドプロセッサ 1 2 0 の U S B リンク層回路 2 0 b 及び H S I C 物理層回路 3 0 b はデバイス機能として動作し、 H S I C バス 1 0 1 を介して U S B リンクが接続された状態となる。

30

【 0 0 8 9 】

そうすると、ホスト機能側のアプリケーションプロセッサ 1 1 0 は、不揮発性メモリ 1 1 2 からアプリケーションプロセッサ 1 1 0 用の起動プログラム 1 1 0 a を読み出して、起動プログラム 1 1 0 a を実行して起動状態となる。また、アプリケーションプロセッサ 1 1 0 は、不揮発性メモリ 1 1 2 からベースバンドプロセッサ 1 2 0 用の起動プログラム 1 2 0 a を読み出し、 H S I C バス 1 0 1 を介して、ベースバンドプロセッサ 1 2 0 へ出力する。ベースバンドプロセッサ 1 2 0 は、 H S I C バス 1 0 1 を介して起動プログラム 1 2 0 a をダウンロードし、起動プログラム 1 2 0 a を実行して起動状態となる。この場合には、ホストからデバイスへ起動プログラムを転送するため、アプリケーションプロセッサ 1 1 0 をホスト機能とし、ベースバンドプロセッサ 1 2 0 をデバイス機能としている。

40

【 0 0 9 0 】

アプリケーションプロセッサ 1 1 0 の機能が多く、ベースバンドプロセッサ 1 2 0 の起動プログラム 1 2 0 a よりもアプリケーションプロセッサ 1 1 0 の起動プログラム 1 1 0 a のサイズが大きい場合には、起動プログラムを格納する不揮発性メモリ 1 1 2 をアプリケーションプロセッサ 1 1 0 側に設けることで、アプリケーションプロセッサ 1 1 0 の起動時間を短縮でき、プログラムの転送時間も短縮できる。

【 0 0 9 1 】

図 9 (b) は、ベースバンドプロセッサ 1 2 0 がホスト機能として動作し、アプリケー

50

ションプロセッサ 110 がデバイス機能として動作する例である。図 9 (b) では、ベースバンドプロセッサ 120 に不揮発性メモリ 122 が接続されており、この不揮発性メモリ 122 には、アプリケーションプロセッサ 110 用の起動プログラム 110 a とベースバンドプロセッサ 120 用の起動プログラム 120 a が格納されている。

【0092】

そして、アプリケーションプロセッサ 110 の電気ヒューズ 40 a はデバイス機能を選択するように設定され、ベースバンドプロセッサ 120 の電気ヒューズ 40 b はホスト機能を選択するように設定されている。携帯端末装置 100 が電源 ON されると、図 7 で示したように、アプリケーションプロセッサ 110 の USB リンク層回路 20 a 及び H S I C 物理層回路 30 a はデバイス機能として動作し、ベースバンドプロセッサ 120 の U S B リンク層回路 20 b 及び H S I C 物理層回路 30 b はホスト機能として動作し、H S I C バス 101 を介して U S B リンクが接続された状態となる。

【0093】

そうすると、ホスト機能側のベースバンドプロセッサ 120 は、不揮発性メモリ 122 からベースバンドプロセッサ 120 用の起動プログラム 120 a を読み出して、起動プログラム 120 a を実行して起動状態となる。また、ベースバンドプロセッサ 120 は、不揮発性メモリ 122 からアプリケーションプロセッサ 110 用の起動プログラム 110 a を読み出し、H S I C バス 101 を介して、アプリケーションプロセッサ 110 へ出力する。アプリケーションプロセッサ 110 は、H S I C バス 101 を介して起動プログラム 110 a をダウンロードし、起動プログラム 110 a を実行して起動状態となる。この場合には、ホストからデバイスへ起動プログラムを転送するため、ベースバンドプロセッサ 120 をホスト機能とし、アプリケーションプロセッサ 110 をデバイス機能としている。

【0094】

ベースバンドプロセッサ 120 の機能が多く、アプリケーションプロセッサ 110 の起動プログラム 110 a よりもベースバンドプロセッサ 120 の起動プログラム 120 a のサイズが大きい場合には、起動プログラムを格納する不揮発性メモリ 122 をベースバンドプロセッサ 120 側に設けることで、ベースバンドプロセッサ 120 の起動時間を短縮でき、プログラムの転送時間も短縮できる。

【0095】

以上のように、本実施の形態では、アプリケーションプロセッサやベースバンドプロセッサなどの半導体装置において、不揮発性記憶部として電気ヒューズを設けて、ヒューズの切断状態により、動作する U S B のホスト機能 / デバイス機能を設定する構成とした。これにより、ホスト機能 / デバイス機能を回路製造後に選択することができる。また、ホスト機能とデバイス機能とでは、電源 ON 時の起動シーケンスで S T R O B E 信号及び D A T A 信号の状態が異なるため、電気ヒューズにより電源 ON 直後にホスト機能またはデバイス機能を確定することにより、電源 ON 時に安定して動作することが可能となる。したがって、電源 ON 時に確実に H S I C バスを介して接続することができる。

【0096】

(実施の形態 2)

以下、図面を参照して実施の形態 2 について説明する。実施の形態 1 では、半導体装置において、電気ヒューズによりホスト機能 / デバイス機能を切り替える例を説明した。本実施の形態では、不揮発性メモリによりホスト機能 / デバイス機能を切り替える構成について説明する。なお、ホスト機能 / デバイス機能を切り替える構成以外については、実施の形態 1 と同様である。

【0097】

図 10 は、本実施の形態に係る半導体装置 1 の構成を示している。この半導体装置 1 は、実施の形態 1 の電気ヒューズ 40 に代えて、不揮発性メモリ 90 を備えている。不揮発性メモリ 90 は、たとえばフラッシュメモリ、F R A M (登録商標)、M R A M 等である。

10

20

30

40

50

【 0 0 9 8 】

図 1 0 に示すように、不揮発性メモリ 9 0 は、電圧生成回路 9 1 とメモリセル 9 2 を有している。C P U 1 1 等からホスト機能 / デバイス機能を選択する選択データが入力されると、電圧生成回路 9 1 は、書込電圧を生成しメモリセル 9 2 に印可することで、選択データを書き込む。また、選択データを読み出す場合は、電圧生成回路 9 1 により読出電圧がメモリセル 9 2 に印可される。そして読み出された選択データに応じて U S B S E L 信号が出力される。

【 0 0 9 9 】

このように、実施の形態 1 における電気ヒューズの代わりに不揮発性メモリを備えた場合でも、同様に、ホスト機能 / デバイス機能を選択でき、電源 O N 時にも安定して接続動作することが可能である。また、不揮発性メモリであれば、何度でも書き換え可能であるため、ユーザ等が任意に機能を変更することができる。

10

【 0 1 0 0 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 1 0 1 】

例えば、上記の実施の形態では、半導体装置を備えた携帯端末装置の例について説明したが、携帯端末装置に限らず、上記の半導体装置を備えたその他の電子機器等であってもよい。また、半導体装置の一例として、アプリケーションプロセッサ及びベースバンドプロセッサについて説明したが、H S I C バスにより接続されるその他の半導体装置であってもよい。

20

【 符号の説明 】

【 0 1 0 2 】

- 1 半導体装置
- 2 H S I C 物理層回路
- 3 U S B リンク制御部
- 4 不揮発性記憶部
- 5 半導体基板
- 6 バス配線
- 1 0 (1 0 a 、 1 0 b) 半導体基板
- 1 2 (1 2 a 、 1 2 b) バス
- 1 3 (1 3 a 、 1 3 b) バスブリッジ
- 1 4 (1 4 a 、 1 4 b) バス
- 2 0 (2 0 a 、 2 0 b) U S B リンク層回路
- 2 1 (2 1 a 、 2 1 b) 物理制御回路
- 2 2 (2 2 a 、 2 2 b) 切替回路
- 2 3 バスインタフェース
- 2 4 (2 4 a 、 2 4 b) ホスト設定部
- 2 5 (2 5 a 、 2 5 b) デバイス設定部
- 2 6 (2 6 a 、 2 6 b) U T M I インタフェース
- 3 0 (3 0 a 、 3 0 b) H S I C 物理層回路
- 3 1 (3 1 a 、 3 1 b) 端子制御回路
- 3 2 (3 2 a 、 3 2 b) U T M I インタフェース
- 3 3 (3 3 a 、 3 3 b) H S I C インタフェース
- 4 0 (4 0 a 、 4 0 b) 電気ヒューズ
- 4 1 ヒューズ制御回路
- 4 2 バスインタフェース
- 4 3 選択回路
- 4 4 ヒューズ本体部

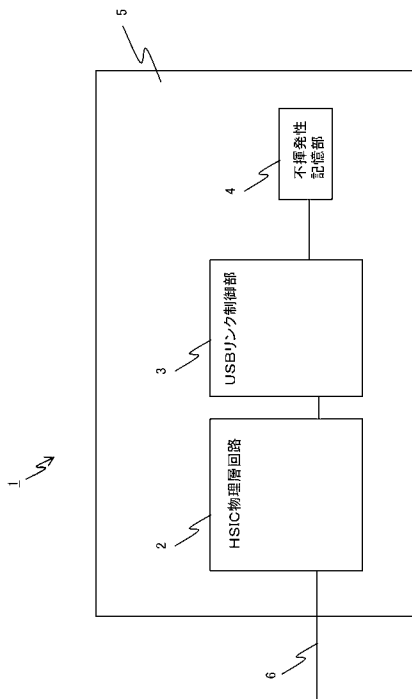
30

40

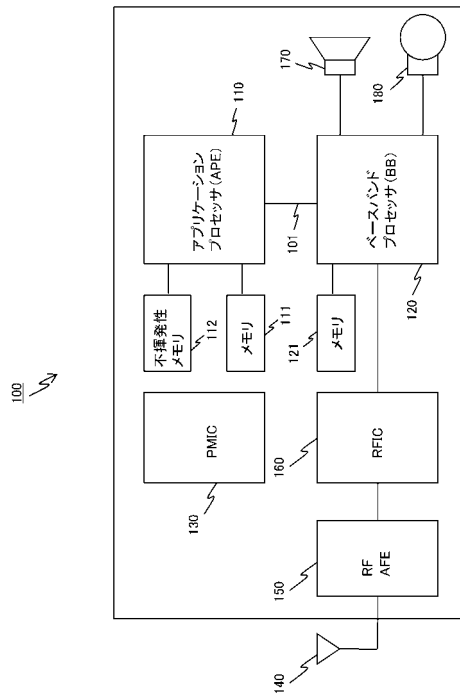
50

4 5	電圧生成回路	
4 6	ヒューズ	
4 7	センスアンプ	
4 8	シフトレジスタ	
5 0 (5 0 a、5 0 b)	ペリフェラル回路	
6 0 (6 0 a、6 0 b)	設定制御回路	
6 1 (6 1 a、6 1 b)	オンチップメモリ	
6 3 (6 3 a、6 3 b)	SDRAMインタフェース	
7 0	グラフィックアクセラレータ	
8 0	モデム	10
9 0	不揮発性メモリ	
9 1	電圧生成回路	
9 2	メモリセル	
1 0 0	携帯端末装置	
1 0 1	HSICバス	
1 0 1 a	端子	
1 0 1 b	端子	
1 0 2 (1 0 2 a、1 0 2 b)	UTMIバス	
1 1 0	アプリケーションプロセッサ	
1 1 0 a	起動プログラム	20
1 1 1	メモリ	
1 1 2	不揮発性メモリ	
1 2 0	ベースバンドプロセッサ	
1 2 0 a	起動プログラム	
1 2 1	メモリ	
1 2 2	不揮発性メモリ	
1 4 0	アンテナ	
1 7 0	スピーカ	
1 8 0	マイク	

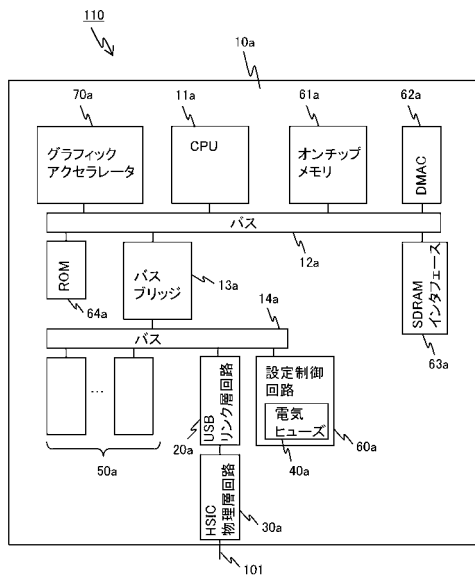
【図 1】



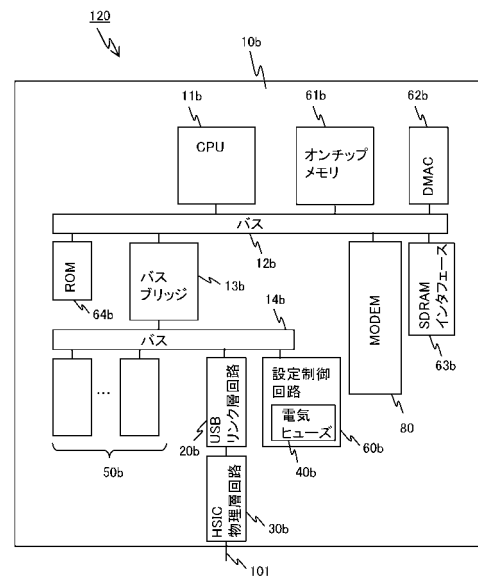
【図 2】



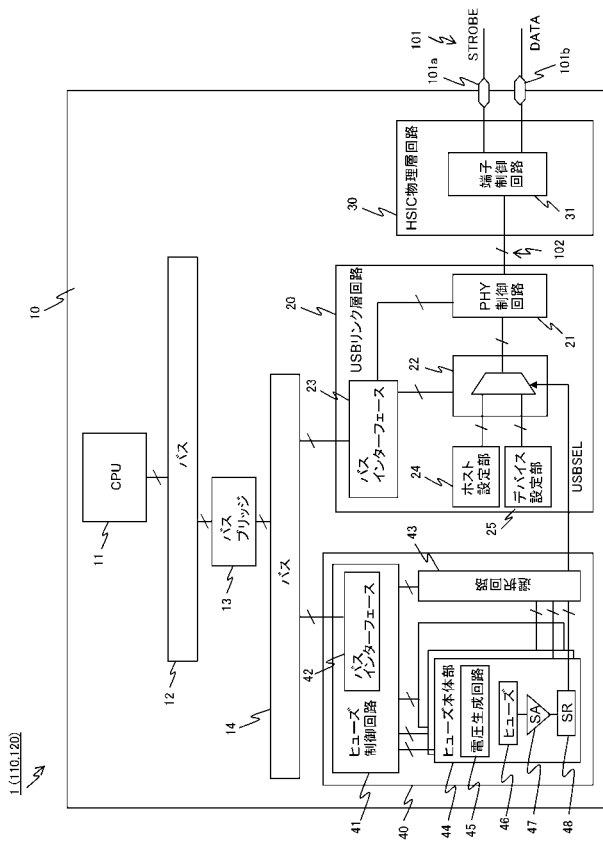
【図 3】



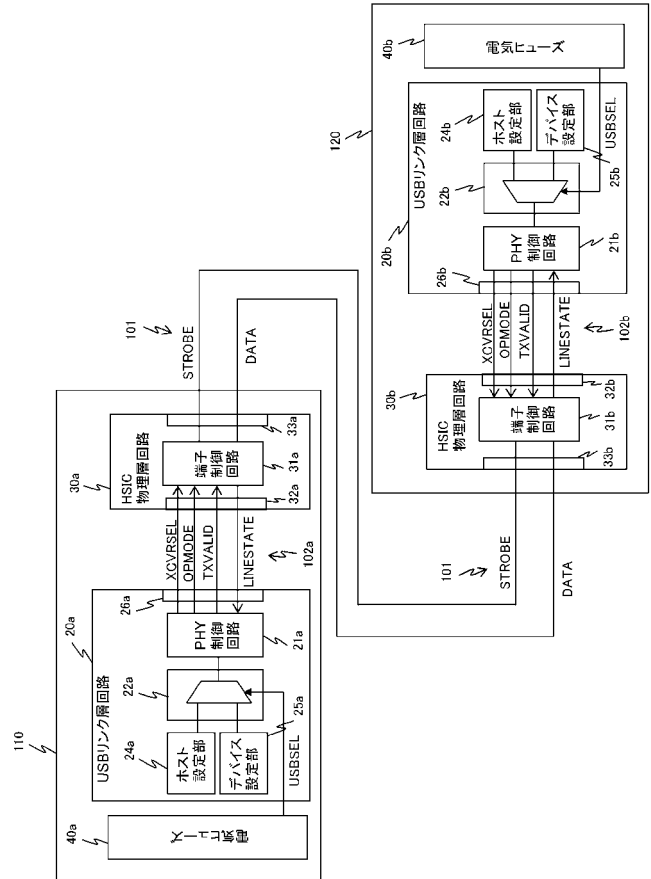
【図 4】



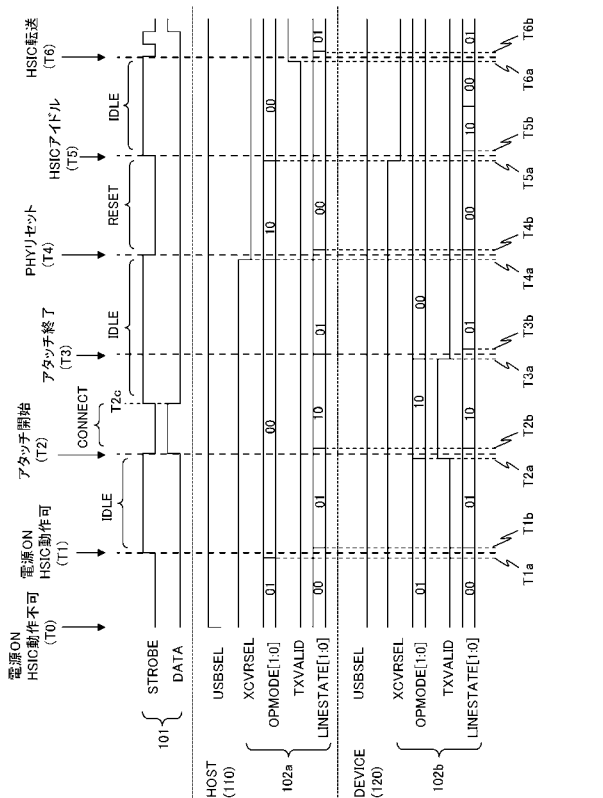
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

