

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年2月13日(13.02.2020)



(10) 国際公開番号

WO 2020/031636 A1

(51) 国際特許分類:

H01L 21/338 (2006.01) *H01L 29/812* (2006.01)
H01L 29/778 (2006.01)

(21) 国際出願番号: PCT/JP2019/028098

(22) 国際出願日: 2019年7月17日(17.07.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2018-150547 2018年8月9日(09.08.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

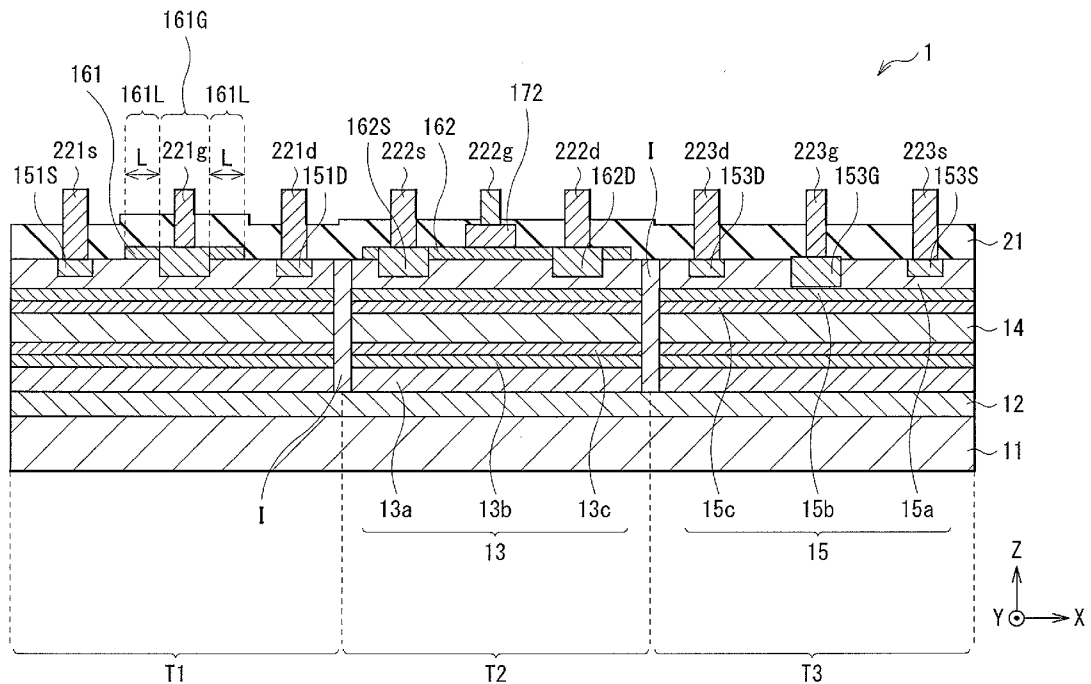
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 岩男 昭人(IWAO, Akito); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 本山 理一(MOTOYAMA, Yoshikazu); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所(TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿

(54) Title: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: Provided is a semiconductor device which includes: a substrate having a first transistor region and a second transistor region; a first channel layer through which a first conductivity type carrier transits, the first channel layer being provided on the substrate in the first transistor region and including a compound semiconductor; a second conductivity type first doped epitaxial layer that is provided on the substrate with the first channel layer disposed therebetween, and has a first gate region in a center portion thereof and a low concentration region which is located outside the first gate

区新宿1丁目15番9号さわだビル3階Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

region and has electric charge per unit length that is lower than that of the first gate region; and a second channel layer through which a second conductivity type carrier transits, the second channel layer being provided on the substrate in the second transistor region and including a compound semiconductor.

(57) 要約: 第1トランジスタ領域および第2トランジスタ領域が設けられた基板と、前記基板上の前記第1トランジスタ領域に設けられ、化合物半導体を含むとともに第1導電型のキャリアが走行する第1チャネル層と、前記第1チャネル層を間にして前記基板上に設けられ、かつ、中央部の第1ゲート領域および前記第1ゲート領域の外側に配置されるとともに前記第1ゲート領域よりも単位長さあたりの電荷量が少ない低濃度領域を有する、第2導電型の第1不純物エピタキシャル層と、前記基板上の前記第2トランジスタ領域に設けられ、化合物半導体を含むとともに前記第2導電型のキャリアが走行する第2チャネル層とを備えた半導体装置。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本技術は、化合物半導体により構成されたチャネル層を有する半導体装置およびその製造方法に関する。

背景技術

[0002] 近年、化合物半導体により構成されたチャネル層を有する電界効果トランジスタ（FET：Field Effect Transistor）の開発が進められている。例えば、pHEMT（Pseudomorphic High Electron Mobility Transistor）は、スイッチ素子への適用が期待されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2014-239201号公報

発明の概要

[0004] このような半導体装置では、一つの基板上にp型FETおよびn型FETを設けることが望まれている。

[0005] したがって、一つの基板上にp型FETおよびn型FETを設けることが可能な半導体装置およびその製造方法を提供することが望ましい。

[0006] 本技術の一実施の形態に係る半導体装置は、第1トランジスタ領域および第2トランジスタ領域が設けられた基板と、基板上の第1トランジスタ領域に設けられ、化合物半導体を含むとともに第1導電型のキャリアが走行する第1チャネル層と、第1チャネル層を間にして基板上に設けられ、かつ、中央部の第1ゲート領域および第1ゲート領域の外側に配置されるとともに第1ゲート領域よりも単位長さあたりの電荷量が少ない低濃度領域を有する、第2導電型の第1不純物エピタキシャル層と、基板上の第2トランジスタ領域に設けられ、化合物半導体を含むとともに第2導電型のキャリアが走行する第2チャネル層とを備えたものである。

[0007] 本技術の一実施の形態に係る半導体装置では、基板上の第1トランジスタ領域に第1導電型のキャリアが走行する第1チャネル層が設けられ、基板上の第2トランジスタ領域に第2導電型のキャリアが走行する第2チャネル層が設けられている。これにより、例えば、基板上の第1トランジスタ領域にn型FET、第2トランジスタ領域にp型FETが各々形成される。

[0008] 本技術の一実施の形態に係る半導体装置の製造方法は、基板上の第1トランジスタ領域に、化合物半導体を用いて、第1導電型のキャリアを走行させるための第1チャネル層を形成し、第1チャネル層を間にして基板に対向する位置に、第2導電型の第1不純物エピタキシャル層を形成するとともに、基板上の第2トランジスタ領域に、化合物半導体を用いて、第2導電型のキャリアを走行させるための第2チャネル層を形成し、第1不純物エピタキシャル層の中央部に選択的に第2導電型の不純物を拡散させることにより、第1不純物エピタキシャル層の中央部の第1ゲート領域と、第1ゲート領域の外側の低濃度領域とを形成するものである。

[0009] 本技術の一実施の形態に係る半導体装置の製造方法では、基板上の第1トランジスタ領域に第1導電型のキャリアが走行する第1チャネル層が形成され、基板上の第2トランジスタ領域に第2導電型のキャリアが走行する第2チャネル層が形成される。これにより、例えば、基板上の第1トランジスタ領域にn型FET、第2トランジスタ領域にp型FETが各々形成される。

[0010] 本技術の一実施の形態に係る半導体装置およびその製造方法によれば、基板上の第1トランジスタ領域に第1チャネル層を形成し、基板上の第2トランジスタ領域に第2チャネル層を形成するようにしたので、基板上の第1トランジスタ領域にn型FET、第2トランジスタ領域にp型FETを各々形成することができる。よって、一つの基板上にp型FETおよびn型FETを設けることが可能となる。

[0011] 尚、上記内容は本開示の一例である。本開示の効果は、上述したものに限らず、他の異なる効果であってもよいし、更に他の効果を含んでいてもよい。

図面の簡単な説明

[0012] [図1]本技術の一実施の形態に係る半導体装置の要部の構成を表す断面模式図である。

[図2A]図 1 に示した半導体装置の製造工程を表す断面模式図である。

[図2B]図 2 Aに続く工程を表す断面模式図である。

[図2C]図 2 Bに続く工程を表す断面模式図である。

[図2D]図 2 Cに続く工程を表す断面模式図である。

[図3A]図 2 Dに続く工程を表す断面模式図である。

[図3B]図 3 Aに続く工程を表す断面模式図である。

[図3C]図 3 Bに続く工程を表す断面模式図である。

[図4A]図 3 Cに続く工程を表す断面模式図である。

[図4B]図 4 Aに続く工程を表す断面模式図である。

[図4C]図 4 Bに続く工程を表す断面模式図である。

[図5A]図 1 に示した第 2 トランジスタ領域に形成される p 型 F E T の $V_g - I_d$ 特性および $V_g - I_g$ 特性の一例を表す図である。

[図5B]図 5 A に示した $V_g - I_d$ 特性および $V_g - I_g$ 特性の他の例を表す図である。

[図6]比較例に係る半導体装置の要部の構成を表す断面模式図である。

[図7]変形例に係る半導体装置の要部の構成を表す断面模式図である。

発明を実施するための形態

[0013] 以下、本技術の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態

第 1 トランジスタ領域に n 型 F E T、第 2 トランジスタ領域に p 型 F E T、第 3 トランジスタ領域に n 型 F E T を有する半導体装置

2. 変形例

第 1 トランジスタ領域および第 3 トランジスタ領域に設けられた n 型 F E T が、ともにデプレッション型の n 型 F E T である例

[0014] <実施の形態>

(半導体装置 1 の構成)

図 1 は、本技術を適用した一実施の形態に係る半導体装置（半導体装置 1）の要部構成を示す断面図である。なお、以下では、本技術の第 1 導電型を n 型、第 2 導電型を p 型として説明を行うが、これは逆であってもよい。

[0015] 半導体装置 1 は、基板 1 1 上に、バッファ層 1 2、下部障壁層 1 3、チャネル層 1 4（第 1 チャネル層）、上部障壁層 1 5 および層間絶縁膜 2 1 をこの順に有している。基板 1 1 には、第 1 トランジスタ領域 T 1、第 2 トランジスタ領域 T 2 および第 3 トランジスタ領域 T 3 が設けられている。バッファ層 1 2、下部障壁層 1 3、チャネル層 1 4、上部障壁層 1 5 および層間絶縁膜 2 1 は、基板 1 1 上の第 1 トランジスタ領域 T 1、第 2 トランジスタ領域 T 2 および第 3 トランジスタ領域 T 3 にわたって設けられている。下部障壁層 1 3、チャネル層 1 4 および上部障壁層 1 5 は、第 1 トランジスタ領域 T 1、第 2 トランジスタ領域 T 2 および第 3 トランジスタ領域 T 3 の境界に、素子分離領域 I を有している。

[0016] 半導体装置 1 は、第 1 トランジスタ領域 T 1 の上部障壁層 1 5 上に p 型不純物エピタキシャル層 1 6 1（第 1 不純物エピタキシャル層）を有し、第 2 トランジスタ領域 T 2 の上部障壁層 1 5 上にチャネル層 1 6 2（第 2 チャネル層）および n 型不純物エピタキシャル層 1 7 2（第 2 不純物エピタキシャル層）を有している。第 1 トランジスタ領域 T 1 では、p 型不純物エピタキシャル層 1 6 1 上にゲート電極 2 2 1 g が、上部障壁層 1 5 上に一对のソース電極 2 2 1 s およびドレイン電極 2 2 1 d が各々設けられている。第 2 トランジスタ領域 T 2 では、n 型不純物エピタキシャル層 1 7 2 上にゲート電極 2 2 2 g が、チャネル層 1 6 2 上に一对のソース電極 2 2 2 s およびドレイン電極 2 2 2 d が各々設けられている。第 3 トランジスタ領域 T 3 では、上部障壁層 1 5 上にゲート電極 2 2 3 g および一对のソース電極 2 2 3 s およびドレイン電極 2 2 3 d が各々設けられている。

[0017] [基板 1 1]

基板 1 1 は、半絶縁性の化合物半導体材料で構成されている。このような基板 1 1 は、例えば III-V 族化合物半導体材料で構成され、例えば半絶縁性の単結晶 GaAs 基板や、InP 基板が用いられる。

[0018] [バッファ層 1 2]

バッファ層 1 2 は、例えば基板 1 1 上にエピタキシャル成長させた化合物半導体層で構成され、基板 1 1 および下部障壁層 1 3 に対して、良好に格子整合する化合物半導体を用いて構成される。例えば、基板 1 1 が単結晶 GaAs 基板からなる場合、このようなバッファ層 1 2 の一例として、不純物を添加しない i-GaAs (i は不純物を添加していないことを表す；以下同様) のエピタキシャル成長層が用いられる。

[0019] [下部障壁層 1 3]

バッファ層 1 2 とチャネル層 1 4 との間に設けられた下部障壁層 1 3 は、例えばバッファ層 1 2 およびチャネル層 1 4 に対して良好に格子整合すると共に、チャネル層 1 4 を構成する化合物半導体材料よりもバンドギャップが広い III-V 族化合物半導体を用いて構成されている。このような下部障壁層 1 3 の一例として、AlGaAs 混晶のエピタキシャル成長層が用いられる。ここでは特に、III 族元素におけるアルミニウム (Al) の組成比が例えば 0.2 である、Al_{0.2}Ga_{0.8}As 混晶により下部障壁層 1 3 が構成されていることとするが、このアルミニウムの組成比はこれに限定されるものではない。

[0020] このような下部障壁層 1 3 は、キャリアを供給する不純物を含むキャリア供給領域 1 3 b を有している。ここでは、キャリアとして電子が用いられることとし、電子を供給する不純物として n 型不純物を含む n 型のキャリア供給領域 1 3 b が、下部障壁層 1 3 の膜厚方向 (図 1 の Z 方向) の中間部分に配置されている。Al_{0.2}Ga_{0.8}As 混晶により構成された下部障壁層 1 3 における n 型不純物としては、シリコン (Si) が用いられる。キャリア供給領域 1 3 b の n 型不純物の濃度は、例えば、 $4.0 \times 10^{18} \sim 8.0 \times 10^{18}$ atoms/cm³ である。キャリア供給領域 1 3 b の厚みは、例えば、3 nm 程

度である。

[0021] 下部障壁層 13 におけるキャリア供給領域 13b 以外の膜厚部分には、高抵抗領域 13a, 13c が設けられている。例えば、高抵抗領域 13a は、バッファ層 12 とキャリア供給領域 13b との間に設けられ、高抵抗領域 13c は、キャリア供給領域 13b とチャネル層 14 との間に設けられている。高抵抗領域 13a, 13c は、バッファ層 12 およびチャネル層 14 と良好なヘテロ接合界面を形成するためのものであり、例えば、不純物が添加されていない $i\text{-AlGaAs}$ 混晶により構成されている。高抵抗領域 13a, 13c は、低濃度の n 型不純物または p 型不純物を含有していてもよい。高抵抗領域 13a の厚みは、例えば 20 nm 程度であり、高抵抗領域 13c の厚みは、例えば 3 nm 程度である。下部障壁層 13 は、高抵抗領域 13a, 13c を含まず、全領域がキャリア供給領域 13b として構成されていてもよい。

[0022] [チャネル層 14]

チャネル層 14 は、第 1 トランジスタ領域 T1 の一対のソース・ドレイン電極 221s, 221d の間および第 3 トランジスタ領域 T3 の一対のソース・ドレイン電極 223s, 223d の間の電流通路として機能する。このチャネル層 14 は、下部障壁層 13 のキャリア供給領域 13b、および後述する上部障壁層 15 のキャリア供給領域 15b から供給されたキャリアが蓄積される層である。このようなチャネル層 14 は、下部障壁層 13 に対してヘテロ接合する化合物半導体で構成され、下部障壁層 13 に対して良好に格子整合している。またチャネル層 14 は、下部障壁層 13 とのヘテロ接合部におけるキャリア走行側のエネルギー帯が、下部障壁層 13 の界面領域を構成する化合物半導体材料におけるキャリア走行側のエネルギー帯よりも、チャネル層内真性フェルミ準位に近い化合物半導体を用いて構成されていることとする。このため、下部障壁層 13 は、チャネル層 14 との接合部におけるキャリア走行側のエネルギー帯が、当該チャネル層 14 よりも当該チャネル層内真性フェルミ準位から遠い化合物半導体で構成されていることになる。

。

[0023] 以上を言い換えれば、チャネル層 14 は、下部障壁層 13 とのヘテロ接合部における多数キャリア走行側のエネルギー帯が、下部障壁層 13 の界面領域を構成する化合物半導体材料における多数キャリア走行側のエネルギー帯よりも、少数キャリア走行側のエネルギー帯に近い化合物半導体を用いて構成されていることとする。チャネル層内真性フェルミ準位は、チャネル層 14 のコンダクションバンドの最低エネルギー（以下、コンダクションバンドエネルギー E_c と記す）と、バレンスバンドの最高エネルギー（以下、バレンスバンドエネルギー E_v と記す）との中間に位置している。

[0024] ここで、キャリアが電子である場合、キャリア走行側のエネルギー帯はコンダクションバンド（伝導帯）である。このため、チャネル層 14 は、下部障壁層 13 との接合部において、下部障壁層 13 を構成する化合物半導体材料よりも、少なくともコンダクションバンドエネルギー E_c が低い III-V 族化合物半導体材料を用いて構成される。このようなチャネル層 14 は、下部障壁層 13 との接合部において、下部障壁層 13 に対してコンダクションバンドエネルギー E_c の差が大きいほど良い。

[0025] 一方、キャリアが正孔である場合、キャリア走行側のエネルギー帯はバレンスバンド（価電子帯）である。このため、チャネル層 14 は、下部障壁層 13 との接合部において、下部障壁層 13 を構成する化合物半導体材料よりも、少なくともバレンスバンドエネルギー E_v が高い化合物半導体材料を用いて構成される。このようなチャネル層 14 は、下部障壁層 13 との接合部における下部障壁層 13 との間のバレンスバンドエネルギー E_v の差が大きいほど良い。以下においてはキャリアが電子である場合を例示して説明を行うが、キャリアが正孔である場合は不純物およびエネルギーバンドの説明は逆導電型にすればよい。

[0026] このようなチャネル層 14 は、下部障壁層 13 に対して良好に格子整合すると共に、下部障壁層 13 を構成する化合物半導体材料よりもバンドギャップの狭い III-V 族化合物半導体材料で構成されている。またこのような

チャネル層 14 は、下部障壁層 13 に対してバンドギャップの差が大きいほど良い。

[0027] 以上のようなチャネル層 14 は、例えば下部障壁層 13 が $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶により構成されている場合、 InGaAs 混晶により構成される。この場合、インジウム (In) の組成比を高くするほど InGaAs 混晶におけるバンドギャップを狭くでき、 AlGaAs 混晶からなる下部障壁層 13 とのコンダクションバンドエネルギー E_c の差を大きくできる。このため、チャネル層 14 を構成する InGaAs 混晶は、III 族元素におけるインジウム (In) の組成比を 0.1 以上としてよい。

[0028] 以上のようなチャネル層 14 の一例として、III 族元素におけるインジウム (In) の組成比が 0.2 である $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶により構成される。これによりチャネル層 14 は、下部障壁層 13 に対する格子整合性を確保しつつ十分なコンダクションバンドエネルギー E_c の差が得られたものとなる。なお、インジウムの組成比は上記の例に限定されるものではない。

[0029] チャネル層 14 は、例えば、不純物を添加しない i-InGaAs 混晶層により構成されている。これにより、チャネル層 14 におけるキャリアの不純物散乱が抑えられ、高移動度でのキャリア移動が実現される。

[0030] チャネル層 14 は、例えば、5 nm ~ 10 nm 以下の膜厚で形成されたエピタキシャル成長層である。これによって結晶性が確保されキャリアの走行性に優れた層とすることができる。

[0031] GaAs 系化合物半導体材料は、例えば、1.4 eV 程度のバンドギャップ、0.4 MV/cm 程度の臨界強度および $8500 \text{ cm}^2/\text{Vs}$ 程度の電子移動度を有している。このような高い電子移動度を有する GaAs 系化合物半導体材料は、高周波スイッチ用途に好適に用いられる。

[0032] [上部障壁層 15]

上部障壁層 15 は、チャネル層 14 に対して良好に格子整合している。この上部障壁層 15 は、チャネル層 14 との接合部において、チャネル層 14 を構成する化合物半導体材料よりも、キャリア走行側のエネルギー帯がチャ

ネル層内真性フェルミ準位から遠い化合物半導体を用いて構成されている。つまり上部障壁層 15 は、チャネル層 14 との接合部において、チャネル層 14 を構成する化合物半導体材料よりも、多数キャリア走行側のエネルギー帯が、チャネル層内真性フェルミ準位から遠い化合物半導体を用いて構成されていることとする。キャリアが電子である場合、上部障壁層 15 は、チャネル層 14 を構成する化合物半導体材料よりも、コンダクションバンドエネルギー E_c が高い III-V 族化合物半導体材料を用いて構成される。このような上部障壁層 15 は、チャネル層 14 との接合部におけるチャネル層 14 との間のコンダクションバンドエネルギー E_c の差が大きいほど良い。

[0033] 以上のような上部障壁層 15 は、チャネル層 14 が InGaAs 混晶により構成されていれば、例えば InGaAs 混晶よりもバンドギャップが広い AlGaAs 混晶により構成される。この場合、アルミニウム (Al) の組成比を低く保つことで、いわゆるソース抵抗が増大することを防止できる。このため、上部障壁層 15 を構成する AlGaAs 混晶は、III 族元素におけるアルミニウム (Al) の組成比を 0.25 以下としてよい。

[0034] 以上のような上部障壁層 15 の一例として、III 族元素におけるアルミニウム (Al) の組成比が 0.2 である $Al_{0.2}Ga_{0.8}As$ 混晶により構成されている。これにより、チャネル層 14 との格子整合も確保される。上部障壁層 15 は、下部障壁層 13 と同一組成である必要はなく、それぞれに適した組成の AlGaAs 混晶によって構成されていればよく、その組成比は上記の例に限定されない。

[0035] このような上部障壁層 15 は、キャリアを供給する不純物を含むキャリア供給領域 15b を有している。キャリア供給領域 15b は、例えば、電子を供給する n 型不純物として、シリコン (Si) を含んでいる。キャリア供給領域 15b の n 型不純物の濃度は、例えば、 $1.0 \times 10^{18} \sim 4.0 \times 10^{18}$ atoms/cm³ である。n 型のキャリア供給領域 15b は、上部障壁層 15 の膜厚方向の中間部分に、例えば膜厚 6 nm 程度で配置されている。

[0036] 上部障壁層 15 は、キャリア供給領域 15b を膜厚方向に挟む高抵抗領域

15 a, 15 cを含んでいる。例えば、高抵抗領域15 aは、キャリア供給領域15 bと層間絶縁膜21との間に設けられ、高抵抗領域15 cは、チャネル層14とキャリア供給領域15 bとの間に設けられている。高抵抗領域15 aは、例えば、n型不純物として、シリコン(Si)を含んでいる。高抵抗領域15 aのn型不純物の濃度は、例えば、 $1.0 \times 10^{16} \sim 4.0 \times 10^{16} \text{ atoms/cm}^3$ である。高抵抗領域15 cは、チャネル層14との間に良好なヘテロ接合界面を形成するためのものであり、例えば、不純物が添加されていないi-AlGaAs混晶により構成されている。高抵抗領域15 aの厚みは、例えば50 nm~100 nm程度であり、高抵抗領域15 cの厚みは、例えば3 nm程度である。

[0037] チャネル層14がInGaAs混晶で構成されている場合、上部障壁層15はAlGaAs混晶に限定されず、III-V族化合物半導体であるIn(AI Ga)AsP混晶で構成されて構成されていてもよい。これにより、InGaAs混晶で構成されたチャネル層14におけるInの組成比を大きくでき、チャネル層14においてのキャリアの移動度を高めることができる。

[0038] [素子分離領域1]

第1トランジスタ領域T1、第2トランジスタ領域T2および第3トランジスタ領域T3は、互いに、下部障壁層13、チャネル層14および上部障壁層15に設けられた素子分離領域1により、絶縁されている。この素子分離領域1は、例えば、ボロン(B)等のイオン注入によって高抵抗化された非活性領域である。図1では、第1トランジスタ領域T1と第2トランジスタ領域T2との間、および第2トランジスタ領域T2と第3トランジスタ領域T3との間に素子分離領域1が設けられている。図1に示した例に限らず、第2トランジスタ領域T2がなく、第1トランジスタ領域T1および第3トランジスタ領域T3が隣接する領域では、第1トランジスタ領域T1と第3トランジスタ領域T3との間に素子分離領域1が設けられていてもよい。

[0039] [層間絶縁膜21]

層間絶縁膜 21 は、上部障壁層 15 上の全面を覆う状態で設けられている。この層間絶縁膜 21 は、上部障壁層 15 を構成する化合物半導体に対して絶縁性を有し、かつ、イオンなどの不純物より上部障壁層 15 の表面を保護する機能を持つ材料が用いられる。このような層間絶縁膜 21 は、例えば厚さが 200 nm の窒化シリコン (Si_3N_4) により構成されている。層間絶縁膜 21 は、ゲート電極 221 g, 222 g, 223 g、ソース電極 221 s, 222 s, 223 s およびドレイン電極 221 d, 222 d, 223 d を設けるための開口（後述の図 3 B, 図 3 C, 4 B, 4 C 参照）を有している。

[0040] このようなバッファ層 12、下部障壁層 13、チャネル層 14、上部障壁層 15 および層間絶縁膜 21 は、基板 11 上の第 1 トランジスタ領域 T1、第 2 トランジスタ領域 T2 および第 3 トランジスタ領域 T3 に共通して設けられている。以下では、第 1 トランジスタ領域 T1、第 2 トランジスタ領域 T2 および第 3 トランジスタ領域 T3 各々の構造について説明する。まず、基板 11 上の第 1 トランジスタ領域 T1 の構造について説明する。

[0041] [p 型不純物エピタキシャル層 161]

p 型不純物エピタキシャル層 161 は、基板 11 上の第 1 トランジスタ領域 T1 に設けられている。この p 型不純物エピタキシャル層 161 は、上部障壁層 15 上の選択的な領域に設けられている。換言すれば、p 型不純物エピタキシャル層 161 は、チャネル層 14 を間にして基板 11 上に設けられている。この p 型不純物エピタキシャル層 161 は、例えば、上部障壁層 15 に良好に格子整合する III-V 族化合物半導体により構成されている。具体的には、p 型不純物エピタキシャル層 161 は、p 型不純物として炭素 (C) を含む AlGaAs 混晶により構成されている。p 型不純物エピタキシャル層 161 に含まれる p 型不純物の濃度は、例えば、 1.0×10^{18} 個/ cm^3 程度である。p 型不純物エピタキシャル層 161 は、p 型不純物として亜鉛 (Zn) またはマグネシウム (Mg) 等を含んでいてもよい。

[0042] この p 型不純物エピタキシャル層 161 には、ゲート領域 161 G (第 1

ゲート領域) および低濃度領域 161L が設けられている。ゲート領域 161G は、平面 (図 1 の X Y 平面) 視で、p 型不純物エピタキシャル層 161 の中央部に配置されている。このゲート領域 161G は、第 1 トランジスタ領域 T1 のチャネル層 14 を走行するキャリアとは、逆の導電型の不純物を含有する領域であり、p 型不純物エピタキシャル層 161 から高抵抗領域 15a の厚み方向の一部にわたって設けられている。このゲート領域 161G は、周囲の高抵抗領域 15a よりも低抵抗に保たれている。例えば、キャリアが電子の場合、ゲート領域 161G には、p 型不純物として、例えば亜鉛 (Zn) が拡散されている。ゲート領域 161G には、例えば、 $1 \times 10^{19} \text{ atoms/cm}^3$ 程度の p 型不純物が含まれてである。

[0043] 低濃度領域 161L は、ゲート領域 161G の外側に設けられている。低濃度領域 161L は、p 型不純物エピタキシャル層 161 のうち、ゲート領域 161G 以外の領域であり、ゲート領域 161G の両側 (ソース電極 221s 側およびドレイン電極 221d 側) に、ゲート領域 161G に連続して設けられている。この低濃度領域 161L は、領域全体の p 型の電荷量がゲート領域 161G よりも少なくなっている。低濃度領域 161L における p 型の電荷量は、ゲート電極 221g に負の電圧を印加したオフ動作時において、低濃度領域 161L 内の正孔 (チャネル層 14 を走行するキャリアと逆導電型の電荷) が枯渇して空乏化される程度である。第 1 トランジスタ領域 T1 では、このような低濃度領域 161L を設けることにより、低濃度領域 161L の下層に空乏層が広がり、ゲートおよびドレイン間の耐圧性を向上させることができる (特許文献 1 参照)。

[0044] 低濃度領域 161L は、ゲート領域 161G よりも p 型の単位長さあたり (図 1 の単位横方向長さあたり) の電荷量が少ないことが好ましい。このようにすることにより、低濃度領域 161L の横方向長さが極端に広くなった場合にも、低濃度領域 161L を、ゲート領域 161G よりも p 型の電荷量が少なくなるようにすることが可能となる。

[0045] ここでは特に、低濃度領域 161L は、ゲート領域 161G よりも浅く、

すなわちゲート領域161Gよりも膜厚が薄く形成されていることとする。これにより、低濃度領域161L内におけるp型の電荷量が、ゲート領域161Gよりも少ない状態に保たれていることとする。この場合、例えば、低濃度領域161Lのp型不純物濃度は、p型不純物エピタキシャル層161のp型不純物濃度と同じであり、 $1 \times 10^{18} \text{ atoms/cm}^3$ 程度である。

[0046] 低濃度領域161Lの深さ（膜厚）は、ゲート領域161Gと同程度の深さ（膜厚）であってもよい。このとき、低濃度領域161Lのp型の不純物濃度は、ゲート領域161Gのp型の不純物濃度よりも更に低くする。

[0047] 低濃度領域161Lの距離Lは、例えば、ソース電極221sおよびドレイン電極221dに達することの無い範囲で十分に大きくなっている。低濃度領域161Lの距離Lは、ゲート領域161Gからの張り出し幅であり、ゲート領域161G側の端から、p型不純物エピタキシャル層161の端面までの距離である。距離Lは、例えば $0.5 \mu\text{m}$ 程度である。この距離Lは、動作電圧により決まるものであり、ソース電極221s側の距離Lと、ドレイン電極221d側の距離Lとが異なってもよい。

[0048] [ゲート電極221g]

ゲート電極221gは、p型不純物エピタキシャル層161上に設けられており、平面視でゲート領域161Gに重なる位置に選択的に配置されている。このゲート電極221gは、層間絶縁膜21に設けられた開口を埋め込むように設けられており、ゲート電極221gの下面は、ゲート領域161Gに接している。ゲート電極221gは、例えば、基板11側から順に、チタン（Ti）および金（Au）が積層された積層膜により構成されている。基板11側から順に、チタン（Ti）、白金（Pt）および金（Au）が積層された積層膜によりゲート電極221gを構成するようにしてもよい。

[0049] [ソース領域151S／ドレイン領域151D]

平面視で、p型不純物エピタキシャル層161から離れた位置には、ソース領域151Sおよびドレイン領域151Dが設けられている。ソース領域151Sおよびドレイン領域151Dは、p型不純物エピタキシャル層16

1を挟んで配置されている。このソース領域151Sおよびドレイン領域151Dは、高抵抗領域15aの表面（層間絶縁膜21側の面）から高抵抗領域15aの厚み方向の一部にわたって形成されたn型オーミック金属拡散層である。例えば、このn型オーミック金属拡散層は、上部障壁層15側から順に、金-ゲルマニウム（Au-Ge）、ニッケル（Ni）および金（Au）を各々50nmずつ積層し、温度500℃程度で熱拡散させることにより形成されている。

[0050] [ソース電極221s／ドレイン電極221d]

ソース電極221sおよびドレイン電極221dは上部障壁層15上に設けられ、ゲート電極221gおよびp型不純物エピタキシャル層161を挟む位置に配置されている。ソース電極221sおよびドレイン電極221dは、層間絶縁膜21に設けられた開口を埋め込むように設けられている。ソース電極221sは、平面視でソース領域151Sに重なる位置に配置され、ソース電極221sの下面はソース領域151Sに接している。ドレイン電極221dは、平面視でドレイン領域151Dに重なる位置に配置され、ドレイン電極221dの下面はドレイン領域151Dに接している。ソース電極221sはソース領域151Sにオーミック接合され、ドレイン電極221dはドレイン領域151Dにオーミック接合されている。ソース電極221sおよびドレイン電極221dは、上部障壁層15側から順に、チタン（Ti）、窒化チタン（TiN）、チタン（Ti）および銅（Cu）をこの順に積層し、下地のn型オーミック金属拡散層（ソース領域151Sまたはドレイン領域151D）と合金化されたものにより構成されている。ソース電極221sおよびドレイン電極221dの各膜厚は、例えばそれぞれ300nmである。ソース電極221sおよびドレイン電極221dの膜厚は、上記の例に限定されない。

[0051] 第1トランジスタ領域T1には、このような構成を有するn型FETが形成されている。このn型FETは、上部障壁層15の表面にp型不純物エピタキシャル層161およびゲート電極221gをこの順に有している。即ち

、第1トランジスタ領域T1に形成されるn型FETは、pHEMT構造を有している。

[0052] 次に、基板11上の第2トランジスタ領域T2の構造について説明する。

[0053] [チャネル層162]

チャネル層162は、基板11上の第2トランジスタ領域T2に設けられている。このチャネル層162は、第2トランジスタ領域T2に設けられた一対のソース・ドレイン電極222s, 222dの間の電流通路として機能する。チャネル層162を走行するキャリアは、第1トランジスタ領域T1のチャネル層14を走行するキャリアとは、逆の導電型を有している。例えば、第1トランジスタ領域T1のチャネル層14を走行するキャリアが電子であるとき、チャネル層162を走行するキャリアは正孔である。本実施の形態では、第2トランジスタ領域T2にこのようなチャネル層162を設けることにより、p型FETが形成される。したがって、基板11上に、第1トランジスタ領域T1のn型FETとともに、第2トランジスタ領域のp型FETを形成することができる。

[0054] チャネル層162は、上部障壁層15上の選択的な領域に設けられている。チャネル層162は、例えば、第1トランジスタ領域T1のp型不純物エピタキシャル層161と、同一工程で形成されたものであり、p型不純物エピタキシャル層161の構成材料と同じ化合物半導体材料により構成され、かつ、p型不純物エピタキシャル層161の厚みと略同じ厚みを有している。即ち、チャネル層162は、p型不純物エピタキシャル層161と同層に設けられている。例えば、チャネル層162は、p型不純物として炭素(C)を含むAlGaAs混晶により構成されている。チャネル層162に含まれるp型不純物の濃度は、p型不純物エピタキシャル層161のp型不純物の濃度と略同じであり、例えば、 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 程度である。チャネル層162に含まれるp型不純物の濃度は、この例に限定されない。

[0055] [n型不純物エピタキシャル層172]

n型不純物エピタキシャル層172は、チャンネル層162上の選択的な領域に設けられている。n型不純物エピタキシャル層172は、平面視でチャンネル層162の中央部に配置されている。このn型不純物エピタキシャル層172は、例えば、n型不純物としてシリコン(Si)を含むGaAsにより構成されている。n型不純物エピタキシャル層172は、例えば、n型不純物としてシリコン(Si)を $1 \times 10^{17} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度で含んでいる。n型不純物エピタキシャル層172の厚みは、例えば、10 nm $\sim$ 50 nm程度である。このn型不純物エピタキシャル層172は、第2トランジスタ領域T2で、ゲート領域として機能する。

[0056] [ソース領域162S／ドレイン領域162D]

平面視で、n型不純物エピタキシャル層172から離れた位置には、ソース領域162Sおよびドレイン領域162Dが設けられている。ソース領域162Sおよびドレイン領域162Dは、n型不純物エピタキシャル層172を挟んで配置されている。ソース領域162Sおよびドレイン領域162Dは、チャンネル層162の表面(上部障壁層15側の面と反対の面)から、高抵抗領域15aの厚み方向の一部にわたってp型不純物が拡散された領域である。ソース領域162Sおよびドレイン領域162Dは、例えば、第1トランジスタ領域T1のゲート領域161Gと同一工程で形成されたものであり、ゲート領域161Gに含まれるp型不純物と同じp型不純物を、ゲート領域161Gの不純物濃度と略同じ濃度で含んでいる。例えば、ソース領域162Sおよびドレイン領域162Dの厚さは、ゲート領域161Gの厚さと略同じである。ソース領域162Sおよびドレイン領域162Dには、p型不純物として、例えば亜鉛(Zn)が拡散されている。ソース領域162Sおよびドレイン領域162Dには、例えば、 $1 \times 10^{19} \text{ atoms/cm}^3$ 程度のp型不純物が含まれている。

[0057] [ソース電極222s／ドレイン電極222d]

ソース電極222sおよびドレイン電極222dはチャンネル層162上に設けられ、n型不純物エピタキシャル層172を挟む位置に配置されている

。ソース電極 2 2 2 s およびドレイン電極 2 2 2 d は、層間絶縁膜 2 1 に設けられた開口を埋め込むように設けられている。ソース電極 2 2 2 s は、平面視でソース領域 1 6 2 S に重なる位置に配置され、ソース電極 2 2 2 s の下面はソース領域 1 6 2 S に接している。ドレイン電極 2 2 2 d は、平面視でドレイン領域 1 6 2 D に重なる位置に配置され、ドレイン電極 2 2 2 d の下面はドレイン領域 1 6 2 D に接している。ソース電極 2 2 2 s はソース領域 1 6 2 S にオーミック接合され、ドレイン電極 2 2 2 d はドレイン領域 1 6 2 D にオーミック接合されている。ソース電極 2 2 2 s およびドレイン電極 2 2 2 d は、例えば、第 1 トランジスタ領域 T 1 のゲート電極 2 2 1 g と同一工程で形成されたものであり、ゲート電極 2 2 1 g の構成材料と同じ材料により構成され、かつ、ゲート電極 2 2 1 g の厚みと略同じ厚みを有している。

[0058] [ゲート電極 2 2 2 g]

ゲート電極 2 2 2 g は、n 型不純物エピタキシャル層 1 7 2 上の選択的な領域に設けられている。このゲート電極 2 2 2 g は、層間絶縁膜 2 1 に設けられた開口を埋め込むように設けられており、ゲート電極 2 2 2 g の下面は、n 型不純物エピタキシャル層 1 7 2 に接している。このゲート電極 2 2 2 g は、例えば、第 1 トランジスタ領域 T 1 のソース電極 2 2 1 s, ドレイン電極 2 2 1 d と同一工程で形成されたものであり、ソース電極 2 2 1 s, ドレイン電極 2 2 1 d の構成材料と同じ材料により構成され、かつ、ソース電極 2 2 1 s, ドレイン電極 2 2 1 d の厚みと略同じ厚みを有している。

[0059] 続いて、基板 1 1 上の第 3 トランジスタ領域 T 3 の構造について説明する。第 3 トランジスタ領域 T 3 の構造は、第 1 トランジスタ領域 T 1 の構造と類似しているが、第 3 トランジスタ領域 T 3 には、第 1 トランジスタ領域 T 1 の p 型不純物エピタキシャル層 1 6 1 に対応する層が設けられていない。

[0060] [ゲート領域 1 5 3 G]

基板 1 1 上の第 3 トランジスタ領域 T 3 には、ゲート領域 1 5 3 G (第 2 ゲート領域) が設けられている。このゲート領域 1 5 3 G は、第 3 トランジ

スタ領域T3のチャネル層14を走行するキャリアとは、逆の導電型の不純物を含有する領域であり、高抵抗領域15aの表面から厚み方向の一部にわたって設けられている。このゲート領域153Gは、周囲の高抵抗領域15aよりも低抵抗に保たれている。ゲート領域153Gは、例えば、第1トランジスタ領域T1のゲート領域161Gと同一工程で形成されたものであり、ゲート領域161Gに含まれる不純物と同じ不純物を、ゲート領域161Gの不純物濃度と略同じ濃度で含んでいる。例えば、ゲート領域153Gの厚さは、ゲート領域161Gの厚さと略同じである。上記のように、第3トランジスタ領域T3には、第1トランジスタ領域T1のp型不純物エピタキシャル層161に対応する層が設けられていないので、高抵抗領域15aに占めるゲート領域153Gの厚さは、高抵抗領域15aに占めるゲート領域161Gの厚さよりも大きくなる。即ち、第3トランジスタ領域T3でのチャネル層14とゲート領域153Gとの距離は、第1トランジスタ領域T1でのチャネル層14とゲート領域161Gとの距離よりも短くなっている。例えば、キャリアが電子の場合、ゲート領域153Gには、p型不純物として、例えば亜鉛（Zn）が拡散されている。ゲート領域153Gには、例えば、 $1 \times 10^{19} \text{ atoms/cm}^3$ 程度のp型不純物が含まれている。

[0061] [ゲート電極223g]

ゲート電極223gは、上部障壁層15上に設けられており、平面視でゲート領域153Gに重なる位置に選択的に配置されている。このゲート電極223gは、層間絶縁膜21に設けられた開口を埋め込むように設けられており、ゲート電極223gの下面は、ゲート領域153Gに接している。ゲート電極223gは、例えば、第1トランジスタ領域T1のゲート電極221gと同一工程で形成されたものであり、ゲート電極221gの構成材料と同じ材料により構成され、かつ、ゲート電極221gの厚みと略同じ厚みを有している。

[0062] [ソース領域153S／ドレイン領域153D]

平面視で、ゲート領域153Gから離れた位置には、ソース領域153S

およびドレイン領域 1 5 3 D が設けられている。ソース領域 1 5 3 S およびドレイン領域 1 5 3 D は、ゲート領域 1 5 3 G を挟んで配置されている。このソース領域 1 5 3 S およびドレイン領域 1 5 3 D は、高抵抗領域 1 5 a の表面（層間絶縁膜 2 1 側の面）から高抵抗領域 1 5 a の厚み方向の一部にわたって n 型オーミック金属が熱拡散された領域である。例えば、ソース領域 1 5 3 S およびドレイン領域 1 5 3 D は、第 1 トランジスタ領域 T 1 のソース領域 1 5 1 S およびドレイン領域 1 5 1 D と同一工程で形成されたものであり、ソース領域 1 5 1 S およびドレイン領域 1 5 1 D に含まれる不純物と同じ不純物を、ソース領域 1 5 1 S およびドレイン領域 1 5 1 D の不純物濃度と略同じ濃度で含んでいる。例えば、ソース領域 1 5 3 S およびドレイン領域 1 5 3 D の厚さは、ソース領域 1 5 1 S およびドレイン領域 1 5 1 D の厚さと略同じである。

[0063] [ソース電極 2 2 3 s / ドレイン電極 2 2 3 d]

ソース電極 2 2 3 s およびドレイン電極 2 2 3 d は上部障壁層 1 5 上に設けられ、ゲート電極 2 2 3 g を挟む位置に配置されている。ソース電極 2 2 3 s およびドレイン電極 2 2 3 d は、層間絶縁膜 2 1 に設けられた開口を埋め込むように設けられている。ソース電極 2 2 3 s は、平面視でソース領域 1 5 3 S に重なる位置に配置され、ソース電極 2 2 3 s の下面はソース領域 1 5 3 S に接している。ドレイン電極 2 2 3 d は、平面視でドレイン領域 1 5 3 D に重なる位置に配置され、ドレイン電極 2 2 3 d の下面はドレイン領域 1 5 3 D に接している。ソース電極 2 2 3 s はソース領域 1 5 3 S にオーミック接合され、ドレイン電極 2 2 3 d はドレイン領域 1 5 3 D にオーミック接合されている。ソース電極 2 2 3 s およびドレイン電極 2 2 3 d は、第 1 トランジスタ領域 T 1 のソース電極 2 2 1 s, ドレイン電極 2 2 1 d（および第 2 トランジスタ領域 T 2 のゲート電極 2 2 2 g）と同一工程で形成されたものであり、ソース電極 2 2 1 s, ドレイン電極 2 2 1 d の構成材料と同じ材料により構成され、かつ、ソース電極 2 2 1 s, ドレイン電極 2 2 1 d の厚みと略同じ厚みを有している。

[0064] (半導体装置 1 の製造方法)

上記構成を有する半導体装置 1 は、例えば、以下のようにして製造することができる(図 2 A ~ 図 4 C)。

[0065] まず、図 2 A に示したように、基板 1 1 上に、基板 1 1 の全面にわたって、バッファ層 1 2、下部障壁層 1 3、チャネル層 1 4、上部障壁層 1 5、p 型半導体層 1 6 および n 型半導体層 1 7 をこの順に形成する。具体的には、例えば、以下のようにしてこれらを形成する。

[0066] まず、例えば GaAs よりなる基板 1 1 上に、不純物を添加しない i-GaAs 層をエピタキシャル成長させてバッファ層 1 2 を形成する。その後、バッファ層 1 2 上に、例えば AlGaAs ($\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶) 層をエピタキシャル成長させて下部障壁層 1 3 を形成する。この際、例えば不純物を添加しない i-AlGaAs 層からなる高抵抗領域 1 3 a、シリコン (Si) を添加した n 型 AlGaAs 層からなるキャリア供給領域 1 3 b、および不純物を添加しない i-AlGaAs 層からなる高抵抗領域 1 3 c を順次エピタキシャル成長させる。これにより、膜厚方向の中央に n 型のキャリア供給領域 1 3 b を備えた下部障壁層 1 3 が形成される。

[0067] 次に、下部障壁層 1 3 上に、例えば不純物を添加しない i-InGaAs 層をエピタキシャル成長させてチャネル層 1 4 を形成する。

[0068] その後、チャネル層 1 4 上に、例えば AlGaAs ($\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶) 層をエピタキシャル成長させて上部障壁層 1 5 を形成する。この際、例えば不純物を添加しない i-AlGaAs 層からなる高抵抗領域 1 5 c、シリコン (Si) を添加した n 型の AlGaAs 層からなるキャリア供給領域 1 5 b、およびシリコン (Si) を添加した n 型の AlGaAs 層からなる高抵抗領域 1 5 a を順次エピタキシャル成長させる。これにより、膜厚方向の中央に n 型のキャリア供給領域 1 5 b を備えた上部障壁層 1 5 が形成される。

[0069] 続いて、上部障壁層 1 5 上に、例えば、p 型不純物として炭素 (C) を添加した AlGaAs 層をエピタキシャル成長させて p 型半導体層 1 6 を形成

する。この後、p型半導体層16上に、例えば、n型不純物としてシリコン（Si）を添加したGaAs層をエピタキシャル成長させてn型半導体層17を形成する。p型半導体層16は、p型不純物エピタキシャル層161およびチャネル層162を形成するためのものであり、n型半導体層17は、n型不純物エピタキシャル層172を形成するためのものである。

[0070] n型半導体層17を形成した後、図2Bに示したように、素子分離領域1を形成する。素子分離領域1は、例えばボロン（B）のイオン注入によって形成する。これにより、第1トランジスタ領域T1、第2トランジスタ領域T2および第3トランジスタ領域T3が形成される。

[0071] 素子分離領域1を形成した後、図2Cに示したように、n型半導体層17をパターニングしてn型不純物エピタキシャル層172を形成する。n型不純物エピタキシャル層172は、p型半導体層16上に設けられ、第2トランジスタ領域T2のうちの選択的な領域に配置されている。n型半導体層17のパターニングは、例えば、フォトレジストをマスクとしたウェットエッチングを用いて行う。

[0072] n型不純物エピタキシャル層172を形成した後、図2Dに示したように、p型半導体層16をパターニングして、p型不純物エピタキシャル層161およびチャネル層162を形成する。このように、p型半導体層16のパターニングにより、同一工程で第1トランジスタ領域T1のp型不純物エピタキシャル層161と、第2トランジスタ領域T2のチャネル層162とを形成することができる。p型半導体層16のパターニングは、例えば、フォトレジストをマスクとしたウェットエッチングを用いて行う。ウェットエッチングに代えて、ドライエッチングを用いるようにしてもよい。第3トランジスタ領域T3のp型半導体層16は、例えば、全て除去する。

[0073] p型不純物エピタキシャル層161およびチャネル層162を形成した後、図3Aに示したように、層間絶縁膜21を形成する。層間絶縁膜21は、n型不純物エピタキシャル層172、p型不純物エピタキシャル層161およびチャネル層162を覆うように、上部障壁層15上に形成する。層間絶

縁膜 2 1 は、例えば、C V D (Chemical Vapor Deposition) 法を用い、窒化シリコン (Si_3N_4) 膜を成膜することにより形成する。

[0074] 層間絶縁膜 2 1 を形成した後、図 3 B に示したように、層間絶縁膜 2 1 に開口 2 1 1 g, 2 1 2 s, 2 1 2 d, 2 1 3 g を形成する。開口 2 1 1 g は、第 1 トランジスタ領域 T 1 にゲート領域 1 6 1 G を形成するためのものであり（後述の図 3 C）、p 型不純物エピタキシャル層 1 6 1 の中央部を露出させるように形成する。開口 2 1 2 s, 2 1 2 d は、第 2 トランジスタ領域 T 2 にソース領域 1 6 2 S およびドレイン領域 1 6 2 D を形成するためのものであり（後述の図 3 C）、平面視で n 型不純物エピタキシャル層 1 7 2 を挟むように形成する。開口 2 1 2 s, 2 1 2 d は、n 型不純物エピタキシャル層 1 7 2 の表面を露出させるように形成する。開口 2 1 3 g は、第 3 トランジスタ領域 T 3 にゲート領域 1 5 3 G を形成するためのものであり（後述の図 3 C）、高抵抗領域 1 5 a の表面を露出させるように形成する。開口 2 1 1 g, 2 1 2 s, 2 1 2 d, 2 1 3 g は、例えば、パターンエッチングにより形成する。

[0075] 層間絶縁膜 2 1 に、開口 2 1 1 g, 2 1 2 s, 2 1 2 d, 2 1 3 g を形成した後、図 3 C に示したように、開口 2 1 1 g, 2 1 2 s, 2 1 2 d, 2 1 3 g を介して p 型不純物を導入する。例えば、p 型不純物として亜鉛 (Zn) を用い、600℃程度で亜鉛化合物気体を用いた気相拡散を行う。この p 型不純物の導入深さは、p 型不純物エピタキシャル層 1 6 1 およびチャネル層 1 6 2 の厚みよりも大きく、かつ、第 3 トランジスタ領域 T 3 でも、キャリア供給領域 1 5 b に達しない程度である。これにより、同一工程で、ゲート領域 1 6 1 G, 1 5 3 G、ソース領域 1 6 2 S およびドレイン領域 1 6 2 D が形成される。第 1 トランジスタ領域 T 1 では、p 型不純物エピタキシャル層 1 6 1 の中央部のゲート領域 1 6 1 G とともに、ゲート領域 1 6 1 G の外側の低濃度領域 1 6 1 L がセルフアラインで形成される。

[0076] 層間絶縁膜 2 1 の開口 2 1 1 g, 2 1 2 s, 2 1 2 d, 2 1 3 g を介して p 型不純物を導入した後、図 4 A に示したように、ゲート電極 2 2 1 g, 2

23 g、ソース電極222 sおよびドレイン電極222 dを形成する。ゲート電極221 gは開口211 gを埋め込むように形成し、ソース電極222 s、ドレイン電極222 dは開口212 s、212 dを埋め込むように形成し、ゲート電極223 gは開口213 gを埋め込むように形成する。ゲート電極221 g、223 g、ソース電極222 sおよびドレイン電極222 dは、例えば、チタン (Ti)、白金 (Pt)、および金 (Au) を順次マスク蒸着することにより形成する。このようにして、ゲート電極221 g、223 g、ソース電極222 sおよびドレイン電極222 dが同一工程で形成される。

[0077] 次に、図4 Bに示したように、層間絶縁膜21に開口211 s、211 d、213 s、213 dを形成する。開口211 s、211 dは、第1トランジスタ領域T1にソース領域151 Sおよびドレイン領域151 Dを形成するためのものであり（後述の図4 C）、平面視でゲート電極221 gおよびp型不純物エピタキシャル層161を挟むように形成する。開口211 s、211 dは、高抵抗領域15 aの表面を露出させるように形成する。開口213 s、213 dは、第3トランジスタ領域T3にソース領域153 Sおよびドレイン領域153 Dを形成するためのものであり（後述の図4 C）、高抵抗領域15 aの表面を露出させるように形成する。開口211 s、211 d、213 s、213 dは、例えば、パターンエッチングにより形成する。

[0078] 層間絶縁膜21に、開口211 s、211 d、213 s、213 dを形成した後、図4 Cに示したように、開口211 s、211 d、213 s、213 dを介してn型オーミック金属を熱拡散させる。例えば、上部障壁層15側から順に、金-ゲルマニウム (Au-Ge)、ニッケル (Ni) および金 (Au) を各々50 nmずつ積層し、温度500℃程度で熱拡散させることにより、ソース領域151 S、153 Sおよびドレイン領域151 D、153 Dが形成される。n型オーミック金属拡散層の導入後、層間絶縁膜21に、n型不純物エピタキシャル層172の表面を露出させる開口212 gを形成する（図4 C）。

[0079] 続いて、ソース電極 2 2 1 s、2 2 3 s、ドレイン電極 2 2 1 d、2 2 3 d およびゲート電極 2 2 2 g を形成する（図 1）。ソース電極 2 2 1 s、2 2 3 s およびドレイン電極 2 2 1 d、2 2 3 d は開口 2 1 1 s、2 1 1 d、2 1 3 s、2 1 3 d を埋め込むように形成し、ゲート電極 2 2 2 g は開口 2 1 2 g を埋め込むように形成する。ゲート電極 2 2 2 g、ソース電極 2 2 1 s、2 2 3 s およびドレイン電極 2 2 1 d、2 2 3 d は、例えば、上部障壁層 1 5 側から順に、チタン（Ti）、窒化チタン（TiN）、チタン（Ti）および銅（Cu）をこの順に積層し、下地の n 型オーミック金属拡散層（ソース領域 1 5 1 S またはドレイン領域 1 5 1 D）と合金化させて形成する。ソース電極 2 2 1 s およびドレイン電極 2 2 1 d の各膜厚は、例えばそれぞれ 3 0 0 nm である。このようにして、ソース電極 2 2 1 s、2 2 3 s、ドレイン電極 2 2 1 d、2 2 3 d およびゲート電極 2 2 2 g が同一工程で形成される。

[0080] （半導体装置の作用および効果）

本実施の形態の半導体装置 1 では、基板 1 1 に第 1 トランジスタ領域 T 1、第 2 トランジスタ領域 T 2 および第 3 トランジスタ領域 T 3 が設けられている。以下では、第 1 トランジスタ領域 T 1、第 2 トランジスタ領域 T 2 および第 3 トランジスタ領域 T 3 各々について説明する。

[0081] [第 1 トランジスタ領域 T 1]

基板 1 1 上の第 1 トランジスタ領域 T 1 には、電子が走行するチャネル層 1 4 を有する n 型 FET が設けられている。このチャネル層 1 4 上には、上部障壁層 1 5、p 型不純物エピタキシャル層 1 6 1 およびゲート電極 2 2 1 g がこの順に設けられている。即ち、第 1 トランジスタ領域 T 1 には、デプレッション型（ノーマリーオン型）の pHEMT 構造を有する n 型 FET が設けられている。

[0082] ここでは、p 型不純物エピタキシャル層 1 6 1 が、中央部のゲート領域 1 6 1 G と、ゲート領域 1 6 1 G の外側の低濃度領域 1 6 1 L とを有している。低濃度領域 1 6 1 L 全体の p 型の電荷量は、ゲート領域 1 6 1 G の p 型の

電荷量よりも少なくなっているため、チャネル層 14 と p 型不純物エピタキシャル層 161 との間に空乏層が広がり、ゲートとドレインとの間の耐圧性を向上させることができる。

[0083] [第 2 トランジスタ領域 T2]

本実施の形態では、基板 11 上の第 2 トランジスタ領域 T2 に、正孔が走行するチャネル層 162 を有する p 型 FET が設けられている。したがって、基板 11 上の第 1 トランジスタ領域 T1 に pHEMT 構造を有する n 型 FET を形成するとともに、基板 11 上の第 2 トランジスタ領域に p 型 FET を形成することができる。

[0084] また、第 1 トランジスタ領域 T1 の p 型不純物エピタキシャル層 161 と同一工程で、チャネル層 162 を形成することができ、第 1 トランジスタ領域 T1 のゲート領域 161G と同一工程でソース領域 162S およびドレイン領域 162D を形成することができる。加えて、n 型不純物エピタキシャル層 172 は、下層のエピタキシャル積層基板の保護層である。したがって、簡便に、第 1 トランジスタ領域 T1 の n 型 FET とともに、第 2 トランジスタ領域 T2 の p 型 FET を製造することができる。

[0085] 更に、第 1 トランジスタ領域 T1 および第 2 トランジスタ領域 T2 では、基板 11、バッファ層 12、下部障壁層 13、チャネル層 14 および上部障壁層 15 が共通して設けられており、第 2 トランジスタ領域 T2 のチャネル層 162 は、第 1 トランジスタ領域 T1 の p 型不純物エピタキシャル層 161 と同層に設けられている。即ち、第 2 トランジスタ領域 T2 の p 型 FET は、第 1 トランジスタ領域 T1 の n 型 FET と、ほぼ段差がない状態で形成されている。

[0086] この第 2 トランジスタ領域 T2 に設けられた p 型 FET は、例えば、チャネル層 162 および n 型不純物エピタキシャル層 172 のチャネル濃度を変化させることにより、デプレッション型およびエンハンスメント型（ノーマリーオフ型）のいずれの動作も可能である。

[0087] 図 5A および図 5B は、第 2 トランジスタ領域 T2 に形成された p 型 FET

Tのゲート電圧 (V_g) –ドレイン電流 (I_d) 特性およびゲート電圧 (V_g) –ゲート電流 (I_g) 特性のシミュレーション結果を表している。図5 Aはエンハンスメント型のp型FET、図5 Bはデプレッション型のp型FETを各々表している。ゲート長 $0.4\ \mu\text{m}$ 、ゲート幅 $1.0\ \mu\text{m}$ で $1\ \mu\text{A}$ の電流を制御するとき、エンハンスメント型の閾値電圧は約 $-0.5\ \text{V}$ 、デプレッション型の閾値電圧は約 $+1.8\ \text{V}$ である。

[0088] [第3トランジスタ領域T3]

基板11上の第3トランジスタ領域T3には、電子が走行するチャネル層14を有するn型FETが設けられている。この第3トランジスタ領域T3には、第1トランジスタ領域T1のp型不純物エピタキシャル層161に対応する層が設けられておらず、第3トランジスタ領域T3のゲート領域153Gは、第1トランジスタ領域T1のゲート領域161Gよりも高抵抗領域15aに深く形成される。これにより、第1トランジスタ領域T1では、デプレッション型のn型FETが形成されるのに対し、第3トランジスタ領域T3では、エンハンスメント型のn型FETを形成することができる。

[0089] また、第3トランジスタ領域T3のn型FETは、p型不純物エピタキシャル層161に対応する層を形成しないことを除き、第1トランジスタ領域T1のn型FETと同じ工程を経て形成することができる。したがって、簡便に、第1トランジスタ領域T1のn型FETとともに、第3トランジスタ領域T3のn型FETを製造することができる。

[0090] 更に、第1トランジスタ領域T1および第3トランジスタ領域T3では、基板11、バッファ層12、下部障壁層13、チャネル層14および上部障壁層15が共通して設けられている。即ち、第3トランジスタ領域T3のn型FETは、第1トランジスタ領域T1のn型FETと、ほぼ段差がない状態で形成されている。

[0091] 本実施の形態では、上記のようにして、第1トランジスタ領域T1のn型FET、第2トランジスタ領域T2のp型FETおよび第3トランジスタ領域T3のn型FETを、ほぼ同時に形成するようにしたので、簡便にこれら

のFETを形成することができる。

[0092] また、基板11上の第1トランジスタ領域T1、第2トランジスタ領域T2および第3トランジスタ領域T3の構成は、共通している部分が多く、これらの領域間にはほとんど段差がない。以下では、このような半導体装置1の作用効果について説明する。

[0093] 基板上に、n型FETおよびp型FETを形成する方法としては、例えば、イオン注入技術を用いる方法が考えうる（例えば、特開昭61-150380号公報および特開平1-204475号公報参照）。この方法は、基板上に、p型ドーパントとn型ドーパントとを打ち分けて、nチャネル形成領域とpチャネル形成領域とを形成するものである。この方法では、注入したドーパントを活性化するために、イオン注入後に800℃以上の高温アニールが必要となる。pHEMTのヘテロ接合は、600℃程度のエピタキシャル成長法により形成されるので、イオン注入後の800℃以上での高温アニールは、ヘテロ接合界面での化合物組成元素および不純物元素の相互拡散を引き起こすおそれがある。即ち、所望のヘテロ接合を形成することが困難となる。

[0094] また、エピタキシャル成膜工程において、n型FETとp型FETとを作り分ける方法も考えうる（例えば、特開平2-257669号公報および特開平9-69611号公報参照）。この方法は、例えば以下のように行う。まず、一方の導電型について、エピタキシャル成長法を用いた積層体を形成した後、この積層体の一部をエッチングにより除去する。この後、積層体の除去された部分に、他方の導電型の積層体を形成する。このような方法は、複雑であり、製造しにくい。また、再成長した膜は、一度大気に曝されるため、膜質が劣化しやすい。

[0095] また、n型FETおよびp型FETの両方を、連続したエピタキシャル成長により形成する方法も考えうる（例えば、特開平10-313096号公報および特開2011-192952号公報参照）。

[0096] 図6は、このような方法により形成された、半導体装置（半導体装置10

0) の要部の模式的な断面構成を表している。半導体装置 100 は、比較例に係る半導体装置である。この半導体装置 100 では、基板 11 上の第 2 トランジスタ領域 (第 2 トランジスタ領域 T102) に p 型 FET が設けられ、第 3 トランジスタ領域 T3 に n 型 FET が設けられている。この半導体装置 100 は、第 2 トランジスタ領域 102 および第 3 トランジスタ領域 3 に共通して、基板 11、バッファ層 12、下部障壁層 13、チャネル層 14 および上部障壁層 15 を有している。上部障壁層 15 上の段差部分 (段差部分 1162) は、第 2 トランジスタ領域 T102 のみに設けられている。段差部分 1162 は、例えば、上部障壁層 15 側から順に、キャップ層 1162a、バッファ層 1162b、チャネル層 1162c およびゲートリーク防止層 1163d を含んでいる。半導体装置 100 では、第 3 トランジスタ領域 T3 のキャップ層 1162a、バッファ層 1162b、チャネル層 1162c およびゲートリーク防止層 1163d がエッチングにより除去されている。したがって、第 2 トランジスタ領域 T102 と第 3 トランジスタ領域 T103 との間には、段差部分 1162 に起因した段差 S が生じる。この段差 S は、例えば $0.5\ \mu\text{m} \sim 1\ \mu\text{m}$ 程度である。

[0097] この段差 S は急峻であり、特に、微細化されたデバイスでは不具合の原因になりやすい。例えば、n 型 FET と p 型 FET とを接続するための配線工程で、この段差 S に加工残渣が溜まり、この加工残渣に起因して配線間のショートが発生するおそれがある。また、リソグラフィ工程が行いにくくなる等の問題もある。

[0098] これらの方法に対し、半導体装置 1 では、第 1 トランジスタ領域 T1 の n 型 FET、第 2 トランジスタ領域 T2 の p 型 FET および第 3 トランジスタ領域 T3 の n 型 FET をほぼ同時に形成することが可能であり、製造工程を簡便にすることができる。

[0099] また、基板 11 上の第 1 トランジスタ領域 T1、第 2 トランジスタ領域 T2 および第 3 トランジスタ領域 T3 の構成は、共通している部分が多く、これらの領域間にはほとんど段差 (図 6 の段差 S) がない。したがって、段差

に起因した不具合の発生を抑えることができる。

[0100] このような半導体装置 1 は、パワー半導体素子として機能し得る第 1 トランジスタ領域 T 1 と、相補型（コンプリメンタリ）半導体素子を構成する第 2 トランジスタ領域 T 2 および第 3 トランジスタ領域 T 3 とが同一基板（基板 1 1）上に形成されるので DC/DC コンバータ等の電源回路に好適に適用可能である。以下、この理由について説明する。

[0101] DC/DC コンバータは、例えば、ハイサイドスイッチおよびローサイドスイッチと、これらを駆動するゲート駆動回路および周辺回路を含んでいる。ハイサイドスイッチおよびローサイドスイッチを構成するパワー半導体素子と、ゲート駆動回路および周辺回路とは、例えば、ワイヤボンディングまたは、プリント基板の配線を用いて接続される。このような接続方法に起因して、DC/DC コンバータでは寄生インダクタンスが生じやすい。この寄生インダクタンスは、例えば、ループインダクタンス成分増大に伴うスイッチ動作の遅延を引き起こすおそれがある。また、このスイッチ動作の遅延の回復過程では、電源およびグラウンドの電位などの揺らぎ等が生じるおそれがある。

[0102] これに対し、半導体装置 1 では、同一基板（基板 1 1）上に、パワー半導体素子として機能し得る第 1 トランジスタ領域 T 1 と、ゲート駆動回路および周辺回路として機能し得る相補型の第 2 トランジスタ領域 T 2 および第 3 トランジスタ領域 T 3 とが設けられている。したがって、例えば、DC/DC コンバータ等の電源回路をワンチップに集積することが可能となる。これにより、上記接続方法に起因した寄生インダクタンスの発生を抑えることができる。また、DC/DC コンバータ等の電源回路をワンチップに集積することにより、小型化することも可能である。

[0103] 更に、上記のように半導体装置 1 は、容易に製造することができるので、コストを抑えることができる。加えて、半導体装置 1 では、デバイス面での段差に起因した不具合の発生も抑えることができるので、品質および歩留まりを向上させることができる。

[0104] 以上説明したように、本実施の形態では、基板 11 上の第 1 トランジスタ領域 T1 にチャネル層 14 を形成し、基板 11 上の第 2 トランジスタ領域 T2 にチャネル層 162 を形成するようにしたので、基板 11 上の第 1 トランジスタ領域 T1 に n 型 FET、第 2 トランジスタ領域 T2 に p 型 FET を各々形成することができる。よって、一つの基板（基板 11）上に p 型 FET および n 型 FET を設けることが可能となる。

[0105] 以下、上記実施の形態の変形例について説明するが、以降の説明において上記実施の形態と同一構成部分については同一符号を付してその説明は適宜省略する。

[0106] <変形例>

図 7 は、上記実施の形態の変形例に係る半導体装置（半導体装置 1A）の要部の断面構成を模式的に表したものである。この半導体装置 1A では、基板 11 上の第 3 トランジスタ領域 T3 にも、p 型不純物エピタキシャル層（p 型不純物エピタキシャル層 163）が設けられている。この点を除き、半導体装置 1A は、半導体装置 1 と同様の構成を有し、その作用および効果も同様である。

[0107] p 型不純物エピタキシャル層 163（第 3 不純物エピタキシャル層）は、第 1 トランジスタ領域 T1 の p 型不純物エピタキシャル層 161（および第 2 トランジスタ領域 T2 のチャネル層 162）と同一工程で形成されたものであり、p 型不純物エピタキシャル層 161 と同じ材料により構成され、略同じ厚みを有している。即ち、p 型不純物エピタキシャル層 163 は、p 型不純物エピタキシャル層 161 およびチャネル層 162 と同層に設けられている。この p 型不純物エピタキシャル層 163 は、上部障壁層 15（高抵抗領域 15a）上の選択的な領域に設けられ、上部障壁層 15 とゲート電極 223g との間に配置されている。p 型不純物エピタキシャル層 163 は、上部障壁層 15 を間にしてチャネル層 14 に対向している。

[0108] 第 3 トランジスタ領域 T3 のゲート領域 153G は、p 型不純物エピタキシャル層 163 の表面（ゲート電極 223g 側の面）から高抵抗領域 15a

の厚み方向の一部にわたって設けられている。このゲート領域 1 5 3 G とチャネル層 1 4 との間の距離は、第 1 トランジスタ領域 T 1 のゲート領域 1 6 1 G とチャネル層 1 4 との間の距離と略同じになる。

[0109] 本変形例の半導体装置 1 A も、上記半導体装置 1 と同様に、基板 1 1 上の第 1 トランジスタ領域 T 1 にチャネル層 1 4 を形成し、基板 1 1 上の第 2 トランジスタ領域 T 2 にチャネル層 1 6 2 を形成するようにしたので、基板 1 1 上の第 1 トランジスタ領域 T 1 に n 型 F E T、第 2 トランジスタ領域 T 2 に p 型 F E T を各々形成することができる。よって、一つの基板（基板 1 1）上に p 型 F E T および n 型 F E T を設けることが可能となる。

[0110] また、第 3 トランジスタ領域 T 3 に、p 型不純物エピタキシャル層 1 6 1（第 1 トランジスタ領域 T 1）に対応する p 型不純物エピタキシャル層 1 6 3 を設けるようにしたので、第 1 トランジスタ領域 T 1 および第 3 トランジスタ領域 T 3 の両方に、デプレッション型の n 型 F E T を形成することができる。

[0111] 以上、実施の形態および変形例を挙げて本技術を説明したが、本技術は上記実施の形態等に限定されるものではなく、種々変形可能である。例えば、上記実施の形態等において例示した半導体装置 1、1 A の構成要素、配置および数等は、あくまで一例であり、全ての構成要素を備える必要はなく、また、他の構成要素を更に備えていてもよい。

[0112] また、上記実施の形態等において説明した各層の材料および厚み、または成膜方法および成膜条件等は限定されるものではなく、他の材料および厚みとしてもよく、または他の成膜方法および成膜条件としてもよい。

[0113] なお、本明細書に記載された効果はあくまで例示であってこれに限定されるものではなく、また他の効果があってもよい。

[0114] なお、本技術は、以下のような構成も可能である。

(1)

第 1 トランジスタ領域および第 2 トランジスタ領域が設けられた基板と、前記基板上の前記第 1 トランジスタ領域に設けられ、化合物半導体を含む

とともに第1導電型のキャリアが走行する第1チャンネル層と、

前記第1チャンネル層を間にして前記基板上に設けられ、かつ、中央部の第1ゲート領域および前記第1ゲート領域の外側に配置されるとともに前記第1ゲート領域よりも単位長さあたりの電荷量が少ない低濃度領域を有する、第2導電型の第1不純物エピタキシャル層と、

前記基板上の前記第2トランジスタ領域に設けられ、化合物半導体を含むとともに前記第2導電型のキャリアが走行する第2チャンネル層とを備えた半導体装置。

(2)

前記第1ゲート領域および前記低濃度領域は連続して設けられている
前記(1)に記載の半導体装置。

(3)

前記第2チャンネル層は、前記第1不純物エピタキシャル層の構成材料と同じ材料を含む
前記(1)または(2)に記載の半導体装置。

(4)

前記第2チャンネル層は、前記第1不純物エピタキシャル層と同層に設けられている
前記(1)ないし(3)のうちいずれか1つに記載の半導体装置。

(5)

更に、前記第2チャンネル層上の選択的な領域に設けられた、前記第1導電型の第2不純物エピタキシャル層を有する
前記(1)ないし(4)のうちいずれか1つに記載の半導体装置。

(6)

前記基板には、更に、第3トランジスタ領域が設けられ、
前記第1チャンネル層は、前記基板上の前記第3トランジスタ領域にも設けられている
前記(1)ないし(5)のうちいずれか1つに記載の半導体装置。

(7)

前記第3トランジスタ領域では、前記第1チャネル層を前記第1導電型のキャリアが走行する

前記(6)に記載の半導体装置。

(8)

更に、前記基板上の前記第1トランジスタ領域、前記第2トランジスタ領域および前記第3トランジスタ領域にわたって設けられ、化合物半導体を含む下部障壁層と、

前記第1チャネル層を間にして前記下部障壁層に対向するとともに、前記第1チャネル層と前記第1不純物エピタキシャル層との間に設けられた上部障壁層とを有する

前記(6)または(7)に記載の半導体装置。

(9)

前記第1ゲート領域は、前記第1不純物エピタキシャル層から前記上部障壁層の厚み方向の一部にわたって設けられている

前記(8)に記載の半導体装置。

(10)

更に、前記基板上の前記第3トランジスタ領域に、前記上部障壁層の厚み方向の一部にわたって前記第2導電型の不純物が拡散された第2ゲート領域を有する

前記(9)に記載の半導体装置。

(11)

前記第2ゲート領域と前記第1チャネル層との間の距離は、前記第1ゲート領域と前記第1チャネル層との間の距離よりも短い

前記(10)に記載の半導体装置。

(12)

更に、前記基板上の前記第3トランジスタ領域に設けられ、前記上部障壁層を間にして前記第1チャネル層に対向する前記第2導電型の第3不純物エ

ピタキシャル層を有する

前記（９）に記載の半導体装置。

（１３）

基板上の第１トランジスタ領域に、化合物半導体を用いて、第１導電型のキャリアを走行させるための第１チャンネル層を形成し、

前記第１チャンネル層を間にして前記基板に対向する位置に、第２導電型の第１不純物エピタキシャル層を形成するとともに、前記基板上の第２トランジスタ領域に、化合物半導体を用いて、前記第２導電型のキャリアを走行させるための第２チャンネル層を形成し、

前記第１不純物エピタキシャル層の中央部に選択的に前記第２導電型の不純物を拡散させることにより、前記第１不純物エピタキシャル層の前記中央部の第１ゲート領域と、前記第１ゲート領域の外側の低濃度領域とを形成する

半導体装置の製造方法。

（１４）

前記第１不純物エピタキシャル層および前記第２チャンネル層を同一工程で形成する

前記（１３）に記載の半導体装置の製造方法。

（１５）

更に、前記第２チャンネル層の一部に、前記第２導電型の不純物を拡散させてソース領域およびドレイン領域を形成し、

前記ソース領域およびドレイン領域と、前記第１ゲート領域とを同一工程で形成する

前記（１３）または（１４）に記載の半導体装置の製造方法。

（１６）

前記第１チャンネル層を、前記基板上の前記第１トランジスタ領域および第３トランジスタ領域にわたって形成する

前記（１３）ないし（１５）のうちいずれか１項に記載の半導体装置の製

造方法。

(17)

更に、前記基板上の前記第3トランジスタ領域に、前記第1チャンネル層を間にして前記基板に対向する第2ゲート領域を形成し、

前記第2ゲート領域および前記第1ゲート領域を同一工程で形成する

前記(16)に記載の半導体装置の製造方法。

[0115] 本出願は、日本国特許庁において2018年8月9日出願された日本特許出願番号第2018-150547号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0116] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 第1トランジスタ領域および第2トランジスタ領域が設けられた基板と、
前記基板上の前記第1トランジスタ領域に設けられ、化合物半導体を含むとともに第1導電型のキャリアが走行する第1チャンネル層と、
前記第1チャンネル層を間にして前記基板上に設けられ、かつ、中央部の第1ゲート領域および前記第1ゲート領域の外側に配置されるときとも前記第1ゲート領域よりも単位長さあたりの電荷量が少ない低濃度領域を有する、第2導電型の第1不純物エピタキシャル層と、
前記基板上の前記第2トランジスタ領域に設けられ、化合物半導体を含むとともに前記第2導電型のキャリアが走行する第2チャンネル層と
を備えた半導体装置。
- [請求項2] 前記第1ゲート領域および前記低濃度領域は連続して設けられている
請求項1に記載の半導体装置。
- [請求項3] 前記第2チャンネル層は、前記第1不純物エピタキシャル層の構成材料と同じ材料を含む
請求項1に記載の半導体装置。
- [請求項4] 前記第2チャンネル層は、前記第1不純物エピタキシャル層と同層に設けられている
請求項1に記載の半導体装置。
- [請求項5] 更に、前記第2チャンネル層上の選択的な領域に設けられた、前記第1導電型の第2不純物エピタキシャル層を有する
請求項1に記載の半導体装置。
- [請求項6] 前記基板には、更に、第3トランジスタ領域が設けられ、
前記第1チャンネル層は、前記基板上の前記第3トランジスタ領域にも設けられている

請求項 1 に記載の半導体装置。

[請求項7] 前記第 3 トランジスタ領域では、前記第 1 チャネル層を前記第 1 導電型のキャリアが走行する

請求項 6 に記載の半導体装置。

[請求項8] 更に、前記基板上の前記第 1 トランジスタ領域、前記第 2 トランジスタ領域および前記第 3 トランジスタ領域にわたって設けられ、化合物半導体を含む下部障壁層と、

前記第 1 チャネル層を間にして前記下部障壁層に対向するとともに、前記第 1 チャネル層と前記第 1 不純物エピタキシャル層との間に設けられた上部障壁層とを有する

請求項 6 に記載の半導体装置。

[請求項9] 前記第 1 ゲート領域は、前記第 1 不純物エピタキシャル層から前記上部障壁層の厚み方向の一部にわたって設けられている

請求項 8 に記載の半導体装置。

[請求項10] 更に、前記基板上の前記第 3 トランジスタ領域に、前記上部障壁層の厚み方向の一部にわたって前記第 2 導電型の不純物が拡散された第 2 ゲート領域を有する

請求項 9 に記載の半導体装置。

[請求項11] 前記第 2 ゲート領域と前記第 1 チャネル層との間の距離は、前記第 1 ゲート領域と前記第 1 チャネル層との間の距離よりも短い

請求項 10 に記載の半導体装置。

[請求項12] 更に、前記基板上の前記第 3 トランジスタ領域に設けられ、前記上部障壁層を間にして前記第 1 チャネル層に対向する前記第 2 導電型の第 3 不純物エピタキシャル層を有する

請求項 9 に記載の半導体装置。

[請求項13] 基板上の第 1 トランジスタ領域に、化合物半導体を用いて、第 1 導電型のキャリアを走行させるための第 1 チャネル層を形成し、

前記第 1 チャネル層を間にして前記基板に対向する位置に、第 2 導

電型の第1不純物エピタキシャル層を形成するとともに、前記基板上の第2トランジスタ領域に、化合物半導体を用いて、前記第2導電型のキャリアを走行させるための第2チャンネル層を形成し、

前記第1不純物エピタキシャル層の中央部に選択的に前記第2導電型の不純物を拡散させることにより、前記第1不純物エピタキシャル層の前記中央部の第1ゲート領域と、前記第1ゲート領域の外側の低濃度領域とを形成する

半導体装置の製造方法。

[請求項14] 前記第1不純物エピタキシャル層および前記第2チャンネル層を同一工程で形成する

請求項13に記載の半導体装置の製造方法。

[請求項15] 更に、前記第2チャンネル層の一部に、前記第2導電型の不純物を拡散させてソース領域およびドレイン領域を形成し、

前記ソース領域およびドレイン領域と、前記第1ゲート領域とを同一工程で形成する

請求項13に記載の半導体装置の製造方法。

[請求項16] 前記第1チャンネル層を、前記基板上的前記第1トランジスタ領域および第3トランジスタ領域にわたって形成する

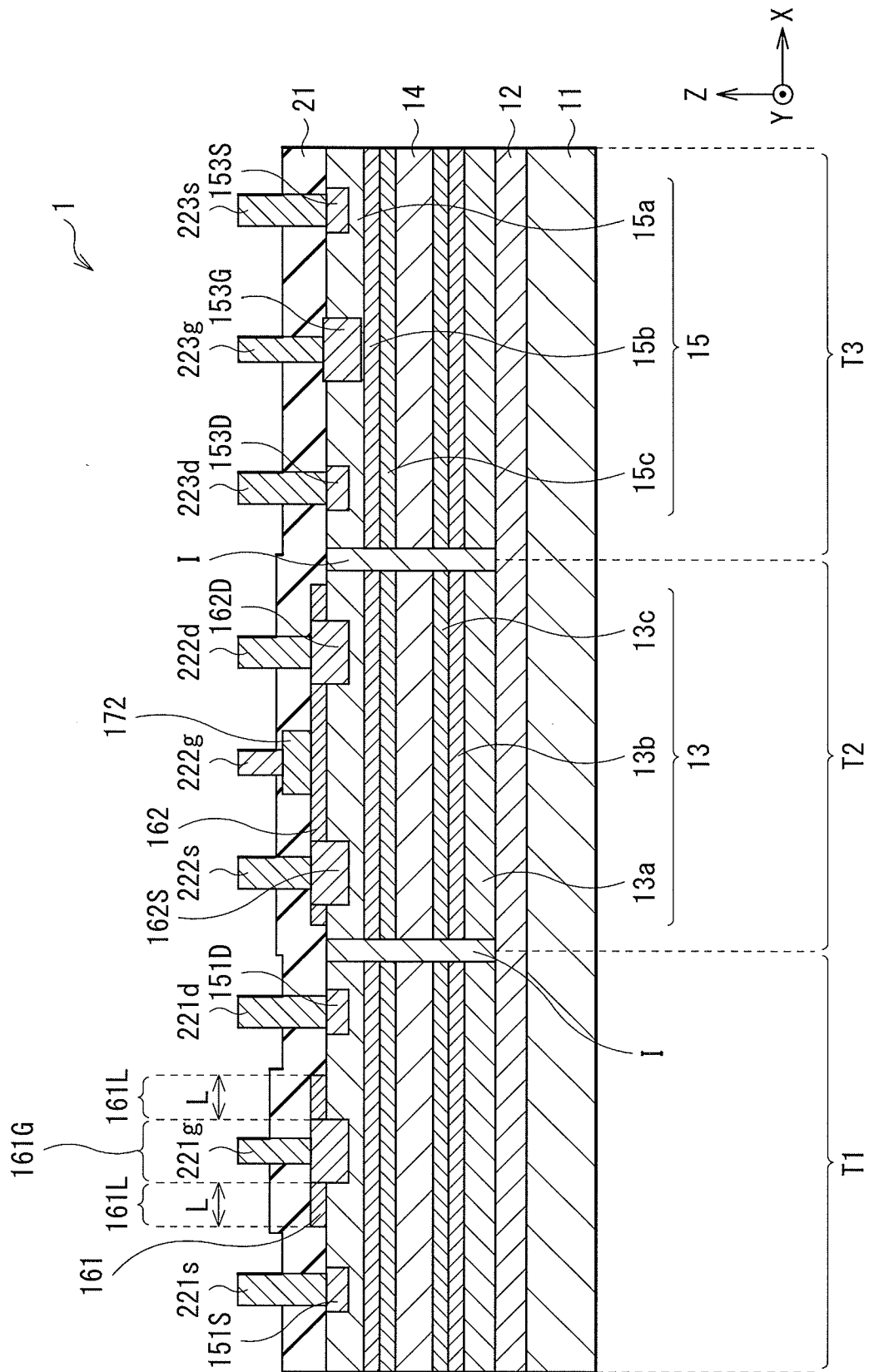
請求項13に記載の半導体装置の製造方法。

[請求項17] 更に、前記基板上的前記第3トランジスタ領域に、前記第1チャンネル層を間にして前記基板に対向する第2ゲート領域を形成し、

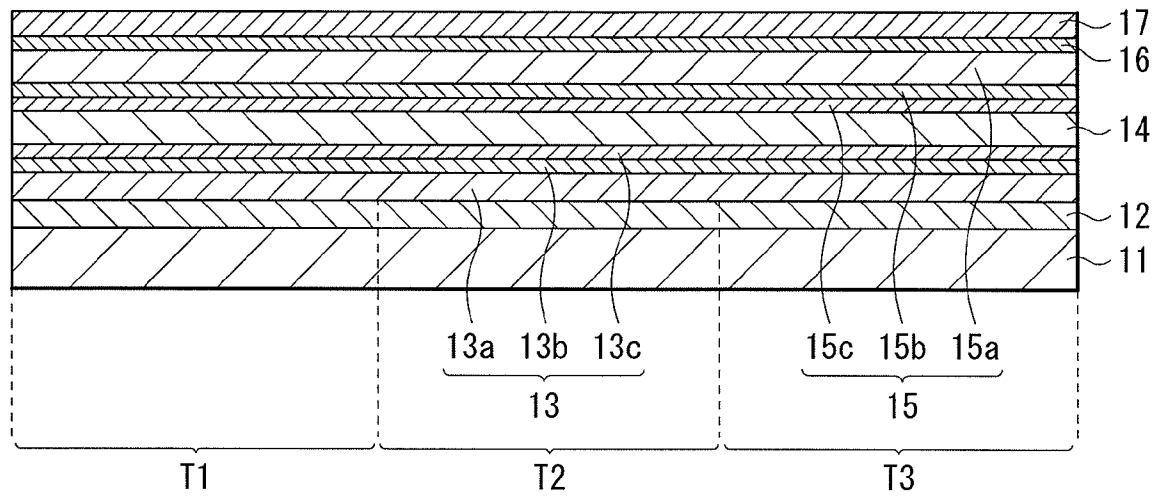
前記第2ゲート領域および前記第1ゲート領域を同一工程で形成する

請求項16に記載の半導体装置の製造方法。

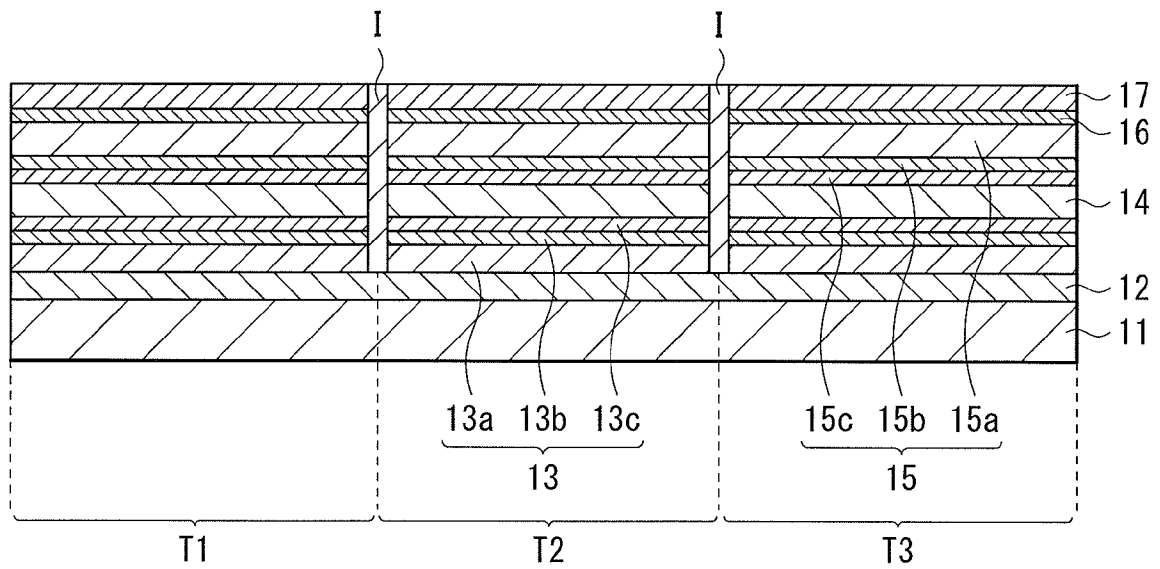
[図1]



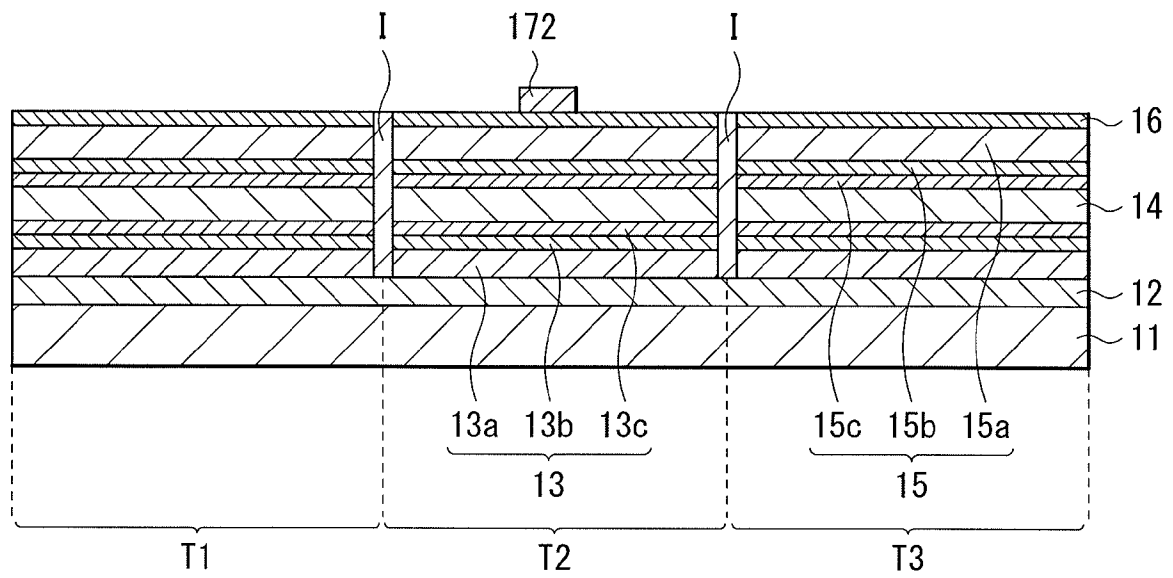
[図2A]



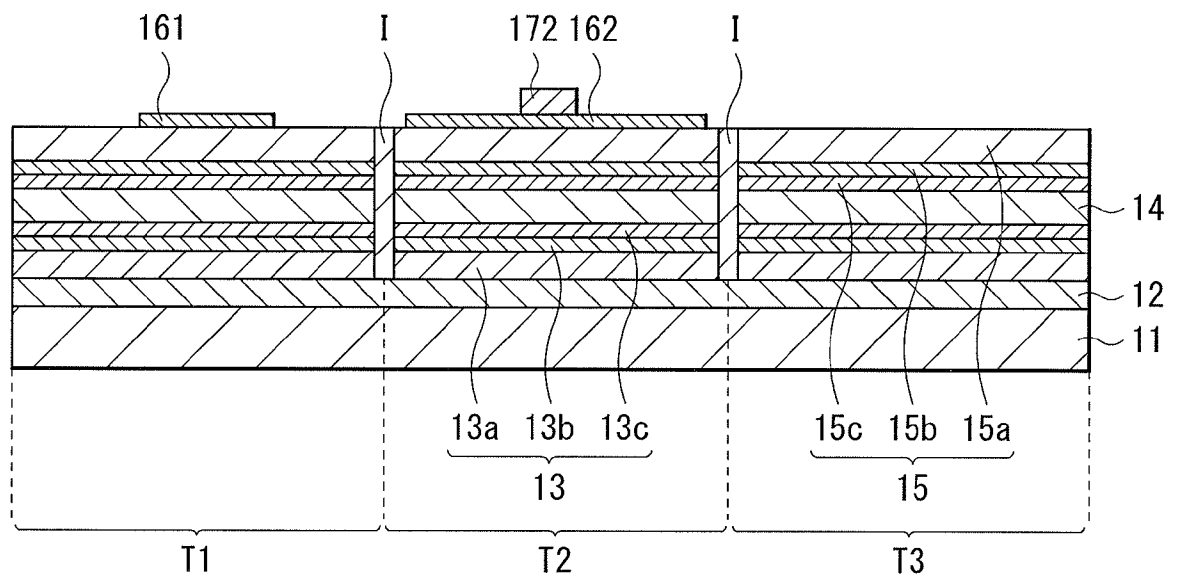
[図2B]



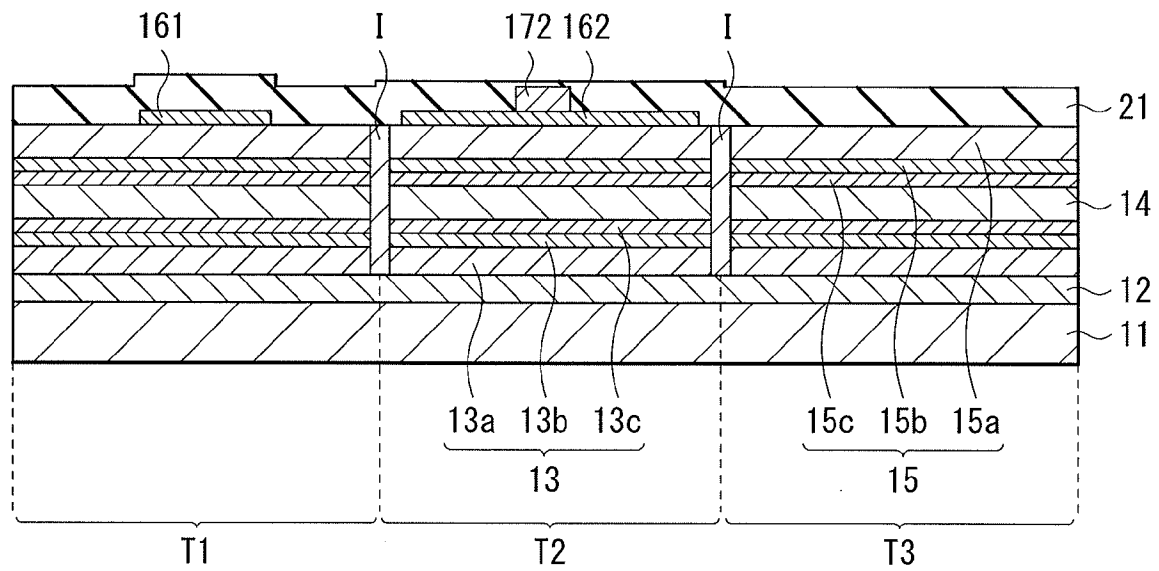
[図2C]



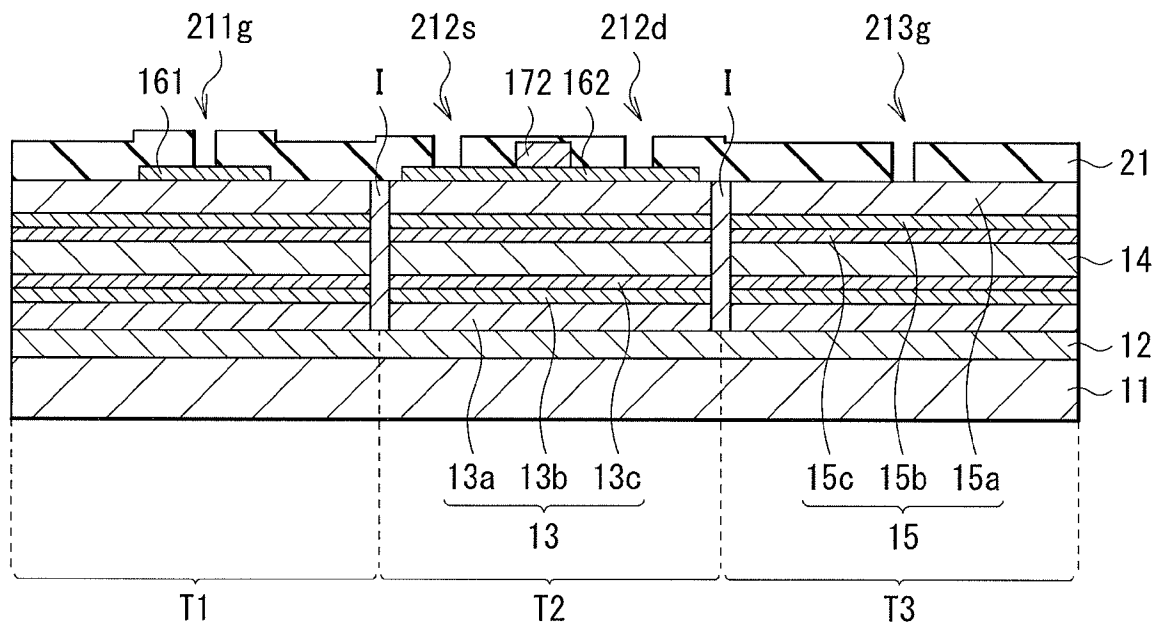
[図2D]



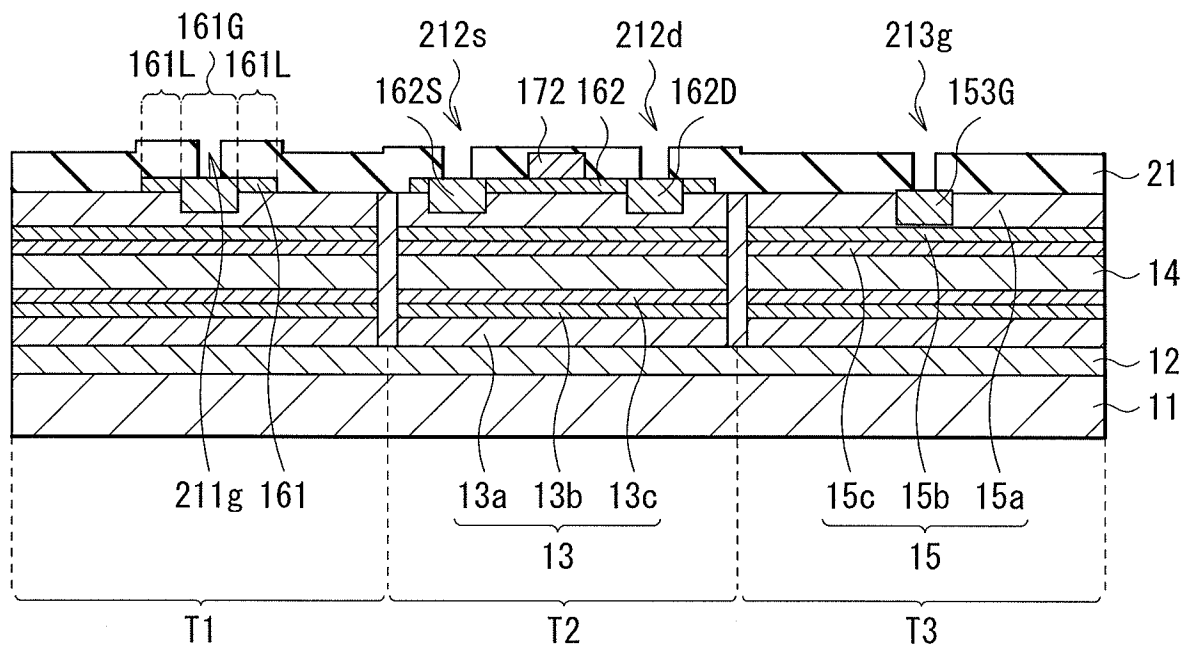
[図3A]



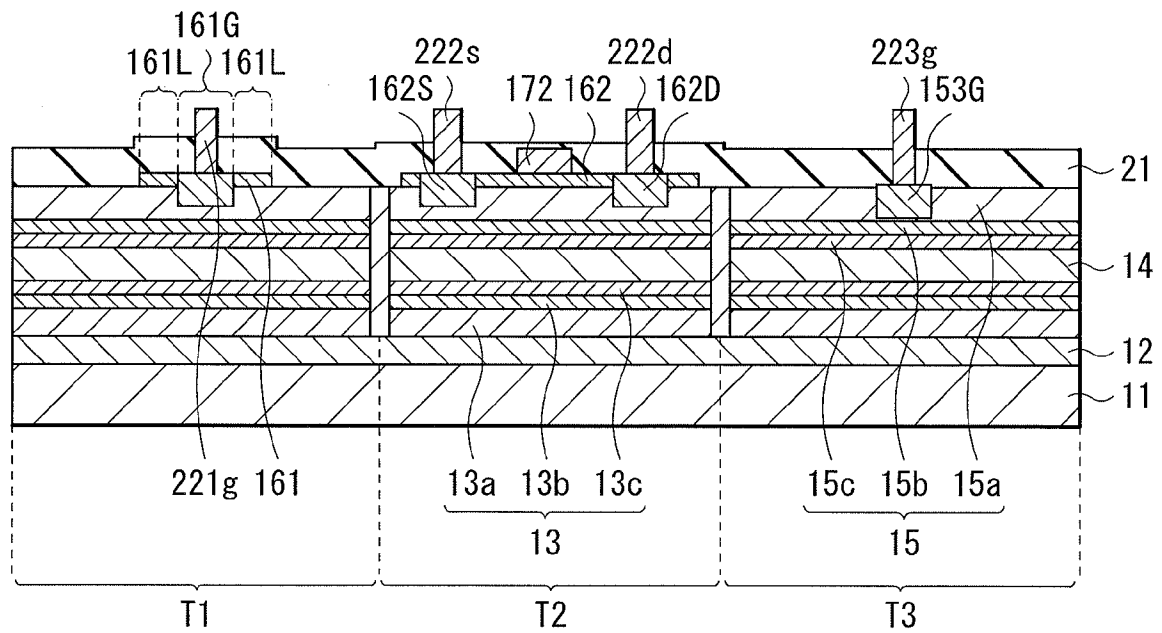
[図3B]



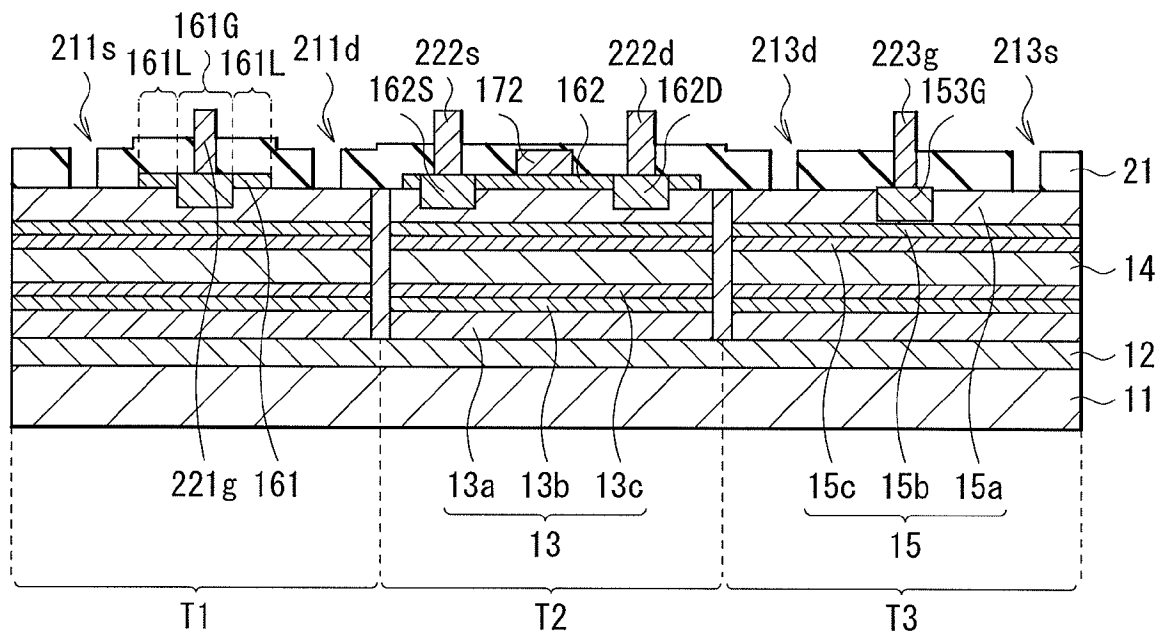
[図3C]



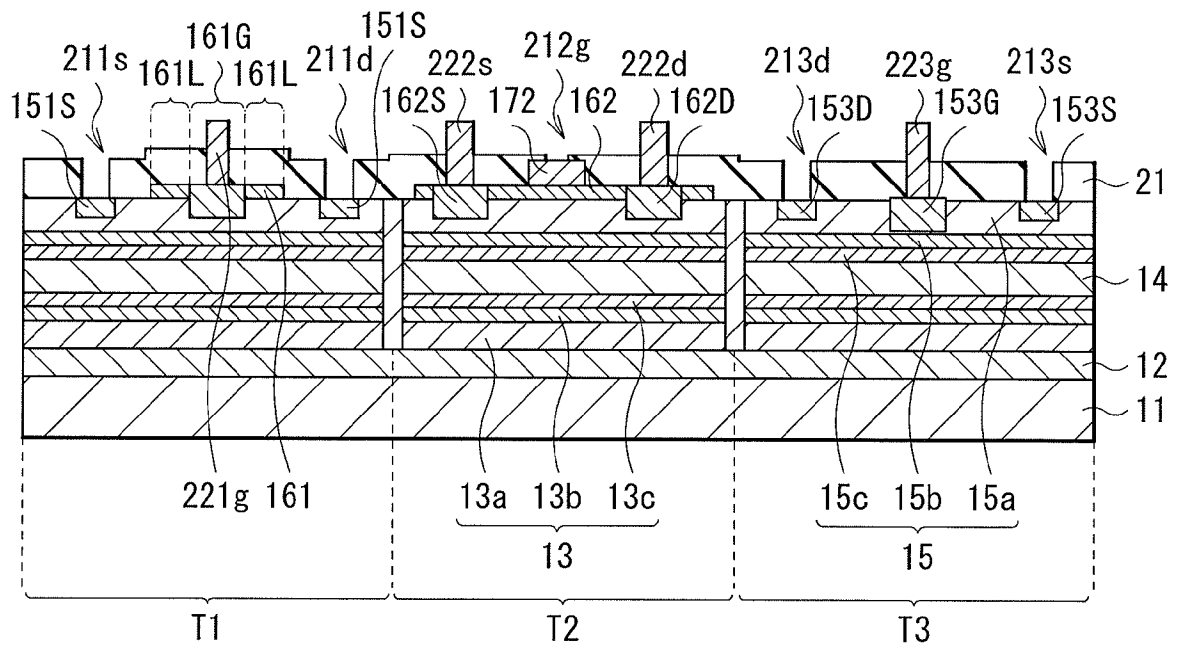
[図4A]



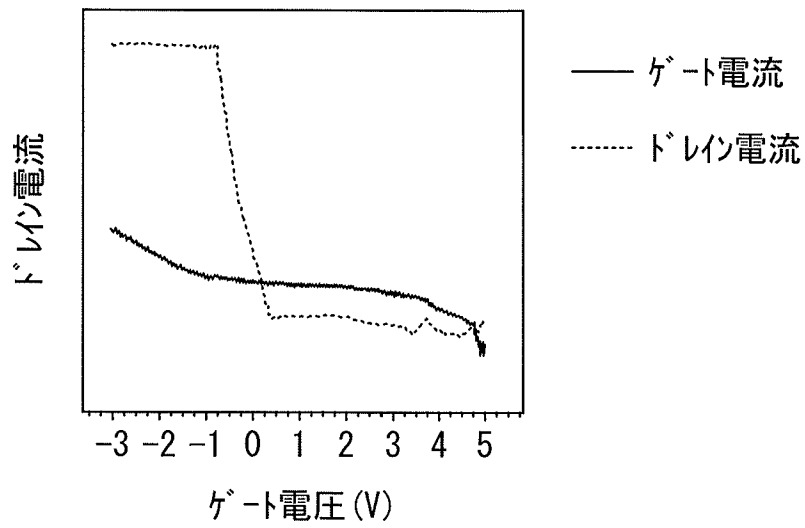
[図4B]



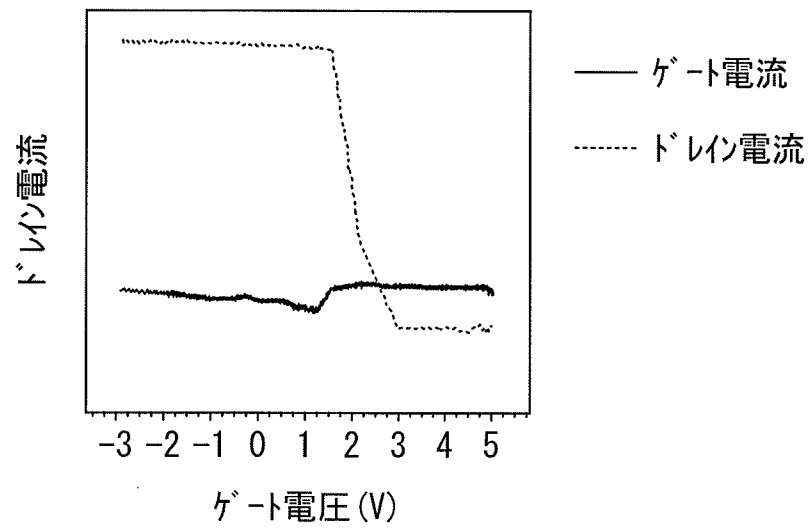
[図4C]



[図5A]



[図5B]



-INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/028098

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/338 (2006.01) i, H01L29/778 (2006.01) i, H01L29/812 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/338, H01L29/778, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2013-041986 A (ADVANCED POWER DEVICE RESEARCH ASSOCIATION) 28 February 2013, paragraphs [0008]-[0021], [0042]-[0057], fig. 6-7 & US 2013/0043485 A1, paragraphs [0021]-[0034], [0055]-[0070], fig. 6-7	1-2, 6-7 3-5, 8-17
Y A	JP 2008-159681 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 10 July 2008, paragraphs [0029]-[0058], fig. 10, 15-16 & US 2008/0149965 A1, paragraphs [0046]-[0075], fig. 10, 15-16	1-2, 6-7 3-5, 8-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 September 2019 (11.09.2019)Date of mailing of the international search report
24 September 2019 (24.09.2019)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/028098

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-028608 A (RENESAS ELECTRONICS CORP.) 09 February 2012, paragraphs [0027]-[0051], fig. 1 (Family: none)	1-17
A	JP 2011-192952 A (SONY CORP.) 29 September 2011, paragraphs [0033]-[0040], fig. 1 & US 2011/0024798 A1, paragraphs [0048]-[0055], fig. 1 & CN 101989601 A	1-17
A	JP 2015-037190 A (FREESCALE SEMICONDUCTOR, INC.) 23 February 2015, paragraphs [0021]-[0029], fig. 1 & US 2015/0041820 A1, paragraphs [0014]-[0022], fig. 1 & EP 2838113 A1 & CN 104377201 A	1-17

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/338, H01L29/778, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2013-041986 A（次世代パワーデバイス技術研究組合） 2013.02.28, 段落[0008]-[0021], [0042]-[0057], 図6-7 & US 2013/0043485 A1, 段落[0021]-[0034], [0055]-[0070], 図6-7	1-2, 6-7 3-5, 8-17
Y A	JP 2008-159681 A（松下電器産業株式会社） 2008.07.10, 段落[0029]-[0058], 図10, 15-16 & US 2008/0149965 A1, 段落[0046]-[0075], 図10, 15-16	1-2, 6-7 3-5, 8-17

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

11.09.2019

国際調査報告の発送日

24.09.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

杉山 芳弘

5 F

6311

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-028608 A (ルネサスエレクトロニクス株式会社) 2012.02.09, 段落[0027]-[0051], 図1 (ファミリーなし)	1-17
A	JP 2011-192952 A (ソニー株式会社) 2011.09.29, 段落[0033]-[0040], 図1 & US 2011/0024798 A1, 段落[0048]-[0055], 図1 & CN 101989601 A	1-17
A	JP 2015-037190 A (フリースケール セミコンダクター インコー ポレイテッド) 2015.02.23, 段落[0021]-[0029], 図1 & US 2015/0041820 A1, 段落[0014]-[0022], 図1 & EP 2838113 A1 & CN 104377201 A	1-17