(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 109716502 B
(45)授权公告日 2022.12.30

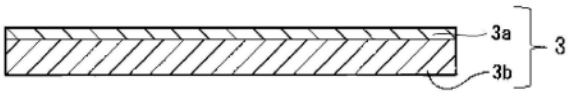
(21)申请号 201780050928.2
(22)申请日 2017.08.28
(65)同一申请的已公布的文献号
申请公布号 CN 109716502 A
(43)申请公布日 2019.05.03
(30)优先权数据
2016-167148 2016.08.29 JP
(85)PCT国际申请进入国家阶段日
2019.02.19
(86)PCT国际申请的申请数据
PCT/JP2017/030714 2017.08.28
(87)PCT国际申请的公布数据
WO2018/043391 JA 2018.03.08
(73)专利权人 古河电气工业株式会社
地址 日本东京都
(72)发明人 五岛裕介 横井启时
(74)专利代理机构 北京三友知识产权代理有限公司 11127
专利代理师 王博 庞东成
(51)Int.Cl.
H01L 21/683(2006.01)
H01L 21/78(2006.01)
B23K 26/38(2014.01)
C09J 201/00(2006.01)
(56)对比文件
CN 104781912 A,2015.07.15
CN 101416282 A,2009.04.22
WO 2016125796 A1,2016.08.11
JP 2012169670 A,2012.09.06
审查员 陈琼
权利要求书1页 说明书21页 附图6页

(54)发明名称

掩模一体型表面保护带

(57)摘要

提供一种掩模一体型表面保护带，其为等离子体切割方式用，所述掩模一体型表面保护带在薄膜化程度大的背面磨削工序中的半导体晶片的图案面的保护性、表面保护带的掩模材料层从基材膜的剥离性优异，残胶少，不良芯片的产生少。另外，提供一种无需光刻工艺的掩模一体型表面保护带。



CN 109716502 B

1.一种掩模一体型表面保护带,其为在包括下述工序(a)～(d)的半导体芯片的制造中使用的掩模一体型表面保护带,其特征在于,其具有基材膜和设置于所述基材膜上的掩模材料层,剥离所述掩模材料层后的面的所述基材膜的润湿张力为20.0mN/m以上48.0mN/m以下,依照JIS B0601进行测定时,剥离所述掩模材料层后的面的所述基材膜的表面粗糙度Ra为0.05μm以上2.0μm以下的范围,

(a)在将掩模一体型表面保护带贴合于半导体晶片的图案面侧的状态下,对该半导体晶片的背面进行磨削,将晶片固定带贴合于磨削后的半导体晶片的背面,利用环形框架进行支持固定的工序;

(b)将所述掩模一体型表面保护带的基材膜剥离而使所述掩模材料层露出于表面,之后利用激光将该掩模材料层中与半导体晶片的切割道相当的部分切断,使半导体晶片的切割道开口的工序;

(c)通过SF_6等离子体以所述切割道分割半导体晶片,从而单片化为半导体芯片的等离子体切割工序;和

(d)通过O_2等离子体去除所述掩模材料层的灰化工序。

2.如权利要求1所述的掩模一体型表面保护带,其特征在于,所述掩模一体型表面保护带的掩模材料为辐射固化型。

3.如权利要求1或2所述的掩模一体型表面保护带,其特征在于,所述掩模材料层对于纯水的接触角为85°以上150°以下。

4.如权利要求1～3中任一项所述的掩模一体型表面保护带,其特征在于,所述掩模材料层的储能模量在23℃为2.0×10^4Pa以上1.2×10^5Pa以下。

5.如权利要求1～4中任一项所述的掩模一体型表面保护带,其特征在于,所述掩模材料层的储能模量在50℃为1.0×10^4Pa以上1.0×10^5Pa以下。

6.如权利要求1～5中任一项所述的掩模一体型表面保护带,其特征在于,所述基材膜的杨氏模量为2.0×10^7Pa以上7.0×10^9Pa以下。

7.如权利要求1～6中任一项所述的掩模一体型表面保护带,其特征在于,所述基材膜的与掩模材料层相反一侧的面的熔点为80℃以上120℃以下。

8.如权利要求1～7中任一项所述的掩模一体型表面保护带,其特征在于,所述掩模材料层与所述基材膜层的密合力为0.01N/25mm以上0.5N/25mm以下。

9.如权利要求1～8中任一项所述的掩模一体型表面保护带,其特征在于,所述掩模一体型表面保护带的掩模材料层的厚度大于半导体晶片的图案凹凸。

10.如权利要求1～9中任一项所述的掩模一体型表面保护带,其中,贴合所述掩模一体型表面保护带的半导体晶片的图案面的凹凸以10μm以上来使用。

掩模一体型表面保护带

技术领域

[0001] 本发明涉及掩模一体型表面保护带。

背景技术

[0002] 近来半导体芯片向薄膜化、小芯片化的发展显著，尤其是对于存储卡或智能卡这样的内置有半导体IC芯片的IC卡而言要求薄膜化，而且，对于LED、LCD驱动用器件等要求小芯片化。认为今后随着这些需要的增加，半导体芯片的薄膜化、小芯片化的需求会进一步提高。

[0003] 这些半导体芯片可通过以下方式获得，即，将半导体晶片在背面研磨工序或蚀刻工序等中薄膜化成规定厚度后，经切割工序分割成各个芯片。在该切割工序中，使用通过切割刀片而切断的刀片切割方式。在刀片切割方式中，切断时刀片所引起的切削阻力直接施加到半导体晶片。因此，有时会因该切削阻力而使半导体芯片产生微小的缺损(碎片(chipping))。碎片产生不仅有损半导体芯片的外观，而且根据情况的不同有可能因抗弯强度不足而导致拾取时的芯片破损，甚至连芯片上的电路图案也会破损。另外，这种利用刀片进行的物理切割工序中，无法使作为芯片彼此的间隔的切口(kerf)(也称为切割线(scribe line)、切割道(street))的宽度窄于具有厚度的刀片宽度。其结果，能够由一片晶片取得的芯片的数量(收率)变少。此外，还存在晶片的加工时间长的问题。

[0004] 除刀片切割方式以外，在切割工序中还利用各种方式。

[0005] 例如，包括下述DBG(先切割)方式，该方式鉴于使晶片薄膜化后进行切割的困难度，而先仅以规定的厚度在晶片形成槽，然后进行磨削加工，同时进行薄膜化与向芯片的单片化。根据该方式，虽然切口宽度与刀片切割工序相同，但具有芯片的抗弯强度提升并能够抑制芯片破损的优点。

[0006] 另外，包括利用激光进行切割的激光切割方式。

[0007] 根据激光切割方式，也有能够使切口宽度窄、并且成为干式工艺的优点。但存在因利用激光进行切断时的升华物而污染晶片表面的不良情况，有时需要利用规定的液状保护材料对晶片表面进行保护的前处理。另外，虽说为干式工艺，但尚未实现完全的干式工艺。需要说明的是，与刀片切割方式相比，激光切割方式能够使处理速度高速化。但是，在逐一生产线进行加工时并无变化，且在极小芯片的制造中相应地要花费时间。

[0008] 另外，也有以水压进行切割的喷水(water jet)方式等使用湿式工艺的方式。

[0009] 在该方式中，在MEMS器件或CMOS传感器等需要高度地抑制表面污染的材料中有可能引起问题。另外，在切口宽度的窄小化方面存在限制，所得到的芯片的收率也低。

[0010] 另外，还已知在晶片的厚度方向上通过激光而形成改性层，并扩张、分割而单片化的隐形切割(stealth dicing)方式。

[0011] 该方式具有能够使切口宽度为零、能利用干式进行加工的优点。然而，有因改性层形成时的热历史而使芯片抗弯强度降低的倾向，另外，在扩张、分割时有时会产生硅屑。此外，与相邻芯片的碰撞有可能引起抗弯强度不足。

[0012] 此外，作为将隐形切割与先切割合并的方式，有应对窄划线宽度的芯片单片化方式，该方式在薄膜化之前先以规定的厚度形成改性层，然后从背面进行磨削加工而同时进行薄膜化与向芯片的单片化。

[0013] 该技术可改善上述工艺的缺点，在晶片背面磨削加工中利用应力将硅的改性层劈开而单片化，因此具有切口宽度为零而芯片收率高、抗弯强度也提升的优点。但是，由于在背面磨削加工中进行单片化，因而有时会发现芯片端面与相邻芯片碰撞而导致芯片角缺损的现象。

[0014] 除此之外，还有等离子体切割方式(例如，参照专利文献1)。

[0015] 等离子体切割方式为下述方法：通过用等离子体选择性地蚀刻未被掩模覆盖的部位，从而对半导体晶片进行分割。若使用该切割方法，则能够选择性地进行芯片的分割，即便切割线弯曲也能没有问题地分割。另外，由于蚀刻速率非常高，因而近年来一直被视为最适于芯片分割的工艺之一。

[0016] 在等离子体切割方式中，将六氟化硫(SF_6)或四氟化碳(CF_4)等与晶片的反应性非常高的氟系气体用作等离子体产生用气体，由于其蚀刻速率高，因而对于不进行蚀刻的面必须利用掩模进行保护，需要事先形成掩模。

[0017] 为了形成该掩模，如专利文献1中记载的那样，通常采用下述技术：在晶片的表面涂布抗蚀剂后，利用光刻工艺去除与切割道相当的部分而形成掩模。因此，以往需要等离子体切割设备以外的光刻工序设备。

[0018] 另外，在等离子体蚀刻后处于残留有掩模(抗蚀膜)的状态，因而为了去除掩模需要使用大量的溶剂，即便如此有时也无法完全去除掩模，有时还会产生不良芯片。此外，由于经过利用抗蚀剂的遮蔽工序，因而还存在整体的处理工艺变长的不良情况。

[0019] 现有技术文献

[0020] 专利文献

[0021] 专利文献1：日本特开2007-19385号公报

发明内容

[0022] 发明所要解决的课题

[0023] 在如上所述的现有技术中，存在芯片成本升高的问题，从抑制成本等方面出发需要不同的手段。

[0024] 另外，半导体芯片的厚度近年来具有越来越薄的趋势，在将半导体晶片背面进行背面磨削至如此薄的情况下，也需要与半导体晶片的图案面良好地密合而有效地保护图案面。

[0025] 并且，在掩模一体型表面保护带中，在半导体晶片的背面磨削后，为了从掩模一体型表面保护带仅使掩模材料(层)残留在半导体晶片的图案面上，在粘合剂层与掩模材料层之间进行剥离，因此该剥离必须容易且能够无残胶地进行剥离。在现有技术中，为了使剥离工序中的粘合剂层与掩模材料层的剥离容易，需要适当进行调整，降低粘合剂层或掩模材料层的高弹性化或密合力等。

[0026] 在上述剥离中，需要能够简单地使掩模材料层露出于晶片表面，需要利用SF_6等离子体更可靠地、高精度地将晶片切割成芯片。进而在等离子体切割后(晶片的分割后)，需要

利用O_2等离子体更可靠地去除掩模材料层的掩模材料而高度地抑制不良芯片的产生。

[0027] 但是，在上述剥离工序中，若使粘合剂层或掩模材料层高弹性化，则在形成于半导体晶片上的电路图案的凹凸大的情况下无法充分密合，有可能引起下述所谓渗流等，即，在背面磨削时包含硅磨削屑的磨削水从掩模材料一体型表面保护带与半导体晶片的间隙进入而污染半导体晶片电路面。另外，在降低掩模材料层的密合力而使与粘合层的剥离容易的情况下，半导体晶片与掩模材料的密合力也降低，产生渗流的可能性高。

[0028] 因此，本发明的课题在于提供一种掩模一体型表面保护带，其为等离子体切割方式用，所述掩模一体型表面保护带在薄膜化程度大的背面磨削工序中的半导体晶片的图案面的保护性、表面保护带的掩模材料层从基材膜的剥离性优异，残胶少，不良芯片的产生少。另外，本发明的课题在于提供一种无需光刻工艺的掩模一体型表面保护带。

[0029] 除此以外，本发明的课题在于提供一种掩模一体型表面保护带，其能够如此高度地抑制不良芯片的产生，并且可以在生产率高、加工工艺短的情况下低成本地制造半导体芯片。

[0030] 用于解决课题的手段

[0031] 即，根据本发明，提供以下的手段。

[0032] [1]一种掩模一体型表面保护带，其为在包括下述工序(a)～(d)的半导体芯片的制造中使用的掩模一体型表面保护带，其特征在于，其具有基材膜和设置于上述基材膜上的掩模材料层，剥离上述掩模材料层后的面的上述基材膜的润湿张力为20.0mN/m以上48.0mN/m以下，依照JIS B0601进行测定时，剥离上述掩模材料层后的面的上述基材膜的表面粗糙度Ra为0.05μm以上2.0μm以下的范围。

[0033] (a)在将掩模一体型表面保护带贴合于半导体晶片的图案面侧的状态下，对该半导体晶片的背面进行磨削，将晶片固定带贴合于磨削后的半导体晶片的背面，利用环形框架进行支持固定的工序；

[0034] (b)将上述掩模一体型表面保护带的基材膜剥离而使上述掩模材料层露出于表面，之后利用激光将该掩模材料层中与半导体晶片的切割道相当的部分切断，使半导体晶片的切割道开口的工序；

[0035] (c)通过SF_6等离子体以上述切割道分割半导体晶片，从而单片化为半导体芯片的等离子体切割工序；和

[0036] (d)通过O_2等离子体去除上述掩模材料层的灰化工序。

[0037] [2]如[1]所述的掩模一体型表面保护带，其特征在于，上述掩模一体型表面保护带的掩模材料为辐射固化型。

[0038] [3]如[1]或[2]所述的掩模一体型表面保护带，其特征在于，上述掩模材料层对于纯水的接触角为85°以上150°以下。

[0039] [4]如[1]～[3]中任一项所述的掩模一体型表面保护带，其特征在于，上述掩模材料层的储能模量在23℃为2.0×10^4Pa以上1.2×10^5Pa以下。

[0040] [5]如[1]～[4]中任一项所述的掩模一体型表面保护带，其特征在于，上述掩模材料层的储能模量在50℃为1.0×10^4Pa以上1.0×10^5Pa以下。

[0041] [6]如[1]～[5]中任一项所述的掩模一体型表面保护带，其特征在于，上述基材膜的杨氏模量为2.0×10^7Pa以上7.0×10^9Pa以下。

[0042] [7]如[1]～[6]中任一项所述的掩模一体型表面保护带，其特征在于，上述基材膜的与掩模材料层相反一侧的面的熔点为80℃以上120℃以下。

[0043] [8]如[1]～[7]中任一项所述的掩模一体型表面保护带，其特征在于，上述掩模材料层与上述基材膜层的密合力为0.01N/25mm以上0.5N/25mm以下。

[0044] [9]如[1]～[8]中任一项所述的掩模一体型表面保护带，其特征在于，上述掩模一体型表面保护带的掩模材料层的厚度大于半导体晶片的图案凹凸。

[0045] [10]如[1]～[9]中任一项所述的掩模一体型表面保护带，其中，贴合上述掩模一体型表面保护带的半导体晶片的图案面的凹凸以10μm以上来使用。

[0046] 发明的效果

[0047] 根据本发明，能够提供一种掩模一体型表面保护带，其为等离子体切割方式用，所述掩模一体型表面保护带在薄膜化程度大的背面磨削工序中的半导体晶片的图案面的保护性、掩模材料层从基材膜的剥离性优异，残胶少，不良芯片的产生少。另外，根据本发明，能够提供一种无需光刻工艺的掩模一体型表面保护带。

[0048] 除此以外，能够提供一种掩模一体型表面保护带，其能够如此高度地抑制不良芯片的产生，并且可以在生产率高、加工工艺短的情况下低成本地制造半导体芯片。

[0049] 本发明的上述和其他特征及优点可适当参照附图并由下述记载内容进一步明确。

附图说明

[0050] 图1是本发明的掩模一体型表面保护带的示意性概略截面图。

[0051] 图2(a)～2(c)是说明在使用本发明的掩模一体型表面保护带的至对半导体晶片贴合表面保护带为止的工序的示意性截面图。分图2(a)表示具有图案面的半导体晶片，分图2(b)表示贴合掩模一体型表面保护带的工序，分图2(c)表示贴合有掩模一体型表面保护带的半导体晶片。

[0052] 图3(a)～3(c)是说明在使用本发明的掩模一体型表面保护带的至半导体晶片的薄膜化与固定为止的工序的示意性截面图。分图3(a)表示半导体晶片的薄膜化处理，分图3(b)表示贴合晶片固定带的工序，分图3(c)表示将半导体晶片固定于环形框架的状态。

[0053] 图4(a)～4(c)是说明使用本发明的掩模一体型表面保护带的至掩模形成为止的工序的示意性截面图。分图4(a)表示残留掩模材料层而从掩模一体型表面保护带剥掉基材膜的工序，分图4(b)表示掩模一体型表面保护带的掩模材料层已露出的状态，分图4(c)表示利用激光切除与切割道相当的掩模材料层的工序。

[0054] 图5(a)～5(c)是说明使用本发明的掩模一体型表面保护带的等离子体切割与等离子体灰化的工序的示意性截面图。分图5(a)表示进行等离子体切割的工序，分图5(b)表示单片化为芯片的状态，分图5(c)表示进行等离子体灰化的工序。

[0055] 图6(a)和6(b)是说明使用本发明的掩模一体型表面保护带的至拾取芯片为止的工序的示意性截面图。分图6(a)表示去除了掩模材料层的状态，分图6(b)表示拾取芯片的工序。

具体实施方式

[0056] 本发明的掩模一体型表面保护带用于通过等离子体切割将半导体晶片分割、单片

化而得到半导体芯片的方法。

[0057] 如以下所说明的那样，通过使用本发明的掩模一体型表面保护带，不需要在等离子体切割工序之前的光刻工艺，能够大幅抑制半导体芯片或半导体制品的制造成本。

[0058] 如图1所示，本发明的掩模一体型表面保护带3在基材膜3a上层积掩模材料层3b，两层通过粘合而一体化。该掩模材料层3b如后所述优选为辐射固化型掩模材料层。

[0059] 本发明的掩模一体型表面保护带用于切割方式中的如上所述的等离子体切割方式，即，其是用于等离子体切割方式的掩模一体型表面保护带。

[0060] 更具体而言，在由半导体晶片得到半导体芯片时，可以用于包括通过等离子体切割将晶片分割、单片化的工序的半导体芯片的制造。

[0061] 并且，如上所述为不需要光刻工艺的掩模一体型表面保护带。

[0062] 本发明的掩模一体型表面保护带用于半导体晶片的加工，在半导体晶片的背面磨削时为了保护图案面(表面)而贴合于该图案面来使用。

[0063] 以下，结合半导体芯片的制造工序(半导体晶片的加工工序)对本发明的掩模一体型表面保护带进行详细说明。

[0064] 本发明的掩模一体型表面保护带进一步优选用于至少包括下述工序(a)～(d)的半导体芯片的制造。

[0065] 即，本发明的掩模一体型表面保护带是包括下述工序(a)～(d)的半导体芯片的制造用的掩模一体型表面保护带。

[0066] [工序(a)～(d)]

[0067] (a)在将掩模一体型表面保护带贴合于半导体晶片的图案面侧的状态下，对该半导体晶片的背面进行磨削，将晶片固定带贴合于磨削后的半导体晶片的背面，利用环形框架进行支持固定的工序；

[0068] (b)将上述掩模一体型表面保护带的基材膜剥离而使上述掩模材料层露出于表面，之后利用激光将该掩模材料层中与半导体晶片的切割道相当的部分切断，使半导体晶片的切割道开口的工序；

[0069] (c)通过SF_6等离子体以上述切割道分割半导体晶片，从而单片化为半导体芯片的等离子体切割工序；和

[0070] (d)通过O_2等离子体去除上述掩模材料层的灰化工序。

[0071] 应用本发明的掩模一体型表面保护带的上述半导体芯片的制造方法优选在上述工序(d)之后包括下述工序(e)。另外，在包括下述工序(e)的情况下，优选在该工序(e)之后进一步包括下述工序(f)。

[0072] (e)从晶片固定带拾取半导体芯片的工序

[0073] (f)将拾取的半导体芯片转移至粘晶工序的工序

[0074] 在本发明的掩模一体型表面保护带的情况下，在上述工序(b)中，包括不照射放射线而从上述掩模一体型表面保护带将上述基材膜剥离而使掩模材料层露出于表面的工序。

[0075] 以下，包括作为使用本发明的掩模一体型表面保护带的用途的在半导体芯片的制造方法中应用的工序(a)～(d)在内，进行详细说明。

[0076] 下面，参照附图对使用本发明的掩模一体型表面保护带的半导体芯片的制造方法(下文中简称为“应用本发明的制造方法”)的优选实施方式进行说明，但除本发明中规定的

事项外，本发明并不限于下述实施方式。另外，各附图所示的方式为用于容易理解本发明的示意图，关于各部件的尺寸、厚度或相对大小关系等，为了便于说明而有时会改变大小，并非直接显示实际的关系。另外，除本发明中规定的事项外，并不限于这些附图所示的外形、形状。

[0077] 需要说明的是，关于下述实施方式中所用的装置和材料等，只要没有特别声明，则可以使用以往用于半导体晶片加工的通常的装置和材料等，其使用条件也可以在通常的使用方法的范围内根据目的而适当地设定、优化。另外，关于各实施方式中共通的材质、结构、方法、效果等则省略重复记载。

[0078] 参照图2(a)～图6(b)，对应用本发明掩模一体型表面保护带的制造方法进行说明。

[0079] 半导体晶片1在其表面S具有形成有半导体元件的电路等的图案面2(参照图2(a))。在该图案面2以图2(b)的箭头方向贴合本发明的掩模一体型表面保护带3(参照图2(b))，该本发明的掩模一体型表面保护带3在基材膜3a上设置有掩模材料层3b，从而得到图案面2被本发明的掩模一体型表面保护带3所被覆的半导体晶片1(参照图2(c))。

[0080] 接着，如图3(a)的箭头那样，利用晶片磨削装置M1对半导体晶片1的背面B进行磨削，减薄半导体晶片1的厚度(参照图3(a))。以图3(b)的箭头方向在该磨削后的背面B贴合晶片固定带4(参照图3(b))，并支持固定于环形框架F(参照图3(c))。

[0081] 从半导体晶片1剥离掩模一体型表面保护带3的基材膜3a，并且其掩模材料层3b残留于半导体晶片1(参照图4(a))，将掩模材料层3b剥出(参照图4(b))。并且，从表面S侧对在图案面2呈格子状等适当形成的多个切割道(未图示)照射CO_2激光L，将掩模材料层3b的与切割道相当的部分去除，使半导体晶片的切割道开口(参照图4(c))。

[0082] 接着，从表面S侧利用SF_6气体的等离子体P1进行处理，蚀刻在切割道部分露出的半导体晶片1(参照图5(a))，将其分割而单片化为各个芯片7(参照图5(b))。其次通过O_2气体的等离子体P2进行灰化(参照图5(c))，去除残留于表面S的掩模材料层3b(参照图6(a))。并且，最后将单片化的芯片7通过销M2顶出，通过弹性夹头(collet)M3吸附，以图6(b)的箭头方向进行拾取(参照图6(b))。图5(a)和(c)的箭头表示各等离子体照射的方向。

[0083] 此处，使用了SF_6气体的半导体晶片的Si的蚀刻工艺也称为BOSCH工艺，其使露出的Si与将SF_6等离子体化而生成的F原子反应而作为四氟化硅(SiF_4)去除，也称为反应离子蚀刻(RIE)。另一方面，利用O_2等离子体进行的去除在半导体制造工艺中为也用作等离子体清洗机的方法，其也被称为灰化(ashing)，其为去除有机物的方法之一。是为了清洗残留于半导体器件表面的有机物残渣而进行的。

[0084] 接着，对掩模一体型表面保护带3中使用的材料和上述工序中使用的材料进行说明。

[0085] 需要说明的是，除掩模一体型表面保护带3中使用的材料以外，上述工序中使用的材料并不限于下述所说明的材料。

[0086] 半导体晶片1是在单面具有形成有半导体元件的电路等的图案面2的硅晶片等，图案面2是形成有半导体元件的电路等的面，在俯视时具有切割道。

[0087] 本发明的掩模一体型表面保护带3具有在基材膜3a上设置有掩模材料层3b的构成，具有保护形成于图案面2的半导体元件的功能。即，在后续工序的晶片薄膜化工序(背面

磨削工序)中以图案面2支持半导体晶片1而对晶片的背面进行磨削,因而掩模一体型表面保护带3需要承受该磨削时的负荷。因此,与单纯的抗蚀膜等不同,掩模一体型表面保护带3具有仅被覆形成于图案面的元件的厚度,其按压阻力低,而且以不引起磨削时的灰尘或磨削水等渗入的方式而尽可能使元件密合,密合性高。

[0088] 本发明的掩模一体型表面保护带3中,基材膜3a的特征在于,剥离掩模材料层3b后的面的润湿张力为20.0mN/m以上48.0mN/m以下。上述“润湿张力”是指单位面积的表面自由能。该“润湿张力”可以利用表面张力判定试剂{例如,张力测试液(商品名:春日电机株式会社制造)}进行测定。另外,该“润湿张力”的试验的标准为“JISK6768(塑料-膜和片-润湿张力试验法)”。

[0089] 通过使基材膜3a的剥离掩模材料层3b后的面的润湿张力为上述范围,本发明的掩模一体型表面保护带3能够从基材膜容易地剥离掩模材料层。从该方面出发,基材膜3a的剥离掩模材料层3b后的面的润湿张力为20.0mN/m以上48.0mN/m以下、优选为22.6mN/m以上45.0mN/m以下、更优选为25.4mN/m以上44.0mN/m以下。

[0090] 若上述润湿张力过小,则在将掩模一体型表面保护带3贴附至半导体晶片1的装置内,基材膜3a与掩模材料层3b有可能发生剥离。另一方面,若上述润湿张力过大,则基材膜3a与掩模材料层3b的密合力过高,不剥离而难以仅使掩模材料露出在晶片面上。

[0091] 此外,本发明的掩模一体型表面保护带3的特征在于,依照JIS B0601进行测定时,基材膜3a的剥离掩模材料层3b后的面的表面粗糙度Ra为0.05μm以上2.0μm以下。表面粗糙度Ra大于2.0μm的情况下,基材膜3a与掩模材料层3b的接触面积增加,因而密合力过高,难以剥离。反之,在表面粗糙度Ra小于0.05μm的情况下,基材膜3a与掩模材料层3b的剥离性提高,但如上所述可能会在贴合带的装置内或在磨削中基材膜3a与掩模材料层3b发生剥离,晶片发生破损。从该方面出发,上述表面粗糙度Ra优选为0.07μm以上1.8μm以下、更优选为0.09μm以上1.7μm以下、特别优选为0.11μm以上1.6μm以下。

[0092] 需要说明的是,本发明中所谓的表面粗糙度Ra是指利用Tencor制造的P-10(商品名)对基材膜表面的粗糙度进行测定而算出的平均粗糙度。

[0093] 本发明的掩模一体型表面保护带3的特征在于,基材膜3a的剥离掩模材料层3b后的面满足上述润湿张力和表面粗糙度两者的条件。“基材膜3a的剥离掩模材料层3b后的面”是指,在本发明的掩模一体型表面保护带中将掩模材料层3b剥离后的基材膜3a的与掩模材料层3b相对的面。通过满足上述润湿张力和表面粗糙度两者的条件而并非其中一者,能够大幅扩大掩模材料的选择。通过基材膜的表面粗糙度满足上述条件,能够以物理方式减少基材膜与掩模材料的接地面积,可以选择能够与表面具有大的图案凹凸的半导体晶片充也分密合的柔软的掩模材料。

[0094] 此外,通过基材膜的润湿张力满足上述条件,即便应用与涂布在半导体晶片的表面的材料相容性好且化学极性高的掩模材料,也能够容易地剥离。即,通过基材膜满足两者的条件,可以选择能够与半导体晶片的表面充分密合的掩模材料,在磨削后,能够以物理方式及化学方式容易地仅剥离基材膜,能够兼顾晶片的图案面的保护性和剥离性。

[0095] 另外,基材膜3a的杨氏模量优选为2.0×10^{7}Pa以上7.0×10^{9}Pa以下、更优选为2.5×10^{7}Pa以上6.0×10^{9}Pa以下。通过基材膜的杨氏模量处于该范围内,掩模一体型表面保护带3在磨削时能够具有适度的缓冲特性,能够大幅抑制晶片的破损。

[0096] 基材膜3a由塑料或橡胶等构成，作为其材质可以举出例如：聚乙烯、聚丙烯、乙烯-丙烯共聚物等聚烯烃树脂、聚-1-丁烯、聚-4-甲基1-戊烯、乙烯-乙酸乙烯酯共聚物、乙烯-丙烯酸共聚物、离聚物等α-烯烃的均聚物或共聚物或者它们的混合物、聚对苯二甲酸乙二醇酯、聚萘二甲酸乙二醇酯、聚苯硫醚、聚醚酰亚胺、聚酰亚胺、聚碳酸酯、聚甲基丙烯酸甲酯、聚氨酯、苯乙烯-乙烯-丁烯或戊烯系共聚物等单一成分或者2种以上混合而成的成分、以及在这些中混配有除这些以外的树脂或填充材料、添加剂等而成的树脂组合物，可以根据要求特性而任意选择。

[0097] 基材膜3a优选具有由聚烯烃树脂构成的层。该情况下，基材膜3a可以为由聚烯烃树脂层构成的单层，也可以为由聚烯烃树脂层和其他树脂层构成的2层或2层以上的多层结构。另外，低密度聚乙烯与乙烯乙酸乙烯酯共聚物的层积体、或聚丙烯与聚对苯二甲酸乙二醇酯的层积体、聚对苯二甲酸乙二醇酯、聚萘二甲酸乙二醇酯为优选的材质之一。

[0098] 基材膜3a为单层或2层以上的多层结构的情况下，配置于基材膜的与掩模材料层相反一侧的面的树脂的熔点优选为80℃以上120℃以下的范围、更优选为90℃以上110℃以下的范围。通过配置处于该熔点范围的树脂，能够可靠地将剥离膜热封，并且能够容易地剥离。

[0099] 这些基材膜3a可以使用一般的挤出法来制造。在将各种树脂层积而获得基材膜3a的情况下，利用共挤出法、层压法等来制造。此时，如在通常的层压膜的制法中通常所进行的那样，也可以在树脂与树脂之间设置粘接剂层。关于这种基材膜3a的厚度，从强度/伸长率特性、放射线透过性的方面出发，优选为20μm～200μm。

[0100] 掩模材料层3b承担吸收形成于图案面的元件的凹凸以提高与图案面的密合性、从而保护图案面的作用。为了使掩模一体型表面保护带承受晶片薄膜化工序的负荷，掩模材料层3b优选在晶片薄膜化工序中与基材膜3a的密合性高。另一方面，在晶片薄膜化工序后，为了从基材膜3剥离，优选密合性低(优选剥离性高)。为了以更高的水平实现该特性，本发明的掩模材料一体型表面保护带的掩模材料层3b的掩模材料具有粘合性，优选为辐射固化型。通过使掩模材料为辐射固化型，利用放射线照射，基材膜3a与掩模材料层3b的密合力减少，因此能够简单地将掩模材料层3b从基材膜3a剥离。

[0101] 需要说明的是，本发明中，“放射线”用于包括紫外线之类的光线或电子射线之类的电离性放射线两者的含义。本发明中，放射线优选为紫外线。

[0102] 本发明的掩模一体型表面保护带中，掩模材料层3b含有(甲基)丙烯酸系共聚物。此处，掩模材料层3b含有(甲基)丙烯酸系共聚物是指包括(甲基)丙烯酸系共聚物以与后述固化剂反应的状态存在的方式。

[0103] 此处，如(甲基)丙烯酸系那样，“(甲基)”的括弧部分是指可以有该甲基也可以没有该甲基，例如(甲基)丙烯酸系可以为丙烯酸系、甲基丙烯酸系或者包括这两者的情况的任一情况。

[0104] 本发明中，(甲基)丙烯酸系共聚物可以举出例如具有(甲基)丙烯酸酯作为构成成分的共聚物、或这些共聚物的混合物等。

[0105] 这些聚合物的重均分子量通常为30万～100万左右。

[0106] 在上述(甲基)丙烯酸系共聚物的全部单体成分中，(甲基)丙烯酸酯成分的比例优选为70摩尔％以上、更优选为80摩尔％以上、进一步优选为90摩尔％以上。另外，在(甲基)

丙烯酸系共聚物的全部单体成分中，在(甲基)丙烯酸酯成分的比例并非100摩尔％的情况下，剩余部分的单体成分优选为以将(甲基)丙烯酰基作为聚合性基团聚合成的形态存在的单体成分[(甲基)丙烯酸等]。

[0107] 另外，在(甲基)丙烯酸系共聚物的全部单体成分中，具有与下述固化剂反应的官能团(例如羟基)的(甲基)丙烯酸酯成分的比例优选为1摩尔％以上、更优选为2摩尔％以上、进一步优选为5摩尔％以上、更优选为10摩尔％以上。另外，该(甲基)丙烯酸酯成分的比例优选为35摩尔％以下、更优选为25摩尔％以下。

[0108] 上述(甲基)丙烯酸酯成分可以为(甲基)丙烯酸烷基酯(也称为烷基(甲基)丙烯酸酯)。该情况下，构成(甲基)丙烯酸烷基酯的烷基的碳原子数优选为1～20、更优选为1～15、进一步优选为1～12。

[0109] 掩模材料层3b中的(甲基)丙烯酸系共聚物的含量(换算成与固化剂反应前的状态的含量)优选为80质量％以上、更优选为90质量％以上、更优选为95质量％～99.9质量％。

[0110] 掩模材料层3b由辐射固化型粘合剂构成的情况下，可以优选使用含有丙烯酸系粘合剂与辐射聚合性化合物而成的粘合剂。

[0111] 丙烯酸系粘合剂为(甲基)丙烯酸系共聚物、或者(甲基)丙烯酸系共聚物与固化剂的混合物。

[0112] 固化剂用于与(甲基)丙烯酸系共聚物所具有的官能团反应而调节粘合力和内聚力。

[0113] 可以举出例如：1,3-双(N,N-二缩水甘油基氨基甲基)环己烷、1,3-双(N,N-二缩水甘油基氨基甲基)甲苯、1,3-双(N,N-二缩水甘油基氨基甲基)苯、N,N,N,N’-四缩水甘油基-间二甲苯二胺、乙二醇二缩水甘油醚、对苯二甲酸二缩水甘油酯丙烯酸酯等分子中具有2个以上环氧基的环氧化合物(下文中也称为“环氧系固化剂”)；2,4-甲苯二异氰酸酯、2,6-甲苯二异氰酸酯、1,3-苯二亚甲基二异氰酸酯、1,4-苯二亚甲基二异氰酸酯、二苯基甲烷-4,4’-二异氰酸酯、六亚甲基二异氰酸酯、异佛尔酮二异氰酸酯和它们的加成型等分子中具有2个以上异氰酸酯基的异氰酸酯系化合物(下文中也称为“异氰酸酯系固化剂”)；四羟甲基-三-β-氮丙啶基丙酸酯、三羟甲基-三-β-氮丙啶基丙酸酯、三羟甲基丙烷-三-β-氮丙啶基丙酸酯、三羟甲基丙烷-三-β-(2-甲基氮丙啶基)丙酸酯、三-2,4,6-(1-氮丙啶基)-1,3,5-三嗪、三[1-(2-甲基)-氮丙啶基]氧化膦、六[1-(2-甲基)-氮丙啶基]三膦三嗪等分子中具有2个以上氮丙啶基的氮杂环丙烷化合物(下文中也称为“氮杂环丙烷系固化剂”)等。

[0114] 固化剂的添加量根据所期望的粘合力进行调整即可，相对于(甲基)丙烯酸系共聚物100质量份为0.1质量份～5.0质量份是适当的。在本发明的掩模一体型表面保护带的掩模材料层中，固化剂处于与(甲基)丙烯酸系共聚物反应的状态。

[0115] 作为上述辐射聚合性化合物，广泛使用能够通过放射线照射而三维网状化的、在分子内具有至少2个以上光聚合性碳-碳双键的低分量化合物。

[0116] 具体而言，可以广泛使用：三羟甲基丙烷三丙烯酸酯、四羟甲基甲烷四丙烯酸酯、季戊四醇三丙烯酸酯、季戊四醇四丙烯酸酯、二季戊四醇单羟基五丙烯酸酯、二季戊四醇六丙烯酸酯、1,4-丁二醇二丙烯酸酯、1,6-己二醇二丙烯酸酯、聚乙二醇二丙烯酸酯、低聚酯丙烯酸酯等丙烯酸酯系化合物。

[0117] 另外，除了上述丙烯酸酯系化合物以外，也可以使用氨基甲酸酯丙烯酸酯系低聚

物。

[0118] 氨基甲酸酯丙烯酸酯系低聚物使具有羟基的丙烯酸酯或甲基丙烯酸酯(例如,丙烯酸-2-羟乙酯、甲基丙烯酸-2-羟乙酯、丙烯酸-2-羟丙酯、甲基丙烯酸-2-羟丙酯、聚乙二醇丙烯酸酯、聚乙二醇甲基丙烯酸酯等)与末端异氰酸酯氨基甲酸酯预聚物反应而得到,该末端异氰酸酯氨基甲酸酯预聚物是使聚酯型或聚醚型等的多元醇化合物与多元异氰酸酯化合物(例如,2,4-甲苯二异氰酸酯、2,6-甲苯二异氰酸酯、1,3-苯二亚甲基二异氰酸酯、1,4-苯二亚甲基二异氰酸酯、二苯基甲烷4,4-二异氰酸酯等)反应而得到的。

[0119] 作为辐射固化型掩模材料中的丙烯酸系粘合剂与辐射聚合性化合物的混配比,优选的是,相对于丙烯酸系粘合剂100质量份,以50质量份～200质量份、优选以50质量份～150质量份的范围混配辐射聚合性化合物。在为该混配比的范围时,掩模材料层具有适度的弹性模量,能够提高晶片表面的凹凸与掩模材料层的密合性。

[0120] 另外,作为掩模材料层3b中所用的辐射固化型粘合剂,也优选使用使上述(甲基)丙烯酸系共聚物本身为辐射聚合性的辐射聚合性(甲基)丙烯酸系共聚物。

[0121] 该情况下,辐射固化型粘合剂也可以包含固化剂。

[0122] 辐射聚合性(甲基)丙烯酸系共聚物是在共聚物的分子中具有能够利用放射线、特别是利用紫外线照射而进行聚合反应的反应性基团的共聚物。

[0123] 作为这样的反应性基团,优选为具有烯键式不饱和基团、即碳-碳双键(烯键式不饱和键)的基团。作为该基团的例子,可以举出乙烯基、烯丙基、苯乙烯基、(甲基)丙烯酰氧基、(甲基)丙烯酰基氨基等。

[0124] 上述反应性基团向共聚物中的导入例如可以通过使具有羟基的共聚物和具有与羟基反应的基团(例如异氰酸酯基)且具有上述反应性基团的化合物[(代表性地为2-(甲基)丙烯酰氧基乙基异氰酸酯)反应而进行。

[0125] 在构成侧链具有烯键式不饱和键的(甲基)丙烯酸系共聚物(其构成本发明的掩模一体型表面保护带的掩模材料层3b)的单体成分中,优选包含碳原子数为8～12的(甲基)丙烯酸烷基酯成分。在构成侧链具有烯键式不饱和键的(甲基)丙烯酸系共聚物的单体成分中,碳原子数为8～12的(甲基)丙烯酸烷基酯成分的比例优选为45摩尔%～85摩尔%、更优选为50摩尔%～80摩尔%。

[0126] 另外,在通过放射线使掩模材料层3b聚合固化的情况下,可以使用光聚合引发剂、例如异丙基苯偶姻醚、异丁基苯偶姻醚、二苯甲酮、米希勒酮、氯噻吨酮、苄基甲基缩酮、α-羟基环己基苯基酮、2-羟基甲基苯基丙烷等。通过将这些中的至少一种添加至掩模材料层,能够高效地进行聚合反应。

[0127] 上述掩模材料层3b也可以进一步含有光敏剂、现有公知的赋粘剂、软化剂、抗氧化剂等。

[0128] 作为上述掩模材料层3b,也优选采用日本特开2014-192204号公报的段落号0036～0055中记载的形态。

[0129] 关于掩模材料层3b的厚度,从进一步提高形成于图案面2的元件等的保护能力、并且进一步提高对图案面的密合性的方面出发,优选为5μm～100μm。需要说明的是,虽然也取决于器件的种类,但图案表面的凹凸大致为几μm～50μm左右。

[0130] 本发明的掩模一体型表面保护带中,掩模材料层的厚度优选大于半导体晶片的图

案凹凸。由此，能够进一步提高对薄膜化背面磨削后的半导体晶片的图案面的密合性。

[0131] 另外，本发明的掩模一体型表面保护带中，进行贴合的半导体晶片的图案面的凹凸优选为10μm以上、更优选为15μm以上、进一步优选为20μm以上。

[0132] 此外，本发明的掩模一体型表面保护带中，掩模材料层表面的耐水性也很重要。掩模材料层表面的耐水性低的情况下，会诱发因在晶片背面磨削加工中切削水渗入所引起的晶片污染，或者因掩模一体型表面保护带容易从晶片边缘部剥离而诱发边缘碎片。因此，本发明的掩模一体型表面保护带中，希望掩模材料层表面的耐水性高，具体而言，掩模材料层表面与纯水的接触角优选为85°以上。从掩模材料的材料特性的方面出发，与纯水的接触角通常设为150°以下。实用上而言，掩模材料层表面与纯水的接触角为85°～120°左右。需要说明的是，接触角的测定环境设为室温(25±5℃)、湿度50±10％。

[0133] 本发明中，掩模材料层表面对纯水的接触角是指掩模材料层表面与纯水刚接触后的接触角。该接触角是在23℃的温度、50％的湿度的条件下测得的值。测定可以使用市售的接触角测定装置进行。需要说明的是，作为市售的“接触角测定装置”的具体例，可以举出“协和化学工业株式会社制造、FACE接触角计CA-S150型(商品名)”。

[0134] 另外，掩模材料层的储能模量在23℃优选为2.0×10^4Pa以上1.2×10^5Pa以下、更优选为2.5×10^4Pa以上1.0×10^5Pa以下、进一步优选为3.0×10^4Pa以上9.0×10^4Pa以下。通过具有这样的储能模量，能够充分追随晶片表面的凹凸，能够降低磨削时的清洗水渗入的可能性。

[0135] 另外，根据其测定法，储能模量有G’(扭转剪切法)和E’(拉伸压缩法)。不为辐射固化型的掩模材料层或放射线照射前的辐射固化型掩模材料层的弹性模量通过扭转剪切法进行测定。放射线照射后的辐射固化型掩模材料层的弹性模量通过拉伸压缩法进行测定。关于G’和E’，在线性区域，一般E’＝3G’的关系成立。本发明中规定的上述弹性模量是指由扭转剪切法得到的弹性模量，通过拉伸压缩法进行测定的情况下，表示通过式E’＝3G’换算得到的值。

[0136] 另外，掩模材料的储能模量在50℃优选为1.0×10^4Pa以上1.0×10^5Pa以下。通过具有该范围的储能模量，在将掩模一体型表面保护带贴附到半导体晶片时，更容易与晶片表面的凹凸密合，能够进一步降低晶片的污染。另外，通过将温度从23℃提高至50℃，掩模材料变得更柔软，因此掩模材料更容易追随晶片表面的凹凸。

[0137] 对于本发明的掩模一体型表面保护带而言，基材膜3a与掩模材料层3b之间的密合力优选为0.01N/25mm以上0.5N/25mm以下。通过具有这样的密合力，能够良好地进行半导体晶片的背面磨削，在将基材膜3a从背面磨削加工后而变薄的半导体晶片剥离时，能够不发生晶片的破损等而进行剥离。

[0138] 本发明中，“密合力”(单位:N/25mm)是通过以下方法求出的，即，使用Tensilon测试仪[(株式会社)岛津制作所制造AG-10kNI(商品名)]，利用切割器将掩模一体型表面保护带切出5mm宽度的切口后，将掩模材料层以剥离速度300mm/min朝180°方向拉伸而剥下，测量此时的应力(剥离强度)。

[0139] 在上述密合力的测定中，紫外线照射条件是指以累积照射量为500mJ/cm^2的方式对掩模一体型表面保护带整体从该带的基材膜侧照射紫外线。在紫外线照射中使用高压汞灯。

[0140] 晶片固定带4保持半导体晶片1，需要具有即便暴露于等离子体切割工序也能承受的等离子体耐性。另外，在拾取工序中需要具有良好的拾取性，并且根据情况的不同也需要具有扩张性等。

[0141] 这样的晶片固定带4可以使用与上述基材膜3a同样的带。另外，可以使用通常被称为切晶带的现有的等离子体切割方式中所利用的公知的切晶带。另外，为了使拾取后向粘晶工序的转移容易，也可以使用在粘合剂层与基材膜之间层积有粘晶用粘接剂的切晶-粘晶带。

[0142] 在切断掩模材料层3b的激光照射中，可以使用照射紫外线或红外线的激光的激光照射装置。该激光照射装置以沿着半导体晶片1的切割道自如移动的方式配设激光照射部，能够照射为了去除掩模材料层3b而适当控制的输出功率的激光。其中，CO_2激光能够得到几W～几十W的大输出功率，可以优选用于本发明中。

[0143] 为了进行等离子体切割和等离子体灰化，可以使用等离子体蚀刻装置。等离子体蚀刻装置是能够对半导体晶片1进行干式蚀刻的装置，在真空腔室内形成密闭处理空间，将半导体晶片1载置于高频侧电极，从与该高频侧电极相对设置的气体供给电极侧供给等离子体产生用气体。若对高频侧电极施加高频电压，则在气体供给电极与高频侧电极之间产生等离子体，因而利用该离子体。在发热的高频电极内循环制冷剂，防止因等离子体的热所导致的半导体晶片1的升温。

[0144] 根据上述半导体芯片的制造方法(半导体晶片的处理方法)，通过使保护图案面的本发明的掩模一体型表面保护带具有等离子体切割中的掩模功能，从而不需要用于设置现有的等离子体切割工艺中所用的抗蚀剂的光刻工序等。特别是，若使用本发明的掩模一体型表面保护带，则在掩模的形成中无需印刷或转印等要求高度的位置对准的技术，能够简单地贴合于半导体晶片表面，能够通过激光装置以良好的精度简单地形成掩模。

[0145] 另外，由于可利用O_2等离子体去除掩模材料层3b，因而能够利用与进行等离子体切割的装置相同的装置去除掩模部分。此外，由于从图案面2侧(表面S侧)进行等离子体切割，因而在拾取作业前无需使芯片的上下反转。

[0146] 由于这些理由，能够使设备简化，能够大幅抑制工艺成本。

[0147] 实施例

[0148] 以下，基于实施例来更详细地说明本发明，但本发明不限于此。

[0149] [实施例1]掩模一体型表面保护带的制作、半导体芯片的制造

[0150] <掩模一体型表面保护带的制作>

[0151] 混合甲基丙烯酸1mol％、丙烯酸-2-乙基己酯78mol％、丙烯酸-2-羟乙酯21mol％，在溶液中进行聚合，由此得到重均分子量为70万的(甲基)丙烯酸系共聚物溶液。

[0152] 对所得到的(甲基)丙烯酸系共聚物加成异氰酸2-甲基丙烯酰氧基乙酯(商品名：karenz MOI、昭和电工株式会社制造)，由此得到下述物性的(甲基)丙烯酸系共聚物(重均分子量：70万、双键量：0.90meq/g、羟值：33.5mgKOH/g、酸值：5.5mgKOH/g、Tg：-68℃)。

[0153] 需要说明的是，O_2灰化的时间为10分钟至20分钟。

[0154] 相对于该含烯键式不饱和基团的(甲基)丙烯酸系共聚物100质量份，混配作为固化剂的Coronate L(商品名：日本聚氨酯工业株式会社制造、异氰酸酯系固化剂)0.2质量份、作为光聚合引发剂的Irgacure 184(商品名：BASF公司制造)5质量份，得到掩模材料组

合物A。

[0155] 使用乙烯-乙酸乙烯酯共聚物(东曹公司制造、商品名:Ultrathene 541),通过T模法制作厚度100μm的基材膜3a,该基材膜3a是通过使贴合上述掩模材料组合物A的面的表面粗糙度Ra为1.1μm的压纹辊来形成,并且进行了电晕处理以使润湿张力为22.6mN/m。

[0156] 将上述掩模材料组合物A涂布至剥离衬垫上而形成掩模材料层3b,与基材膜3a贴合,得到厚度130μm的紫外线固化型掩模一体型表面保护带3。

[0157] <半导体芯片的制造>

[0158] 使用层压机DR8500III(商品名:日东精机株式会社制造),在带切割线(切割道)的硅晶片(直径8英寸)表面贴合上述得到的紫外线固化型的掩模一体型表面保护带。

[0159] 之后,使用DGP8760(商品名:株式会社迪思科制造),将与贴合有上述掩模一体型表面保护带的面相反的面(晶片的背面)磨削至晶片的厚度为50μm。使用RAD-2700F(商品名:Lintec株式会社制造),将磨削后的晶片从晶片背面侧装配至切晶带上,并用环形框架支持固定。进而,使用高压汞灯从紫外线固化型的掩模一体型带侧照射500mJ/cm^2的紫外线,由此使基材膜3a与掩模材料层3b之间的密合力降低,仅剥离基材膜3a,在晶片上仅残留掩模材料层3b。接着,利用CO_2激光去除切割线上的掩模材料,使切割线开口。

[0160] 之后,使用SF_6气体作为等离子体产生用气体,以15μm/分钟的蚀刻速度从掩模材料层侧对硅晶片进行5分钟等离子体照射。通过该等离子体切割,将晶片切断而分割成各个芯片。接着,使用O_2气体作为等离子体产生用气体,以1.5μm/分钟的蚀刻速度进行10分钟灰化,将掩模材料去除。之后,从切晶带侧照射紫外线(照射量200mJ/cm^2),使切晶带的粘合力降低,拾取芯片。

[0161] 在上述实施例1中,测定基材膜3a的剥离掩模材料3b后的面的润湿张力,结果确认到为22.6mN/m。另外,确认到相同面的表面粗糙度Ra为1.1μm。

[0162] [实施例2]掩模一体型表面保护带的制作、半导体芯片的制造

[0163] <掩模一体型表面保护带的制作>

[0164] 使实施例1中制作的掩模材料组合物A的Coronate L为4质量份,除此以外同样地得到掩模材料组合物B。

[0165] 使用乙烯-乙酸乙烯酯共聚物(东曹公司制造、商品名:Ultrathene 530),通过T模法制作厚度100μm的基材膜3a,该基材膜3a是通过使贴合上述掩模材料组合物B的面的表面粗糙度Ra为0.9μm的压纹辊来形成,并且进行了电晕处理以使润湿张力为48.0mN/m。

[0166] 将上述掩模材料组合物B涂布至剥离衬垫上而形成掩模材料层3b,与基材膜3a贴合,得到厚度130μm的紫外线固化型掩模一体型表面保护带3。

[0167] <半导体芯片的制造>

[0168] 使用层压机DR8500III(商品名:日东精机株式会社制造),在带切割线(切割道)的硅晶片(直径8英寸)表面贴合上述得到的紫外线固化型的掩模一体型表面保护带。

[0169] 之后,使用DGP8760(商品名:株式会社迪思科制造),将与贴合有上述掩模一体型表面保护带的面相反的面(晶片的背面)磨削至晶片的厚度为50μm。使用RAD-2700F(商品名:Lintec株式会社制造),将磨削后的晶片从晶片背面侧装配至切晶带上,并用环形框架支持固定。进而,使用高压汞灯从紫外线固化型的掩模一体型带侧照射500mJ/cm^2的紫外线,由此使基材膜3a与掩模材料层3b之间的密合力降低,仅剥离基材膜3a,在晶片上仅残留

掩模材料层3b。接着，利用CO_2激光去除切割线上的掩模材料，使切割线开口。

[0170] 之后，使用SF_6气体作为等离子体产生用气体，以15μm/分钟的蚀刻速度从掩模材料层侧对硅晶片进行5分钟等离子体照射。通过该等离子体切割，将晶片切断而分割成各个芯片。接着，使用O_2气体作为等离子体产生用气体，以1.5μm/分钟的蚀刻速度进行10分钟灰化，将掩模材料去除。之后，从切晶带侧照射紫外线(照射量200mJ/cm^2)，使切晶带的粘合力降低，拾取芯片。

[0171] 上述实施例2中，测定基材膜3a的剥离掩模材料3b后的面的润湿张力，结果确认到为48.0mN/m。另外，确认到相同面的表面粗糙度Ra为0.9μm。

[0172] [实施例3]掩模一体型表面保护带的制作、半导体芯片的制造

[0173] <掩模一体型表面保护带的制作>

[0174] 混合甲基丙烯酸1mol％、丙烯酸丁酯23mol％、丙烯酸月桂酯68mol％、丙烯酸-2-羟乙酯8mol％，在溶液中进行聚合，由此得到重均分子量为65万、酸值为5.0mgKOH/g、Tg为-10℃的(甲基)丙烯酸系共聚物溶液。

[0175] 相对于所得到的(甲基)丙烯酸系共聚物100质量份，混配作为紫外线反应性树脂的5官能的分子量为1500的氨基甲酸酯丙烯酸酯低聚物[新中村化学工业株式会社制造]100质量份和3官能的氨基甲酸酯丙烯酸酯低聚物[新中村化学工业株式会社制造]50质量份、作为固化剂的Coronate L 3质量份、Tetrad C[商品名:三菱瓦斯化学株式会社制造;1,3-双(N,N-二缩水甘油基氨基甲基)环己酮]2质量份、作为光聚合引发剂的Irgacure 184(商品名:BASF公司制造)10质量份，得到掩模材料组合物C。

[0176] 使用乙烯-乙酸乙烯酯共聚物(东曹公司制造、商品名:Ultrathene 530)，通过T模法制作厚度100μm的基材膜3a，该基材膜3a是通过使贴合上述掩模材料组合物C的面的表面粗糙度Ra为0.06μm的压纹辊来形成，并且进行了电晕处理以使润湿张力为38.0mN/m。

[0177] 将上述掩模材料组合物C涂布至剥离衬垫上而形成掩模材料层3b，与基材膜3a贴合，得到厚度130μm的紫外线固化型掩模一体型表面保护带3。

[0178] <半导体芯片的制造>

[0179] 使用层压机DR8500III(商品名:日东精机株式会社制造)，在带切割线(切割道)的硅晶片(直径8英寸)表面贴合上述得到的紫外线固化型的掩模一体型表面保护带。

[0180] 之后，使用DGP8760(商品名:株式会社迪思科制造)，将与贴合有上述掩模一体型表面保护带的面相反的面(晶片的背面)磨削至晶片的厚度为50μm。使用RAD-2700F(商品名:Lintec株式会社制造)，将磨削后的晶片从晶片背面侧装配至切晶带上，并用环形框架支持固定。进而，使用高压汞灯从紫外线固化型的掩模一体型带侧照射500mJ/cm^2的紫外线，由此使基材膜3a与掩模材料层3b之间的密合力降低，仅剥离基材膜3a，在晶片上仅残留掩模材料层3b。接着，利用CO_2激光去除切割线上的掩模材料，使切割线开口。

[0181] 之后，使用SF_6气体作为等离子体产生用气体，以15μm/分钟的蚀刻速度从掩模材料层侧对硅晶片进行5分钟等离子体照射。通过该等离子体切割，将晶片切断而分割成各个芯片。接着，使用O_2气体作为等离子体产生用气体，以1.5μm/分钟的蚀刻速度进行10分钟灰化，将掩模材料去除。之后，从切晶带侧照射紫外线(照射量200mJ/cm^2)，使切晶带的粘合力降低，拾取芯片。

[0182] 在上述实施例3中，测定基材膜3a的剥离掩模材料3b后的面的润湿张力，结果确认

到为38.0mN/m。另外，确认到相同面的表面粗糙度Ra为0.06μm。

[0183] [实施例4]掩模一体型表面保护带的制作、半导体芯片的制造

[0184] <掩模一体型表面保护带的制作>

[0185] 混合甲基丙烯酸1mol％、甲基丙烯酸甲酯35mol％、丙烯酸-2-乙基己酯62mol％、丙烯酸-2-羟乙酯2mol％，在溶液中进行聚合，由此得到重均分子量为20万、酸值为6.0mgKOH/g、Tg为-30℃的(甲基)丙烯酸系共聚物溶液。

[0186] 相对于所得到的(甲基)丙烯酸系共聚物100质量份，混配作为紫外线反应性树脂的5官能的分子量为1500的氨基甲酸酯丙烯酸酯低聚物[新中村化学工业株式会社制造]100质量份和3官能的氨基甲酸酯丙烯酸酯低聚物[新中村化学工业株式会社制造]50质量份、作为固化剂的Coronate L 5质量份、作为光聚合引发剂的Irgacure 184(商品名:BASF公司制造)5质量份，得到掩模材料组合物D。

[0187] 使用乙烯-乙酸乙烯酯共聚物(东曹公司制造、商品名:Ultrathene 530)，通过T模法制作厚度100μm的基材膜3a，该基材膜3a是通过使贴合上述掩模材料组合物D的面的表面粗糙度Ra为1.9μm的压纹辊来形成，并且进行了电晕处理以使润湿张力为38.0mN/m。

[0188] 将上述掩模材料组合物B涂布至剥离衬垫上而形成掩模材料层3b，与基材膜3a贴合，得到厚度130μm的紫外线固化型掩模一体型表面保护带3。

[0189] <半导体芯片的制造>

[0190] 使用层压机DR8500III(商品名:日东精机株式会社制造)，在带切割线(切割道)的硅晶片(直径8英寸)表面贴合上述得到的紫外线固化型的掩模一体型表面保护带。

[0191] 之后，使用DGP8760(商品名:株式会社迪思科制造)，将与贴合有上述掩模一体型表面保护带的面相反的面(晶片的背面)磨削至晶片的厚度为50μm。使用RAD-2700F(商品名:Lintec株式会社制造)，将磨削后的晶片从晶片背面侧装配至切晶带上，并用环形框架支持固定。进而，使用高压汞灯从紫外线固化型的掩模一体型带侧照射500mJ/cm^2的紫外线，由此使基材膜3a与掩模材料层3b之间的密合力降低，仅剥离基材膜3a，在晶片上仅残留掩模材料层3b。接着，利用CO_2激光去除切割线上的掩模材料，使切割线开口。

[0192] 之后，使用SF_6气体作为等离子体产生用气体，以15μm/分钟的蚀刻速度从掩模材料层侧对硅晶片进行5分钟等离子体照射。通过该等离子体切割，将晶片切断而分割成各个芯片。接着，使用O_2气体作为等离子体产生用气体，以1.5μm/分钟的蚀刻速度进行10分钟灰化，将掩模材料去除。之后，从切晶带侧照射紫外线(照射量200mJ/cm^2)，使切晶带的粘合力降低，拾取芯片。

[0193] 在上述实施例4中，测定基材膜3a的剥离掩模材料3b后的面的润湿张力，结果确认到为38.0mN/m。另外，确认到相同面的表面粗糙度Ra为1.9μm。

[0194] [实施例5]掩模一体型表面保护带的制作、半导体芯片的制造

[0195] <掩模一体型表面保护带的制作>

[0196] 混合丙烯酸20mol％、丙烯酸丁酯70mol％、丙烯酸甲酯10mol％，在溶液中进行聚合，由此合成丙烯酸系共聚物(重均分子量:40万、羟值:0mgKOH/g、酸值:9.8mgKOH/g、Tg:-23℃)。

[0197] 相对于所得到的丙烯酸系共聚物100质量份，混配作为固化剂的Tetrad C[商品名:三菱瓦斯化学株式会社制造;1,3-双(N,N-二缩水甘油基氨基甲基)环己酮]2质量份，得

到掩模材料组合物E。

[0198] 使用乙烯-乙酸乙烯酯共聚物(东曹公司制造、商品名:Ultrathene 631),通过T模法制作厚度100μm的基材膜3a,该基材膜3a是通过使贴合上述掩模材料组合物E的面的表面粗糙度Ra为0.9μm的压纹辊来形成,并且进行了电晕处理以使润湿张力为38.0mN/m。

[0199] 将上述掩模材料组合物E涂布至剥离衬垫上而形成掩模材料层3b,与基材膜3a贴合,得到厚度130μm的紫外线固化型掩模一体型表面保护带3。

[0200] <半导体芯片的制造>

[0201] 使用层压机DR8500III(商品名:日东精机株式会社制造),在带切割线(切割道)的硅晶片(直径8英寸)表面贴合上述得到的紫外线固化型的掩模一体型表面保护带。

[0202] 之后,使用DGP8760(商品名:株式会社迪思科制造),将与贴合有上述掩模一体型表面保护带的面相反的面(晶片的背面)磨削至晶片的厚度为50μm。使用RAD-2700F(商品名:Lintec株式会社制造),将磨削后的晶片从晶片背面侧装配至切晶带上,并用环形框架支持固定。进而,使用高压汞灯从紫外线固化型的掩模一体型带侧照射500mJ/cm^2的紫外线,由此使基材膜3a与掩模材料层3b之间的密合力降低,仅剥离基材膜3a,在晶片上仅残留掩模材料层3b。接着,利用CO_2激光去除切割线上的掩模材料,使切割线开口。

[0203] 之后,使用SF_6气体作为等离子体产生用气体,以15μm/分钟的蚀刻速度从掩模材料层侧对硅晶片进行5分钟等离子体照射。通过该等离子体切割,将晶片切断而分割成各个芯片。接着,使用O_2气体作为等离子体产生用气体,以1.5μm/分钟的蚀刻速度进行10分钟灰化,将掩模材料去除。之后,从切晶带侧照射紫外线(照射量200mJ/cm^2),使切晶带的粘合力降低,拾取芯片。

[0204] 在上述实施例5中,测定基材膜3a的剥离掩模材料3b后的面的润湿张力,结果确认到为38.0mN/m。另外,确认到相同面的表面粗糙度Ra为0.9μm。

[0205] [比较例1]掩模一体型表面保护带的制作、半导体芯片的制造

[0206] <掩模一体型表面保护带的制作>

[0207] 混合甲基丙烯酸1mol%、丙烯酸月桂酯50mol%、丙烯酸-2-羟乙酯29mol%、丙烯酸-2-乙基己酯20mol%,在溶液中进行聚合,由此得到重均分子量为30万的(甲基)丙烯酸系共聚物溶液。

[0208] 对所得到的(甲基)丙烯酸系共聚物加成异氰酸2-甲基丙烯酰氧基乙酯(商品名:karenz MOI、昭和电工株式会社制造),由此得到下述物性的(甲基)丙烯酸系共聚物(重均分子量:30万、双键量0.59meq/g、羟值55.6mgKOH/g、酸值5.5mgKOH/g、Tg:-20℃)。

[0209] 相对于该含烯键式不饱和基团的(甲基)丙烯酸系共聚物100质量份,混配作为固化剂的Coronate L(商品名:日本聚氨酯工业株式会社制造)8质量份、作为光聚合引发剂的Irgacure 184(商品名:BASF公司制造)5质量份,得到掩模材料组合物F。

[0210] 使用乙烯-乙酸乙烯酯共聚物(东曹公司制造、商品名:Ultrathene 640),通过T模法制作厚度100μm的基材膜3a,该基材膜3a是通过使贴合上述掩模材料组合物F的面的表面粗糙度Ra为0.9μm的压纹辊来形成,并且进行了电晕处理以使润湿张力为54.0mN/m。

[0211] 将上述掩模材料组合物F涂布至剥离衬垫上而形成掩模材料层3b,与基材膜3a贴合,得到厚度130μm的紫外线固化型掩模一体型表面保护带3。

[0212] <半导体芯片的制造>

[0213] 使用层压机DR8500III(商品名:日东精机株式会社制造),在带切割线(切割道)的硅晶片(直径8英寸)表面贴合上述得到的紫外线固化型的掩模一体型表面保护带。

[0214] 之后,使用DGP8760(商品名:株式会社迪思科制造),将与贴合有上述掩模一体型表面保护带的面相反的面(晶片的背面)磨削至晶片的厚度为50μm。使用RAD-2700F(商品名:Lintec株式会社制造),将磨削后的晶片从晶片背面侧装配至切晶带上,并用环形框架支持固定。进而,使用高压汞灯从紫外线固化型的掩模一体型带侧照射500mJ/cm^2的紫外线,由此使基材膜3a与掩模材料层3b之间的密合力降低,仅剥离基材膜3a,在晶片上仅残留掩模材料层3b。接着,利用CO_2激光去除切割线上的掩模材料,使切割线开口。

[0215] 之后,使用SF_6气体作为等离子体产生用气体,以15μm/分钟的蚀刻速度从掩模材料层侧对硅晶片进行5分钟等离子体照射。通过该等离子体切割,将晶片切断而分割成各个芯片。接着,使用O_2气体作为等离子体产生用气体,以1.5μm/分钟的蚀刻速度进行10分钟灰化,将掩模材料去除。之后,从切晶带侧照射紫外线(照射量200mJ/cm^2),使切晶带的粘合力降低,拾取芯片。

[0216] 在上述比较例1中,测定基材膜3a的剥离掩模材料3b后的面的润湿张力,结果确认到为54.0mN/m。另外,确认到相同面的表面粗糙度Ra为0.9μm。

[0217] [比较例2]掩模一体型表面保护带的制作、半导体芯片的制造

[0218] <掩模一体型表面保护带的制作>

[0219] 使比较例1中制作的掩模材料组合物F的Coronate L为10质量份,除此以外同样地得到掩模材料组合物G。

[0220] 使用低密度聚乙烯(东曹公司制造、商品名:Petrothene 225),通过T模法制作厚度100μm的基材膜3a,该基材膜3a是通过使贴合上述掩模材料组合物G的面的表面粗糙度Ra为2.3μm的压纹辊来形成,并且进行了电晕处理以使润湿张力为48.0mN/m。

[0221] 将上述掩模材料组合物G涂布至剥离衬垫上而形成掩模材料层3b,与基材膜3a贴合,得到厚度130μm的紫外线固化型掩模一体型表面保护带3。

[0222] <半导体芯片的制造>

[0223] 使用层压机DR8500III(商品名:日东精机株式会社制造),在带切割线(切割道)的硅晶片(直径8英寸)表面贴合上述得到的紫外线固化型的掩模一体型表面保护带。

[0224] 之后,使用DGP8760(商品名:株式会社迪思科制造),将与贴合有上述掩模一体型表面保护带的面相反的面(晶片的背面)磨削至晶片的厚度为50μm。使用RAD-2700F(商品名:Lintec株式会社制造),将磨削后的晶片从晶片背面侧装配至切晶带上,并用环形框架支持固定。进而,使用高压汞灯从紫外线固化型的掩模一体型带侧照射500mJ/cm^2的紫外线,由此使基材膜3a与掩模材料层3b之间的密合力降低,仅剥离基材膜3a,在晶片上仅残留掩模材料层3b。接着,利用CO_2激光去除切割线上的掩模材料,使切割线开口。

[0225] 之后,使用SF_6气体作为等离子体产生用气体,以15μm/分钟的蚀刻速度从掩模材料层侧对硅晶片进行5分钟等离子体照射。通过该等离子体切割,将晶片切断而分割成各个芯片。接着,使用O_2气体作为等离子体产生用气体,以1.5μm/分钟的蚀刻速度进行10分钟灰化,将掩模材料去除。之后,从切晶带侧照射紫外线(照射量200mJ/cm^2),使切晶带的粘合力降低,拾取芯片。

[0226] 在上述比较例2中,测定基材膜3a的剥离掩模材料3b后的面的润湿张力,结果确认

到为48.0mN/m。另外，确认到相同面的表面粗糙度Ra为2.3μm。

[0227] [比较例3]掩模一体型表面保护带的制作、半导体芯片的制造

[0228] <掩模一体型表面保护带的制作>

[0229] 使用乙烯-乙酸乙烯酯共聚物(东曹公司制造、商品名:Ultrathene 530)，通过T模法制作厚度100μm的基材膜3a，该基材膜3a是通过使贴合与实施例1中使用的同样的上述掩模材料组合物A的面的表面粗糙度Ra为0.02μm的压纹辊来形成，并且进行了电晕处理以使润湿张力为48.0mN/m。

[0230] 将上述掩模材料组合物A涂布至剥离衬垫上而形成掩模材料层3b，与基材膜3a贴合，得到厚度130μm的紫外线固化型掩模一体型表面保护带3。

[0231] <半导体芯片的制造>

[0232] 使用层压机DR8500III(商品名:日东精机株式会社制造)，在带切割线(切割道)的硅晶片(直径8英寸)表面贴合上述得到的紫外线固化型的掩模一体型表面保护带。

[0233] 之后，使用DGP8760(商品名:株式会社迪思科制造)，将与贴合有上述掩模一体型表面保护带的面相反的面(晶片的背面)磨削至晶片的厚度为50μm。使用RAD-2700F(商品名:Lintec株式会社制造)，将磨削后的晶片从晶片背面侧装配至切晶带上，并用环形框架支持固定。进而，使用高压汞灯从紫外线固化型的掩模一体型带侧照射500mJ/cm^2的紫外线，由此使基材膜3a与掩模材料层3b之间的密合力降低，仅剥离基材膜3a，在晶片上仅残留掩模材料层3b。接着，利用CO_2激光去除切割线上的掩模材料，使切割线开口。

[0234] 之后，使用SF_6气体作为等离子体产生用气体，以15μm/分钟的蚀刻速度从掩模材料层侧对硅晶片进行5分钟等离子体照射。通过该等离子体切割，将晶片切断而分割成各个芯片。接着，使用O_2气体作为等离子体产生用气体，以1.5μm/分钟的蚀刻速度进行10分钟灰化，将掩模材料去除。之后，从切晶带侧照射紫外线(照射量200mJ/cm^2)，使切晶带的粘合力降低，拾取芯片。

[0235] 在上述比较例3中，测定基材膜3a的剥离掩模材料3b后的面的润湿张力，结果确认到为48.0mN/m。另外，确认到相同面的表面粗糙度Ra为0.02μm。

[0236] [比较例4]掩模一体型表面保护带的制作、半导体芯片的制造

[0237] <掩模一体型表面保护带的制作>

[0238] 混合甲基丙烯酸2mol％、丙烯酸-2-乙基己酯20mol％、丙烯酸丁酯70mol％、丙烯酸甲酯8mol％，在溶液中进行聚合，由此合成(甲基)丙烯酸系共聚物(重均分子量:40万、羟值:0mgKOH/g、酸值:16.1mgKOH/g、Tg:-35℃)。

[0239] 相对于该共聚物100质量份，在该(甲基)丙烯酸系共聚物的溶液中混配作为固化剂的TETRAD-X(商品名:三菱瓦斯化学株式会社制造、环氧系固化剂)2质量份，得到掩模材料组合物H(掩模材料)。

[0240] 使用乙烯-乙酸乙烯酯共聚物(东曹公司制造、商品名:Ultrathene 631)，通过T模法制作厚度100μm的基材膜3a，该基材膜3a是通过使贴合上述掩模材料组合物H的面的表面粗糙度Ra为0.04μm的压纹辊来形成，并且进行了电晕处理以使润湿张力为54.0mN/m。

[0241] 将上述掩模材料组合物H涂布至剥离衬垫上而形成掩模材料层3b，与基材膜3a贴合，得到厚度130μm的紫外线固化型掩模一体型表面保护带3。

[0242] <半导体芯片的制造>

[0243] 使用层压机DR8500III(商品名:日东精机株式会社制造),在带切割线(切割道)的硅晶片(直径8英寸)表面贴合上述得到的紫外线固化型的掩模一体型表面保护带。

[0244] 之后,使用DGP8760(商品名:株式会社迪思科制造),将与贴合有上述掩模一体型表面保护带的面相反的面(晶片的背面)磨削至晶片的厚度为50μm。使用RAD-2700F(商品名:Lintec株式会社制造),将磨削后的晶片从晶片背面侧装配至切晶带上,并用环形框架支持固定。进而,使用高压汞灯从紫外线固化型的掩模一体型带侧照射500mJ/cm^2的紫外线,由此使基材膜3a与掩模材料层3b之间的密合力降低,仅剥离基材膜3a,在晶片上仅残留掩模材料层3b。接着,利用CO_2激光去除切割线上的掩模材料,使切割线开口。

[0245] 之后,使用SF_6气体作为等离子体产生用气体,以15μm/分钟的蚀刻速度从掩模材料层侧对硅晶片进行5分钟等离子体照射。通过该等离子体切割,将晶片切断而分割成各个芯片。接着,使用O_2气体作为等离子体产生用气体,以1.5μm/分钟的蚀刻速度进行10分钟灰化,将掩模材料去除。之后,从切晶带侧照射紫外线(照射量200mJ/cm^2),使切晶带的粘合力降低,拾取芯片。

[0246] 在上述比较例4中,测定基材膜3a的剥离掩模材料3b后的面的润湿张力,结果确认到为54.0mN/m。另外,确认到相同面的表面粗糙度Ra为0.04μm。

[0247] [试验例1]基材膜的润湿张力评价

[0248] 从上述各实施例和比较例的掩模一体型表面保护带采集3片宽度200mm×长度300mm的试片。

[0249] 使张力测试液(商品名:春日电机株式会社制造)渗入到脱脂棉中,涂布至样品基材膜上,观察2秒后的涂布液面,对所使用的张力测试液的润湿情况进行判定。

[0250] [试验例2]掩模材料的储能模量评价

[0251] 在试片:8mmΦ×3mm的圆柱测定器:DYNAMIC ANALYZER RDA II(商品名:REOMETRIC公司制造)、测定频率:1Hz的条件下,测定在紫外线照射前从基材膜剥离的掩模材料的G'(扭转剪切法)。

[0252] 在上述各实施例和比较例的<半导体芯片的制造>中,根据下述评价基准对掩模一体型表面保护带中的剥离基材膜和掩模材料层时所需要的力(剥离性)进行评价。需要说明的是,上述剥离使用RAD-2700F[商品名:Lintec株式会社制造]进行。

[0253] -基材膜-掩模材料层间的剥离力(密合力)的评价基准-

[0254] 从上述各实施例和比较例的半导体晶片表面保护用胶带采集3片宽度25mm×长度300mm的试片。在利用JIS R 6253规定的280号耐水研磨纸进行了精加工的JIS G4305规定的厚度2.0mm的SUS钢板上,使2kg的橡胶辊往返3次从而将各试片压接,放置1小时后,使用测定值落入其容量的15%～85%的范围的适合JIS B 7721的拉伸试验机,对23℃的密合力进行测定。测定基于180度剥离法,此时的拉伸速度为300mm/min。

[0255] [试验例3]基于O_2等离子体灰化的掩模材料层的去除性评价

[0256] 在上述各实施例和比较例的<半导体芯片的制造>中,利用激光显微镜调查了O_2等离子体灰化(以1.5μm/分钟的蚀刻速度灰化10分钟)后有无掩模材料的残留。

[0257] -掩模材料层的去除性的评价基准-

[0258] ○:掩模材料层无残留。

[0259] ×:掩模材料层有残留。

[0260] [试验例4]磨削水的渗入性的评价

[0261] 在上述各实施例和比较例的<半导体芯片的制造>中，在剥离基材膜前，隔着基材膜用显微镜观察晶片表面，调查磨削水有无渗入。

[0262] -磨削水的渗入的评价基准(背面磨削时的密合性评价基准)-

[0263] ○：在背面磨削后剥离基材膜，目视能够确认到在掩模材料层与半导体晶片之间没有磨削水的渗入。

[0264] Δ：在背面磨削后剥离基材膜，目视确认到磨削水渗入掩模材料层与半导体晶片之间。

[0265] ×：在背面磨削后剥离基材膜，目视确认到磨削水渗入掩模材料层与半导体晶片之间，在半导体晶片确认到裂纹。

[0266] 将试验例1～4中得到的结果归纳示于下述表1和2中。

[0267] 【表1】

[0268] 表1

[0269]

			实施例 1	实施例 2	实施例 3	实施例 4	实施例 5
掩模材料层	类型		辐射固化型	辐射固化型	辐射固化型	辐射固化型	压敏型
	接触角(°)		81	79	118	74	78
	储能模量(Pa)	23℃	2.2×10^4	5.5×10^4	1.5×10^5	8.5×10^4	1.3×10^5
		50℃	1.2×10^4	2.5×10^4	6.5×10^4	4.1×10^4	1.1×10^5
基材膜	润湿张力(mN/m)		22.6	48.0	38.0	38.0	38.0
	表面粗糙度 Ra(μm)		1.1	0.9	0.06	1.9	0.9
	杨氏模量(Pa)		3.0×10^7	4.0×10^7	4.0×10^7	4.0×10^7	1.5×10^7
基材膜-掩模材料层的剥离力(密合力)(N/25mm)			0.5	0.2	0.3	0.3	0.3
掩模材料层的去除性			○	○	○	○	○
磨削水的渗入			○	○	○	○	○

[0270] 【表2】

[0271] 表2

[0272]

			比较例 1	比较例 2	比较例 3	比较例 4
掩模材料层	类型		辐射固化型	辐射固化型	辐射固化型	压敏型
	接触角(°)		120	47	81	78
	储能模量(Pa)	23℃	1.6×10^5	2.0×10^5	2.2×10^4	2.3×10^5
		50℃	1.4×10^5	1.8×10^5	1.2×10^4	2.1×10^5
基材膜	润湿张力(mN/m)		54	48	48	54
	表面粗糙度 Ra(μm)		0.9	2.3	0.02	0.04
	杨氏模量(Pa)		1.0×10^6	4.4×10^8	4.0×10^7	1.5×10^7
基材膜-掩模材料层的剥离力(密合力)(N/25mm)			0.9	1.2	0.3	0.7
掩模材料层的去除性			×	×	×	×
磨削水的渗入			○	Δ	○	×

[0273] 由上述各试验例的结果可知：在利用等离子体切割方式对半导体晶片进行加工而制造半导体芯片时，通过使用本发明的掩模一体型表面保护带，能够仅通过在半导体晶片的图案面贴附掩模一体型表面保护带，并从该贴附的掩模一体型表面保护带剥离基材膜，从而不产生残胶而简单地形成掩模。另外，在背面磨削期间，不存在基材膜与掩模材料层的剥离，并且不存在图案面的污染或半导体晶片的破损。即，背面磨削时的半导体晶片的图案

面的保护性高，能够进行良好的薄膜化背面磨削。另外，在背面磨削后的基材膜与掩模材料层的剥离中没有残胶，能够良好地使掩模材料层露出。此外，该掩模材料能够利用激光可靠地去除与切割道相当的部分，能够高精度地形成对于图案面的掩模。此外可知：图案面上的掩模材料能够利用O_2等离子体更可靠地去除，能够高度地抑制不良芯片的产生。即，能够阶段性地高精度且可靠地进行对于图案面的掩模形成和去除的处理，能够抑制图案面的污染等，能够高度地抑制不良芯片的产生。

[0274] 结合其实施方式对本发明进行了说明，但本申请人认为，只要没有特别指定，则本发明在说明的任何细节均不被限定，应当在不违反所附权利要求书所示的发明精神和范围的情况下进行宽泛的解释。

[0275] 本申请要求基于2016年8月29日在日本进行专利提交的日本特愿2016-167148的优先权，将其参照于此并将其内容作为本说明书的记载的一部分引入。

[0276] 符号说明

[0277] 1 半导体晶片

[0278] 2 图案面

[0279] 3 掩模一体型表面保护带

[0280] 3a 基材膜

[0281] 3b 掩模材料层

[0282] 4 晶片固定带

[0283] 7 芯片

[0284] S 表面

[0285] B 背面

[0286] M1 晶片磨削装置

[0287] M2 销

[0288] M3 弹性夹头

[0289] F 环形框架

[0290] L 激光(CO_2激光)

[0291] P1 SF_6气体的等离子体

[0292] P2 O_2气体的等离子体

[0293] P2 O_2气体的等离子体

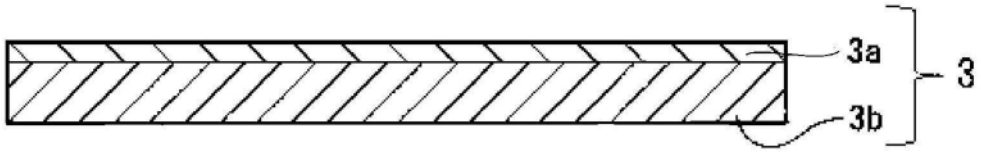


图1

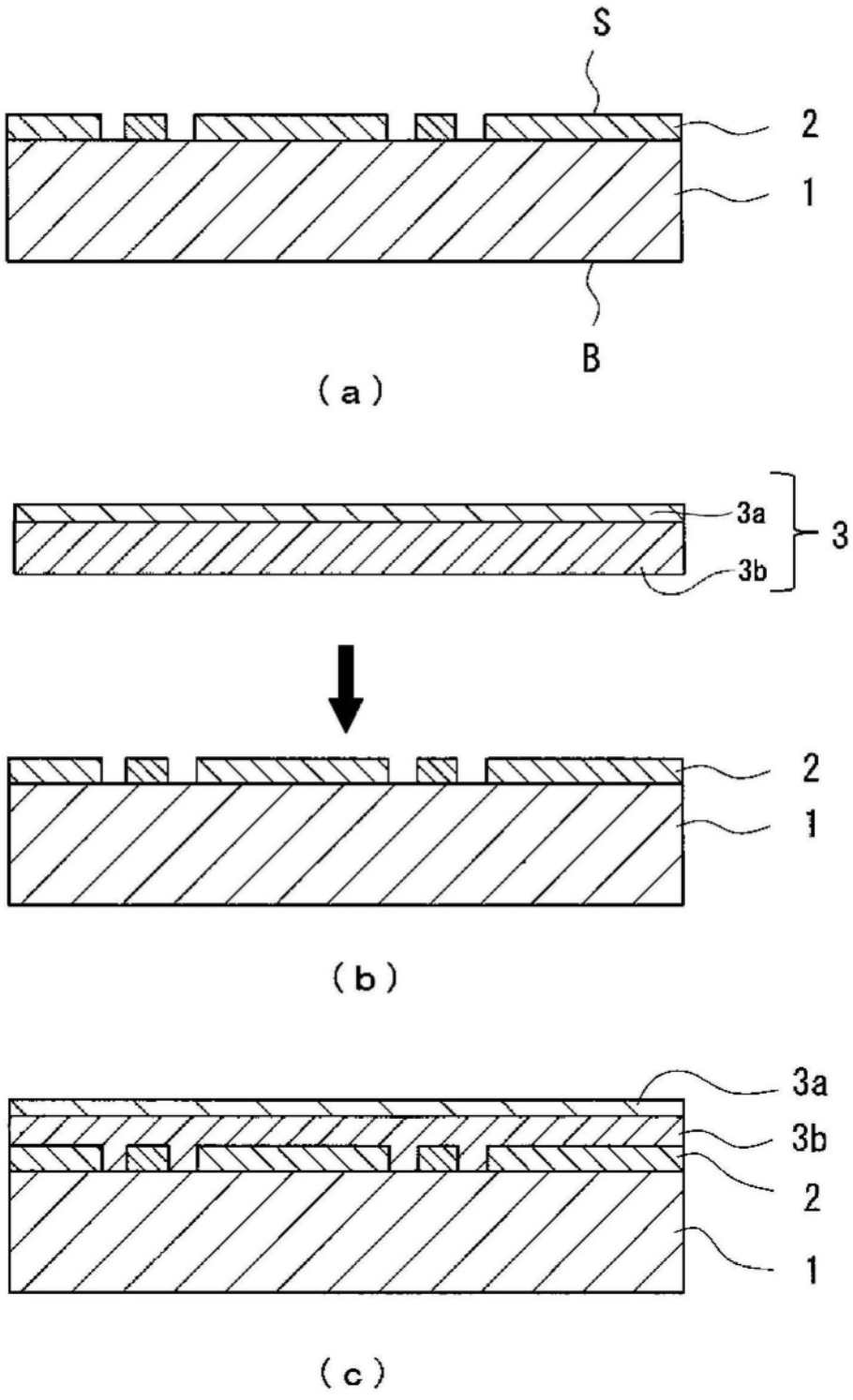


图2

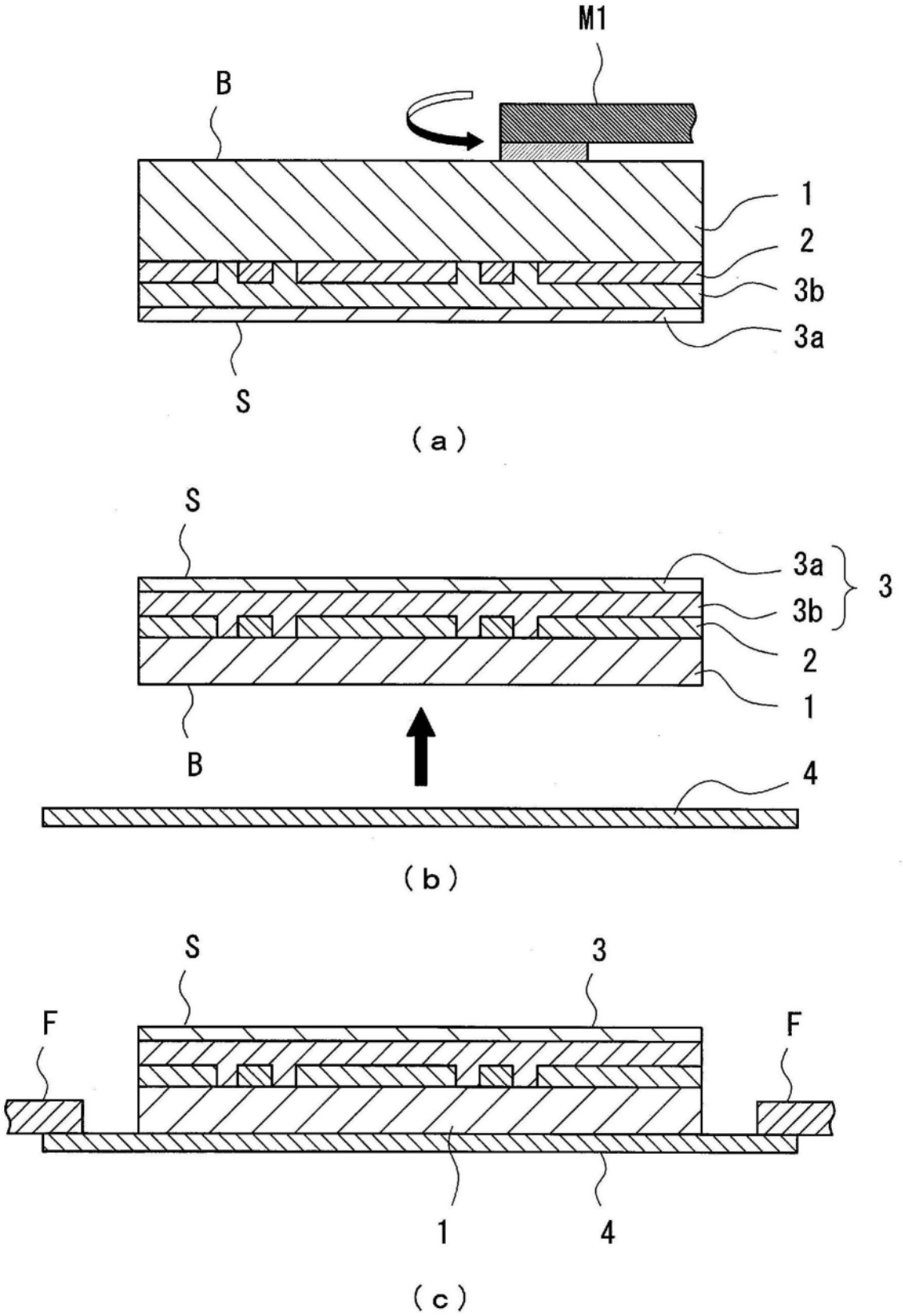


图3

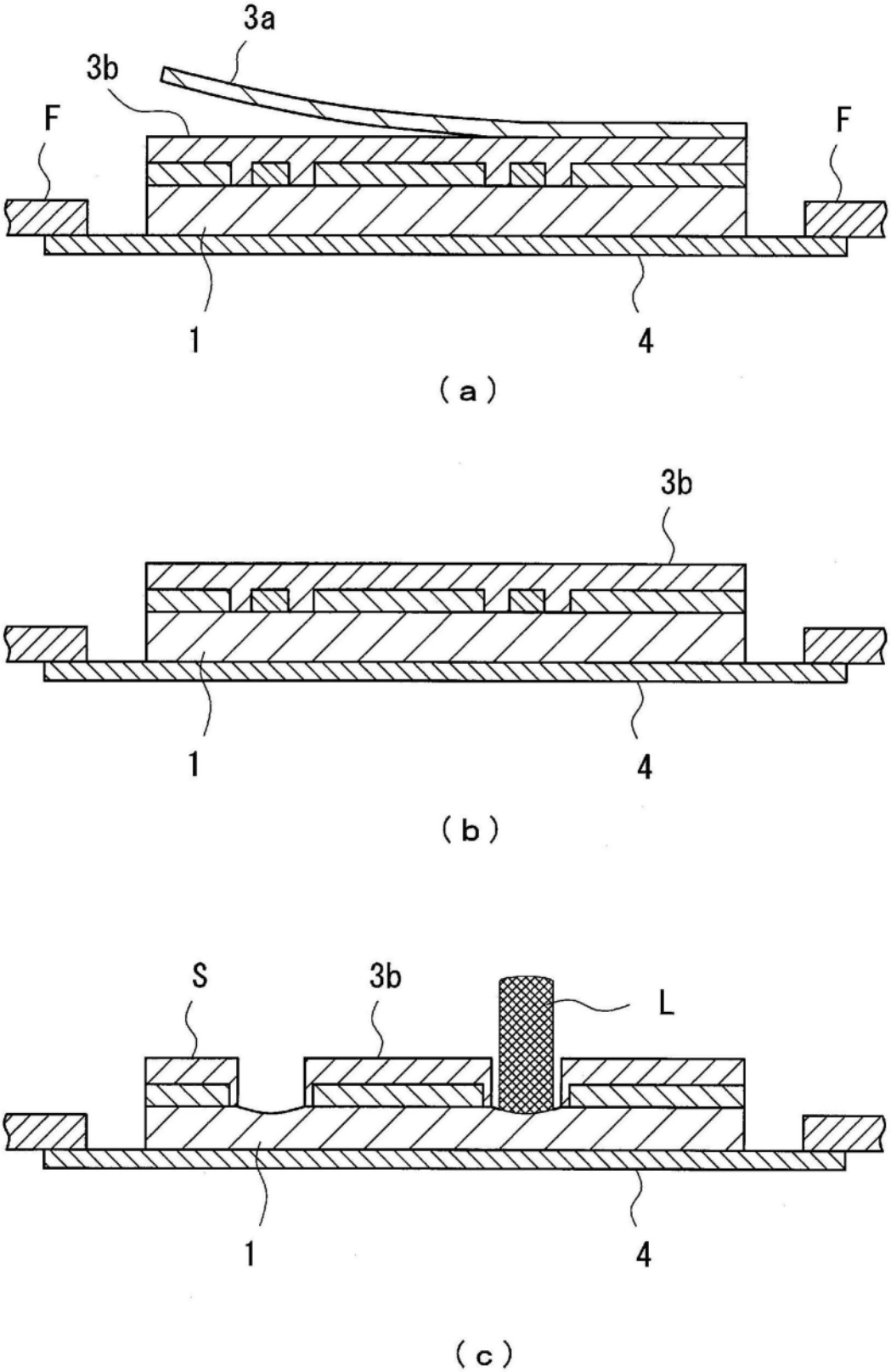
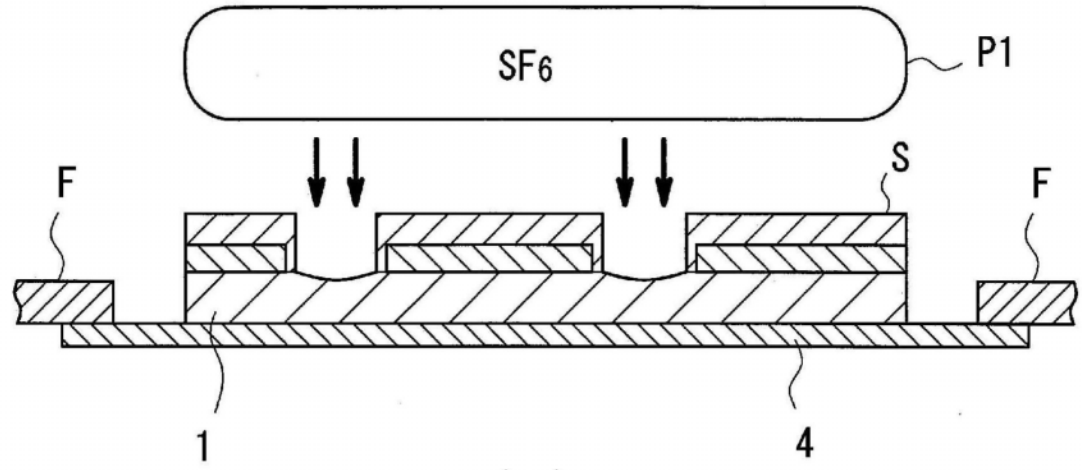
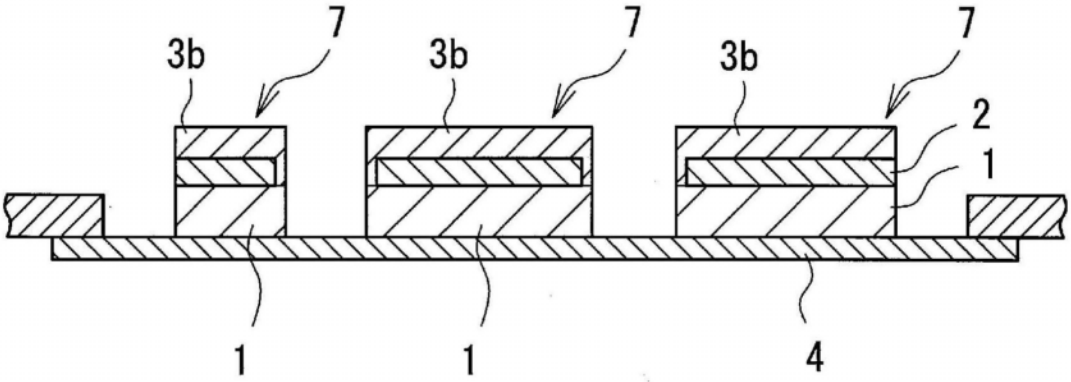


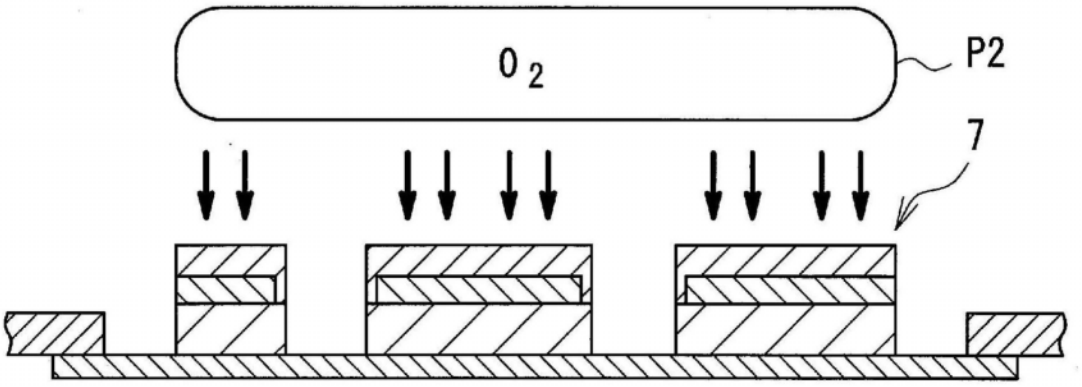
图4



(a)

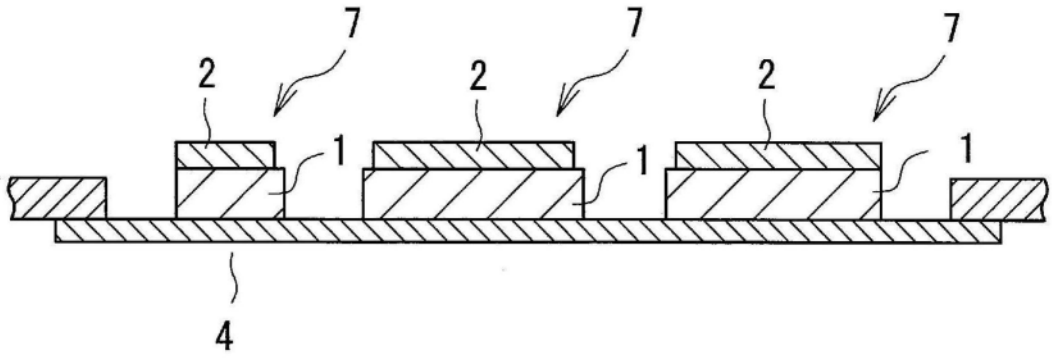


(b)

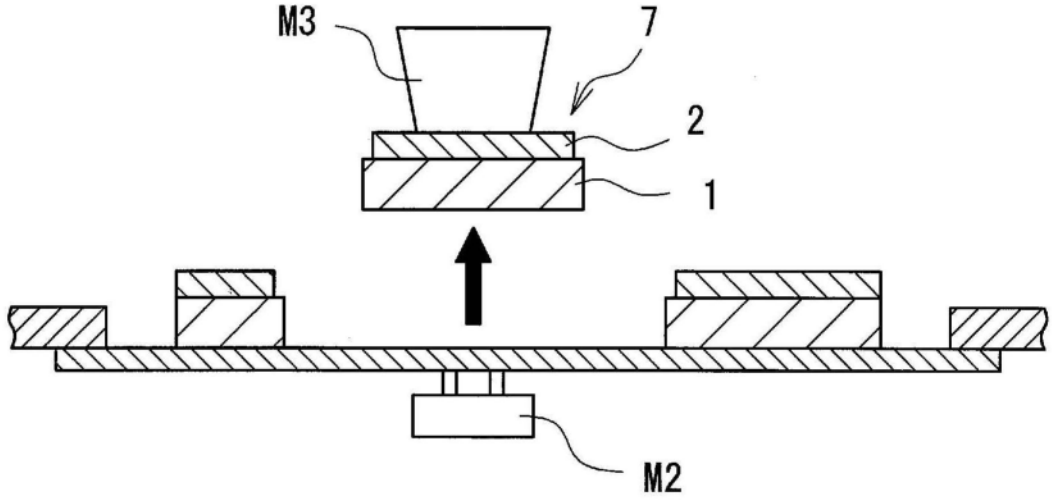


(c)

图5



（a）



（b）

图6