

九、發明說明：

【發明所屬之技術領域】

本發明係大致有關於串列通訊介面，並且更特別是針對利用唯讀串列介面以選擇一種供一個裝置使用之操作模式。

【先前技術】

以電池運作的設備之普及以及對於具有較低的功率消耗（因而在電池更換或是再充電間有較長的期間）之較小的積體電路元件之需求已引發對於降低在此種設備中所用的元件之功率消耗的需求。一種已被開發出的技術係牽涉到在所謂的“正常”動作期間供應最大功率給一個元件，而在中間的非操作期間將該元件設置在一個低功率消耗模式（有時被稱為“閒置”、“電源關閉（power down）”或是“睡眠”模式中）。

美國第 5,619,204 號專利係描述一種具有選配的低功率模式之類比至數位轉換器（ADC），其係藉由監視一個“轉換開始”（CONVST）信號相對於轉換完成點的狀態來加以控制。美國第 5,714,955 號專利（'955 專利）係描述用於達成在串列 ADC 的操作模式間之切換的雙功能控制電路。用於觸發此種在操作模式間之切換的控制信號是有關於轉換過程、但無關串列資料傳輸的信號。

第 1 圖是一個習知技術 ADC 的方塊圖（大致以元件符號 100 來描繪），該 ADC 係被配置以提供操作模式的程式化，在此例中為用於電源關閉模式的控制。CLK（時脈）信號 101

係被用來同步化轉換動作，並且 CONV(轉換)信號 102 係被用來開始該轉換動作。該 CLK 信號 101 與 CONV 信號 102 係被提供作為內部的控制邏輯 103 之輸入，該控制邏輯 103 係控制 SAR(連續逼近的暫存器)與並列至串列轉換器邏輯 104 的動作。該元件 100 的串列輸出資料 108 係在轉換完成之後藉由串列地移出 SAR 內容而得。

該 CLK 信號 101 與 CONV 信號 102 亦使用於產生電源關閉與開機命令。因此，它們係使用作為雙功能接腳。然而，當這些信號以通常的方式橫跨串列介面運作時，其並不產生這些開機與電源關閉命令。這些信號所必須彼此相關地被發出的方式並不容易被配置在標準的串列介面上，因而無法在標準的串列通訊發生時提供電源關閉與開機命令。亦即，該些信號係如同第 2 圖的時序圖中所示地被發出。

當 CLK 201 為低的，兩個 CONV 202 脈衝係命令 ADC 進入第一電源關閉模式，在此例中為降低的功率消耗模式命名為 NAP 模式 203。當 CLK 201 維持為低的，需要兩個額外的 CONV 202 脈衝以將該部件設置在第二電源關閉模式中，在此例中為 SLEEP 模式 204，其甚至比該 NAP 模式 203 消耗更低的功率。CONV 與 CLK 的時序並非輕易地就能夠用一個微控制器來產生在標準的串列介面上，因而尚未能以所需的方式從 DSP 加以利用。

最接近之已知的實施係存在於類比元件 (Analog Devices) 公司所製造的串列 ADC 系列。當元件是在唯讀模式中時，關機是經由“晶片選擇”(CS)的狀態來加以控制。當

CS 是低的時候，該元件係完全開機，而當 CS 是高的時候，該元件係完全關機。此表示關機是在每次轉換之後被執行，因而在每次轉換之前必須容許有所需的開機時間，但此係使得該元件的整體處理量變慢。習知的 ADC 電路典型是使用一個專用的輸入以便於實施電源關閉功能，並且此種單一目的之輸入的利用一般係擴大到模式控制的程式化。此種對於一個專用的輸入之需求係增加在該晶片封裝中的導線數目。

因此，對於一種能夠不需要專用的輸入或是複雜的多導線的協定，因而不會干擾到元件的處理量之模式控制的實施方式產生了需求。

【發明內容】

習知技術的這些與其它的缺點係利用本發明的多用途模式程式化來加以解決。唯讀的串列介面可被用於將一個 ADC 或是其它積體電路元件設置在一或多種電源關閉模式中，而不須寫入控制暫存器或是利用專用的關機接腳。其它未特別相關於節約電力的操作模式亦可以用此種方式加以控制。利用在此所述的介面之模式控制係涉及監視 CS 相對於系統時脈(SCLK)的狀態。在 CS 的下降邊緣之後，關機係藉由檢查在下一組 16 個 SCLK 期間其中 CS 返回到邏輯高的時點來加以偵測。後續的開機係以相同的方式來加以偵測。

三個相關於功率消耗的操作模式係被提供。其係為完全供電的模式、部分電源關閉的模式、以及完全電源關閉

的模式。在完全供電的模式中，該元件的所有部份隨時都是完全被供電的，因而此操作模式係產生最快的元件處理量，但增加了功率消耗。

在部分電源關閉的操作模式中，除了當轉換已經起始之外，電力係從該元件的大部份中移去。對於第一個所執行的轉換而言，該部分電源關閉的模式需要一個額外的轉換週期，因而元件處理量係被降低以換取降低的功率消耗。

在完全電源關閉模式中，在該元件上的所有類比電路都被關閉電源。此操作模式係打算用於電力節約是最重要的應用中。在完全電源關閉模式中之元件的處理量是相當低的，主要是因為將該元件設置在完全電源關閉中並且再度“喚醒”它所需之長時間。

當然，如同以上所指出的，對於元件的其它操作模式之控制也可以利用此技術來做成。響應於發生在該元件選擇輸入的邏輯狀態轉變之間，在該時脈輸入之預定數目個邏輯狀態轉變來改變模式的基本原理是維持不變的。在本發明之一個範例的實施例中，操作模式控制功能不僅包含電源控制，同時亦增加從獨立至菊鏈模式之改變操作模式的功能。在菊鏈模式中，多個元件係以串列的方式連接在一起。例如，若該晶片選擇接腳在第 10 個與第 13 個下降時脈邊緣之間被量測為高的，則該部件係進入菊鏈模式。

此協定有許多其它的延伸都是可行的。例如，元件可以解碼該元件選擇接腳在任意數目個時脈邊緣之後變為高的結果，（甚至不限於資料傳輸所需的 16 個時脈邊緣），其

中每個此種轉變的位置都相關於一個唯一的操作模式。而另一個實施方式係使用上述的技術來將元件設置到一個模式為下一次 CS 變為低的時候，出現在一個所選的元件接腳處之資料可被載入到一個內部的暫存器中。在另一個實施方式中，當該元件選擇輸入的轉變之間容許發生不同數目個邏輯狀態轉變時，類比輸入電壓的範圍可加以控制。

根據本發明，一種用於將一個元件設置在一個所選的操作模式中之方法係被提出，例如，該操作模式可以是降低的功率消耗操作模式、或是另一種操作模式，例如，菊鏈操作模式。該方法係包括初始化一個元件選擇信號成為第一邏輯狀態，以第二邏輯狀態發出該元件選擇信號，並且在一個第一使用者控制的時間窗之內使得該元件選擇信號返回該第一邏輯狀態的步驟。在本發明的一種形式中，該初始化一個元件選擇信號的步驟係更包括將該元件選擇信號設置到一個閒置的邏輯狀態中之步驟。該閒置的邏輯狀態可以包括一個高的邏輯狀態。發出該元件選擇信號的步驟係更包括將該元件選擇信號設置到一個有效的邏輯狀態中之步驟，該有效的邏輯狀態可以包括一個低的邏輯狀態。

在本發明的一種形式中，該元件係包含一個時脈信號輸入，並且在一個第一使用者控制的時間窗之內使得該元件選擇信號返回該第一邏輯狀態的步驟係更包括在該時脈信號發生第一轉變之後，但在該時脈信號發生第二後續的轉變之前使得該元件選擇信號返回該第一邏輯狀態的步

驟。該時脈信號的第一轉變較佳地係包括發生在該元件選擇信號以第二邏輯狀態的發出之後的該時脈信號的第二個下降邊緣，然而，對於降低的功率消耗操作模式而言，該時脈信號之第二後續的轉變係包括發生在該元件選擇信號以第二邏輯狀態的發出之後的該時脈信號的第十個下降邊緣。

應注意到的是，該時脈信號的“第一轉變”之用語並不必然是指該時脈信號之第一個可量測的活動，且該“第二轉變”之用語並不必然是描述緊接在後的時脈信號活動。如上所述，該第一轉變較佳地是發生在該元件選擇信號以第二邏輯狀態的發出之後的該時脈信號的第二個下降邊緣，而該第二轉變較佳地是發生在該元件選擇信號以第二邏輯狀態的發出之後的該時脈信號的某個後續的下降邊緣。應該明顯可知的是，該第二轉變之精確的時間位置係依據要達到的操作模式程式化而由一個使用者控制的時間窗來決定的。此使用者控制的時間窗係可以發生在這些轉變之間的時脈週期數目來量測的。

根據本發明的另一項特點，該元件係藉由以該第二邏輯狀態發出該元件選擇信號，以及在一個第二使用者控制的時間窗之內使得該元件選擇信號返回該第一邏輯狀態之額外的步驟而被回復到正常的模式。該第二使用者控制的時間窗是藉由該時脈信號的至少十個下降邊緣來界定的。

仍是根據本發明的另一項特點，一種方法係被提出用於將一個具有晶片選擇(CS)輸入與時脈(CLK)輸入的積體

電路元件設置到一個所選的操作模式中。該方法係包括控制該元件的 CS 輸入以將該 CS 輸入設置到一個最初閒置的邏輯狀態，將該 CS 輸入設置到一個有效的邏輯狀態以選擇該元件，以及在一個藉由該 CLK 信號的轉變所界定之第一使用者控制的時間窗之內使得該 CS 輸入返回該最初閒置的邏輯狀態之步驟。該最初閒置的邏輯狀態可以是一個高的邏輯狀態，而該有效的邏輯狀態可以是一個邏輯低的狀態。

根據本發明的另一項特點，該藉由 CLK 信號的轉變所界定之第一使用者控制的時間窗係包括一個開始在發生於 CS 被設置在有效的邏輯狀態中之後的 CLK 信號的第二個下降邊緣，並且對於降低的功率消耗操作模式而言，結束在發生於 CS 是在該有效的邏輯狀態中之 CLK 信號的後續的第十個下降邊緣之時間窗。在本發明的一種形式中，該元件係藉由將該 CS 輸入設置到該有效的邏輯狀態中以選擇該元件，以及在一個藉由該 CLK 信號的轉變所界定之第二使用者控制的時間窗之內使得該 CS 輸入返回該最初閒置的邏輯狀態之額外的步驟而被回復到正常的模式。較佳地，該第二使用者控制的時間窗是藉由該 CLK 信號的至少十個下降邊緣所界定的。

根據本發明的另一實施例，一種元件係包括用於偵測在一個元件選擇輸入以及一個時脈輸入處之邏輯狀態轉變之裝置，以及用於響應於發生在該元件選擇輸入處之邏輯狀態轉變之間，在該時脈輸入處之使用者控制的數目個邏輯狀態轉變以改變該元件的操作模式之裝置。在本發明的

一種形式中，該用於偵測在一個元件選擇輸入以及一個時脈輸入處之邏輯狀態轉變之裝置係更包括耦接至該串列時脈信號與元件選擇信號的時脈除頻邏輯以及計數器電路，該時脈除頻邏輯與計數器電路係產生中間的控制信號，其包含發生在該串列時脈信號的第二個下降邊緣之後的第一中間的控制信號以及發生在該串列時脈信號的第十個下降邊緣之後的第二中間的控制信號。

在本發明的另一項特點中，該用於改變元件的操作模式之裝置係響應於邏輯狀態轉變的第一組合以將該元件設置在一個第一所選的操作模式中，並且響應於邏輯狀態轉變的第二組合以將該元件設置在一個第二操作模式中。該邏輯狀態轉變的第一組合係包括發生在該元件選擇輸入處之邏輯狀態轉變之間的時脈輸入處之二至十個邏輯狀態轉變，而該邏輯狀態轉變的第二組合係包括發生在該元件選擇輸入處之邏輯狀態轉變之間的時脈輸入處之至少十個邏輯狀態轉變。

仍然是根據本發明的另一項特點，一種類比至數位轉換器係包括用於響應於一個控制信號以轉換一個類比輸入信號成為一個對應的數位信號之裝置、用於響應於一個串列時脈信號以用串列的形式輸出該對應的數位信號之裝置、用於響應於發生在該控制信號的改變狀態之間的一些串列時脈信號週期以產生至少一個命令信號之裝置、以及用於響應於該命令信號以選擇該類比至數位轉換器的一個操作模式之裝置。

仍然是在本發明的另一項特點中，該用於轉換一個類比輸入信號成為一個對應的數位信號之裝置係更包括一個耦接至該類比輸入信號的追蹤與保持電路、以及一個耦接至該追蹤與保持電路之連續逼近的 ADC。該用於輸出對應的數位信號之裝置係更包括一個耦接至該用於轉換類比輸入信號之裝置以及串列時脈信號之資料多工器、以及一個耦接至該資料多工器的串列資料輸出。

在本發明的另一形式中，該用於產生至少一個命令信號之裝置係更包括耦接至該串列時脈信號與控制信號的時脈除頻器以及計數器邏輯，其中該時脈除頻器與計數器邏輯係產生複數個（至少部分地）藉由發生在該控制信號的改變狀態之間的串列時脈信號週期數目來加以調節的命令信號。該用於選擇類比至數位轉換器的一個操作模式之裝置係更包括耦接至該控制信號以及該時脈除頻器與計數器邏輯的控制與電源管理邏輯。

仍然是根據本發明的另一項特點，一種積體電路子系統係包括複數個積體電路元件，每個積體電路元件係具有一個信號輸入以及一個信號輸出，該些元件被互連成一個在前的元件之一信號輸出係耦接至一個後續的元件之一信號輸入，並且該些積體電路元件係共用共同的元件選擇與串列時脈輸入信號、以及耦接至該元件選擇與串列時脈輸入信號的控制電路，該控制電路係響應於發生在該元件選擇信號的邏輯狀態轉變之間的串列時脈輸入信號之使用者控制的數目個邏輯狀態轉變，以將該複數個積體電路設置

到一個菊鏈操作模式中。

仍然是在本發明的另一項特點中，一種類比至數位轉換器係具有一個類比輸入信號以及一個對應於該類比輸入信號的數位表示之數位輸出信號，該類比至數位轉換器係包括一個轉換該類比輸入信號成為該數位輸出信號的轉換子系統、以及一個響應於一元件選擇輸入信號與一串列時脈輸入信號的範圍程式化子系統。該類比至數位轉換器的全刻度輸入電壓範圍係響應於發生在該元件選擇信號的邏輯狀態轉變之間的串列時脈輸入信號之使用者控制的數目個邏輯狀態轉變，而從複數個全刻度輸入電壓範圍中選出。

本發明之另外的目的、特點及優點從以下的說明及圖式將會變成明顯的。

【實施方式】

根據本發明，一個唯讀串列介面係被用來將一個積體電路元件設置在一個所選的操作模式中。當相較於在習知技術中已知的模式控制方法，本發明係提供顯著的優點。

根據本發明的一個形式之具有操作模式控制的 ADC 積體電路之一個例子係以簡化的方塊圖形式被展示在第 3 圖中，該 ADC 積體電路係大致由元件符號 300 所指出。ADC 300 係包含用於獲得一個類比輸入電壓 302 的追蹤與保持電路 301。一個 12 位元的連續逼近的暫存器(SAR)ADC 303 係轉換該類比輸入信號 302 成為一個對應的數位信號。該積體電路 300 係包含控制積體電路 300 的其它組件之動作的控制邏輯 304，並且亦包含用於選擇性地從該元件的部份施加

/除去電源之電源控制電路，儘管此電源控制電路並未描繪在第 3 圖之簡化的方塊圖中。

該控制邏輯 304 亦作用為一個用於響應於一串列時脈輸入 (SCLK)306，以串列的形式輸出對應的數位信號 (SDATA)305 之轉換電路。該控制邏輯 304 更包含一個響應於發生在該晶片選擇 (CS)輸入信號 307 的狀態之間的 SCLK 週期數目以產生內部的控制信號之監視電路。這些內部的控制信號係控制電源關閉模式的動作，並且將接著會更詳細地予以探討。

第 4 圖是描繪與第 3 圖的 ADC 300 串列通訊之詳細的時序圖。該串列時脈 SCLK 401 係提供轉換時脈並且在轉換期間亦控制來自該 ADC 300 之資訊的傳輸。CS(晶片選擇)402 係起始資料傳輸以及轉換過程。CS 402 的下降邊緣係將該追蹤與保持設置到保持模式中，將該 SDATA 輸出 403 帶出高阻抗狀態，並且該類比輸入係在此時點被取樣。轉換亦在此時點起始，並且需要 16 個 SCLK 401 週期來完成。應注意到的是，當 ADC 300 並未執行轉換以及當該元件已經完成串列資料傳輸時，SDATA 輸出 403 都是在高阻抗的“第三”邏輯狀態中。此第三邏輯狀態有時稱為“三態的”，因為有三種可能的狀況：邏輯高、邏輯低以及高阻抗。

在第 16 個 SCLK 401 的下降邊緣處，SDATA(串列資料)線 403 變回到三態的。若在出現 16 個 SCLK 有效的邊緣之前發生 CS 的上升邊緣時，則該轉換係被終止，並且 SDATA 線變回到三態的；否則，SDATA 係如圖所示地在第 16 個 SCLK

下降邊緣處返回到三態的。執行該轉換過程並且從 ADC 300 存取資料是需要 16 個串列時脈週期。

儘管在本發明之較佳形式中的 SCLK 401 之有效的邊緣是下降邊緣或是高至低的邏輯轉變，但是系統可輕易地被配置成利用 SCLK 的下降或上升邊緣作為有效的邊緣。類似地，在本發明的較佳實施例中，當 CS 402 是在低的邏輯狀態中時，該 CS 信號 402 係選擇 ADC 300，但是若設計考量要求的話，則根據本發明的 ADC 300 亦可被做成響應於在 CS 402 上之高的邏輯位準。

在 CS 變低之後的第一個串列時脈下降邊緣(點 A)係提供第一個資料位元給和 ADC 300 介面連接的微控制器或 DSP 讀入。此 SCLK 的下降邊緣亦提供時脈而將第二個資料位元帶出，因此在該串列時脈上之第二個下降時脈邊緣係使得該第二個資料位元被提供。在該資料傳輸中之最後的位元是在第 16 個下降邊緣處為有效的，該位元是已經在先前的(第 15 個)下降邊緣處被提供時脈而帶出。在具有較慢的 SCLK 之應用中，在每個 SCLK 上升邊緣處讀入資料可能是可行的。

有三種可能的操作模式：完全供電的模式、部分電源關閉的模式以及完全電源關閉的模式。CS 在轉換已經起始之後被拉高的時間點結合先前的操作模式係決定元件將會採用該三種操作模式中的哪一種。

這些操作模式係被設計來提供彈性的電源管理選項。這些選項可針對不同的應用需求而被選來最佳化電源消耗

/處理量速率的比率。選擇操作模式可以用來自微控制器或是其它形式之可程式化的元件之一標準的 8 個 SCLK 之叢發或是一標準的 16 個 SCLK 之叢發來完成。當然，根據一特定的微控制器所提供之多個位元組的串列資料傳輸之能力，其可能需要兩個標準的 8 個 SCLK 之叢發或是單一 16 個 SCLK 之叢發。若 DSP 或是其它可程式化的元件被使用來提供介面至 ADC 300，則該可程式化的元件可被程式化以在該元件選擇為有效的窗之內提供一具有任意所要的長度之 SCLK 序列。

該完全供電的操作模式是打算用於最快的處理量速率之效能，因為使用者不須顧慮到任何的開機時間(ADC 300 一直維持為完全地被供電)。第 5 圖是描繪 ADC 300 在其完全供電的操作模式中之時序圖。如同先前所述，轉換係起始在 CS 的下降邊緣處。為了確保該 ADC 300 一直維持被完全開機的，CS 501 必須保持為低的，直到在 CS 501 的下降邊緣之後出現至少 10 個 SCLK 502 的下降邊緣為止。第 10 個 SCLK 502 係發生在第 5 圖的點 B 之處。

若 CS 501 是在第 10 個 SCLK 502 的下降邊緣之後的任意時間被帶成高的，則 ADC 300 將會保持開機。當 CS 501 被帶成高的，若只經過少於 16 個 SCLK 502 的下降邊緣時，則該轉換將會被終止，並且 SDATA 503 將會回到三態的。若 16 個或是更多個 SCLK 502 的下降邊緣是在 CS 501 是低的時候被施加至 ADC 300，則該轉換將會在第 16 個 SCLK 502 的下降邊緣處終止，在此時點將 SDATA 503 推回到三態的。

完成該轉換並且存取該轉換結果係需要 16 個串列時脈週期 502。(CS 501 可以閒置為高的，直到下一次轉換為止，或者是可以閒置為低的，直到下一次轉換之前的某個時點為止，此係有效地閒置 CS 為低的)。一旦資料傳輸完成(SDATA 503 已經回到三態的)之後，另一次轉換可在經過靜默的時間 t_{quiet} 之後，藉由將 CS 501 從其先前高的邏輯狀態再次帶為低的而被起始。

該部分電源關閉的模式是打算用於其中需要較低的功率消耗並且較慢的處理量速率仍然符合系統需求的應用中。ADC 300 係在每次轉換之間被關閉電源，或者是一系列的轉換可以在高的處理量速率之下被執行並且接著在數個轉換的這些叢發之間，ADC 300 係被關閉電源一段相當長的持續期間。當該 ADC 300 是在部分電源關閉中，除了用於晶片上之參考的電路以及參考緩衝器之外，所有的類比電路都被關閉電源。

為了從完全供電的模式進入部分電源關閉的模式，如同在第 6 圖的時序圖中所示，該轉換過程必須藉由在 SCLK 602 的第二個下降邊緣之後並且在 SCLK 602 的第十個下降邊緣之前的任一處將 CS 601 帶為高的而被中斷。一旦 CS 601 已在此 SCLK 的窗中被帶為高的，則 ADC 300 將會進入部分的電源關閉，先前藉由 CS 601 的下降邊緣所起始的轉換將會被終止，並且 SDATA 603 將會變回三態的。若 CS 601 是在第二個 SCLK 602 的下降邊緣之前就被帶為高的，則 ADC 300 將會保持在完全供電的模式中，因而不會關閉電源。此

將會避免因為 CS 線上之短暫干擾而造成意外的電源關閉。

一次假的(dummy)轉換係被執行，以便於離開此部分的電源關閉操作模式，並且再次供電 ADC 300，即如在第 7 圖中所示者。在 CS 701 的下降邊緣處，該 ADC 300 將會開始供電，並且只要 CS 701 保持為低的，其將會持續供電直到第十個 SCLK 702 的下降邊緣之後為止，即如在點 A 處所示者。一旦出現 16 個 SCLK 702 之後，該元件將會被完全地供電，並且有效的資料 703 將會從下一次轉換中產生。若 CS 701 在 SCLK 702 的第二個下降邊緣之前被帶為高的，則該元件將會再度變回部分電源關閉的模式。此係避免因為 CS 線上之短暫干擾而造成意外的電源開機。即使該元件在 CS 701 的下降邊緣處可以開始供電，但是若 CS 701 的上升邊緣是發生在 SCLK 702 的第二個下降邊緣之前，則其將會在 CS 701 的上升邊緣處再次關閉電源。若 ADC 300 在 CS 701 被帶為低的之前是在部分電源關閉的模式中，並且 CS 接著在 SCLK 的第二與第十個下降邊緣之間被帶為高的，則該元件將會進入完全的電源關閉。

該完全的電源關閉模式是打算用於其中需要更低的功率消耗並且仍可容忍更慢的處理量速率(但仍然符合操作需求)的應用中。當然，此模式的處理量限制是明顯的，因為從完全的電源關閉來供電是無法僅在一次假的轉換中就完成的。此模式係較適合於其中單一或是一系列的高速轉換接著是一段長期間的閒置並且因此關閉電源的應用。當 ADC 300 是在完全的電源關閉中，所有的類比電路係被關閉

電源。

完全的電源關閉係以類似於部分的電源關閉之方式進入，除了第 6 圖中所繪的時序序列必須執行兩次以外，即如在第 8 圖的時序圖中所繪者。該轉換過程必須以一種類似的方式，藉由在 SCLK 802 的第二個下降邊緣之後並且在 SCLK 的第十個下降邊緣之前的任一處將 CS 801 帶為高的而被中斷。該元件在此時點將會進入部分的電源關閉。為了到達完全的電源關閉，下一個轉換週期必須以相同的方式被中斷。一旦 CS 801 已經在此 SCLK 窗(間隔 B)中被帶為高的，則 ADC 300 將會完全的電源關閉。一旦 CS 801 已經被帶為高的而進入到電源關閉模式之後，完成 16 個 SCLK 802 並非必要的。

為了離開完全的電源關閉並且再次供電 ADC 300，一次假的轉換是在正要從部分的電源關閉供電時被執行。從完全的電源關閉模式離開係被展示在第 9 圖的時序圖中。在 CS 901 的下降邊緣處，該元件將會開始供電，並且只要 CS 901 保持為低的，其將會持續供電直到第十個 SCLK 902 的下降邊緣之後為止，此係發生在點 C 之處。然而，該開機時間是較長於一次假的轉換週期，並且在轉換可再度被起始之前必須經過此段時間。

第 10 圖是在第 3 圖中所繪的 ADC 之詳細的方塊圖。該 ADC 300 係使用一種根據 16 個 SCLK 脈衝且有效在下降邊緣之連續逼近的架構。轉換係藉由 CS 307 變為低的而被起始，此係使得 ADC 300 進入保持狀態。位元的嘗試係藉由

SCLK 所驅動，而 SCLK 係驅動一個環形計數器 1001。該環形計數器 1001 係執行兩個任務。其必須分別藉由定址 SAR 1002 以及 12:1 資料輸出多工器 1003 來控制位元的嘗試與串列資料的輸出。

位元的嘗試係開始在 SCLK 306 的第二個下降邊緣處，其係決定最高有效位元或是 MSB(DB11)，並且結束在第 13 個下降邊緣處的 LSB(DB0)之決定。SCLK 306 亦提供時脈給帶出串列資料 305 所需的邊緣。在此特定的實施例中，前四個 SCLK 係提供時脈而帶出前導的零，接著是 MSB 值等等、一直到 LSB。

內部的控制信號之產生係描繪在第 11 圖中。信號 csb 1101 是開始轉換信號。在 csb 1101 之下降邊緣係起始轉換，並且若當此線變為高的，而該轉換尚未完成時，其將會被中止。該系統時脈(SCLK)係提供時脈給計數器(未顯示)，該計數器係計數在 csb 1101 已經變為低的之後，SCLK 的下降邊緣之數目。在兩個此種時脈邊緣之後，信號 after_2 1102 變為高的一個 SCLK 週期，此係發生在第 3 個時脈邊緣處再次變為低的之前。信號 after_10 1103 係類似地在轉換期間的十個 SCLK 邊緣之後被設定，並且係在 SCLK 的第十一個下降邊緣處被清除。

有兩個輸出是來自控制信號產生邏輯。當 sleep 信號 1104 是高的，其係關閉比較器 1004(第 10 圖)並且使得參考緩衝器 1005 進入低電流模式。此係為部分的電源關閉。完全的電源關閉是在包含偏壓產生器 1006 之所有的類比電

路都被關閉時而達成的。此係發生在 sleep 1104 與 deep_sleep 1105 兩者都被驅動為高的時候。當 deep_sleep 1105 與 sleep 1104 都是低的，則 ADC 300 是完全地被供電。ADC 300 在轉換期間絕對不會在電源關閉的模式中。其只可以藉由中止進行中的轉換來進入電源關閉的模式。

csb 1101 係藉由反相器 x1 1106 而被反相一次，以變成 conv_abortb 1107。conv_abortb 1107 係藉由 x2 1108 而被反相，以變成 conv_abort_slow 1109。conv_abort_slow 1109 係主要被使用來在 csb 1101 本身是低的時候，使得信號 deep_sleep 1105 與 sleep 1104 低的。此係表示當 csb 1101 變為低的，此係開始轉換，ADC 300 會一直保持被供電的，不論 ADC 300 先前是處於任何模式都是如此。只有在 conv_abort_slow 1109 變為高的時候，新的睡眠模式才會生效。ADC 300 將會進入的電源關閉模式是在轉換期間當 csb 1101 係被帶為高的時候才被選擇。此係對應於在 conv_abortb 1107 上之一下降邊緣。

信號 conv_abortb 1107 係藉由設定信號 latch_mode 1110(NOR 閘 x6 1111 的輸出)來改變目前的電源關閉模式。latch_mode 1110 將只會在信號 glitch_block 1112 是低的時候被允許變為高的。當 latch_mode 1110 變為高的，正反器 x10 1113 將會更新其輸出 Q(dp_slp_mode 1114)，並且閃鎖 x9 1115 將會儲存其目前的 D 輸入值在其輸出 Q(slp_mode 1116)處。

為了避免 ADC 300 由於在 csb 1101 上之短暫干擾而進

入一個不同的電源關閉模式中，故需要信號 glitch_block 1112。該短暫干擾的保護電路係由反相器 x5 1117 藉著 S-R 門鎖 SR1 1118 加以驅動而構成的。SR1 1118 是藉由交叉連接的 NOR 閘 x3 1119 與 x4 1120 所做成的。該 S-R 門鎖的設定信號 after_2 1121 通常是低的：其係在轉換被開始 (csb 1101 為低的) 並且兩個 SCLK 的下降邊緣已經被 ADC 300 識別出時變為高的。after_2 1121 是在第三個 SCLK 的下降邊緣處再次變為低的。在 after_2 1121 上之高的信號係使得 S-R 門鎖輸出被設定，此係使得 glitch_block 1112 經由反相器 x5 1117 而變為低的。在此時點，信號 latch_mode 1110 係不再藉由 x6 1111 保持為低的，而是被容許在 conv_abortb 1107 變為高的時候變為高的，此係提供時脈給門鎖 x9 1115 與正反器 x10 1113。

在 glitch_block 1112 變為低的之前，在 csb 1101 上使得其短暫地變為高的，且接著變為低的（亦即，在兩個 SCLK 有效的邊緣之內，先是高的而接著是低的），類似一個被中止的轉換之短暫干擾將不會使得電源管理模式錯誤地改變，因為儲存元件 x9 1115 與 x10 1113 在其 clk 輸入處將不會看見任何改變。當 csb 1101 變為高的以發出信號表示轉換的結束時，conv_abort_slow 1109 將會變為高的，此係重置 S-R 門鎖 SR1 1118，確保另外的短暫干擾也不會使得 ADC 進入錯誤的模式。

門鎖的輸出 slpmode_set 1122 係決定下一次 csb 1101 被帶為高的時候之 ADC 300 應該進入的模式。若

slpmode_set 1122 是 0，則 ADC 在轉換的結束時將會保持被供電。若 slpmode_set 1122 是 1，則 ADC 300 將會進入其兩種睡眠模式中的一種，此係依據在轉換被起始前之先前的模式而定。slpmode_set 1122 的值係藉由兩個信號 after_2 1102 與 after_10 1103 經由 S-R 閘鎖 SR2 1123 而被決定的。若轉換被起始且兩個 SCLK 信號已經被 ADC 300 識別出時，則信號 after_2 1102 將會在 SCLK 的第二個下降邊緣處變為高的一個時脈週期，此係設定 SR2 1123 的輸出。SR2 1123 將會保持為設定的，直到信號 after_10 1103 已經變為高的而重置其為止。當 ADC 300 已經在一個 csb 低的脈衝之內計數到十個 SCLK 的下降邊緣時，after_10 1103 將會變為高的一個時脈週期。此將會使得 slpmode_set 1122 的值變為高的。

信號 slp_mode 1116 與 dp_slp_mode 1114 係記憶著就在 csb 1101 開始一項新的轉換之前，ADC 300 所在的模式。如先前所解釋，slp_mode 1116 與 dp_slp_mode 1114 係藉由該短暫干擾的阻擋電路而被防止改變電源管理模式，直到在轉換之內的第二個時脈脈衝已經被 ADC 300 識別出之後為止。若在轉換之內已經過超過兩個 SCLK 邊緣，則該短暫干擾的拒斥電路係被禁能，因而該介面在 csb 1101 被帶為高的時候可自由地改變電源關閉模式。儲存元件 x9 1115 與 x10 1113 兩者都是在 csb 1101 被帶為高的時候，藉由 latch_mode 1110 之上升邊緣而被提供時脈。當此發生時，dp_slp_mode 1114 係取得 slp_mode 1116 之舊的值，而

slp_mode 1116 係取得 slpmode_set 1122 之舊的值。

若 ADC 300 是在完全供電的模式中並且使用者希望將其設置到部分的電源關閉模式，則 csb 1101 必須為低的，並且在將 csb 帶回高的之前必須供應二至十個串列時脈週期。在轉換期間的第二個時脈脈衝處，slpmode_set 1122 將會藉由 SR2 1123 而被設定為 1，並且該短暫干擾的拒斥電路將會被禁能。若 csb 1101 在第 10 個 SCLK 脈衝之前被帶為高的，則 dp_slp_mode 1114 將會保持不變(低的)，而 slp_mode 1116 將會取得其新的高值。當 conv_abort_slow 1109 變為高的，則其係將 x13 1124 的輸出從被保持為高的釋放出來。x13 1124 的輸出將會接著變為低的，使得 sleep 1104 變為高的。deep_sleep 1105 在此時點仍然將會是低的。

若重複此上述的過程，則在 latch_mode 1110 的上升邊緣處，slp_mode 1116 之舊的值(其係為高的)將會被提供時脈而穿過到 dp_slp_mode 1114，一旦 conv_abort_slow 1109 變為高的之後，則此係設定 deep_sleep 1105。slp_mode 1116 本身將會是高的，此係以相同的方式使得 sleep 1104 為高的。若 sleep 1104 與 deep_sleep 1105 兩者都是高的，則一旦 csb 1101 返回到高的位準後，所有的類比電路都將會被關閉。

將 ADC 300 帶出電源關閉係需要 slpmode_set 1122 在轉換被中止之前就被清除。此係藉由在將 csb 1101 帶為高的之前，在一個轉換中等待超過十個 SCLK 的邊緣來加以達

成。若 `csb 1101` 是在經過了十個 `SCLK` 的邊緣之後才被帶為高的，則 `slp_mode 1116` 將會變為低的，此亦重置 `x10 1113` 的 `Q` 輸出。`sleep 1104` 與 `deep_sleep 1105` 在 `conv_abort_slow 1109` 變為高的時候都將會保持為低的，此係讓 `ADC 300` 被供電。

如先前所指出，利用唯讀串列介面的操作模式控制並不限於將一個元件設置在一個降低的功率消耗之操作模式中。其它的元件操作模式亦可以利用此介面來加以選擇。第 12 圖是一種其中可程式化超過一種操作模式的元件之方塊圖。

計數器 `1209` 係類似於參考第 10 圖所述的計數器 `1001`。就如同第 10 圖，第 12 圖的計數器 `1209` 係被用來計數時脈並且控制位元的嘗試。計數器 `1209` 係計數到 16。解碼其它的狀況需要非常少的額外電路。一個內含作為模式選擇邏輯 `1205` 的部分之簡單的門鎖電路係在第 10 個下降時脈邊緣處被設定，並且在第 13 個下降時脈邊緣處被重置。若元件選擇接腳 `307` 在門鎖的輸出被設定時轉變為高的，則該元件係改變模式。

因此，該元件的操作狀態係從正常的模式（其中該元件係執行一項轉換並且輸出結果）改變至一個其中該部件係輸出在 16 個時脈週期之前出現在 `SDATA` 接腳 `1201` 上的資料之模式。此係容許使用者能夠將任意數目個部件菊鏈在一起，因而來自所有部件的資料都將會被讀入在相連的處理器之一串列輸入埠上。實際上，該些互連的元件（在此例

中為 ADC)是變成一個串列移位暫存器。在移位之前，此暫存器的每個部件中所儲存之串列資料是該特定的 ADC 之最近的轉換結果。多工器 1206 係在菊鏈資料與習知的轉換結果之間做選擇。

在菊鏈的操作模式中之複數個元件的動作係涉及三個如下所述之控制信號，以及如同在第 14 圖中所繪 SDATA 與 D_{OUT} 信號之菊鏈的互連。外部所提供的控制信號是串列時脈信號 SCLK 306 以及晶片選擇信號(實際上為其互補的信號 CSB 或是反相的晶片選擇 307)。一個致能資料從一元件串列移位至另一元件的移位信號係在內部藉由適當的 CSB 轉換而被產生。因此，在此所述之菊鏈連接的協定只需要兩個外部產生的控制信號。

第 14 圖係描繪四個以菊鏈模式連接的元件 1403-1406。SDATA 信號 1201 係耦接至第一元件 1403，其中該第一元件 1403 的資料輸出信號 D_{OUT} 耦接至元件二 1404 的 SDATA 輸入。來自最後一個元件 1406 的 D_{OUT} 是該系統的輸出信號。類比輸入信號的群組 1401 係被提供給該些集成的元件。

考量在正常動作下的單一元件，在藉由第 15 圖的輸入資料字格式所繪的第三個位元(CHN₁)上之用於下一次轉換的通道係在 SDATA 接腳被讀入。第 16 圖的輸出資料字格式係顯示 CHN₀ 指出剛被轉換的通道，並且在輸出與輸入資料字中的 MOD 與 STY 位元係被使用作為菊鏈連接的指示符與命令。

如先前所指出，每個元件都有運作在一些不同的模式中之能力。在此部份的討論中特別關注的是該正常與菊鏈的操作模式。如同以上關於元件動作所述，在正常的模式中，轉換結果係在第 13 個 SCLK 的邊緣處被複製到內部的移位暫存器。使用者可以在 MOD 位元等於 CHN₀ 位元時判斷出該元件是在此模式中。

第 13 圖是描繪用於第 12 圖的元件之內部的控制信號之產生的邏輯圖。電路 1306 至 1309 再加上相關連的閘係檢測在串列資料(SDATA)字中的 CHN 與 STY 位元是相同或是不同的。信號 CHN_bit_b 以及 STY_bit_b 係在串列資料(SDATA)字中的 CHN 與 STY 位元分別是有效的時脈週期中變為低的。

邏輯閘 1306 與 D 型正反器 1307 係監視 CHN 與 STY 位元。若 CHN 與 STY 位元不同，則正反器 1307 $STY \neq CHN$ (STY 不等於 CHN) 的 QB 輸出是高的，並且若它們是相同的，則 QB 輸出是低的。部件若要保持在菊鏈模式中，信號 $STY \neq CHN$ 必須是高的。

D 型正反器 1303 以及相關連的閘係決定部件是處於何種模式(正常或是菊鏈)。為了最初進入菊鏈模式，該電路需要元件是在正常的模式中，並且 $stconv$ (CSB 的反相) 係在第 10 與第 13 個時脈邊緣之間轉變為低的。為了保持在菊鏈模式中，該電路需要元件已經是在菊鏈模式，該元件必須在 CSB 為低的時間內接收超過 13 個時脈邊緣，並且 STY 位元必須是 CHN 位元的反相。

當操作模式改變至菊鏈時，每個元件 1403-1406(第 14 圖)係運作為一個移位暫存器。當所有的元件都在菊鏈模式中，則每 16 個 SCLK 週期以及一個 CSB 訊框(一個讀取週期)係導致儲存在每個內部的移位暫存器中之資料被向右移位一個元件。對於第 14 圖之菊鏈模式的配置，若吾人施加四個讀取週期，則來自所有四個元件的資料將會依序出現在系統的 D_{OUT} 接腳處，並且吾人亦可以寫入個別的控制字至 SDATA 接腳 1201，此將會變成一個此種控制字停留在各個元件中，因而每個元件 1403-1406 現在變成有一個別通道被分配給它。

為了在模式之間做改變，轉換係在位元 10/11/12 中(亦即，在第 10 個 SCLK 的下降邊緣之後並且在第 13 個 SCLK 的下降邊緣之前)CSB 輸入變為高的時間點被執行。使用者可以藉由檢視 MOD 位元來查看該元件是在何種模式中。若 MOD=CHN₀，則該元件是在正常的模式中，而若 MOD 等於 CHN₀ 的反相時，則該元件是在菊鏈模式中。當該元件在菊鏈模式中時，一項該輸入 STY 位元等於 CHN₁ 位元的轉換係使得該元件回到正常的模式。此表示若該通道是藉由將 SDATA 變為高或低來加以選擇時，則該元件將不會困在菊鏈模式中。這些模式的改變係歸納在第 17 圖的狀態轉換圖中，模式與輸出位元狀態係被顯示在每個狀態圓圈 1701、1702 中，而用於轉換的 CSB、SDATA 條件係被給在狀態轉換向量 1703-1707 上。

系統動作的時序圖係被提供在第 18 圖中，以微秒(μ s)

為單位之用於系統事件的時間刻度被提供在水平軸上。可體認到的是，在間隔 A 中(在 7 至 8 μ s 之間)，每個元件正在其所選的通道上進行正常的轉換，並且結果係被儲存在每個元件之內部的移位暫存器中。

如 CSB 時間線 1801 上所示，在間隔 B 期間(8 至 9 μ s)，一項模式改變的信號係被發出，其中一個 CSB 高的事件是發生在位元 10 與 12 之間。此種轉變係切換每個互連的元件成為菊鏈模式。一個讀取週期動作係發生在 9 至 10 μ s 之間的時間 C 期間，其中每個元件係透過其 SDATA 接腳讀入一個字，並且透過其 D_{OUT} 接腳輸出在間隔 A 期間所進行的轉換。此種使得 CSB 為低的、施加 16 個時脈週期、接著使得 CSB 返回高的過程係持續直到所有的資料字都已被讀取為止。

第 19 圖的方塊圖係描繪根據本發明之另一實施例。此實施方式係包含一種輸入範圍的控制功能，其中輸入的全刻度電壓係利用以上描述的程序來加以選擇。

已知的是藉由到一個小於 DAC 電容的電容器上取樣，要獲得全刻度所需的輸入電壓係增加。例如，藉由到一個等於一半的 DAC 電容之電容器上取樣，則具有振幅為參考電壓的兩倍之輸入信號係獲得全刻度輸出。

在此例子中，用於改變範圍的機構是與先前所述相同的計數時脈邊緣之技術，而該元件選擇輸入是處於使用者所定義的狀態中。若 CSB 輸入 307 被帶為低的(至其有效的狀態)並且 11 個週期是在 CSB 307 再度被帶為高的之前施

加至時脈輸入 SCLK 306，則第 19 圖的元件係被設計以進入一種其中全刻度係對應於參考電壓的操作模式。在另一方面，若在 CSB 307 轉變之間 12 個串列時脈週期被施加至 SCLK 306 輸入，則該元件係進入一個其中全刻度係對應於兩倍參考電壓的操作模式。

當然，出現在 SCLK 上之週期數目可以藉由設計來加以選擇成任何可行的數目。在先前的段落中所介紹的數目是打算作為舉例而已。任何熟習此項技術者都會很快地瞭解到透過適當的硬體之引進，該全刻度電壓可被選為實際上是參考電壓的任意倍數。當然，若容許額外的硬體變成太過累贅的，則增加的複雜度可能會超出任何所得的益處。

在此已經描述一種唯讀串列介面用於將一個積體電路元件設置在一個所選的操作模式中。所發明之系統係展現優於習知技術之顯著的改良。對於熟習此項技術者將明顯可知的是可以在不脫離本發明的精神與範疇下進行修改。於是，除非由所附的申請專利範圍來看可能是必要的之外，否則本發明並非意欲受其限制。

【圖式簡單說明】

第 1 圖是被配置用於關機模式的控制之習知技術元件的方塊圖；

第 2 圖是描繪第 1 圖的習知技術元件之操作模式的時序圖；

第 3 圖是根據本發明之具有操作模式控制的元件之簡化的方塊圖；

第 4 圖是描繪與第 3 圖的元件串列通訊之時序圖；

第 5 圖是描繪第 3 圖的元件之完全供電的模式之時序圖；

第 6 圖是描繪第 3 圖的元件進入部分的電源關閉模式之時序圖；

第 7 圖是顯示第 3 圖的元件從電源關閉模式轉換至完全供電的動作之時序圖；

第 8 圖是描繪第 3 圖的元件進入完全的電源關閉模式之時序圖；

第 9 圖是描繪第 3 圖的元件從完全的電源關閉模式轉換至完全供電的動作之時序圖；

第 10 圖是在第 3 圖中所繪的 ADC 之詳細的方塊圖；

第 11 圖是描繪內部的控制信號之產生的邏輯圖；

第 12 圖是根據本發明的包含多個模式程式化功能的元件之詳細的方塊圖；

第 13 圖是描繪第 12 圖的元件之內部的控制信號之產生的邏輯圖；

第 14 圖是描繪多個以菊鏈配置連接的元件之概要圖；

第 15 圖係描繪輸入資料字的格式；

第 16 圖係顯示輸出資料字的格式；

第 17 圖是描繪從一個操作模式轉變至另一個操作模式之狀態圖；

第 18 圖是從菊鏈的模擬所導出的時序圖；以及

第 19 圖是根據本發明之具有特點為另一個模式程式化

功能的元件之詳細的方塊圖。

【主要元件符號說明】

100 ADC

101 CLK(時脈)信號

102 CONV(轉換)信號

103 控制邏輯

104 SAR(連續逼近的暫存器)與並列至串列轉換器邏輯

108 串列輸出資料

201 CLK

202 CONV

203 NAP 模式

204 SLEEP 模式

300 ADC

301 追蹤與保持電路

302 類比輸入電壓

303 連續逼近的暫存器(SAR)ADC

304 控制邏輯

305 數位信號(SDATA)

306 串列時脈輸入(SCLK)

307 晶片選擇(CS)輸入信號

401 串列時脈 SCLK

402 CS(晶片選擇)

403 SDATA 輸出

501 CS

502 SCLK
 503 SDATA
 601 CS
 602 SCLK
 603 SDATA
 701 CS
 702 SCLK
 703 資料
 801 CS
 802 SCLK
 901 CS
 902 SCLK
 1001 環形計數器
 1002 SAR
 1003 12:1 資料輸出多工器
 1004 比較器
 1005 參考緩衝器
 1006 偏壓產生器
 1101 csb 信號
 1102 after_2 信號
 1103 after_10 信號
 1104 sleep 信號
 1105 deep_sleep 信號
 1106 反相器 x1

- 1107 conv_abortb 信號
- 1108 反相器 x2
- 1109 conv_abort_slow 信號
- 1110 latch_mode 信號
- 1111 NOR 閘 x6
- 1112 glitch_block 信號
- 1113 正反器 x10
- 1114 dp_slp_mode 信號
- 1115 閃鎖 x9
- 1116 slp_mode 信號
- 1117 反相器 x5
- 1118 S-R 閃鎖 SR1
- 1119 NOR 閘 x3
- 1120 NOR 閘 x4
- 1121 after_2 信號
- 1122 slpmode_set 信號
- 1123 S-R 閃鎖 SR2
- 1124 NAND 閘 x13
- 1201 SDATA 接腳
- 1205 模式選擇邏輯
- 1206 多工器
- 1209 計數器
- 1303 D 型正反器
- 1306 邏輯閘

1307 D 型正反器

1401 類比輸入信號的群組

1403-1406 元件

1701、1702 狀態圓圈

1703-1707 狀態轉換向量

1801 CSB 時間線

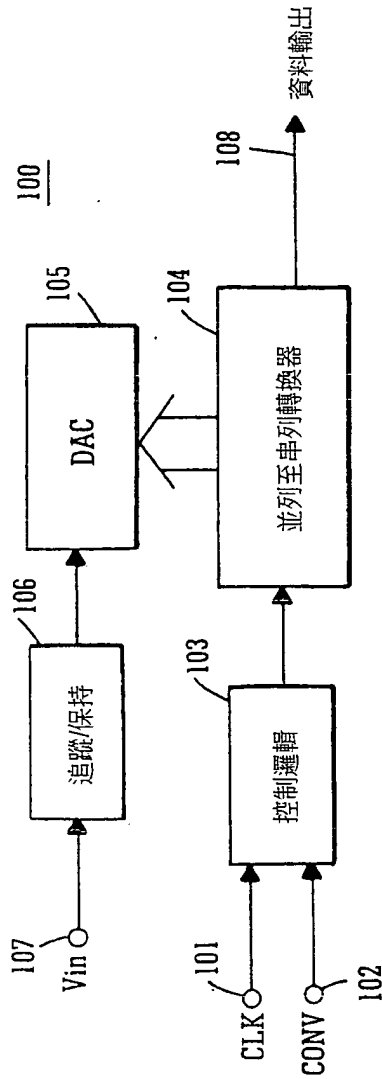
五、中文發明摘要：

一種用於將一個元件設置在一個所選的操作模式中之方法。該方法係包括初始化一個元件選擇信號成為第一邏輯狀態，以第二邏輯狀態發出該元件選擇信號，以及在一個第一使用者控制的時間窗之內使該元件選擇信號返回該第一邏輯狀態的步驟。一種元件亦被描述為包含用於偵測在元件選擇輸入與時脈輸入處之邏輯狀態轉變之裝置、以及用於響應於發生在該元件選擇輸入處之邏輯狀態轉變之間，在該時脈輸入處之預設數目個邏輯狀態的轉變來改變該元件的操作模式之裝置。例如，該所選的操作模式可以是降低的功率消耗模式，或是該元件的另一個操作模式，例如，菊鏈的操作模式或是一種能夠提供類比輸入範圍的程式化之模式。

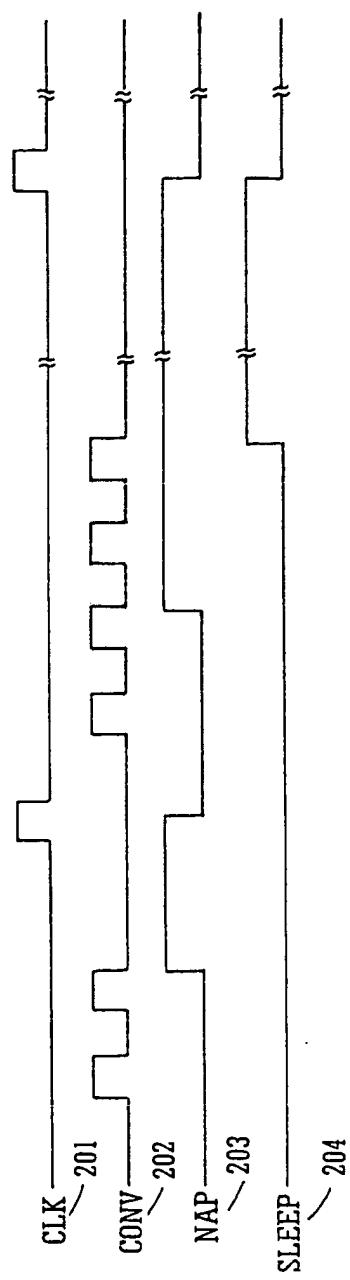
六、英文發明摘要：

A method for placing a device in a selected mode of operation. The method comprises the steps of initializing a device select signal into a first logic state, asserting the device select signal in a second logic state, and returning the device select signal to the first logic state within a first user-controlled time window. A device is also described that includes means for detecting logic state transitions at a device select input and a clock input, and means for changing

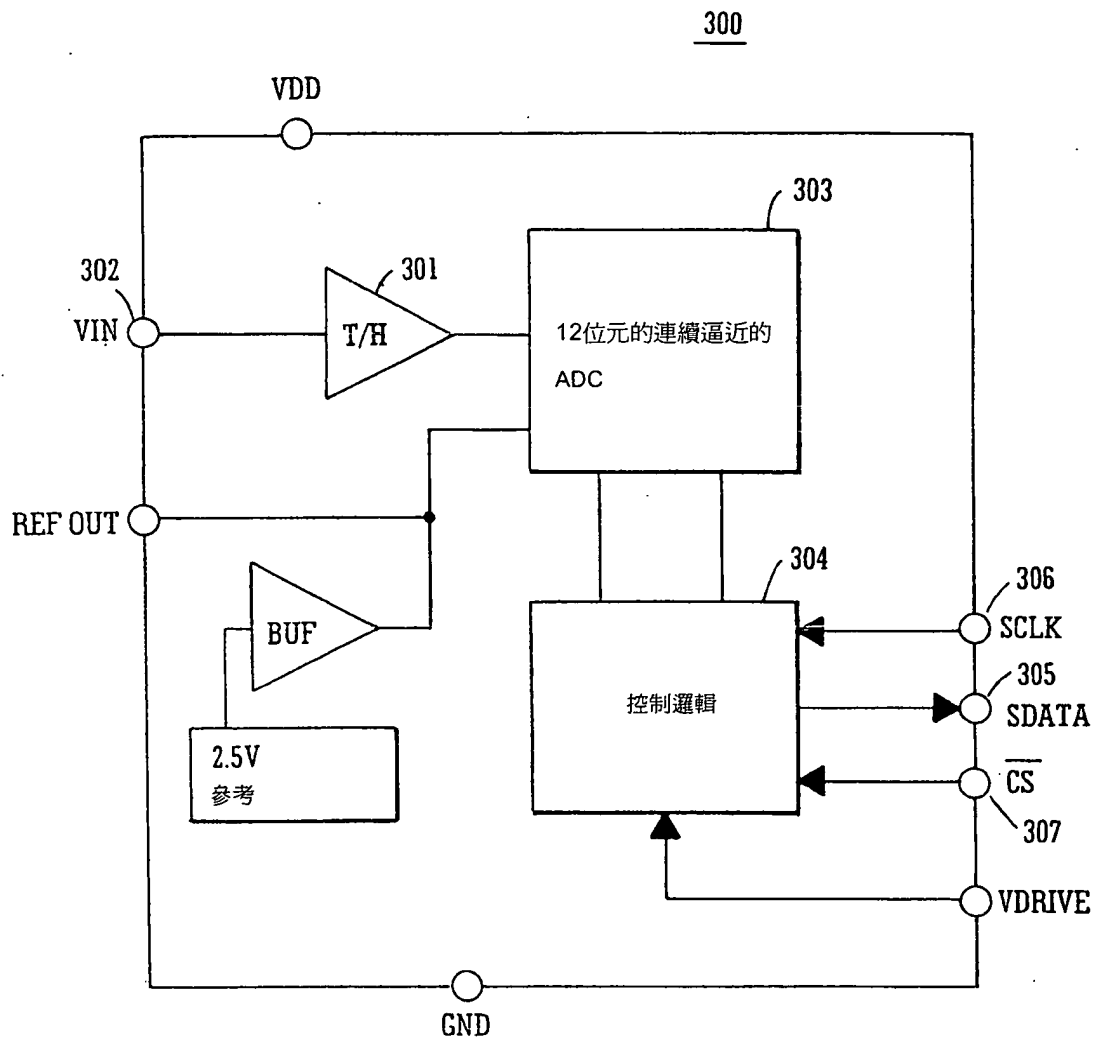
operating mode of the device in response to a predetermined number of logic state transitions at the clock input, occurring between logic state transitions at the device select input. The selected operating mode may be a reduced power consumption mode, for example, or another operating mode of the device, such as a daisy-chain mode of operation, or a mode that accommodates programming of analog input range.



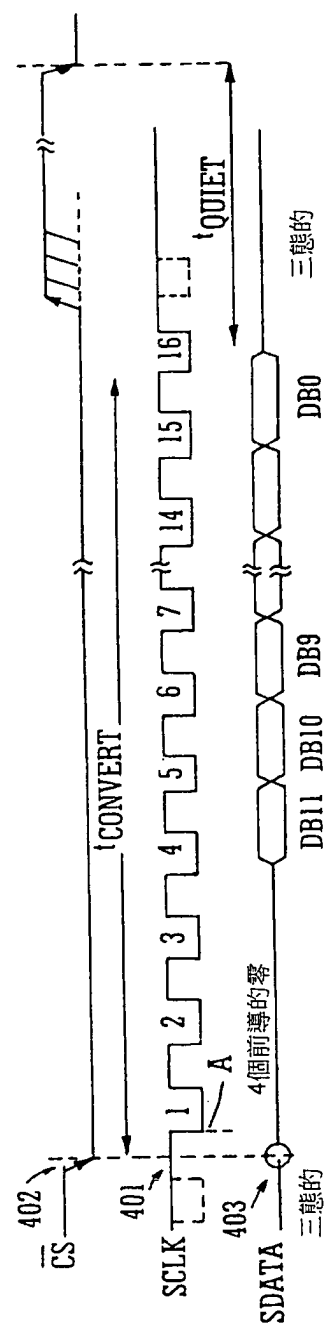
第 1 圖



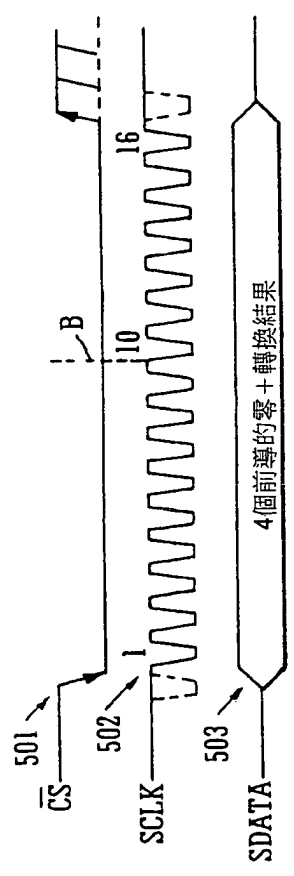
第 2 圖



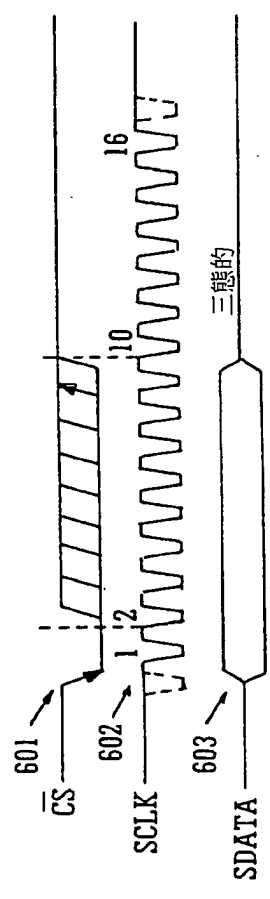
第 3 圖



第 4 圖

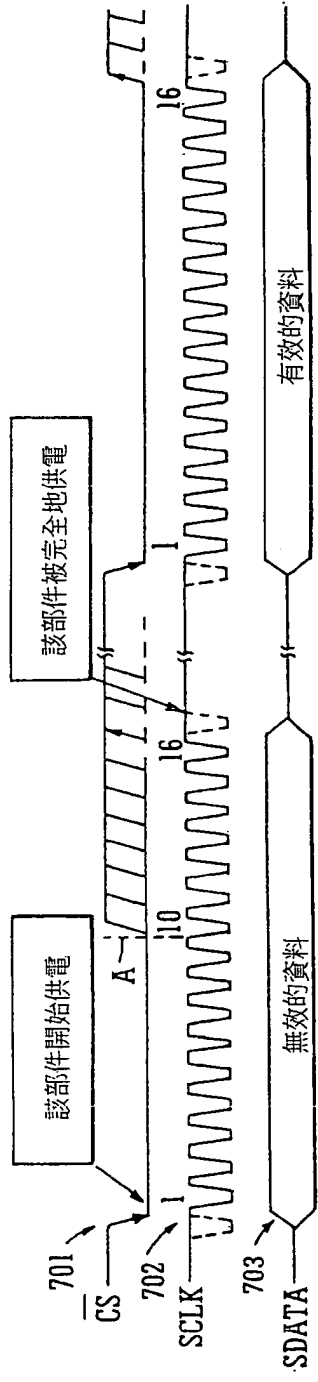


第 5 圖

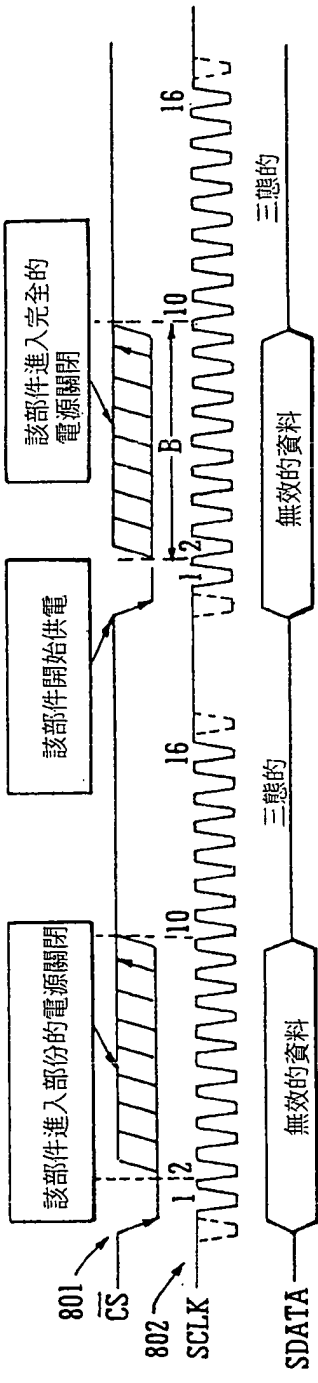


第 6 圖

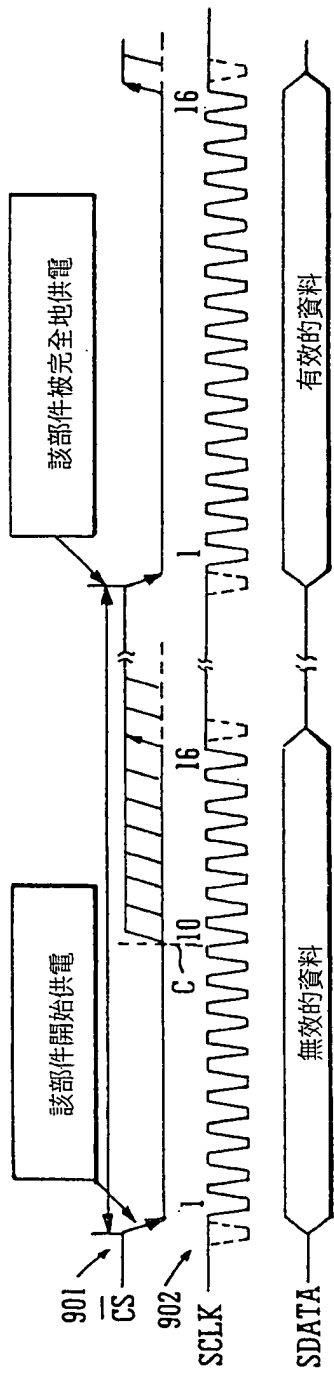
第 7 圖

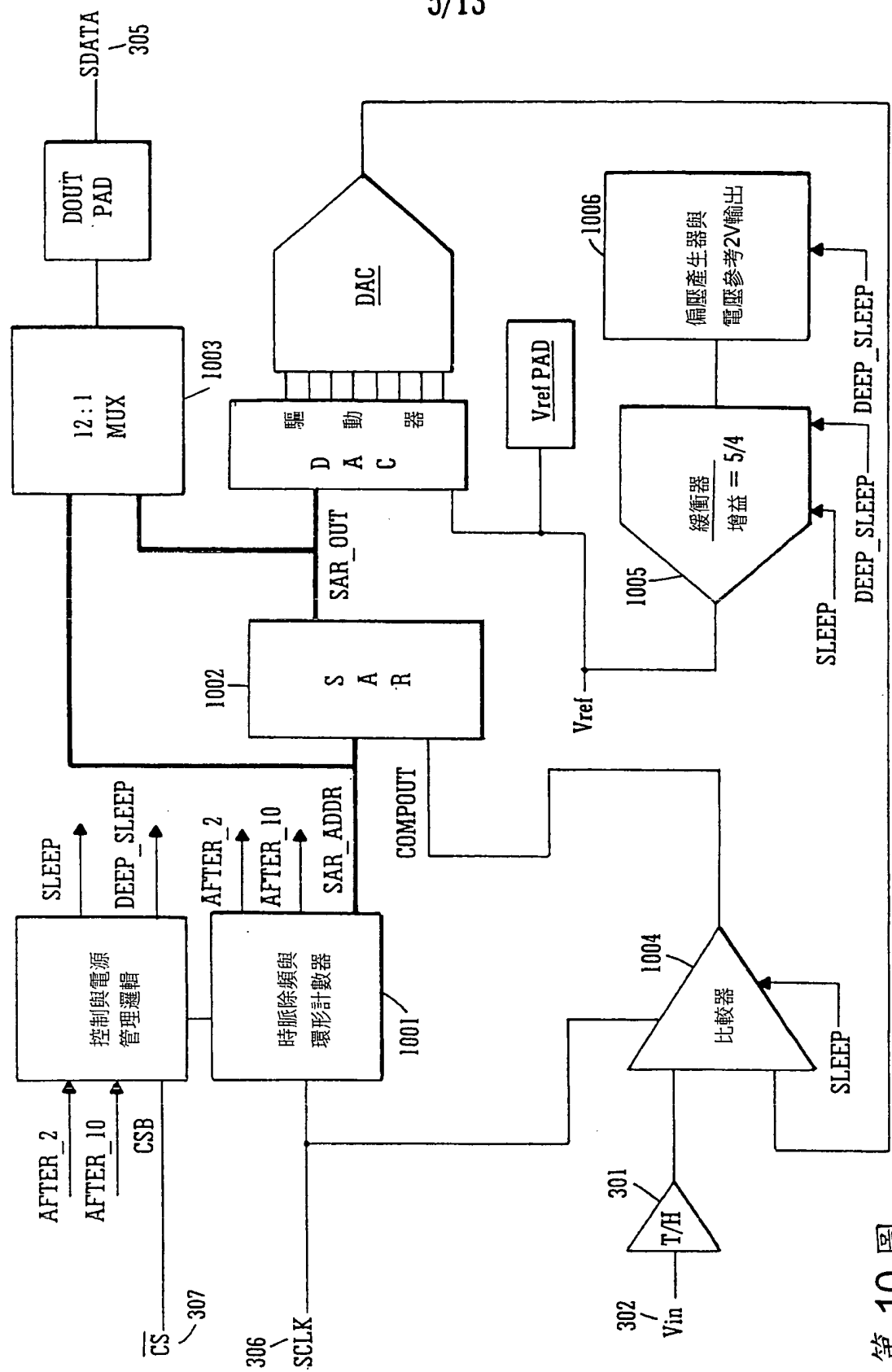


第 8 圖

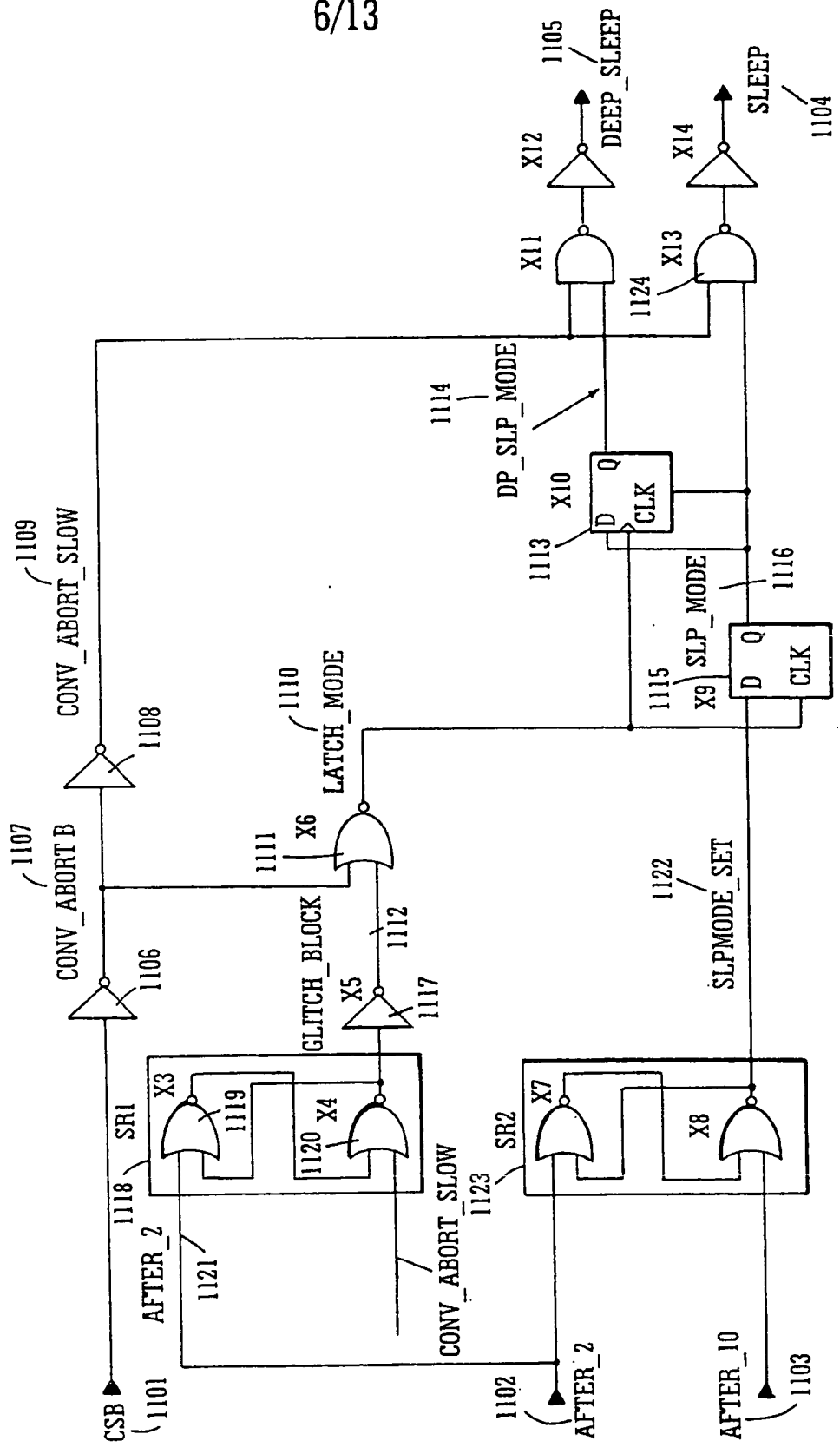


第 9 圖

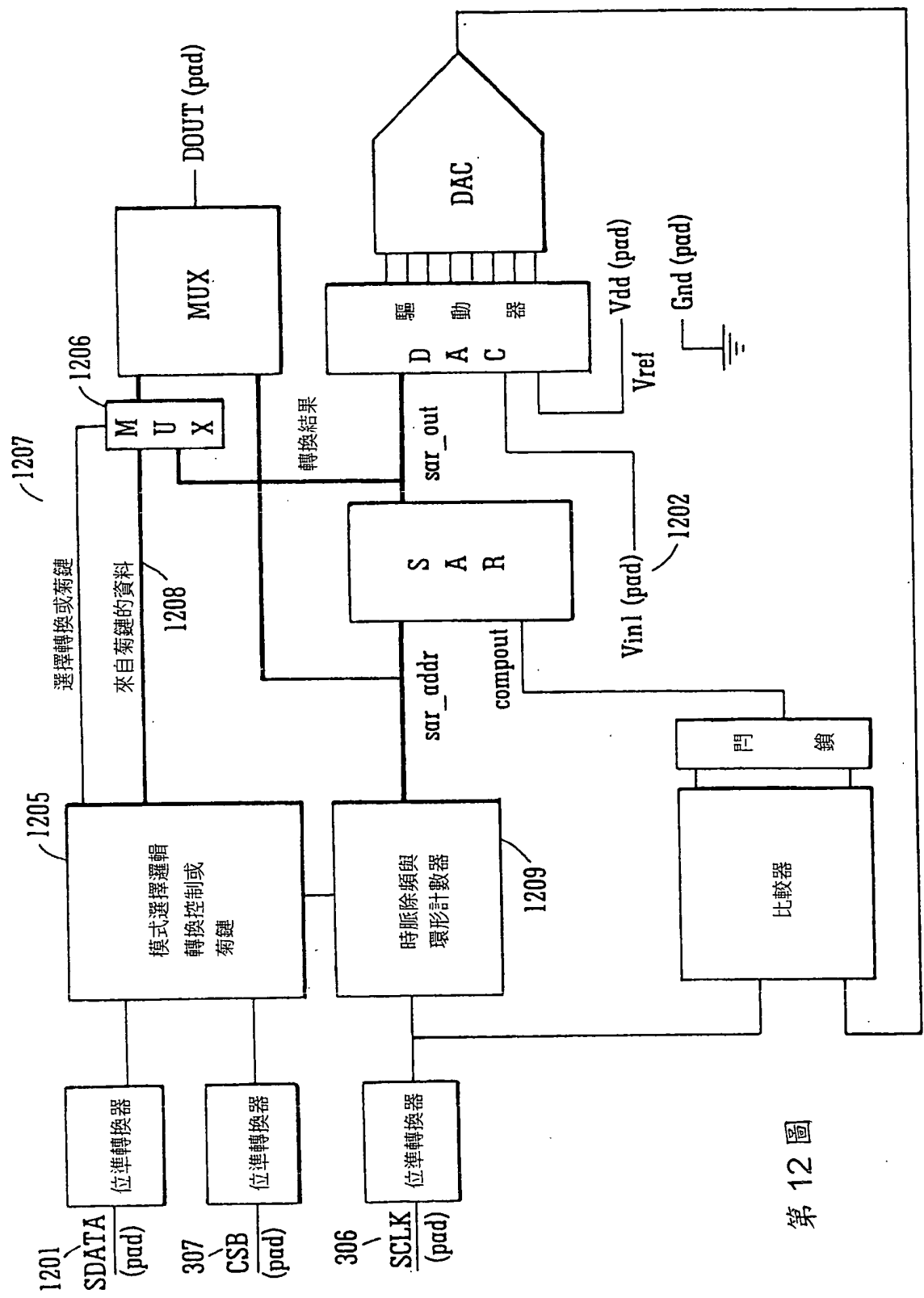




第 10 圖

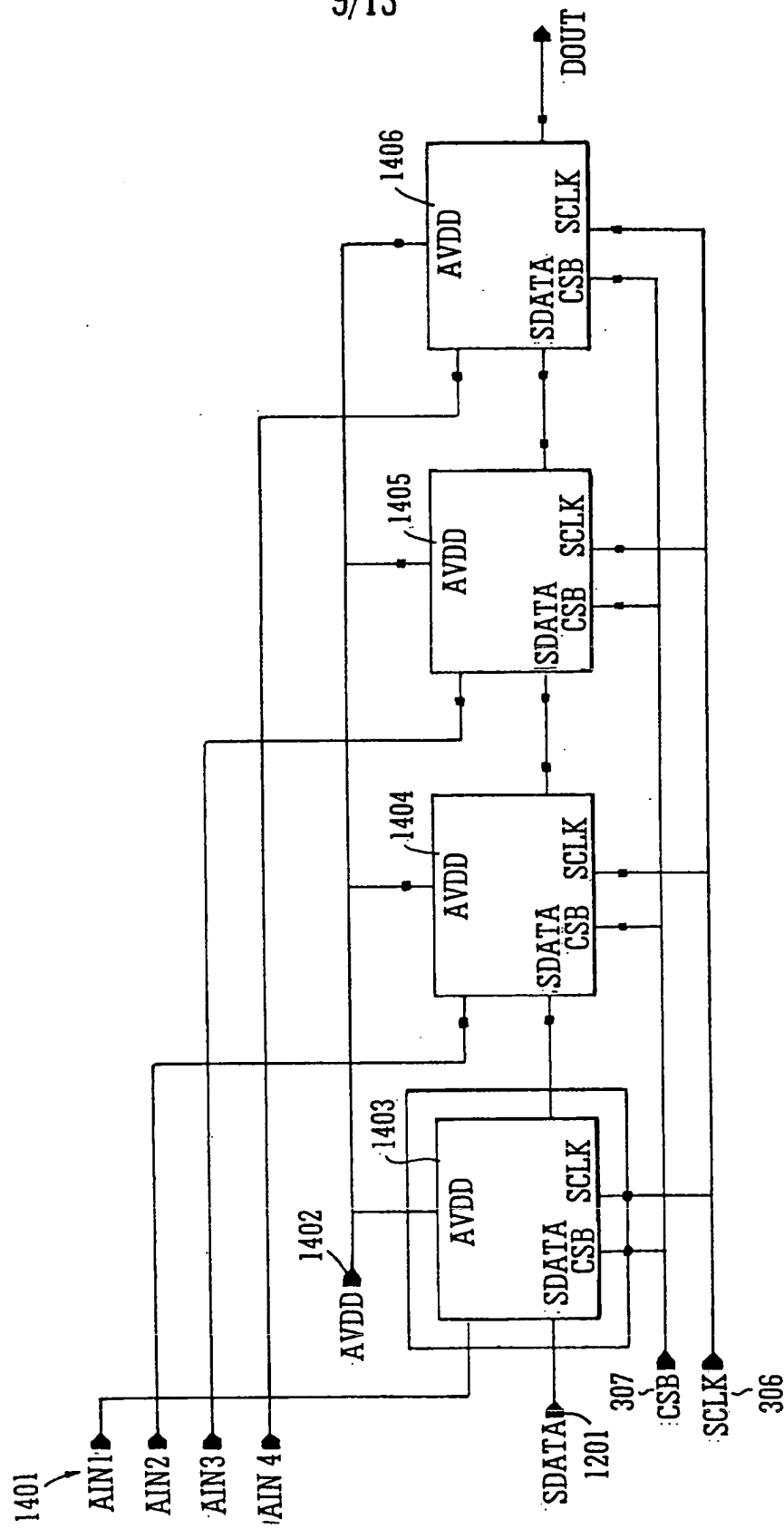


第 11 圖



第 12 圖





第 14 圖

輸入資料字格式

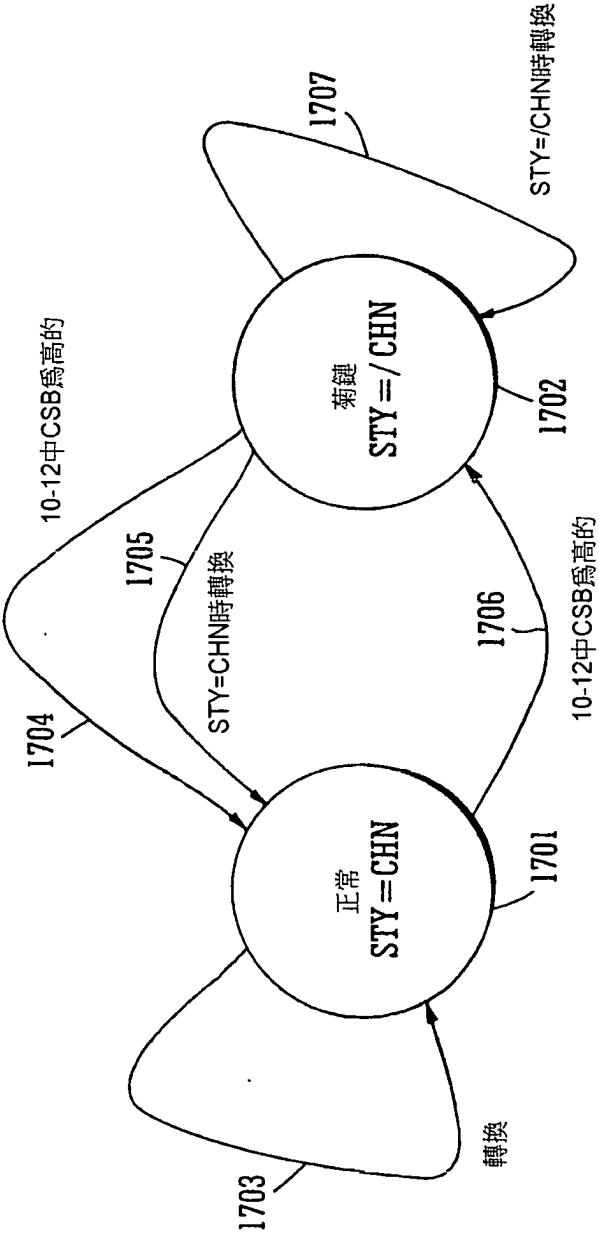
0	0	CHN ₁	STY	<資料>
---	---	------------------	-----	------

第 15 圖

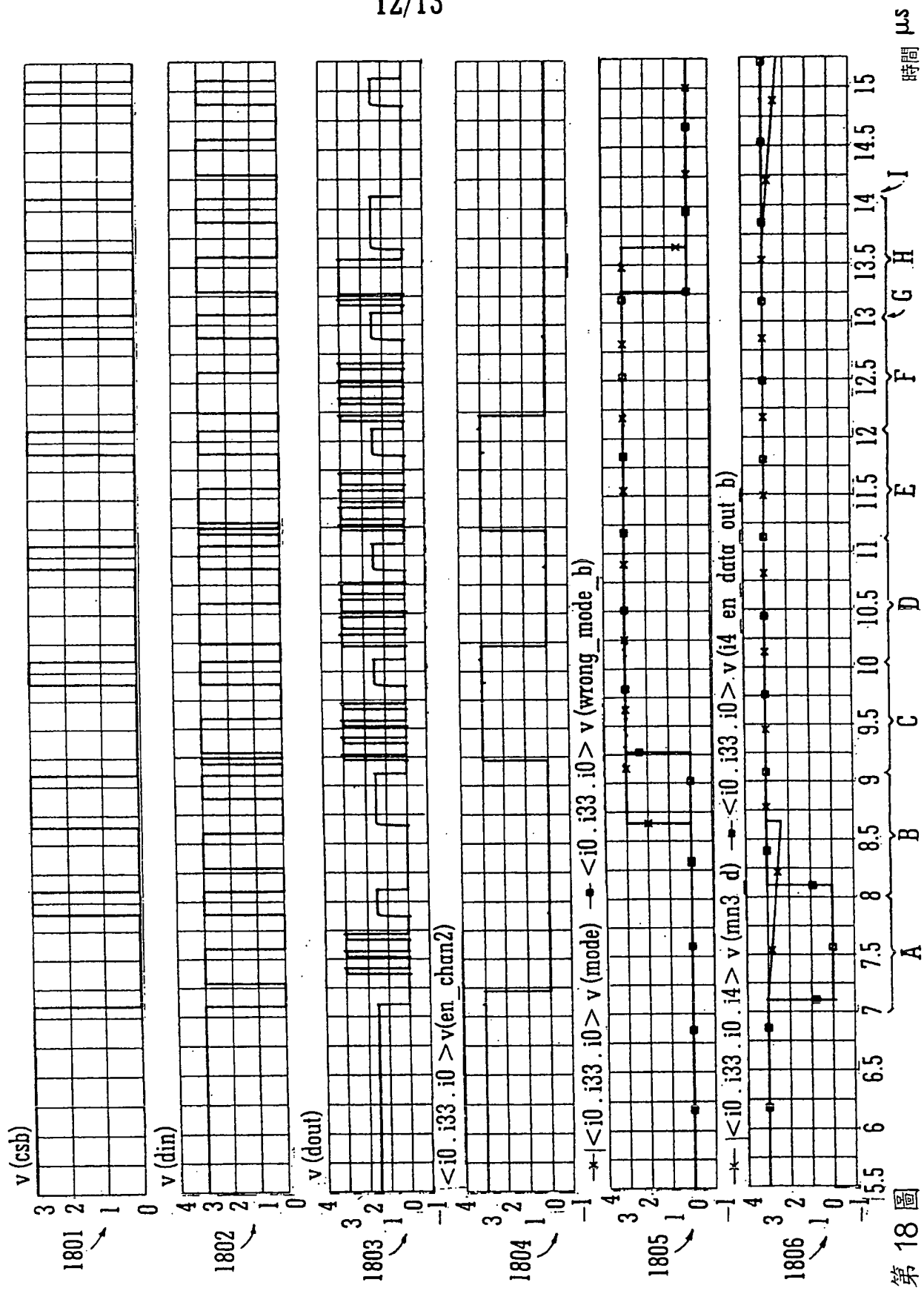
輸出資料字格式

0	0	CHN ₀	MOD	<資料>
---	---	------------------	-----	------

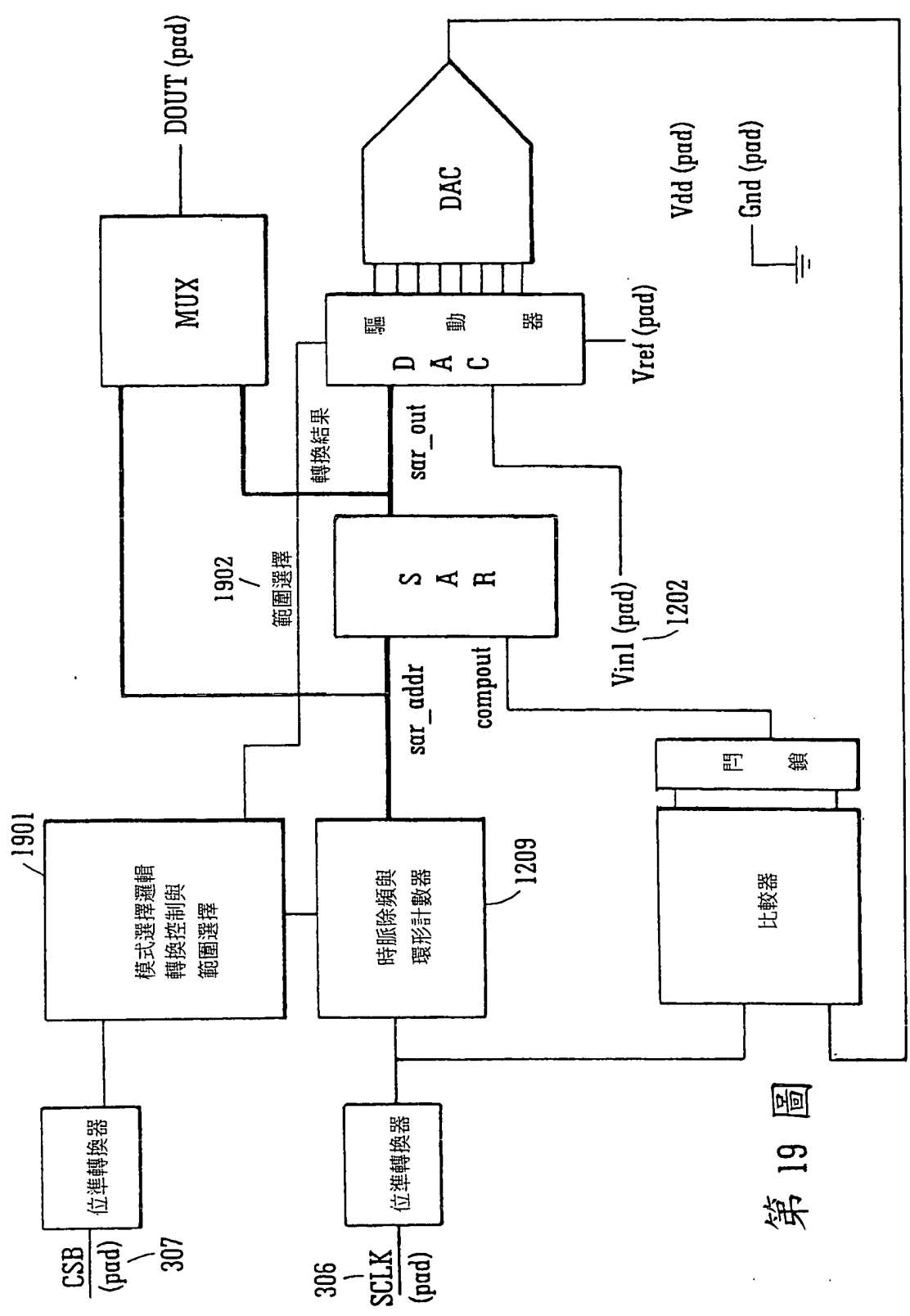
第 16 圖



第 17 圖



第 18 圖



第 19 圖

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

300 ADC

301 追蹤與保持電路

302 類比輸入電壓

303 連續逼近的暫存器(SAR)ADC

304 控制邏輯

305 數位信號(SDATA)

306 串列時脈輸入(SCLK)

307 晶片選擇(CS)輸入信號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93134100

※申請日期：93.11.9

※IPC 分類：G06F 13/38

一、發明名稱：(中文/英文)

(2006.01)

用以設置元件於所選操作模式之方法、用以設置具有晶片選擇輸入及時脈輸入之積體電路元件至所選操作模式之方法以及類比至數位轉換器

A METHOD FOR PLACING A DEVICE IN A SELECTED MODE OF OPERATION, A METHOD FOR PLACING AN INTEGRATED CIRCUIT DEVICE HAVING A CHIP SELECT (CS) INPUT AND A CLOCK (CLK) INPUT INTO A SELECTED MODE OF OPERATION, AND AN ANALOG-TO-DIGITAL CONVERTER

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美國亞德諾半導體公司 / ANALOG DEVICES, INC.

代表人：(中文/英文)

瑪格莉特 K. 席夫 / SEIF, MARGARET K.

住居所或營業所地址：(中文/英文)

國麻州 02062-9106 諾伍市科技一路 9106 號

One Technology Way P.O. Box 9106 Norwood, MA 02062-9106 U.S.A.

國籍：(中文/英文)

美國 / USA

三、發明人：(共 4 人)

姓名：(中文/英文)

1. 麥克 拜爾尼 / BYRNE, MICHAEL

2. 尼可拉 歐拜爾尼 / O'BYRNE, NICOLA

3. 寇林 普萊斯 / PRICE, COLIN

4. 戴瑞克 休姆斯頓 / HUMMERSTON, DEREK

國籍：(中文/英文)

1.2. 愛爾蘭 / IE

3.4. 英國 / UK

100年8月15日修 正替換頁

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國、2003.11.26、10/723,464

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

十、申請專利範圍：

1. 一種用於將一個元件設置在一個所選的操作模式中之方法，該方法包括下列步驟：

- (a) 初始化一個元件選擇信號成為一個第一邏輯狀態；
- (b) 以一個第二邏輯狀態發出該元件選擇信號；以及
- (c) 在一個第一使用者控制的時間窗之內使得該元件選擇信號返回該第一邏輯狀態以設置該元件於該所選的操作模式，

其中步驟(c)進一步包括使該元件選擇信號在一串列時脈輸入信號之一第一預定轉換之後，但在該串列時脈輸入信號之一第二後續的預定轉換之前返回該第一邏輯狀態，該等第一及第二後續的預定轉換二者發生在以該第二邏輯狀態發出該元件選擇信號之後，並且該第一使用者控制的時間窗係按照發生在該串列時脈輸入信號之該等第一及第二後續的預定轉換之間的時脈週期數目量測。

2. 根據申請專利範圍第 1 項之方法，其中步驟(a)的初始化一個元件選擇信號係更包括將該元件選擇信號設置到一個閒置的邏輯狀態中之步驟。

3. 根據申請專利範圍第 2 項之方法，其中該閒置的邏輯狀態係包括一個高的邏輯狀態。

4. 根據申請專利範圍第 1 項之方法，其中步驟(b)的發出該元件選擇信號係更包括將該元件選擇信號設置到一個有效的邏輯狀態中之步驟。

5. 根據申請專利範圍第 4 項之方法，其中該有效的邏

輯狀態係包括一個低的邏輯狀態。

6. 根據申請專利範圍第 1 項之方法，其中該所選的操作模式是一個降低的功率消耗操作模式，並且該時脈信號之該第一預定轉換包括該發生在以一第二邏輯狀態發出該元件選擇信號之後的該時脈信號之第二下降邊緣，並且該時脈信號之第二後續的預定轉換係包括發生在該元件選擇信號以第二邏輯狀態的發出之後的該時脈信號的第十個下降邊緣。

7. 根據申請專利範圍第 1 項之方法，其中該元件係藉由以下之額外的步驟而被回復到正常的操作模式：

(d) 以該第二邏輯狀態發出該元件選擇信號；以及

(e) 在一個第二使用者控制的時間窗之內使得該元件選擇信號返回該第一邏輯狀態。

8. 根據申請專利範圍第 7 項之方法，其中該第二使用者控制的時間窗係藉由該時脈信號的至少十個下降邊緣來界定的。

9. 一種用於將一個具有一晶片選擇(CS)輸入以及一時脈(CLK)輸入的積體電路元件設置到一個所選的操作模式中之方法，該方法係包括步驟有：

(a) 控制該元件的 CS 輸入以將該 CS 輸入設置到一個最初閒置的邏輯狀態；

(b) 將該 CS 輸入設置到一個有效的邏輯狀態以選擇該元件；以及

(c) 在一個藉由該 CLK 信號的轉變所界定之第一使用者

控制的時間窗之內，使得該 CS 輸入返回該最初閒置的邏輯狀態以設置該積體電路元件至該所選的操作模式，

其中步驟(c)進一步包括使該 CS 輸入信號在該 CLK 輸入信號之一第一預定轉換之後，但在該 CLK 輸入信號之一第二後續的預定轉換之前返回該最初閒置的邏輯狀態，該等第一及第二後續的預定轉換二者發生在以該有效的邏輯狀態發出該 CS 輸入信號之後，並且該第一使用者控制的時間窗係按照發生在該 CLK 輸入信號之該等第一及第二後續的預定轉換之間的時脈週期數目量測。

10. 根據申請專利範圍第 9 項之方法，其中該最初閒置的邏輯狀態是一個高的邏輯狀態。

11. 根據申請專利範圍第 9 項之方法，其中該有效的邏輯狀態是一個邏輯低的狀態。

12. 根據申請專利範圍第 9 項之方法，其中該所選的操作模式是一個降低的功率消耗操作模式，並且該 CLK 輸入信號之該第一預定轉換係發生於 CS 被設置在一個有效的邏輯狀態中之後的該 CLK 信號的第二個下降邊緣，並且該 CLK 輸入信號之該第二後續的預定轉換係發生於 CS 是在該有效的邏輯狀態中之該 CLK 信號的後續的第十個下降邊緣。

13. 根據申請專利範圍第 9 項之方法，其中該元件係藉由以下之額外的步驟而被回復到正常的操作模式：

(d)將該 CS 輸入設置到該有效的邏輯狀態中以選擇該元件；以及

(e)在一個藉由該 CLK 信號的轉變所界定之第二使用者

控制的時間窗之內使得該 CS 輸入返回該最初閒置的邏輯狀態。

14. 根據申請專利範圍第 13 項之方法，其中該第二使用者控制的時間窗係藉由該 CLK 信號的至少十個下降邊緣所界定的。

15. 根據申請專利範圍第 1 項之方法，其中該所選的操作模式係一菊鏈操作模式，該串列時脈輸入信號之該第一預定轉換包括發生在以該第二邏輯狀態發出該元件選擇信號之後的該串列時脈輸入信號的第十個下降邊緣，並且該串列時脈輸入信號的該第二後續的預定轉換包括發生在以該第二邏輯狀態發出該元件選擇信號之後的該串列時脈輸入信號的第十三個下降邊緣。

16. 根據申請專利範圍第 1 項之方法，其中

該元件係一與其他積體電路元件互連之積體電路元件，使得一在前的積體電路元件之一信號輸出係耦接至一後續的積體電路元件之一信號輸入，並且該等積體電路元件分享共同的元件選擇及序列時脈輸入信號，

該所選的操作模式係一菊鏈操作模式，

該串列時脈輸入信號之該第一預定轉換包括發生在以該第二邏輯狀態發出該元件選擇信號之後的該串列時脈輸入信號的第十個下降邊緣，以及

該串列時脈輸入信號的該第二後續的預定轉換包括發生在以該第二邏輯狀態發出該元件選擇信號之後的該串列

時脈輸入信號的第十三個下降邊緣。

17. 根據申請專利範圍第 1 項之方法，其中該所選的操作模式係一對應至一參考電壓之完全的輸入電壓範圍，並且該串列時脈輸入信號之該第一預定轉換包括發生在以該第二邏輯狀態發出該元件選擇信號之後的該串列時脈輸入信號的第十一個下降邊緣，並且該串列時脈輸入信號的該第二後續的預定轉換包括發生在以該第二邏輯狀態發出該元件選擇信號之後的該串列時脈輸入信號的第十二個下降邊緣。

18. 根據申請專利範圍第 1 項之方法，其中該所選的操作模式係一對應於一兩倍參考電壓之完全的輸入電壓範圍，並且該串列時脈輸入信號之該第一預定轉換包括發生在以該第二邏輯狀態發出該元件選擇信號之後的該串列時脈輸入信號的第十二個下降邊緣，並且該串列時脈輸入信號的該第二後續的預定轉換包括發生在以該第二邏輯狀態發出該元件選擇信號之後的該串列時脈輸入信號的該第十三個下降邊緣。

19. 一種類比至數位轉換器，其具有對應至該類比輸入信號的一數位表示的一類比輸入信號及一數位輸出信號，該類比至數位轉換器包括：

一轉換子系統，其轉換該類比輸入信號至該數位輸出信號；

控制電路系統，其耦接至一元件選擇及一串列時脈輸

入信號，該控制電路系統包括：

用以偵測該元件選擇信號被初始化至一第一邏輯狀態，進入一第二邏輯狀態，及返回至該第一邏輯狀態的裝置；

用以回應偵測到該元件選擇信號在一第一使用者控制之時間窗內返回至該第一邏輯狀態以設置該類比至數位轉換器至一所選的操作模式之裝置，該第一使用者控制之時間窗發生在進入該第二邏輯狀態之後並且按照發生於該串列時脈輸入信號之一第一預定轉換及一第二後續的預定轉換之間的時脈週期數目量測。

20. 根據申請專利範圍第 19 項之類比至數位轉換器，其中該轉換子系統進一步包括：

一耦接至該類比輸入信號的追蹤與保持電路；以及
一耦接至該追蹤與保持電路的連續逼近 ADC。

21. 根據申請專利範圍第 19 項之類比至數位轉換器，進一步包括：

一耦接至該轉換子系統及該串列時脈輸入信號的資料多工器；以及
一耦接至該資料多工器的串列資料輸出。

22. 根據申請專利範圍第 19 項之類比至數位轉換器，進一步包括：

一範圍程式化子系統，其中該所選的操作模式係自複數個完全的輸入電壓範圍中選擇該類比至數位轉換器之一完全的輸入電壓範圍。

23. 根據申請專利範圍第 22 項之類比至數位轉換器，其中該所選的操作模式係一對應至一參考電壓的完全的輸入電壓範圍，並且該串列時脈輸入信號之一第一預定轉換包括發生在以該第二邏輯狀態發出該元件選擇信號之後的該串列時脈輸入信號的第十一個下降邊緣，並且該串列時脈輸入信號的該第二後續的預定轉換包括發生在以該第二邏輯狀態發出該元件選擇信號之後的該串列時脈輸入信號的第十二個下降邊緣。

24. 根據申請專利範圍第 22 項之類比至數位轉換器，其中該所選的操作模式係一對應至一兩倍參考電壓的完全的輸入電壓範圍，並且該串列時脈輸入信號之一第一預定轉換包括發生在以該第二邏輯狀態發出該元件選擇信號之後的該串列時脈輸入信號的第十二個下降邊，並且該串列時脈輸入信號的該第二後續的預定轉換包括發生在以該第二邏輯狀態發出該元件選擇信號之後的該串列時脈輸入信號的第十三個下降邊緣。

25. 根據申請專利範圍第 19 項之類比至數位轉換器，其中

該類比至數位轉換器係囊封在一與其他類似的積體電路元件互連的積體電路元件，使得一在前的積體電路元件的一信號輸出係耦接至一後續的積體電路元件的一信號輸入，並且該積體電路元件分享共同的元件選擇及序列時脈輸入信號，

該所選的操作模式係一菊鏈操作模式，

該串列時脈輸入信號之該第一預定轉換包括發生在以該第二邏輯狀態發出該元件選擇信號之後的該串列時脈輸入信號的第十個下降邊緣，並且

該串列時脈輸入信號的該第二後續的預定轉換包括該發生在以該第二邏輯狀態發出該元件選擇信號之後的該串列時脈輸入信號的第十三個下降邊緣。

26. 根據申請專利範圍第 25 項之類比至數位轉換器，其中該控制電路系統進一步包括在該串列時脈輸入信號的第十個及第十三個下降邊緣之間偵測到該元件選擇信號自該第二邏輯狀態轉換至該第一邏輯狀態而用以改變該所選的操作模式自該菊鏈操作模式至正常的操作模式之裝置。

27. 根據申請專利範圍第 19 項之類比至數位轉換器，其中該第一邏輯狀態係一閒置的邏輯狀態。

28. 根據申請專利範圍第 27 項之類比至數位轉換器，其中該閒置的邏輯狀態包括一 HIGH 邏輯狀態。

29. 根據申請專利範圍第 19 項之類比至數位轉換器，其中該第二邏輯狀態係一有效的邏輯狀態。

30. 根據申請專利範圍第 29 項之類比至數位轉換器，其中該有效的邏輯狀態包括一 LOW 邏輯狀態。

31. 根據申請專利範圍第 19 項之類比至數位轉換器，其中該所選的操作模式係一降低的功率消耗操作模式，並且該時脈信號的該第一預定轉換包括發生在以一第二邏輯狀態發出該元件選擇信號之後的該時脈信號的該第二下降

邊緣，並且該時脈信號的該第二後續的預定轉換包括發生在以該第二邏輯狀態發出該元件選擇信號之後的該時脈信號的該第十個下降邊緣。

32. 根據申請專利範圍第 19 項之類比至數位轉換器，其中該元件係藉由下列步驟回復至正常的操作模式：

以該第二邏輯狀態發出該元件選擇信號；並且

在一第二使用者控制之時間窗內使該元件選擇信號返回至該第一邏輯狀態，其中該第二使用者控制之時間窗係由該時脈信號的至少十個下降邊緣界定。

十一、圖式：

如次頁