



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월22일
(11) 등록번호 10-2068632
(24) 등록일자 2020년01월15일

(51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) C01G 15/00 (2006.01)
C01G 45/00 (2006.01) C01G 49/00 (2006.01)
C01G 51/00 (2006.01) C01G 53/00 (2006.01)
H01L 21/02 (2006.01) H01L 21/324 (2017.01)
H01L 27/12 (2006.01) H01L 29/786 (2006.01)

(52) CPC특허분류
H01L 29/66742 (2013.01)
C01G 15/006 (2013.01)

(21) 출원번호 10-2018-7028276(분할)

(22) 출원일자(국제) 2010년02월19일

심사청구일자 2018년10월01일

(85) 번역문제출일자 2018년10월01일

(65) 공개번호 10-2018-0110235

(43) 공개일자 2018년10월08일

(62) 원출원 특허 10-2017-7014207

원출원일자(국제) 2010년02월19일

심사청구일자 2017년05월25일

(86) 국제출원번호 PCT/JP2010/053015

(87) 국제공개번호 WO 2010/103935

국제공개일자 2010년09월16일

(30) 우선권주장

JP-P-2009-058929 2009년03월12일 일본(JP)

JP-P-2009-131059 2009년05월29일 일본(JP)

(56) 선행기술조사문헌

JP2005033172 A*

KR1020060123765 A*

US20050017302 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

오하라 히로끼

일본 243-0036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오파이 에네루기 켄큐쇼 내

사사끼 도시나리

일본 243-0036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인

장수길, 박충범, 이중희

전체 청구항 수 : 총 10 항

심사관 : 김중호

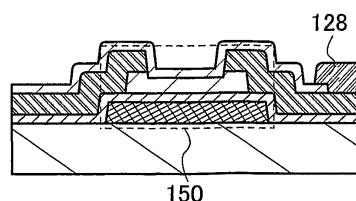
(54) 발명의 명칭 반도체 장치의 제작 방법

(57) 요약

본 발명의 목적은 특성이 좋은 반도체 소자를 포함하는 반도체 장치를 제공하는 것이다. 본 발명의 제작 방법은 기판 위에 게이트 전극으로서 기능하는 제1 도전층을 형성하는 공정과; 상기 제1 도전층을 덮도록 제1 절연층을 형성하는 공정과; 상기 제1 도전층과 일부가 중첩되도록 상기 제1 절연층 위에 반도체층을 형성하는 공정과; 상

(뒷면에 계속)

대표도 - 도2d



기 반도체층에 전기적으로 접속되도록 제2 도전층을 형성하는 공정과, 상기 반도체층 및 상기 제2 도전층을 덮도록 제2 절연층을 형성하는 공정과; 상기 제2 도전층에 전기적으로 접속되도록 제3 도전층을 형성하는 공정과; 상기 반도체층을 형성하는 공정 이후 그리고 상기 제2 절연층을 형성하는 공정 이전에 제1 열처리를 행하는 공정과; 상기 제2 절연층을 형성하는 공정 이후에 제2 열처리를 행하는 공정을 포함한다.

(52) CPC특허분류

C01G 45/006 (2013.01)

C01G 49/009 (2013.01)

C01G 51/006 (2013.01)

C01G 53/006 (2013.01)

H01L 21/02554 (2013.01)

H01L 21/02565 (2013.01)

H01L 21/324 (2013.01)

H01L 27/1225 (2013.01)

H01L 29/7869 (2013.01)

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

반도체 장치로서,

게이트 전극;

상기 게이트 전극 위의 제1 절연층;

상기 제1 절연층 위의 산화물 반도체층; 및

상기 산화물 반도체층 위의 제2 절연층

을 포함하고,

상기 제1 절연층은 제1 층 및 상기 제1 층 위의 제2 층을 포함하고,

상기 제1 층은 상기 게이트 전극과 접하고,

상기 제2 층은 상기 산화물 반도체층과 접하고,

상기 제1 층의 수소 농도는 상기 제2 층의 수소 농도보다 높고,

상기 산화물 반도체층의 수소 농도는 상기 제2 절연층의 수소 농도보다 높고,

상기 산화물 반도체층의 상기 수소 농도는 상기 제2 층의 상기 수소 농도보다 높은, 반도체 장치.

청구항 5

반도체 장치로서,

게이트 전극;

상기 게이트 전극 위의 제1 절연층;

상기 제1 절연층 위의 산화물 반도체층; 및

상기 산화물 반도체층 위의 제2 절연층

을 포함하고,

상기 제1 절연층은 제1 층 및 상기 제1 층 위의 제2 층을 포함하고,

상기 제1 층은 상기 게이트 전극과 접하고,

상기 제2 층은 상기 산화물 반도체층과 접하고,

상기 제1 층의 수소 농도는 상기 제2 층의 수소 농도보다 높고,

상기 산화물 반도체층의 수소 농도는 상기 제2 절연층의 수소 농도보다 높고,

상기 산화물 반도체층의 상기 수소 농도는 상기 제2 층의 상기 수소 농도보다 높고,
상기 제2 절연층은 산화 실리콘을 포함하는, 반도체 장치.

청구항 6

반도체 장치로서,
게이트 전극 및 제1 단자;
상기 게이트 전극 및 상기 제1 단자 위의 제1 절연층;
상기 제1 절연층 위의 소스 전극, 드레인 전극 및 접속 전극;
상기 제1 절연층 위의 산화물 반도체층; 및
상기 산화물 반도체층 위의 제2 절연층
을 포함하고,
상기 게이트 전극 및 상기 제1 단자는 제1 재료를 포함하고,
상기 소스 전극, 상기 드레인 전극 및 상기 접속 전극은 제2 재료를 포함하고,
상기 제1 단자는 상기 제1 절연층의 콘택트 홀을 통해 상기 접속 전극에 전기적으로 접속되고,
상기 제1 절연층은 제1 층 및 상기 제1 층 위의 제2 층을 포함하고,
상기 제1 층은 상기 게이트 전극과 접하고,
상기 제2 층은 상기 산화물 반도체층과 접하고,
상기 제1 층의 수소 농도는 상기 제2 층의 수소 농도보다 높고,
상기 산화물 반도체층의 수소 농도는 상기 제2 절연층의 수소 농도보다 높고,
상기 산화물 반도체층의 상기 수소 농도는 상기 제2 층의 상기 수소 농도보다 높고,
상기 제2 절연층은 산화 실리콘을 포함하는, 반도체 장치.

청구항 7

제6항에 있어서,
상기 소스 전극 및 상기 드레인 전극 각각은 상기 산화물 반도체층의 측면과 접하는, 반도체 장치.

청구항 8

제4항 내지 제6항 중 어느 한 항에 있어서,
상기 산화물 반도체층의 질소 농도는 상기 제2 절연층의 질소 농도보다 높은, 반도체 장치.

청구항 9

제4항 내지 제6항 중 어느 한 항에 있어서,
상기 산화물 반도체층의 질소 농도는 상기 제1 절연층의 질소 농도보다 높은, 반도체 장치.

청구항 10

제4항 내지 제6항 중 어느 한 항에 있어서,
상기 제1 절연층 및 상기 제2 절연층 중 적어도 하나의 수소 농도는 1×10^{21} atoms/cm³ 이하인, 반도체 장치.

청구항 11

제4항 내지 제6항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 인듐(In), 갈륨(Ga), 아연(Zn), 철(Fe), 니켈(Ni), 망간(Mn) 및 코발트(Co)로부터 선택된 적어도 하나의 원소를 포함하는, 반도체 장치.

청구항 12

제4항 내지 제6항 중 어느 한 항에 있어서,

상기 산화물 반도체층의 재료는 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$)로 표기되고,

M은 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn), 및 코발트(Co)로부터 선택된 하나 이상의 금속 원소를 나타내는, 반도체 장치.

청구항 13

제12항에 있어서,

$\text{InMO}_3(\text{ZnO})_m$ 의 M은 갈륨(Ga)을 나타내는, 반도체 장치.

발명의 설명

기술 분야

[0001] 기술 분야는 반도체 장치의 제작 방법에 관한 것이다.

배경 기술

[0002] 금속 산화물은 매우 다양하게 존재하고, 이러한 금속 산화물은 다양한 용도에 사용되고 있다. 산화인듐은 잘 알려진 재료이며, 액정 디스플레이 등에서 필요한 투명 전극 재료로서 사용된다.

[0003] 어떤 금속 산화물은 반도체 특성을 갖는다. 이러한 반도체 특성을 갖는 금속 산화물의 예로서는 산화텅스텐, 산화주석, 산화인듐, 산화아연 등이 있다. 이러한 반도체 특성을 갖는 금속 산화물을 사용하여 채널 형성 영역을 형성하는 박막 트랜지스터가 알려져 있다(예를 들어, 특허문헌 1 내지 4, 비특허문헌 1 참조).

[0004] 금속 산화물로서, 일원계 산화물뿐만 아니라 다원계 산화물도 알려져 있다. 예를 들어, 호몰로거스 화합물(homologous compound), $\text{InGaO}_3(\text{ZnO})_m$ (m 은 자연수)은 In, Ga 및 Zn을 포함하는 다원계 산화물로서 알려져 있다(예를 들어, 비특허문헌 2 내지 4 등 참조).

[0005] 또한, 상기와 같은 In-Ga-Zn계 산화물을 포함하는 산화물 반도체를 박막 트랜지스터의 채널층에 적용 가능한 것이 확인되어 있다(예를 들어, 특허문헌 5, 비특허문헌 5 및 6 등 참조).

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) [특허문헌 1] 일본 공개 특허 공보 소60-198861호
(특허문헌 0002) [특허문헌 2] 일본 공개 특허 공보 평8-264794호
(특허문헌 0003) [특허문헌 3] 일본 공개 특허 공보 평11-505377호
(특허문헌 0004) [특허문헌 4] 일본 공개 특허 공보 제2000-150900호
(특허문헌 0005) [특허문헌 5] 일본 공개 특허 공보 제2004-103957호

비특허문헌

[0007] (비특허문헌 0001)

[비특허문헌 1] M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor", Appl. Phys. Lett., 17 June 1996, Vol. 68, pp. 3650-3652.

[비특허문헌 2] M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350 °C", J. Solid State Chem., 1991, Vol. 93, pp. 298-315.

[비특허문헌 3] N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9$, and 16) in the In_2O_3 - ZnGa_2O_4 - ZnO System", J. Solid State Chem., 1995, Vol. 116, pp. 170-178.

[비특허문헌 4] M. Nakamura, N. Kimizuka, T. Mohri, and M. Isobe, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ($\text{InFeO}_3(\text{ZnO})_m$) (m : natural number) and related compounds", KOTAI BUTSURI (SOLID STATE PHYSICS), 1999, Vol. 28, No.5, pp. 317-327.

[비특허문헌 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", SCIENCE, 2003, Vol. 300, pp. 1269-1272.

[비특허문헌 6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", NATURE, 2004, Vol. 432, pp. 488-492.

발명의 내용

해결하려는 과제

[0008] 이와 같이, 산화물 반도체에 관한 연구는 광범위하게 행해지고 있다; 그러나, 그 복잡한 조성으로 인해, 산화물 반도체 자체의 특성은 해명되지 않았다. 이러한 사정 하에, 산화물 반도체를 사용한 반도체 소자가 양호한 특성을 갖게 할 수 있는 제작 조건은 발견되지 않았다는 것이 현 상황이다.

[0009] 상술한 문제점을 감안하여, 본 명세서 등(적어도 명세서, 특허청구범위 및 도면을 포함함)에 개시되는 본 발명의 실시 형태의 목적은 양호한 특성을 갖는 반도체 소자를 포함하는 반도체 장치를 제공하는 것이다.

과제의 해결 수단

[0010] 본 명세서 등에 개시되는 본 발명의 일 실시 형태에서는, 반도체층을 형성하는 공정 이후 그리고 반도체층 등을 덮는 절연층을 형성하는 공정 이전에 제1 열처리를 행하고; 반도체층 등을 덮는 절연층을 형성하는 공정 이후에

제2 열처리를 행한다.

[0011] 예를 들어, 본 명세서에 개시되는 본 발명의 일 실시 형태는 반도체 장치의 제작 방법으로서, 기판 위에 게이트 전극으로서 기능하는 제1 도전층을 형성하는 공정과; 상기 제1 도전층을 덮도록 제1 절연층을 형성하는 공정과; 상기 제1 도전층과 일부가 중첩되도록 상기 제1 절연층 위에 반도체층을 형성하는 공정과; 상기 반도체층에 전기적으로 접속되도록 제2 도전층을 형성하는 공정과; 상기 반도체층 및 상기 제2 도전층을 덮도록 제2 절연층을 형성하는 공정과; 상기 제2 도전층에 전기적으로 접속되도록 제3 도전층을 형성하는 공정과; 상기 반도체층을 형성하는 공정 이후 그리고 상기 제2 절연층을 형성하는 공정 이전에 제1 열처리를 행하는 공정과; 상기 제2 절연층을 형성하는 공정 이후에 제2 열처리를 행하는 공정을 포함한다.

[0012] 또한, 상술한 반도체층으로서, 인듐, 갈륨 및 아연을 포함하는 산화물 반도체층을 형성하는 것이 바람직하다. 또한, 반도체층 중의 수소 농도는 제2 절연층 중의 수소 농도보다 높고, 반도체층 중의 질소 농도는 제2 절연층 중의 질소 농도보다 높은 것이 바람직하다. 제2 절연층 중의 수소 농도는 1×10^{21} atoms/cm³ 이하(바람직하게는, 5×10^{20} atoms/cm³ 이하)일 수 있고, 제2 절연층 중의 질소 농도는 1×10^{19} atoms/cm³ 이하일 수 있다.

[0013] 상기 구조에서, 반도체층과 제2 도전층의 위치 관계, 형성 순서 등은 특별히 한정되지 않는다. 예를 들어, 반도체층의 제2 절연층 측의 표면에서 반도체층과 제2 도전층이 전기적으로 접속되도록, 반도체층 및 제2 도전층을 형성할 수 있다. 대안적으로, 반도체층의 제1 절연층 측의 표면에서 반도체층과 제2 도전층이 전기적으로 접속되도록, 반도체층 및 제2 도전층을 형성할 수 있다. 또한, 대안적으로, 제2 도전층이 적층 구조를 갖는 경우에는, 제2 도전층의 층들 사이에 반도체층을 개재한 구성을 채용할 수 있다.

[0014] 또한, 상기 구조에서, 열처리 공정 및 다른 공정의 타이밍은 변경에 의해 모순을 발생하지 않는다면 적절히 변경될 수 있다. 예를 들어, 제1 열처리 공정은 제2 도전층을 형성하는 공정 이후 그리고 제2 절연층을 형성하는 공정 이전에 행해질 수 있다. 대안적으로, 제2 열처리 공정은 제3 도전층을 형성하는 공정 이후에 행해질 수 있다.

[0015] 상기 구조에서, 제1 열처리 공정의 열 처리 온도 및 제2 열처리 공정의 열 처리 온도는 400℃ 이하인 것이 바람직하다.

[0016] 또한, 본 명세서 등에서, 반도체 장치는 반도체 특성을 이용함으로써 기능할 수 있는 임의의 장치를 의미하고; 표시 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치에 포함된다.

발명의 효과

[0017] 개시되는 본 발명의 일 실시 형태에서는, 반도체층을 형성하는 공정 이후 그리고 반도체층 등을 덮는 절연층을 형성하는 공정 이전에 제1 열처리를 행하고; 반도체층 등을 덮는 절연층을 형성하는 공정 이후에 제2 열처리를 행한다. 이에 의해, 특성이 좋은 반도체 소자를 포함하는 반도체 장치를 제공할 수 있다.

[0018] 상술된 효과는 이하와 같은 경우에 특히 개진된다: 반도체층으로서, 인듐, 갈륨 및 아연을 포함하는 산화물 반도체층을 사용하는 경우; 반도체층 중의 수소 농도가 제2 절연층 중의 수소 농도보다 높은 경우; 반도체층 중의 질소 농도가 제2 절연층 중의 질소 농도보다 높은 경우.

[0019] 상술한 바와 같이, 개시되는 본 발명의 일 실시 형태에 의해, 특성이 좋은 반도체 소자를 포함하는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0020] 도 1a 내지 도 1e는 반도체 장치에 포함되는 반도체 소자의 제작 방법에 대해 설명하는 단면도이다.

도 2a 내지 도 2d는 반도체 장치에 포함되는 반도체 소자의 제작 방법에 대해 설명하는 단면도이다.

도 3a 내지 도 3e는 반도체 장치에 포함되는 반도체 소자의 제작 방법에 대해 설명하는 단면도이다.

도 4a 내지 도 4d는 반도체 장치에 포함되는 반도체 소자의 제작 방법에 대해 설명하는 단면도이다.

도 5a 내지 도 5c는 반도체 장치의 제작 방법을 설명하는 단면도이다.

도 6a 내지 도 6c는 반도체 장치의 제작 방법을 설명하는 단면도이다.

도 7은 반도체 장치의 평면도이다.

도 8aa, 도 8ab 및 도 8b는 반도체 장치를 설명하는 도면이다.

도 9는 반도체 장치를 설명하는 도면이다.

도 10은 반도체 장치를 설명하는 도면이다.

도 11a 내지 도 11c는 각각 반도체 장치를 설명하는 도면이다.

도 12a 및 도 12b는 반도체 장치를 설명하는 도면이다.

도 13a 및 도 13b는 전자 페이퍼의 사용 패턴의 예를 설명하는 도면이다.

도 14는 전자 서적 판독기의 일 예를 나타내는 외관도이다.

도 15a는 텔레비전 장치의 예를 나타내는 외관도이고, 도 15b는 디지털 포토 프레임의 예를 나타내는 외관도이다.

도 16a 및 도 16b는 오락기의 예를 나타내는 외관도이다.

도 17a 및 도 17b는 휴대 전화기의 예를 나타내는 외관도이다.

도 18은 반도체층 및 절연층 중에서의 수소 농도 및 질소 농도에 대해 도시하는 도면이다.

도 19는 절연층 중에서의 수소 농도 및 질소 농도의 분석 결과에 대해 도시하는 도면이다.

도 20a 및 도 20b는 트랜지스터의 전류-전압 특성을 도시하는 그래프이다.

도 21a 및 도 21b는 트랜지스터의 전류-전압 특성을 도시하는 그래프이다.

도 22a 및 도 22b는 트랜지스터의 전류-전압 특성을 도시하는 그래프이다.

도 23은 트랜지스터의 전류-전압 특성을 도시하는 그래프이다.

도 24는 트랜지스터의 전류-전압 특성을 도시하는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0021] 이하에서는, 실시 형태에 대해서 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 실시 형태의 기재 내용에 한정되지 않고, 본 명세서 등에 개시되는 본 발명의 취지로부터 이탈하지 않고 형태 및 상세를 다양하게 변경할 수 있다 것은 당업자에게 자명하다. 다른 실시 형태의 구성은 적절히 조합해서 구현될 수 있다. 도면을 참조한 본 발명의 설명 부분에서, 동일 부분을 나타내는 참조 부호가 상이한 도면에 걸쳐 공통으로 사용되며, 반복된 설명은 생략한다. 또한, 본 명세서에서 반도체 장치는 반도체 특성을 이용하여 동작하는 장치 전반을 가리킨다.

[0022] [실시 형태 1]

[0023] 본 실시 형태에서는, 반도체 장치에 사용되는 반도체 소자의 제작 방법의 일례에 대해서 도면을 참조하여 설명한다.

[0024] 우선, 기판(100) 위에 도전층(102)을 형성한다(도 1a 참조).

[0025] 기판(100)으로서는 절연 표면을 갖는 기판이라면, 임의의 기판이 사용될 수 있는데, 예를 들어, 유리 기판이 있다. 유리 기판은 무-알칼리 유리 기판인 것이 바람직하다. 무-알칼리 유리 기판의 재료로서, 예를 들어 알루미노실리케이트 유리, 알루미노붕규산 유리, 바륨 붕규산 유리 등의 유리 재료가 사용된다. 그 밖에, 기판(100)으로서, 세라믹 기판, 석영 기판, 또는 사파이어 기판 등의 절연체로 형성되는 절연성 기판, 실리콘 등의 반도체 재료로 형성되는 반도체 기판 위에 절연 재료가 피복된 것, 금속 또는 스테인리스 등의 도전 재료로 형성되는 도전성 기판 위에 절연 재료가 피복된 것을 사용할 수 있다. 제작 공정의 열처리를 견딜 수 있는 것이라면, 플라스틱 기판을 사용할 수도 있다.

[0026] 도전층(102)은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 텅스텐(W), 또는 티타늄(Ti) 등의 도전성 재료로 형성되는 것이 바람직하다. 형성 방법으로서는, 스퍼터링법, 진공 증착법, CVD법 등이 있다. 도전층(102)에 알루미늄(또는 구리)을 사용하는 경우, 알루미늄 자체(또는 구리 자체)가 내열성이 낮고 부식하기 쉬운 등의 문제점을

갖기 때문에, 내열성을 갖는 도전성 재료와 조합해서 형성되는 것이 바람직하다.

- [0027] 내열성을 갖는 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 원소를 포함하는 금속, 이들 원소 중 임의의 것을 성분으로 포함하는 합금, 이들 원소 중 임의의 것의 조합을 포함하는 합금, 이들 원소 중 임의의 것을 성분으로 포함하는 질화물 등을 사용할 수 있다. 내열성을 갖는 도전성 재료와 알루미늄(또는 구리)을 적층시켜 도전층(102)을 형성하면 좋다.
- [0028] 도면에 도시하지 않지만, 기판(100)에는 하지층(base layer)을 설치해도 좋다. 하지층은 기판(100)으로부터의 알칼리 금속(Li, Cs, Na 등), 알칼리 토금속(Ca, Mg 등) 등의 불순물의 확산을 방지하는 기능을 갖는다. 즉, 하지층을 설치하는 것에 의해, 반도체 장치의 신뢰성 향상을 구현할 수 있다. 하지층은 질화 실리콘, 산화 실리콘 등의 각종 절연 재료를 사용하여 단층 구조 또는 적층 구조를 갖도록 형성되면 좋다. 구체적으로는, 예를 들어 기판(100) 위에 질화 실리콘과 산화 실리콘을 순서대로 적층한 구성이 적합하다. 이는 질화 실리콘이 불순물에 대한 블로킹(blocking) 효과가 높기 때문이다. 동시에, 질화 실리콘이 반도체와 접하는 경우에는, 반도체 소자에 문제가 발생할 가능성도 있으므로, 반도체와 접하는 재료로서는, 산화 실리콘을 적용하는 것이 바람직하다.
- [0029] 이어서, 도전층(102) 위에 선택적으로 레지스트 마스크(104)를 형성하고, 레지스트 마스크(104)를 사용해서 도전층(102)을 선택적으로 에칭함으로써, 게이트 전극으로서 기능하는 도전층(106)을 형성한다(도 1b 참조).
- [0030] 레지스트 마스크(104)는 레지스트 재료의 도포, 포토마스크를 사용한 노광, 및 현상 등의 공정을 통해 형성된다. 레지스트 재료의 도포를 위해, 스핀 코팅법 등의 방법을 채용할 수 있다. 대신에, 레지스트 마스크(104)는 액적 토출법, 스크린 인쇄법 등을 사용해서 선택적으로 형성되어도 좋다. 이 경우, 포토마스크를 사용한 노광, 현상 등의 공정이 불필요해지므로, 생산성 향상을 달성하는 것이 가능하다. 또한, 레지스트 마스크(104)는 도전층(102)의 에칭에 의해 도전층(106)이 형성된 후에 제거된다.
- [0031] 레지스트 마스크(104)는 다-계조(multi-tone) 마스크를 사용해서 형성해도 좋다. 여기서, 다-계조 마스크는 다 단계의 광량으로 노광을 행하는 것이 가능한 마스크이다. 다-계조 마스크를 사용함으로써, 일 회 노광 및 현상 공정에 의해, 복수의 두께(통상적으로는, 2종류의 두께)의 레지스트 마스크를 형성할 수 있다. 다-계조 마스크를 사용함으로써, 공정수를 억제할 수 있다.
- [0032] 상술한 에칭으로서, 건식 에칭을 사용해도 좋고, 또는 습식 에칭을 사용해도 좋다. 후에 형성되는 게이트 절연층 등의 피복성을 향상시키고, 절단(disconnection)을 방지하기 위해서, 도전층(106)의 단부가 테이퍼 형상으로 되도록 에칭하는 것이 바람직하다. 예를 들어, 테이퍼 각 20° 이상 및 90° 미만으로 단부를 테이퍼 형상으로 하는 것이 바람직하다. 여기서, "테이퍼 각"은 테이퍼 형상을 갖는 층을 단면 방향으로부터 관찰했을 때 당해 층의 측면이 저면에 대해 테이퍼링되어 형성된 각을 의미한다.
- [0033] 이어서, 도전층(106)을 덮도록, 게이트 절연층으로서 기능하는 절연층(108)을 형성한다(도 1c 참조). 절연층(108)은 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 또는 산화 탄탈 등의 재료를 사용해서 형성될 수 있다. 절연층(108)은 이들 재료로 형성되는 막을 적층시켜 형성해도 좋다. 이들 막은 스퍼터링법 등을 사용해서 두께가 5nm 이상 250nm 이하로 되도록 형성하면 바람직하다. 예를 들어, 절연층(108)으로서, 스퍼터링법을 사용하여 산화 실리콘막을 100nm의 두께로 형성할 수 있다. 소정의 절연층(108)이 얻어질 수 있다면, 절연층(108) 형성 방법에 대해서는 특별히 한정되지 않지만, 다른 방법(CVD법 등)을 사용해서 절연층(108)을 형성하는 경우에는, 막 중의 수소, 질소 등의 영향을 고려할 필요가 있다. 예를 들어, 절연층 중의 수소 농도 및 질소 농도가, 후에 형성되는 반도체층 중의 것보다 낮도록 절연층(108)을 형성한다. 보다 구체적으로는, 절연층(108) 중의 수소 농도가 1×10^{21} atoms/cm³ 이하(바람직하게는, 5×10^{20} atoms/cm³ 이하); 절연층(108) 중의 질소의 농도가 1×10^{19} atoms/cm³ 이하로 하면 좋다. 또한, 양호한 특성을 갖는 절연층(108)을 얻기 위해서는, 성막 온도를 400℃ 이하로 하는 것이 바람직하지만; 개시된 발명의 일 실시 형태가 이것에 한정되는 것은 아니다. 또한, 상술된 농도는 절연층(108) 중의 평균값을 나타낸다.
- [0034] 대안적으로, 스퍼터링법과 CVD법(플라즈마 CVD법 등)을 조합하여, 적층 구조의 절연층(108)을 형성해도 좋다. 예를 들어, 절연층(108)의 하층(도전층(106)과 접하는 영역)을 플라즈마 CVD법에 의해 형성하고, 절연층(108)의 상층을 스퍼터링법에 의해 형성할 수 있다. 플라즈마 CVD법에 의해 단차 피복성이 좋은 막을 형성하는 것이 용이하기 때문에, 이는 도전층(106)의 바로 위에 막을 형성하는 방법으로서 적합하다. 스퍼터링법을 사용하는 경우에는, 플라즈마 CVD법을 사용하는 경우에 비해 막중의 수소 농도를 저감하는 것이 용이하기 때문에, 스퍼터링법에 의한 막을 반도체층과 접하는 영역에 설치함으로써, 절연층(108) 중의 수소가 반도체층중에 확산하는 것을

방지할 수 있다. 구체적으로, 산화물 반도체 재료를 사용해서 반도체층을 형성하는 경우에는, 수소가 특성에 큰 영향을 주는 것으로 생각되기 때문에, 이와 같은 구성을 채용하는 것은 효과적이다.

[0035] 또한, 본 명세서 등에서, 산화 질화물은 질소(원자수)보다 산소(원자수)를 더 많이 함유하는 물질을 나타낸다. 예를 들어 산화 질화 실리콘은 산소, 질소, 실리콘 및 수소를 50 원자% 내지 70 원자%, 0.5 원자% 내지 15 원자%, 25 원자% 내지 35 원자%, 및 0.1 원자% 내지 10 원자%의 범위로 각각 포함하는 물질이다. 또한, 질화 산화물은 산소(원자수)보다 질소(원자수)를 더 많이 함유하는 물질을 나타낸다. 예를 들어, 질화 산화 실리콘은 산소, 질소, 실리콘 및 수소를 5 원자% 내지 30 원자%, 20 원자% 내지 55 원자%, 25 원자% 내지 35 원자% 및 10 원자% 내지 25 원자%의 범위로 각각 포함하는 물질이다. 단, 산소, 질소, 실리콘 및 수소의 비율은 러더포드 후방 산란법(RBS) 또는 수소 전방 산란법(HFS)을 사용하여 측정된 경우에 상기 범위 내에 있다. 또한, 구성 원소의 함유 비율의 합계는 100 원자%를 초과하지 않는다.

[0036] 이어서, 절연층(108)을 덮도록 반도체층(110)을 형성한다(도 1d 참조). 본 실시 형태에서는, 반도체층(110)은 산화물 반도체 재료(금속 산화물 반도체 재료)를 포함한다. 또한, 개시하는 발명의 일 실시 형태는 다른 반도체 재료를 사용하는 경우에도 적용할 수 있다. 반도체층(110)은, 예를 들어, 단결정 실리콘, 다결정 실리콘 또는 비정질 실리콘 등의 실리콘계 반도체 재료, 게르마늄계의 반도체 재료 등을 사용하여 형성해도 좋다. 대안적으로, 실리콘 게르마늄, 실리콘 카바이드, 갈륨 비소, 또는 인듐 인 등의 화합물 반도체 재료를 사용해도 좋다.

[0037] 상기 산화물 반도체 재료의 일례로서는, $\text{InMO}_3(\text{ZnO})_m$ ($m>0$)로 표기되는 것이 있다. 여기서, M은 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn), 및 코발트(Co) 등으로부터 선택된 하나 이상의 금속 원소를 나타낸다. 예를 들어, M으로서 Ga가 선택되는 경우는 Ga만 사용되는 경우뿐만 아니라, Ga와 Ni의 조합, 또는 Ga와 Fe의 조합 등의, Ga 이외의 상기 금속 원소가 선택되는 경우를 포함한다. 또한, 상기 산화물 반도체에서는, 소정의 경우, M으로서 포함되는 금속 원소 이외에, 불순물 원소로서 Fe 또는 Ni 등의 전이 금속 원소 또는 상기 전이 금속의 산화물이 포함되어 있다. 물론, 산화물 반도체 재료는 상기의 재료에 한정되지 않고, 산화 아연 또는 산화 인듐 등의 각종 산화물 반도체 재료를 사용할 수 있다.

[0038] 산화물 반도체 재료로서 In-Ga-Zn계 재료를 사용해서 반도체층(110)을 형성하는 경우에는, 예를 들어, In, Ga, 및 Zn을 포함하는 산화물 반도체 타깃($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$)을 사용한 스퍼터링법이 채용될 수 있다. 상기 스퍼터링은 예를 들어 이하의 조건 하에서 행해질 수 있다; 기판(100)과 타깃 사이의 거리를 30mm 내지 500mm; 압력을 0.1Pa 내지 2.0Pa; 직류(DC) 전원을 0.25kW 내지 5.0kW; 온도를 20℃ 내지 100℃; 분위기를 아르곤 등의 희가스 분위기, 산소 분위기, 또는 아르곤 등의 희가스와 산소의 혼합 분위기. 상기의 스퍼터링법으로서, 스퍼터링용 전원에 고주파 전원을 사용하는 RF 스퍼터링법, 직류 전원을 사용하는 DC 스퍼터링법, 펄스식으로 직류 바이어스를 인가하는 펄스 DC 스퍼터링법 등을 사용할 수 있다.

[0039] 본 실시 형태에서는, 반도체층(110)이 단층 구조를 갖도록 형성되는 경우에 대해서 설명하지만; 반도체층(110)은 적층 구조를 가질 수도 있다. 예를 들어, 상기 구조 대신에, 절연층(108) 위에, 반도체층(110)과 동일한 조성을 갖는 반도체층(이하, "통상의 도전성을 갖는 반도체층"이라 칭함)을 형성하고, 그 후, 반도체층(110)과 유사한 구성 원소를 갖고 반도체층(110)과 다른 구성 비율을 갖는 반도체층(이하, "도전성이 높은 반도체층"이라 칭함)을 형성한다. 이 경우, 도전성이 높은 반도체층을 소스 전극(또는 드레인 전극)과, 통상의 도전성을 갖는 반도체층 사이에 설치하므로, 소자 특성이 향상될 수 있다.

[0040] 통상의 도전성을 갖는 반도체층과, 도전성이 높은 반도체층은 성막 조건을 상이하게 하여 형성될 수 있다. 이 경우, 도전성이 높은 반도체층의 성막 조건에서의 아르곤 가스에 대한 산소 가스의 유량을, 통상의 도전성을 갖는 반도체층의 성막 조건에서의 경우보다 작게 하는 것이 바람직하다. 보다 구체적으로는, 도전성이 높은 반도체층은 희가스(아르곤 또는 헬륨 등) 분위기에서 또는 산소 가스 10% 이하 및 희가스 90% 이상을 포함하는 분위기에서 형성된다. 통상의 도전성을 갖는 반도체층은 산소 분위기에서 또는 희가스에 대한 산소 가스의 유량비가 1 이상인 분위기에서 형성된다. 이렇게 함으로써, 도전성이 다른 2종류의 반도체층을 형성할 수 있다.

[0041] 또한, 플라즈마 처리를 행한 후, 대기에 노출되지 않고 반도체층(110)을 형성하는 경우에는, 절연층(108)과 반도체층(110) 사이의 계면에 먼지 또는 수분이 부착되는 것을 억제할 수 있다.

[0042] 또한, 반도체층(110)의 두께는 약 5nm 내지 200nm일 수 있다.

[0043] 이어서, 반도체층(110) 위에 선택적으로 레지스트 마스크(112)를 형성하고, 레지스트 마스크(112)를 사용해서

반도체층(110)을 선택적으로 에칭함으로써, 반도체층(114)을 형성한다(도 1e 참조). 여기서, 레지스트 마스크(112)는 레지스트 마스크(104)와 마찬가지로 방법으로 형성될 수 있다. 또한, 레지스트 마스크(112)는 반도체층(110)의 에칭에 의해 반도체층(114)이 형성된 후에 제거된다.

- [0044] 반도체층(110)의 에칭에 사용되는 에칭 방법으로서 습식 에칭 또는 건식 에칭을 사용할 수 있다. 여기에서는, 아세트산, 질산, 및 인산의 혼합액을 사용한 습식 에칭에 의해 반도체층(110)의 불필요한 부분을 제거하여, 반도체층(114)을 형성한다. 또한, 상기의 습식 에칭에 사용되는 에천트(에칭액)는 반도체층(110)을 에칭할 수 있는 임의의 액일 수 있고, 상술한 액에 한정되지 않는다.
- [0045] 건식 에칭을 행하는 경우, 예를 들어 염소를 포함하는 가스 또는 염소를 포함하는 가스에 산소가 첨가된 가스를 사용하면 좋다. 이는 염소를 포함하는 가스를 사용함으로써, 도전층 또는 하지층에 대한 반도체층(110)의 에칭 선택비(selectivity)가 용이하게 얻어질 수 있기 때문이다.
- [0046] 건식 에칭에 사용되는 에칭 장치로서, 반응성 이온 에칭법(RIE법)을 사용하는 에칭 장치, 또는 ECR(electron cyclotron resonance)이나 ICP(inductively coupled plasma) 등의 고밀도 플라스마원을 사용하는 건식 에칭 장치를 사용할 수 있다. ICP 에칭 장치에 비해 넓은 면적에 걸쳐 균일한 방전이 얻어질 수 있는 ECCP(enhanced capacitively coupled plasma) 모드 에칭 장치를 사용해도 좋다. 이 ECCP 모드 에칭 장치는 제10 세대 이후의 기판을 사용하는 경우에도 사용될 수 있다.
- [0047] 이어서, 절연층(108) 및 반도체층(114)을 덮도록 도전층(116)을 형성한다(도 2a 참조). 도전층(116)은 도전층(102)과 유사한 재료 및 방법에 의해 형성될 수 있다. 예를 들어, 도전층(116)은 몰리브덴막 또는 티타늄막의 단층 구조를 갖도록 형성될 수 있다. 대안적으로, 도전층(116)은 적층 구조를 갖도록 형성될 수 있고, 예를 들어 알루미늄막과 티타늄막의 적층 구조를 가질 수 있다. 티타늄막과, 알루미늄막과, 티타늄막을 순서대로 적층한 3층 구조를 채용할 수 있다. 몰리브덴막과, 알루미늄막과, 몰리브덴막을 순서대로 적층한 3층 구조를 채용할 수 있다. 또한, 이들의 적층 구조에 사용되는 알루미늄막으로서, 네오디뮴을 포함하는 알루미늄막(Al-Nd 막)을 사용해도 좋다. 또한, 대안적으로, 도전층(116)은 실리콘을 포함하는 알루미늄막의 단층 구조를 가질 수도 있다.
- [0048] 이어서, 도전층(116) 위에 선택적으로 레지스트 마스크(118) 및 레지스트 마스크(120)를 형성하고, 레지스트 마스크를 사용해서 도전층(116)을 선택적으로 에칭함으로써, 소스 및 드레인 전극 중 한쪽으로서 기능하는 도전층(122) 및 소스 및 드레인 전극 중 다른 쪽으로서 기능하는 도전층(124)을 형성한다(도 2b 참조). 여기서, 레지스트 마스크(118, 120)는 레지스트 마스크(104)와 마찬가지로 형성할 수 있다. 또한, 레지스트 마스크(118, 120)는 도전층(116)의 에칭에 의해 도전층(122, 124)이 형성된 후에 제거된다.
- [0049] 도전층(116)의 에칭을 위한 방법으로서 습식 에칭 또는 건식 에칭을 사용할 수 있다. 여기에서는, 건식 에칭에 의해 도전층(116)의 불필요한 부분을 제거하고, 도전층(122, 124)을 형성한다.
- [0050] 또한, 본 실시 형태에서는, 도전층(116)의 에칭 시에 반도체층(114)의 일부가 제거되는 구성(채널 에치형)이 채용되지만, 개시하는 발명의 일 실시 형태는 이것에 한정되지 않는다. 대신에, 에칭의 진행을 방지하는 층(에치 스톱퍼)을 반도체층(114)과 도전층(116) 사이에 형성하고, 반도체층(114)이 에칭되지 않는 다른 구성(에치 스톱형)이 채용될 수 있다.
- [0051] 도전층(122, 124)을 형성한 후, 100℃ 내지 500℃, 통상적으로는 200℃ 내지 400℃에서 열처리를 행한다. 열처리가 행해지는 분위기는 예를 들어 대기 분위기, 질소 분위기, 산소 분위기, 수증기를 포함하는 분위기 등일 수 있다. 또한, 열처리 시간은 약 0.1 내지 5시간일 수 있다. 여기에서는, 대기 분위기에서 350℃에서 1시간 동안의 열처리를 행한다. 또한, 열처리의 타이밍은 반도체층(110)을 형성한 후, 중간 절연층으로 기능하는 절연층을 형성하기 전이라면 특별히 한정되지 않는다. 예를 들어, 반도체층(110)을 형성한 직후에 열처리를 행해도 좋다. 대안적으로, 반도체층(114)을 형성한 직후 또는 도전층(116)을 형성한 직후에 열처리를 행해도 좋다. 열처리(제1 열처리)와 이후의 열처리(제2 열처리)를 행함으로써, 반도체 소자의 특성을 비약적으로 향상시킬 수 있고, 특성 편차를 저감시킬 수 있다.
- [0052] 또한, 상술된 열처리를 400℃ 이하에서 행하여, 게이트 절연층으로서 기능하는 절연층(108)의 특성을 변화(열화)시키지 않는 것이 바람직하다. 물론, 개시하는 발명의 일 실시 형태가 한정적인 것으로 해석되어서는 안 된다.
- [0053] 이어서, 도전층(122), 도전층(124), 반도체층(114) 등을 덮도록 절연층(126)을 형성한다(도 2c 참조). 여기서, 절연층(126)은 소위 층간 절연층으로서 기능한다. 절연층(126)은 산화 실리콘, 산화 알루미늄, 또는 산화 탄탈

등의 재료를 사용해서 형성할 수 있다. 또한, 절연층(126)은 이들 재료로 형성되는 막을 적층시켜 형성해도 좋다.

[0054] 절연층(126)은 반도체층(114)에 근접해서 형성되기 때문에, 절연층(126)의 조성은 소정의 조건을 충족하는 것이 바람직하다. 구체적으로는, 예를 들어 절연층(126) 중의 수소 농도는 반도체층(114)(또는 반도체층(110)) 중의 수소 농도보다 낮은 것이 바람직하다(즉, 반도체층(114) 중의 수소 농도는 절연층(126) 중의 수소 농도보다 높은 것이 바람직하다). 또한, 절연층(126) 중의 질소 농도는 반도체층(114)(또는 반도체층(110)) 중의 질소 농도보다 낮은 것이 바람직하다(즉, 반도체층(114) 중의 질소 농도는 절연층(126) 중의 질소 농도보다 높은 것이 바람직하다). 이는 절연층(126) 중의 수소 농도(또는 질소 농도)를 반도체층(114) 중의 수소 농도(또는 질소 농도)보다 낮게 함으로써, 절연층(126)으로부터 반도체층(114) 내로의 수소(또는 질소)의 확산에 의한 소자 특성의 열화를 억제할 수 있는 것으로 생각되기 때문이다.

[0055] 반도체층(114)의 형성 조건에 따르지만, 예를 들어 절연층(126) 중의 수소 농도가 1×10^{21} atoms/cm³ 이하(바람직하게는, 5×10^{20} atoms/cm³ 이하)이면, 상술한 조건을 만족한다. 유사하게, 절연층(126) 중의 질소의 농도가 1×10^{19} atoms/cm³ 이하이면 상술한 조건을 만족한다. 또한, 상기 농도는 절연층(126) 중에서의 평균값을 나타내고 있다.

[0056] 상술한 조건을 만족하는 절연층(126)의 보다 구체적인 일례로서, 스퍼터링법에 의해 형성된 산화 실리콘막을 들 수 있다. 이는 스퍼터링법을 사용하는 경우, CVD법을 사용하는 경우에 비해 막중의 수소 농도의 저감이 용이해지기 때문이다. 물론, 상술한 조건을 만족하는 것이라면, CVD법을 포함하는 임의의 다른 방법을 채용할 수 있다. 절연층(126)에 대한 다른 조건에 대해서는 특별히 한정되지 않는다. 예를 들어, 절연층(126)의 두께는 실현 가능한 범위 내라면 다양할 수 있다.

[0057] 그 후, 각종 전극 및 배선을 형성함으로써, 트랜지스터(150)를 구비하는 반도체 장치가 완성된다(도 2d 참조). 본 실시 형태에서는, 표시 장치의 화소 전극으로서 기능하는 도전층(128)을 형성하는 통상적인 예에 대해서 나타낸다(도 2d 참조). 그러나, 개시하는 발명의 일 실시 형태는 이에 한정되지 않는다.

[0058] 도전층(128)을 형성한 후, 100℃ 내지 500℃, 전형적으로는 200℃ 내지 400℃에서 열처리를 행한다. 열처리가 행해지는 분위기는, 예를 들어 대기 분위기, 질소 분위기, 산소 분위기, 수증기를 포함하는 분위기 등일 수 있다. 또한, 열처리 시간은 약 0.1 내지 5 시간일 수 있다. 여기에서는, 대기 분위기에서 350℃에서 1시간 동안 열처리를 행한다. 또한, 열처리의 타이밍은 절연층(126)을 형성한 후이라면 특별히 한정되지 않는다. 예를 들어, 절연층(126)을 형성한 직후에 상기 열처리를 행해도 좋다. 대안적으로, 다른 절연층, 도전층 등을 형성한 후에 상기 열처리를 행해도 좋다. 열처리(제2 열처리)와 선행 열처리(제1 열처리)를 행함으로써, 반도체 소자의 특성을 비약적으로 향상시킬 수 있고, 특성 편차를 저감시킬 수 있다.

[0059] 또한, 제2 열처리의 효과는 상술한 것에 한정되지 않는다. 예를 들어, 제2 열처리는 절연층(126)의 결함을 수복하는(repairing) 유리한 효과도 제공한다. 절연층(126)은 비교적 저온에서 형성되기 때문에, 막 중에는 결함이 존재한다. 절연층(126)을 그대로 사용한 경우에는, 소자 특성에 악영향을 미칠 수 있다. 이러한 절연층(126) 중의 결함을 수복한다고 관점에서, 상술한 열처리는 중요한 역할을 한다고 말할 수 있다.

[0060] 또한, 열처리를 400℃ 이하에서 행하여, 게이트 절연층으로서 기능하는 절연층(108)의 특성을 변화(열화)시키지 않는 것이 적합하다. 물론, 개시하는 발명의 일 실시 형태가 이것에 한정되는 것으로 해석되어서는 안 된다.

[0061] 본 실시 형태에 나타난 바와 같이, 이하의 열처리 모두를 행함으로써 우수한 특성을 갖는 반도체 소자를 제공할 수 있다: 반도체층(110)을 형성하는 공정 이후 절연층(126)을 형성하는 공정 이전의 열처리; 및 절연층(126)을 형성하는 공정의 이후의 열처리. 이에 의해, 우수한 특성을 갖는 반도체 소자를 포함하는 반도체 장치를 제공할 수 있다.

[0062] [실시 형태 2]

[0063] 본 실시 형태에서는, 반도체 장치에 사용되는 반도체 소자의 제작 방법에 대해서, 상기 실시 형태와 다른 일례에 대해 도면을 참조하여 설명한다. 또한, 본 실시 형태에서의 반도체 장치의 제작 방법의 많은 부분은 실시 형태 1과 동일하다. 따라서, 이하의 설명에서는, 동일한 부분의 반복 설명은 생략하고, 상이한 점에 대해서 상세하게 설명한다.

[0064] 우선, 기판(200) 위에 도전층(202)을 형성한다(도 3a 참조). 기판(200), 도전층(202) 등의 상세에 대해서는 이

전의 실시 형태(도 1a를 참조한 설명 등)를 참조할 수 있다. 기판(200) 위에는 하지층을 형성해도 좋다. 또한, 하지층의 상세에 대해서도 이전의 실시 형태를 참조할 수 있다.

- [0065] 이어서, 도전층(202) 위에 선택적으로 레지스트 마스크(204)를 형성하고, 레지스트 마스크(204)를 사용해서 도전층(202)을 선택적으로 에칭함으로써, 게이트 전극으로서 기능하는 도전층(206)을 형성한다(도 3b 참조). 레지스트 마스크(204), 도전층(206), 에칭 등의 상세에 대해서는 이전의 실시 형태(도 1b를 참조한 설명 등)를 참조할 수 있다.
- [0066] 이어서, 도전층(206)을 덮도록, 게이트 절연층으로서 기능하는 절연층(208)을 형성한다(도 3c 참조). 절연층(208) 등의 상세에 대해서는 이전의 실시 형태(도 1c를 참조한 설명 등)를 참조할 수 있다.
- [0067] 이어서, 절연층(208)을 덮도록 도전층(210)을 형성한다(도 3d 참조). 도전층(210)은 도전층(202)과 유사한 재료 및 방법에 의해 형성할 수 있다. 즉, 상세에 대해서는 이전의 실시 형태(도 1a 및 도 2a를 참조한 설명 등)를 참조할 수 있다.
- [0068] 이어서, 도전층(210) 위에 선택적으로 레지스트 마스크(212) 및 레지스트 마스크(214)를 형성하고, 레지스트 마스크를 사용해서 도전층(210)을 선택적으로 에칭함으로써, 소스 및 드레인 전극 중 한쪽으로서 기능하는 도전층(216) 및 소스 및 드레인 전극 중 다른 쪽으로서 기능하는 도전층(218)을 형성한다(도 3e 참조). 여기서, 레지스트 마스크(212, 214)는 레지스트 마스크(204)와 유사한 방식으로 형성될 수 있다. 즉, 레지스트 마스크의 상세에 대해서는 이전의 실시 형태(도 1b 및 도 2b를 참조한 설명 등)를 참조할 수 있다.
- [0069] 도전층(210)의 에칭의 방법으로서 습식 에칭 또는 건식 에칭을 사용할 수 있다. 여기에서는, 건식 에칭에 의해 도전층(210)의 불필요한 부분을 제거하고, 도전층(216, 218)을 형성한다. 또한, 본 실시 형태에서는 나타나지 않지만, 소정의 경우에는 에칭에 의해 절연층(208)의 일부가 제거된다.
- [0070] 이어서, 절연층(208), 도전층(216), 도전층(218) 등을 덮도록 반도체층(220)을 형성한다(도 4a 참조). 반도체층(220)의 상세에 대해서는 이전의 실시 형태(도 1d를 참조한 설명 등)를 참조할 수 있다.
- [0071] 이어서, 반도체층(220) 위에 선택적으로 레지스트 마스크(222)를 형성하고, 레지스트 마스크(222)를 사용해서 반도체층(220)을 선택적으로 에칭함으로써, 반도체층(224)을 형성한다(도 4b 참조). 레지스트 마스크(222)의 상세에 대해서는 이전의 실시 형태(도 1b 및 도 1e를 참조한 설명 등)를 참조할 수 있다.
- [0072] 반도체층(220)의 에칭 방법으로서 습식 에칭 또는 건식 에칭을 사용할 수 있다. 여기에서는, 아세트산과, 질산과, 인산의 혼합액을 사용한 습식 에칭에 의해 반도체층(220)의 불필요한 부분을 제거하고, 반도체층(224)을 형성한다. 또한, 상기의 습식 에칭에 사용되는 에칭액(에칭액)은 반도체층(220)을 에칭할 수 있는 임의의 액일 수 있고, 상술한 액에 한정되지 않는다.
- [0073] 건식 에칭을 행하는 경우에는, 염소를 포함하는 가스 또는 염소를 포함하는 가스에 산소가 첨가된 가스를 사용하면 좋다. 이는 염소를 포함하는 가스를 사용함으로써, 도전층 또는 하지층에 대한 반도체층(220)의 에칭 선택비를 용이하게 얻을 수 있기 때문이다. 또한, 에칭 등의 상세에 대해서는 이전의 실시 형태를 참조할 수 있다.
- [0074] 반도체층(224)을 형성한 후에는, 100℃ 내지 500℃, 통상적으로는 200℃ 내지 400℃의 열처리를 행한다. 열처리가 행해지는 분위기는, 예를 들어 대기 분위기, 질소 분위기, 산소 분위기, 수증기를 포함하는 분위기 등으로 할 수 있다. 또한, 열처리 시간은 약 0.1 내지 5시간일 수 있다. 여기에서는, 대기 분위기에서 350℃에서 1시간 동안의 열처리를 행한다. 또한, 열처리의 타이밍은 반도체층(220)을 형성한 이후, 중간 절연층으로 기능하는 절연층을 형성하기 이전이라면 특별히 한정되지 않는다. 예를 들어, 반도체층(220)을 형성한 직후에 상기의 열처리를 행해도 좋다. 열처리(제1 열처리)과 이후의 열처리(제2 열처리)를 행함으로써, 반도체 소자의 특성을 비약적으로 향상시킬 수 있고, 특성 편차를 저감시킬 수 있다.
- [0075] 또한, 열처리를 400℃ 이하에서 행하여, 게이트 절연층으로서 기능하는 절연층(208)의 특성을 변화(열화)시키지 않는 것이 적합하다. 물론, 개시하는 발명의 일 실시 형태가 이것에 한정되는 것으로 해석되어서는 안 된다.
- [0076] 이어서, 도전층(216), 도전층(218), 반도체층(224) 등을 덮도록 절연층(226)을 형성한다(도 4c 참조). 여기서, 절연층(226)은 소위 층간 절연층으로서 기능한다. 절연층(226)은 산화 실리콘, 산화 알루미늄, 또는 산화 탄탈 등의 재료를 사용해서 형성할 수 있다. 또한, 절연층(226)은 이들 재료로 형성되는 막을 적층시켜 형성해도 좋다.

- [0077] 절연층(226)은 반도체층(224)에 인접해서 형성되기 때문에, 절연층(226)의 조성은 소정의 조건을 만족하는 것이 바람직하다. 구체적으로는, 예를 들어 절연층(226) 중의 수소 농도는 반도체층(224)(또는 반도체층(220)) 중의 수소 농도보다 낮은 것이 바람직하다(즉, 반도체층(224) 중의 수소 농도는 절연층(226) 중의 수소 농도보다 높은 것이 바람직하다). 또한, 절연층(226) 중의 질소 농도는 반도체층(224)(또는 반도체층(220)) 중의 질소 농도보다 낮은 것이 바람직하다(즉, 반도체층(224) 중의 질소 농도는 절연층(226) 중의 질소 농도보다 높은 것이 바람직하다). 이는 절연층(226) 중의 수소 농도(또는 질소 농도)를 반도체층(224) 중의 수소 농도(또는 질소 농도)보다 낮게 함으로써, 절연층(226)으로부터 반도체층(224) 내로의 수소(또는 질소)의 확산에 의한 소자 특성의 열화가 억제되는 것으로 생각되기 때문이다.
- [0078] 반도체층(224)의 형성 조건에 따르지만, 예를 들어 절연층(226) 중의 수소 농도가 1×10^{21} atoms/cm³ 이하(바람직하게는, 5×10^{20} atoms/cm³ 이하)이면, 상술한 조건을 만족한다. 마찬가지로, 절연층(226) 중의 질소 농도가 1×10^{19} atoms/cm³ 이하이면, 상술한 조건을 만족한다. 또한, 상기 농도는 절연층(226) 중에서의 평균값을 나타낸다.
- [0079] 상술한 바와 같은 조건을 만족하는 절연층(226)의 보다 구체적인 일례로서, 스퍼터링에 의해 형성된 산화 실리콘막을 들 수 있다. 이는 스퍼터링법을 사용하는 경우에는, CVD법을 사용하는 경우에 비해, 막 중의 수소 농도의 저감이 용이해지기 때문이다. 물론, 상술한 조건을 만족하는 것이라면, CVD법을 포함하는 임의의 다른 방법도 채용할 수 있다. 절연층(226)의 다른 조건에 대해서는 특별히 한정되지 않는다. 예를 들어, 절연층(226)의 두께에 대해서는 실현 가능한 범위 내라면 다양할 수 있다.
- [0080] 그 후, 각종 전극 및 배선을 형성함으로써, 트랜지스터(250)를 구비하는 반도체 장치가 완성한다(도 4d 참조). 본 실시 형태에서는, 표시 장치의 화소 전극으로서 기능하는 도전층(228)을 형성하는 전형적인 예를 나타낸다(도 4d 참조). 그러나, 개시하는 발명의 일 실시 형태는 이것에 한정되지 않는다.
- [0081] 또한, 도전층(228)을 형성한 후에는, 100℃ 내지 500℃, 전형적으로는 200℃ 내지 400℃에서 열처리를 행한다. 열처리가 행해지는 분위기는, 예를 들어 대기 분위기, 질소 분위기, 산소 분위기, 수증기를 포함하는 분위기 등으로 할 수 있다. 또한, 열처리 시간은 약 0.1 내지 5시간일 수 있다. 여기에서는, 대기 분위기에서 350℃에서 1시간 동안 열처리를 행한다. 또한, 상기 열처리의 타이밍은 절연층(226)을 형성한 후이라면 특별히 한정되지 않는다. 예를 들어, 절연층(226)을 형성한 직후에, 상기의 열처리를 행해도 좋다. 대안적으로, 다른 절연층, 도전층 등을 형성한 후에, 상기의 열처리를 행해도 좋다. 열처리(제2 열처리)와 이전의 열처리(제1 열처리)를 행함으로써, 반도체 소자의 특성을 비약적으로 향상시킬 수 있고, 특성 편차를 저감시킬 수 있다.
- [0082] 또한, 제2 열처리의 효과는 상술한 것에 한정되지 않는다. 예를 들어, 제2 열처리는 절연층(226)의 결함을 수복하는 유리한 효과도 제공한다. 절연층(226)은 비교적 저온에서 형성되기 때문에, 막 중에는 결함이 존재한다. 절연층을 그대로 사용하는 경우에는, 소자 특성에 악영향을 미칠 수 있다. 이러한 절연층(226) 중의 결함을 수복한다는 관점에서, 상술한 열처리는 중요한 역할을 한다고 말할 수 있다.
- [0083] 또한, 열처리를 400℃ 이하에서 행하여, 게이트 절연층으로서 기능하는 절연층(208)의 특성을 변화(열화)시키지 않는 것이 적합하다. 물론, 개시하는 발명의 일 실시 형태가 여기에 한정되는 것으로 해석되어서는 안 된다.
- [0084] 본 실시 형태에 나타내는 바와 같이, 이하의 열처리를 행함으로써 우수한 특성을 갖는 반도체 소자를 제공할 수 있다: 반도체층(220)을 형성하는 공정 이후, 절연층(226)을 형성하는 공정 이전 열처리; 및 절연층(226)을 형성하는 공정 이후의 열처리. 이에 의해, 우수한 특성을 갖는 반도체 소자를 포함하는 반도체 장치를 제공할 수 있다.
- [0085] 또한, 본 실시 형태는 이전의 실시 형태와 적절히 조합해서 구현될 수 있다.
- [0086] [실시 형태 3]
- [0087] 본 실시 형태에서는, 반도체 장치의 일레인 액티브 매트릭스 기관의 제작 공정에 대해서 도면을 참조하여 설명한다. 또한, 본 실시 형태에서 설명되는 제작 공정의 많은 부분이 이전의 실시 형태와 동일하다. 따라서, 이하의 설명에서는, 동일한 부분의 반복된 설명은 생략하고, 상이한 점에 대해서 상세하게 설명한다. 또한, 이하의 설명에서, 도 5a 내지 도 5c 및 도 6a 내지 도 6c는 단면도이고, 도 7은 평면도이다. 또한, 도 5a 내지 도 5c 및 도 6a 내지 도 6c 각각의 선 A1-A2 및 선 B1-B2은 각각 도 7의 선 A1-A2 및 선 B1-B2에 대응한다. 또한, 본 실시 형태에서, 선 A1-A2를 따라 취해진 구조에 나타내는 반도체 소자는 이전의 실시 형태(실시 형태

2)에서 설명한 반도체 소자와 유사하다.

- [0088] 우선, 기판(300) 위에 배선 및 전극(게이트 전극(302), 용량 배선(304), 및 제1 단자(306))을 형성한다(도 5a 참조). 구체적으로는, 기판 위에 도전층을 형성한 후, 레지스트 마스크를 사용한 에칭에 의해 배선 및 전극을 형성한다. 본 실시 형태에서는, 이전의 임의의 실시 형태에 나타낸 방법과 유사한 방법에 의해 배선 및 전극을 형성할 수 있으므로; 상세에 대해서는 이전의 실시 형태(도 1a, 도 1b, 도 3a 및 도 3b를 참조한 설명 등)를 참조할 수 있다. 또한, 상기 설명에서, "전극"과 "배선" 간의 구별은 단지 편의적이며, 그 기능은 "전극" 또는 "배선"의 명칭에 한정되지 않는다. 예를 들어, 게이트 전극은 소정의 경우에 게이트 배선의 동등물을 가리킨다.
- [0089] 또한, 용량 배선(304) 및 제1 단자(306)는 게이트 전극(302)과 동일한 재료 및 동일한 제작 방법을 사용하여 동시에 형성될 수 있다. 따라서, 예를 들어 게이트 전극(302)과 제1 단자(306)를 전기적으로 접속할 수 있다. 게이트 전극(302)의 재료 및 제작 방법의 상세에 대해서는 이전의 실시 형태를 참조할 수 있다.
- [0090] 이어서, 게이트 전극(302) 위에 게이트 절연층(308)을 형성하고, 제1 단자(306)를 노출시키도록 게이트 절연층(308)을 선택적으로 에칭함으로써, 콘택트 홀을 형성한다(도 5b 참조). 에칭 처리에 대해서는 특별히 한정되지 않는다. 게이트 절연층(308)의 상세에 대해서는 이전의 실시 형태(도 1c, 도 3c 등을 참조한 설명)를 참조할 수 있다. 에칭 처리에 대해서는 특별히 한정되지 않는다; 건식 에칭을 사용해도 좋고, 또는 습식 에칭을 사용해도 좋다.
- [0091] 이어서, 게이트 절연층(308) 및 제1 단자(306)를 덮는 도전층을 형성한 후, 상기 도전층을 선택적으로 에칭하여, 소스 전극(310)(또는 드레인 전극), 드레인 전극(312)(또는 소스 전극), 접속 전극(314), 및 제2 단자(316)를 형성한다(도 5c 참조). 또한, 상기 설명에서, "전극"과 "배선" 간의 구별은 단지 편의적이며, 그 기능은 "전극" 또는 "배선"의 명칭에 의해 한정되지 않는다. 예를 들어, 소스 전극은 소정의 경우에 소스 배선의 동등물을 가리킨다.
- [0092] 상기 도전층의 재료, 제작 방법, 에칭 처리 등에 대해서는 이전의 실시 형태(도 2a, 도 2b, 도 3d, 도 3e 등을 참조한 설명)를 참조할 수 있다. 또한, 에칭 처리에서 건식 에칭을 행함으로써, 습식 에칭을 사용하는 경우에 비해 배선 구조의 미세화가 가능하게 된다. 예를 들어, 접속 전극(314)은 게이트 절연층(308)에 형성된 콘택트 홀을 통해 제1 단자(306)에 직접 접속될 수 있다. 또한, 제2 단자(316)는 소스 전극(310)에 전기적으로 접속될 수 있다.
- [0093] 이어서, 적어도 소스 전극(310) 및 드레인 전극(312)을 덮도록 반도체층을 형성한 후, 반도체층을 선택적으로 에칭해서 반도체층(318)을 형성한다(도 6a 참조). 여기서, 반도체층(318)은 소스 전극(310) 및 드레인 전극(312)의 일부와 접하고 있다. 반도체층(318)의 상세에 대해서는 이전의 실시 형태(도 1d, 도 1e, 도 4a, 도 4b 등을 참조한 설명)를 참조할 수 있다.
- [0094] 반도체층(318)을 형성한 후에는, 100℃ 내지 500℃, 전형적으로는 200℃ 내지 400℃에서 열처리를 행한다. 열처리가 행해지는 분위기는, 예를 들어 대기 분위기, 질소 분위기, 산소 분위기, 수증기를 포함하는 분위기 등으로 할 수 있다. 또한, 열처리 시간은 약 0.1 내지 5시간일 수 있다. 여기에서는, 대기 분위기에서 350℃에서 1시간 동안 열처리를 행한다. 또한, 열처리의 타이밍은 반도체층(318)을 형성한 후, 중간 절연층으로서 기능하는 절연층을 형성하기 전이라면 특별히 한정되지 않는다. 예를 들어, 반도체층(318)을 형성한 직후에 열처리를 행해도 좋다. 열처리(제1 열처리)와 이후의 열처리(제2 열처리)를 행함으로써, 반도체 소자의 특성을 비약적으로 향상시킬 수 있고, 특성 편차를 저감시킬 수 있다.
- [0095] 또한, 열처리를 400℃ 이하에서 행하여, 게이트 절연층(308)의 특성을 변화(열화)시키지 않는 것이 적합하다. 물론, 개시하는 발명의 일 실시 형태가 이것에 한정되는 것으로 해석되어서는 안 된다.
- [0096] 이어서, 소스 전극(310), 드레인 전극(312), 반도체층(318) 등을 덮도록 절연층(320)을 형성하고, 절연층(320)을 선택적으로 에칭해서, 드레인 전극(312), 접속 전극(314) 및 제2 단자(316)에 도달하는 콘택트 홀을 형성한다(도 6b 참조). 절연층(320)은 산화 실리콘, 산화 알루미늄, 또는 산화 탄탈 등의 재료를 사용해서 형성할 수 있다. 또한, 절연층(320)은 이들 재료로 형성되는 막을 적층시켜 형성해도 좋다.
- [0097] 절연층(320)은 반도체층(318)에 인접해서 형성되기 때문에, 절연층(320)의 조성은 소정의 조건을 만족하는 것이 바람직하다. 구체적으로는, 예를 들어 절연층(320) 중의 수소 농도는 반도체층(318) 중의 수소 농도보다 낮은 것이 바람직하다(즉, 반도체층(318) 중의 수소 농도는 절연층(320) 중의 수소 농도보다 높은 것이 바람직하다). 또한, 절연층(320) 중의 질소 농도는 반도체층(318) 중의 질소 농도보다 낮은 것이 바람직하다(즉, 반도체층

(318) 중의 질소 농도는 절연층(320) 중의 질소 농도보다 높은 것이 바람직하다). 이는 절연층(320) 중의 수소 농도(또는 질소 농도)를 반도체층(318) 중의 수소 농도(또는 질소 농도)보다 낮게 함으로써, 절연층(320)으로부터 반도체층(318) 내로의 수소(또는 질소)의 확산에 의한 소자 특성의 열화를 억제하는 것으로 생각되기 때문이다.

[0098] 반도체층(318)의 형성 조건에 따르지만, 예를 들어 절연층(320) 중의 수소 농도가 1×10^{21} atoms/cm³ 이하(바람직하게는, 5×10^{20} atoms/cm³ 이하)이면, 상술한 조건을 만족한다. 유사하게, 절연층(320) 중의 질소 농도가 1×10^{19} atoms/cm³ 이하이면, 상술한 조건을 만족한다. 또한, 상기 농도는 절연층(320)에서의 평균값을 나타낸다.

[0099] 상술한 조건을 만족하는 절연층(320)의 보다 구체적인 일례로서, 스퍼터링에 의해 형성된 산화 실리콘막을 들 수 있다. 이는 스퍼터링법을 사용하는 경우에는, CVD법을 사용하는 경우에 비해 막 중의 수소 농도의 저감이 용이해지기 때문이다. 물론, 상술한 조건을 만족하는 것이라면, CVD법을 포함하는 임의의 다른 방법도 사용될 수 있다. 절연층(320)의 다른 조건에 대해서는 특별히 한정되지 않는다. 예를 들어, 절연층(320)의 두께는 실현 가능한 범위 내라면 다양할 수 있다.

[0100] 이어서, 드레인 전극(312)과 전기적으로 접속되는 투명 도전층(322), 접속 전극(314)과 전기적으로 접속되는 투명 도전층(324), 및 제2 단자(316)와 전기적으로 접속되는 투명 도전층(326)을 형성한다(도 6c 및 도 7 참조).

[0101] 투명 도전층(322)은 화소 전극으로서 기능하고, 투명 도전층(324, 326)은 FPC(flexible printed circuit)와의 접속에 사용되는 전극 또는 배선으로서 기능한다. 보다 구체적으로는, 접속 전극(314) 위에 형성된 투명 도전층(324)을, 게이트 배선의 입력 단자로서 기능하는 접속용의 단자 전극으로서 사용할 수 있고, 제2 단자(316) 위에 형성된 투명 도전층(326)을, 소스 배선의 입력 단자로서 기능하는 접속용의 단자 전극으로서 사용할 수 있다.

[0102] 또한, 용량 배선(304), 게이트 절연층(308) 및 투명 도전층(322)을 사용하여 유지 용량(storage capacitor)을 형성할 수 있다.

[0103] 투명 도전층(322, 324, 326)은 산화인듐(In₂O₃), 산화인듐 산화주석 합금(In₂O₃-SnO₂, ITO와 약기함), 또는 산화인듐 산화아연 합금(In₂O₃-ZnO) 등의 재료를 사용해서 형성할 수 있다. 예를 들어, 상기 재료를 포함하는 막을 스퍼터링법, 진공 증착법 등에 의해 형성한 후, 에칭에 의해 불필요한 부분을 제거함으로써, 투명 도전층(322, 324, 326)을 형성하면 좋다.

[0104] 또한, 투명 도전층(322, 324, 326)을 형성한 후에는, 100℃ 내지 500℃, 통상적으로는 200℃ 내지 400℃에서 열처리를 행한다. 열처리가 행해지는 분위기는, 예를 들어 대기 분위기, 질소 분위기, 산소 분위기, 수증기를 포함하는 분위기 등으로 할 수 있다. 또한, 열처리 시간은 약 0.1 내지 5시간일 수 있다. 여기에서는, 대기 분위기에서 350℃에서 1시간 동안 열처리를 행한다. 또한, 상기 열처리의 타이밍은 절연층(320)을 형성한 후이면 특별히 한정되지 않는다. 예를 들어, 절연층(320)을 형성한 직후에 상기의 열처리를 행해도 좋다. 대안적으로, 절연층(320)에 콘택트 홀을 형성한 후에 상기의 열처리를 행해도 좋다. 또한, 대안적으로, 다른 절연층, 도전층 등을 형성한 후에 상기의 열처리를 행해도 좋다. 열처리(제2 열처리)와 이전의 열처리(제1 열처리)를 행함으로써, 반도체 소자의 특성을 비약적으로 향상시킬 수 있고, 특성 편차를 저감시킬 수 있다.

[0105] 또한, 제2 열처리의 효과는 상술한 것에 한정되지 않는다. 예를 들어, 제2 열처리는 절연층(320)의 결함을 수복하고 유리한 효과도 제공한다. 절연층(320)은 비교적 저온에서 형성되기 때문에, 막 중에는 결함이 존재한다. 따라서, 절연층을 그대로 사용한 경우에는, 소자 특성에 악영향을 미칠 수 있다. 이러한 절연층(320) 중의 결함을 수복한다고 관점에서, 상술한 열처리는 중요한 역할을 한다고 말할 수 있다.

[0106] 또한, 상기 열처리를 400℃ 이하에서 행하여, 게이트 절연층(308)의 특성을 변화(열화)시키지 않는 것이 적합하다. 물론, 개시하는 발명의 일 실시 형태가 이것에 한정되는 것으로 해석되어서는 안 된다.

[0107] 이상의 공정에 의해, 보텀 게이트형의 트랜지스터(350) 및 유지 용량 등의 소자를 포함하는 액티브 매트릭스 기판을 완성시킬 수 있다. 예를 들어, 이것을 사용해서 액티브 매트릭스형의 액정 표시 장치를 제작할 경우에는, 액티브 매트릭스 기판과, 대향 전극이 설치된 대향 기판 사이에 액정층을 설치하고, 액티브 매트릭스 기판과 대향 기판을 서로 고정할 수 있다.

[0108] 본 실시 형태에서는, 도시된 바와 같이, 이하의 열처리를 행함으로써 우수한 특성을 갖는 반도체 소자를 제공할

수 있다: 반도체층(318)을 형성하는 공정의 이후, 절연층(320)을 형성하는 공정 이전의 열처리; 및 절연층(320)을 형성하는 공정 이후의 열처리. 이에 의해, 우수한 특성을 갖는 반도체 소자를 포함하는 반도체 장치를 제공할 수 있다.

[0109] 또한, 실시 형태 2에 나타내는 방법을 사용해서 트랜지스터(350) 또는 다른 구성을 형성하는 경우에 대해서 설명하고 있지만, 개시되는 발명은 이에 한정되지 않는다. 실시 형태 1에 나타내는 방법을 사용해도 좋다. 또한, 본 실시 형태는 이전의 임의의 실시 형태와 적절히 조합해서 구현될 수 있다.

[0110] [실시 형태 4]

[0111] 본 실시 형태에서는, 박막 트랜지스터를 제작하고, 상기 박막 트랜지스터를 화소부 및 구동 회로에 사용해서 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)를 제작하는 예에 대해서 설명한다. 또한, 구동 회로의 일부 또는 전체를, 화소부와 동일한 기판 위에 형성함으로써, 시스템-온-패널(system-on-panel)을 얻을 수 있다.

[0112] 표시 장치는 표시 소자를 포함한다. 표시 소자로서는, 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함) 등을 사용할 수 있다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하는데, 구체적으로는, 무기 EL(electroluminescent) 소자, 유기 EL 소자 등을 그 범주에 포함한다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체를 사용해도 좋다.

[0113] 또한, 표시 장치는 표시 소자가 밀봉된 패널과, 상기 패널에, 컨트롤러를 포함하는 IC 등을 실장한 모듈을 포함한다. 또한, 표시 장치를 형성하는 소자 기판은, 전류를 표시 소자에 공급하기 위한 수단을 각 화소부에 구비한다. 구체적으로, 소자 기판은 표시 소자의 화소 전극만이 형성된 후의 상태일 수 있고, 화소 전극이 되는 도전막이 형성된 이후 그리고 도전막이 에칭되기 이전의 상태일 수도 있다.

[0114] 또한, 본 명세서 중에서의 표시 장치는 화상 표시 디바이스, 표시 디바이스, 광원(조명 장치를 포함) 등을 의미한다. 또한, 표시 장치는 이하의 모듈들도 그 범주에 포함한다: FPC(flexible printed circuit), TAB(tape automated bonding) 테이프, 또는 TCP(tape carrier package) 등의 커넥터가 부착된 모듈; TAB 테이프 또는 TCP의 끝에 프린트 배선판이 설치된 모듈; 표시 소자에 COG(chip on glass) 방식에 의해 IC(집적 회로)가 직접 실장된 모듈 등.

[0115] 이하, 본 실시 형태에서는, 액정 표시 장치의 일례에 대해서 설명한다. 도 8aa, 도 8ab 및 도 8b는 제1 기판(4001) 위에 형성된 박막 트랜지스터(4010, 4011) 및 액정 소자(4013)를 제2 기판(4006)과 시일재(4005)에 의해 밀봉한 패널의 평면도 및 단면도이다. 여기서, 도 8aa 및 도 8ab은 평면도이고, 도 8b은 도 8aa 및 도 8ab의 선 M-N을 따라 취한 단면도이다.

[0116] 제1 기판(4001) 위에 설치된 화소부(4002) 및 주사선 구동 회로(4004)를 둘러싸도록 시일재(4005)가 설치된다. 또한, 화소부(4002)와 주사선 구동 회로(4004) 위에 제2 기판(4006)이 설치된다. 즉, 화소부(4002)와 주사선 구동 회로(4004)는 제1 기판(4001)과, 시일재(4005)와, 제2 기판(4006)에 의해 액정층(4008)과 함께 밀봉되어 있다. 또한, 제1 기판(4001) 위의 시일재(4005)에 의해 둘러싸이는 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 신호선 구동 회로(4003)가 실장되어 있다.

[0117] 또한, 별도 형성된 구동 회로의 접속 방법에 대해서는 특별히 한정되지 않으며, COG법, 와이어 본딩법, TAB법 등을 적절히 사용할 수 있다. 도 8aa는 COG법에 의해 신호선 구동 회로(4003)를 실장하는 예를 도시하며, 도 8ab는 TAB법에 의해 신호선 구동 회로(4003)를 실장하는 예를 도시한다.

[0118] 또한, 제1 기판(4001) 위에 설치된 화소부(4002)와 주사선 구동 회로(4004)는 각각 박막 트랜지스터를 복수 포함한다. 도 8b는 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시하고 있다. 박막 트랜지스터(4010, 4011) 위에는 절연층(4020) 및 절연층(4021)이 설치되어 있다.

[0119] 박막 트랜지스터(4010, 4011)에는, 이전의 임의의 실시 형태에서 나타낸 트랜지스터 등을 적용할 수 있다. 또한, 본 실시 형태에서, 박막 트랜지스터(4010, 4011)는 n채널형 박막 트랜지스터이다.

[0120] 액정 소자(4013)에 포함되는 화소 전극층(4030)은 박막 트랜지스터(4010)에 전기적으로 접속되어 있다. 액정 소자(4013)의 대향 전극층(4031)은 제2 기판(4006) 위에 형성되어 있다. 화소 전극층(4030), 대향 전극층(4031), 및 액정층(4008)에 의해 액정 소자(4013)가 형성된다. 또한, 화소 전극층(4030) 및 대향 전극층(4031)에는, 각각이 배향막으로서 기능하는 절연층(4032) 및 절연층(4033)이 설치된다. 액정층(4008)은 절연층

(4032 및 4033)을 개재하여 화소 전극층(4030)과 대향 전극층(4031) 사이에 끼움 지지된다.

- [0121] 또한, 제1 기관(4001) 및 제2 기관(4006)으로서는, 유리, 금속(대표적으로는, 스테인리스), 세라믹스, 플라스틱 등을 사용할 수 있다. 플라스틱으로서는, FRP(fiberglass-reinforced plastics) 기관, PVF(폴리비닐 플루오라이드) 필름, 폴리에스테르 필름, 아크릴 수지 필름 등을 사용할 수 있다. 또한, 알루미늄박이 PVF 필름 또는 폴리에스테르 필름 사이에 끼움 지지되어 있는 구조를 갖는 시트를 사용할 수도 있다.
- [0122] 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위해 기둥 형상의 스페이서(4035)가 설치되어 있다. 기둥 형상의 스페이서(4035)는 절연막을 선택적으로 에칭함으로써 얻어질 수 있다. 또한, 기둥 형상의 스페이서 대신에, 구 형상의 스페이서를 사용해도 좋다. 또한, 대향 전극층(4031)은 박막 트랜지스터(4010)와 동일한 기관 위에 형성되는 공통 전위선에 전기적으로 접속된다. 예를 들어, 한 쌍의 기관 사이에 제공되는 도전성 입자를 통해 대향 전극층(4031)이 공통 전위선을 전기적으로 접속될 수 있다. 또한, 도전성 입자는 시일재(4005)에 포함되는 것이 바람직하다.
- [0123] 대안적으로, 배향막이 불필요한 블루상(blue phase)을 나타내는 액정을 사용해도 좋다. 블루상은 액정상 중 하나이며, 콜레스테릭 액정의 온도가 증가할 때 콜레스테릭상이 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위에서만 발현되므로, 5 중량% 이상의 키랄제(chiral agent)를 포함하는 액정 조성물을 사용하면 좋다. 이에 의해, 온도 범위를 개선할 수 있다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 10 μ s 내지 100 μ s의 짧은 응답 시간을 갖고, 광학적 등방성을 가지므로, 배향 처리가 불필요해서, 시야각 의존성이 작다.
- [0124] 또한, 본 실시 형태에서는 투과형 액정 표시 장치의 일례를 설명하고 있지만, 본 발명은 이에 한정되지 않는다. 본 발명의 실시 형태는 반사형 액정 표시 장치 또는 반투과 형 액정 표시 장치에도 적용될 수 있다.
- [0125] 본 실시 형태에서는, 기관의 외측 표면(시인측)에 편광판을 설치하고, 기관의 내측에 착색층, 및 표시 소자에 사용하는 전극층을 순서대로 설치하는 액정 표시 장치의 예를 나타내지만; 편광판은 기관의 내측 표면에 설치해도 좋다. 또한, 편광판과 착색층의 적층 구조도 본 실시 형태에 한정되지 않는다. 적층 구조는 편광판 및 착색층의 재료, 제작 조건 등에 따라 적절히 변경될 수 있다. 또한, 블랙 매트릭스로서 기능하는 차광막을 설치해도 좋다.
- [0126] 본 실시 형태에서는, 박막 트랜지스터의 표면 요철(roughness)을 저감하기 위해, 이전의 임의의 실시 형태에서 얻어진 박막 트랜지스터를 절연층(4021)으로 커버한다. 절연층(4021)으로서는, 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리이미드, 또는 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 이러한 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 사용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시켜 절연층(4021)을 형성해도 좋다.
- [0127] 여기서, 실록산계 수지는 실록산계 재료를 출발 재료로 해서 형성된 Si-O-Si 결합을 갖는 수지이다. 치환기로서는, 유기기(예를 들어, 알킬기 또는 아릴기) 또는 플루오로기를 사용해도 좋다. 또한, 유기기는 플루오로기를 포함할 수 있다.
- [0128] 절연층(4021)의 형성법은 특별히 한정되지 않고, 절연층(4021)은 재료에 따라 스퍼터링법, SOG법, 스핀 코팅법, 디핑법, 스프레이 도포법, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등에 의해 형성될 수 있다.
- [0129] 화소 전극층(4030) 및 대향 전극층(4031)은 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티타늄을 포함하는 인듐 산화물, 산화티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(ITO), 인듐 아연 산화물, 또는 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료로 이루어질 수 있다.
- [0130] 화소 전극층(4030) 및 대향 전극층(4031)에는, 도전성 고분자(도전성 중합체라고도 함)를 포함하는 도전성 조성물을 사용해도 좋다. 도전성 조성물로 이루어진 화소 전극은 시트 저항이 $1.0 \times 10^4 \Omega/\text{sq.}$ 이하, 파장 550nm에서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률은 0.1 $\Omega \cdot \text{cm}$ 이하인 것이 바람직하다.
- [0131] 도전성 고분자로서는, 소위 π -전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 이들의 2중 이상의 공중합체를 들 수

있다.

- [0132] 신호선 구동 회로(4003), 주사선 구동 회로(4004), 화소부(4002) 등에 제공되는 각종 신호는 FPC(4018)로부터 공급된다.
- [0133] 또한, 접속 단자 전극(4015)은 액정 소자(4013)에 포함되는 화소 전극층(4030)과 동일한 도전막으로 형성되고, 단자 전극(4016)은 박막 트랜지스터(4010, 4011)의 소스 및 드레인 전극층과 동일한 도전막으로 형성되어 있다.
- [0134] 접속 단자 전극(4015)은 FPC(4018)에 포함되는 단자에, 이방성 도전막(4019)을 통해 전기적으로 접속되어 있다.
- [0135] 또한, 도 8aa, 도 8ab 및 도 8b는 신호선 구동 회로(4003)를 별도로 형성하여 제1 기관(4001)에 실장하는 예를 나타내고 있지만; 본 실시 형태는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성해서 실장해도 좋고, 또는 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성해서 실장해도 좋다.
- [0136] 도 9는 반도체 장치의 일 실시 형태에 해당하는 액정 표시 모듈을 TFT 기관(2600)을 사용하여 형성하는 일례를 나타내고 있다.
- [0137] 도 9에서는, TFT 기관(2600)과 대향 기관(2601)이 시일재(2602)에 의해 서로 고착되고, TFT 기관(2600)과 대향 기관(2601) 사이에, TFT 등을 포함하는 소자층(2603), 배향막 및 액정층을 포함하는 액정층(2604), 착색층(2605), 편광판(2606) 등이 설치됨으로써, 표시 영역이 형성된다. 착색층(2605)은 컬러 표시를 행하는 경우에 필요하다. RGB 방식의 경우에는, 적색, 녹색 및 청색의 색에 대응하는 각 착색층이 각 화소에 설치되어 있다. TFT 기관(2600)과 대향 기관(2601)의 외측에는 편광판(2606, 2607) 및 확산판(2613)이 설치되어 있다. 광원은 냉음극관(2610) 및 반사판(2611)을 포함한다. 회로 기관(2612)은 플렉시블 배선 기관(2609)에 의해 TFT 기관(2600)의 배선 회로부(2608)에 접속된다. 이에 의해, 컨트롤 회로 또는 전원 회로 등의 외부 회로가 액정 모듈에 포함된다. 편광판과 액정층 사이에는 위상차판을 설치해도 좋다.
- [0138] 액정의 구동 방식으로서, TN(twisted nematic) 모드, IPS(in-plane-switching) 모드, FFS(fringe field switching) 모드, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optical compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiferroelectric liquid crystal) 모드 등을 사용할 수 있다.
- [0139] 이상의 공정에 의해, 고성능 액정 표시 장치를 제작할 수 있다. 또한, 본 실시 형태는 이전의 임의의 실시 형태와 적절히 조합해서 사용할 수 있다.
- [0140] [실시 형태 5]
- [0141] 본 실시 형태에서는, 도 10을 참조하여 반도체 장치의 일례인 액티브 매트릭스형의 전자 페이퍼에 대해서 설명한다. 반도체 장치에 사용되는 박막 트랜지스터(650)는 이전의 실시 형태에서 설명한 박막 트랜지스터 등과 유사한 방식으로 제작할 수 있다.
- [0142] 도 10의 전자 페이퍼는 트위스트 볼 표시 방식을 사용하는 표시 장치의 일례이다. 트위스트 볼 표시 방식은 백과 흑으로 각각 착색된 구형 입자를 제1 전극층과 제2 전극층 사이에 배치하고, 제1 전극층과 제2 전극층 간에 전위차를 발생시킴으로써, 구형 입자의 방향을 제어하고, 표시를 행하는 방법을 가리킨다.
- [0143] 박막 트랜지스터(650)의 소스 또는 드레인 전극층은 절연층에 형성된 콘택트 홀을 통해 제1 전극층(660)에 전기적으로 접속되어 있다. 기관(602)에는 제2 전극층(670)이 설치되어 있다. 제1 전극층(660)과 제2 전극층(670) 사이에는, 흑색 영역(680a) 및 백색 영역(680b)을 각각 갖는 구형 입자(680)가 설치되어 있다. 구형 입자(680) 주위의 공간은 수지 등의 충전재(682)로 채워져 있다(도 10 참조). 도 10에서, 제1 전극층(660)이 화소 전극에 상당하고, 제2 전극층(670)이 공통 전극에 상당한다. 제2 전극층(670)은 박막 트랜지스터(650)와 동일한 기관 위에 설치되는 공통 전위선에 전기적으로 접속된다.
- [0144] 트위스트 볼 대신에, 전기 영동 표시 소자를 사용하는 것도 가능하다. 그 경우, 예를 들어 투명한 액체와, 양으로 대전된 흰 미립자와, 음으로 대전된 검은 미립자를 봉입한 직경 약 10 μ m 내지 200 μ m의 마이크로 캡슐을 사용하면 좋다. 제1 전극층과 제2 전극층 사이에 전기장이 부여되면, 흰 미립자와 검은 미립자가 서로 역방향으로 이동하고, 백 또는 흑이 표시된다. 전기 영동 표시 소자는 액정 표시 소자에 비해 반사율이 높으므로, 보조라이트가 불필요하고, 밝기가 충분하지 않은 장소에서 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원 이 공급되지 않는 경우에도, 일단 표시된 상을 유지하는 것이 가능하다는 이점이 있다.

- [0145] 상기 공정에 의해, 개시하는 본 발명의 일 실시 형태를 사용하여 고성능 전자 페이퍼를 제작할 수 있다. 또한, 본 실시 형태는 이전의 임의의 실시 형태와 적절히 조합해서 구현할 수 있다.
- [0146] [실시 형태 6]
- [0147] 본 실시 형태에서는, 반도체 장치의 일례인 발광 표시 장치에 대해서 설명한다. 여기에서는, 표시 소자로서, 일렉트로 루미네센스를 이용하는 발광 소자를 사용하는 경우에 대해서 설명한다. 또한, 일렉트로 루미네센스를 이용하는 발광 소자는 발광 재료가 유기 화합물 또는 무기 화합물인지에 의해 구별된다. 일반적으로, 전자는 유기 EL 소자로 불리고, 후자는 무기 EL 소자로 불린다.
- [0148] 유기 EL 소자에서는, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각, 발광성의 유기 화합물을 포함하는 층에 주입되어, 전류가 흐르게 된다. 그리고, 캐리어(전자 및 정공)가 재결합함으로써, 발광한다. 이러한 메커니즘에 의해, 발광 소자는 전류 여기형 발광 소자로 불린다.
- [0149] 무기 EL 소자는 그 소자 구성에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이며, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층 사이에 끼워 넣고, 또한 그것을 전극 사이에 끼운 구조를 가지며, 발광 메커니즘은 금속 이온의 내각 전자 전이를 이용하는 국소형 발광이다. 또한, 여기에서는, 발광 소자로서 유기 EL 소자를 사용하여 설명한다.
- [0150] 발광 소자의 구성에 대해서 도 11a 내지 도 11c를 사용해서 설명한다. 여기에서는, n채널 구동용 TFT를 예로 들어 화소의 단면 구조에 대해서 설명한다. 도 11a 내지 도 11c에 도시된 반도체 장치에 사용되는 TFT(701, 711, 721)는 이전의 실시 형태에서 설명한 트랜지스터와 유사한 방식으로 제작될 수 있다.
- [0151] 발광 소자로부터 광을 취출하기 위해, 양극 또는 음극 중 적어도 한쪽이 투명하다. 여기서, 투명은 적어도 하나의 발광 파장이 충분히 높은 투과율을 갖는다는 것을 의미한다. 광의 취출 방식으로서, 기판 위에 박막 트랜지스터 및 발광 소자를 형성하고; 상기 기판과는 반대측의 면으로부터 광을 취출하는 상면 사출 방식(상면 취출 방식), 기판측의 면으로부터 광을 취출하는 하면 사출 방식(하면 취출 방식), 기판측 및 기판과는 반대측의 면으로부터 광을 취출하는 양면 사출 방식(양면 취출 방식) 등이 있다.
- [0152] 상면 사출 방식의 발광 소자에 대해서 도 11a를 참조하여 설명한다.
- [0153] 도 11a는 발광 소자(702)로부터 양극(705)측으로 발광되는 경우의 화소의 단면도이다. 여기에서는, 발광 소자(702)의 음극(703)과, 구동용 TFT인 TFT(701)가 전기적으로 서로 접속되어 있고, 음극(703) 위에 발광층(704) 및 양극(705)이 순서대로 적층되어 있다. 음극(703)으로서는, 일함수가 작고 광을 반사하는 도전막을 사용할 수 있다. 예를 들어, Ca, Al, MgAg, 또는 AlLi 등의 재료를 사용해서 음극(703)을 형성하는 것이 바람직하다. 발광층(704)은 단층 또는 적층된 복수의 층을 사용하여 형성될 수 있다. 발광층(704)이 복수의 층을 사용하여 형성되는 경우, 음극(703) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층의 순서대로 적층되면 바람직하지만; 물론, 이들 층을 모두 형성할 필요는 없다. 양극(705)은 광을 투과하는 도전성 재료를 사용해서 형성된다. 예를 들어, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티타늄을 포함하는 인듐 산화물, 산화티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라 함), 인듐 아연 산화물, 또는 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용하면 좋다.
- [0154] 음극(703) 및 양극(705) 사이에 발광층(704)을 끼운 구조를 발광 소자(702)로 칭할 수 있다. 도 11a에 나타난 화소의 경우, 발광 소자(702)로부터 화살표로 나타낸 바와 같이 양극(705)측으로 발광된다.
- [0155] 이어서, 하면 사출 방식의 발광 소자에 대해서 도 11b를 참조하여 설명한다.
- [0156] 도 11b는 발광 소자(712)로부터 음극(713)측으로 발광되는 경우의 화소의 단면도이다. 여기에서는, 구동용의 TFT(711)에 전기적으로 접속된 투광성을 갖는 도전막(717) 위에 발광 소자(712)의 음극(713)이 형성되어 있고, 음극(713) 위에 발광층(714) 및 양극(715)이 순서대로 적층되어 있다. 또한, 양극(715)이 투광성을 갖는 경우, 양극(715)을 덮도록 차폐막(716)을 형성해도 좋다. 음극(713)에서는, 도 11a의 경우와 마찬가지로, 일함수가 작은 도전성 재료를 사용할 수 있다. 단, 음극(713)은 광을 투과할 수 있는 두께(바람직하게는, 대략 5nm 내지 30nm)로 형성된다. 예를 들어, 대략 20nm의 막 두께를 갖는 알루미늄막을 음극(713)으로서 사용할 수 있다. 도 11a의 경우와 마찬가지로, 발광층(714)은 단층 또는 적층된 복수의 층을 사용하여 형성될 수 있다. 도 11a의 경우와 마찬가지로, 양극(715)은 광을 투과하는 필요는 없지만, 투광성을 갖는 도전성 재료로 이루어질 수

있다. 차폐막(716)으로서, 광을 반사하는 금속 등을 사용할 수 있지만; 이에 한정되지 않는다. 예를 들어, 흑의 안료를 첨가한 수지 등을 사용할 수도 있다.

[0157] 음극(713)과 양극(715) 사이에 발광층(714)을 끼운 구조를 발광 소자(712)로 칭할 수 있다. 도 11b에 나타난 화소의 경우, 발광 소자(712)로부터 화살표로 나타난 바와 같이 음극(713)측으로 발광된다.

[0158] 이어서, 양면 사출 방식을 갖는 양면 사출식 발광 소자에 대해서 도 11c를 참조하여 설명한다.

[0159] 도 11c에서는, 구동용의 TFT(721)에 전기적으로 접속된 투광성을 갖는 도전막(727) 위에 발광 소자(722)의 음극(723)이 형성되고, 음극(723) 위에 발광층(724) 및 양극(725)이 순서대로 적층되어 있다. 음극(723)으로서, 도 11a의 경우와 마찬가지로, 일함수가 작은 도전성 재료를 사용할 수 있다. 단, 음극(723)은 광을 투과할 수 있는 두께로 형성된다. 예를 들어, 대략 20nm의 두께를 갖는 Al 막을 음극(723)으로서 사용할 수 있다. 도 11a와 마찬가지로, 발광층(724)은 단층 또는 적층된 복수의 층을 사용하여 형성될 수 있다. 도 11a와 마찬가지로, 양극(725)은 투광성을 갖는 도전성 재료를 사용해서 형성될 수 있다.

[0160] 음극(723)과, 발광층(724)과, 양극(725)이 서로 겹친 구조를 발광 소자(722)로 칭할 수 있다. 도 11c에 나타난 화소의 경우, 발광 소자(722)로부터 화살표로 나타난 바와 같이 양극(725)측 및 음극(723)측 양쪽으로 발광된다.

[0161] 여기에서는, 발광 소자로서 유기 EL 소자를 사용하는 경우에 대해서 설명했지만, 발광 소자로서 무기 EL 소자를 사용하는 것도 가능하다. 여기서는, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)가 발광 소자에 전기적으로 접속되어 있는 예를 설명했지만; 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT 등이 접속되어 있어도 좋다.

[0162] 또한, 본 실시 형태에서 나타내는 반도체 장치의 구조는 도 11a 내지 도 11c에 도시한 구성에 한정되지 않고, 각종 변형이 가능하다.

[0163] 이어서, 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면에 대해서 도 12a 및 도 12b를 참조하여 설명한다. 도 12a 및 도 12b는 제1 기관(4501) 위에 형성된 박막 트랜지스터(4509, 4510) 및 발광 소자(4511)를 제2 기관(4506)과 시일재(4505)에 의해 밀봉한 패널의 평면도 및 단면도이다. 도 12a는 평면도이고, 도 12b는 도 12a의 선 H-I를 따라 취한 단면도이다.

[0164] 제1 기관(4501) 위에 설치된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록 시일재(4505)가 설치되어 있다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b) 위에 제2 기관(4506)이 설치되어 있다. 즉, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 제1 기관(4501), 시일재(4505), 및 제2 기관(4506)에 의해, 충전재(4507)와 함께 밀봉되어 있다. 기밀성이 높고 탈가스성(degasification)이 적은 보호 필름(접합 필름 또는 자외선 경화 수지 필름 등), 커버 재료 등을 사용해서 패키징(봉입)하는 것이 바람직하다.

[0165] 제1 기관(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 각각 박막 트랜지스터를 복수 포함하고, 도 12b에서는 화소부(4502)에 포함되는 박막 트랜지스터(4510)와, 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시하고 있다.

[0166] 박막 트랜지스터(4509, 4510)로서, 이전의 실시 형태에서 나타낸 트랜지스터를 채용할 수 있다. 또한, 본 실시 형태에서, 박막 트랜지스터(4509, 4510)는 n채널형의 박막 트랜지스터이다.

[0167] 또한, 도면 부호 4511은 발광 소자를 나타낸다. 발광 소자(4511)에 포함되는 화소 전극인 제1 전극층(4517)은 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층에 전기적으로 접속되어 있다. 발광 소자(4511)의 구성에서는, 제1 전극층(4517), 전계 발광층(4512), 및 제2 전극층(4513)이 적층되어 있으나; 본 실시 형태에 나타낸 구성에 한정되지 않는다. 발광 소자(4511)로부터 휘출되는 광의 방향 등에 따라 발광 소자(4511)의 구성은 적절히 바꿀 수 있다.

[0168] 격벽(4520)은 유기 수지막, 무기 절연막, 유기 폴리실록산 등을 사용해서 형성한다. 특히, 격벽(4520)은 감광성을 갖는 재료로 형성되어 제1 전극층(4517) 위에 개구부를 갖고, 그 개구부의 측벽이, 연속한 곡률을 갖는 경사면으로 형성되는 것이 바람직하다.

[0169] 전계 발광층(4512)은 단층 또는 적층된 복수의 층을 사용하여 형성될 수 있다.

[0170] 발광 소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하는 것을 방지하도록, 제2 전극층(4513) 및 격벽

(4520) 위에 보호막을 형성해도 좋다. 보호막으로서는, 질화 규소막, 질화 산화 규소막, DLC막 등을 형성할 수 있다.

[0171] 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b), 화소부(4502) 등에 부여되는 각종 신호는 FPC(4518a, 4518b)로부터 공급된다.

[0172] 본 실시 형태에서는, 접속 단자 전극(4515)이 발광 소자(4511)의 제1 전극층(4517)과 동일한 도전막으로 형성되고, 단자 전극(4516)은 박막 트랜지스터(4509, 4510)의 소스 및 드레인 전극층과 동일한 도전막으로 형성되는 예에 대해서 설명하고 있다.

[0173] 접속 단자 전극(4515)은 FPC(4518a)의 단자에, 이방성 도전막(4519)을 통해 전기적으로 접속되어 있다.

[0174] 발광 소자(4511)로부터 광이 추출되는 방향에 위치하는 기관은 투광성을 가질 필요가 있다. 투광성을 갖는 기관으로서는, 유리판, 플라스틱판, 폴리에스테르 필름, 아크릴 필름 등이 있다.

[0175] 충전재(4507)로서는, 질소 또는 아르곤 등의 불활성 기체 이외에, 자외선 경화 수지, 열경화 수지 등을 사용할 수 있다. 예를 들어, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄), EVA(에틸렌 비닐 아세테이트) 등을 사용할 수 있다. 본 실시 형태에서는, 충전재로서 질소를 사용하는 예에 대해서 설명하고 있다.

[0176] 필요하다면, 발광 소자의 사출면에 편광판, 원편광판(타원 편광판을 포함), 위상차판($\lambda/4$ 판 또는 $\lambda/2$ 판), 또는 컬러 필터 등의 광학 필름을 설치해도 좋다. 또한, 표면에는 반사 방지 처리를 실시해도 된다. 예를 들어, 표면의 요철에 의해 반사광을 확산하여 글래어(glare)를 저감할 수 있는 안티-글래어(anti-glare) 처리를 실시할 수 있다.

[0177] 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는 별도 준비된 기관 위의 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성되어 있어도 좋다. 대안적으로, 신호선 구동 회로만 또는 그 일부분, 또는 주사선 구동 회로만 또는 그 일부분을 별도 형성해서 실장 해도 좋다. 본 실시 형태는 도 12a 및 도 12b에 도시된 구성에 한정되지 않는다.

[0178] 이상의 공정에 의해, 고성능 발광 표시 장치(표시 패널)를 제작할 수 있다. 또한, 본 실시 형태는 이전의 임의의 실시 형태와 적절히 조합해서 사용할 수 있다.

[0179] [실시 형태 7]

[0180] 반도체 장치는 전자 페이퍼에 적용할 수 있다. 전자 페이퍼는 데이터를 표시할 수 있는 것이면 다양한 분야의 전자 기기에 사용하는 것이 가능하다. 예를 들어, 전자 페이퍼를 전자 서적(전자책), 포스터, 열차 등의 탈것의 차내 광고, 크레딧 카드 등의 각종 카드에서의 표시 등에 적용할 수 있다. 전자 기기의 일례를 도 13a 및 도 13b 및 도 14에 도시한다.

[0181] 도 13a는 전자 페이퍼를 사용하는 포스터(2631)를 나타내고 있다. 광고 매체가 종이의 인쇄물인 경우에는, 광고의 교환은 손에 의해 행해지지만; 전자 페이퍼를 사용하여 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시의 결합 없이 안정된 화상이 얻어질 수 있다. 또한, 포스터는 무선으로 데이터를 송수신할 수 있는 구성을 가질 수도 있다.

[0182] 도 13b는 열차 등의 탈것의 차내 광고(2632)를 나타내고 있다. 광고 매체가 종이의 인쇄물인 경우에는, 광고의 교환은 손에 의해 행해지지만; 전자 페이퍼를 사용하여 적은 노동력으로 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시의 결합 없이 안정된 화상이 얻어질 수 있다. 또한, 차내 광고는 무선으로 데이터를 송수신할 수 있는 구성을 가질 수도 있다.

[0183] 도 14는 전자 서적(2700)의 일례를 나타내고 있다. 예를 들어, 전자 서적(2700)은 하우징(2701) 및 하우징(2703)인 2개의 하우징을 포함한다. 하우징(2701) 및 하우징(2703)은 축부(hinge)(2711)에 의해 결합되므로, 전자 서적(2700)은 축부(2711)를 축으로 하여 개폐 동작을 행할 수 있다. 이와 같은 구성에 의해, 전자 서적(2700)은 종이 서적과 같이 동작할 수 있다.

[0184] 하우징(2701) 및 하우징(2703)에는 각각 표시부(2705) 및 표시부(2707)가 병합된다. 표시부(2705) 및 표시부(2707)는 하나의 화상 또는 다른 화상을 표시할 수 있다. 표시부(2705) 및 표시부(2707)가 다른 화상을 표시하는 경우에는, 예를 들어 우측의 표시부(도 14에서는 표시부(2705))에 텍스트를 표시할 수 있고, 좌측의 표시부(도 14에서는 표시부(2707))에 그래픽을 표시할 수 있다.

- [0185] 도 14는 하우징(2701)에 조작부 등을 구비한 예를 나타내고 있다. 예를 들어, 하우징(2701)이 전원 스위치(2721), 조작 키(2723), 스피커(2725) 등을 구비하고 있다. 조작 키(2723)에 의해, 페이지를 넘길 수 있다. 또한, 하우징의 표시부와 동일한 면에 키보드, 포인팅 디바이스 등을 구비하는 구성도 좋다. 또한, 하우징의 이면 또는 측면에, 외부 접속용 단자(이어폰 단자, USB 단자, AC 어댑터 및 USB 케이블 등의 각종 케이블에 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비하는 구성도 좋다. 또한, 전자 서적(2700)은 전자 사전으로서의 기능을 갖는 구성도 좋다.
- [0186] 전자 서적(2700)은 무선으로 정보를 송수신할 수 있는 구성을 가질 수도 있다. 무선 통신에 의해, 전자 서적 서버로부터 원하는 서적 데이터 등을 구입 및 다운로드하는 구성도 가능하다.
- [0187] 본 실시 형태는 이전의 임의의 실시 형태와 적절히 조합해서 구현할 수 있다.
- [0188] [실시 형태 8]
- [0189] 반도체 장치는 다양한 전자 기기(오락기도 포함)에 적용될 수 있다. 전자 기기의 예로서는, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화 또는 휴대 전화 장치라고도 함), 휴대형 게임 콘솔, 휴대 정보 단말기, 음향 재생 장치, 파칭코기 등의 대형 게임기 등을 포함할 수 있다.
- [0190] 도 15a는 텔레비전 장치(9600)의 일례를 나타내고 있다. 텔레비전 장치(9600)에서는, 하우징(9601)에 표시부(9603)가 병합된다. 표시부(9603) 상에 영상을 표시하는 것이 가능하다. 여기서는, 스탠드(9605)에 의해 하우징(9601)을 지지한다.
- [0191] 텔레비전 장치(9600)는 하우징(9601)의 스위치 또는 별체의 리모콘 조작기(9610)에 의해 조작될 수 있다. 리모콘 조작기(9610)의 조작 키(9609)에 의해 채널 및 음량을 제어할 수 있고, 표시부(9603)에 표시되는 영상을 제어할 수 있다. 또한, 리모콘 조작기(9610)에는, 상기 리모콘 조작기(9610)로부터 출력되는 데이터를 표시하는 표시부(9607)를 설치할 수 있다.
- [0192] 또한, 텔레비전 장치(9600)는 수신기, 모뎀 등을 구비한다. 수신기에 의해, 일반적인 텔레비전 방송의 수신을 행할 수 있다. 또한, 텔레비전 장치(9600)가 모뎀을 통해 유선 또는 무선 접속에 의한 통신 네트워크에 접속하면, 일방향(송신자로부터 수신자로) 또는 쌍방향(송신자와 수신자 사이, 수신자들 사이, 등)의 데이터 통신을 행하는 것도 가능하다.
- [0193] 도 15b는 디지털 포토 프레임(9700)의 일례를 나타내고 있다. 예를 들어, 디지털 포토 프레임(9700)에서는, 하우징(9701)에 표시부(9703)가 병합된다. 표시부(9703)에 각종 화상을 표시하는 것이 가능하다. 예를 들어, 표시부(9703)는 디지털 카메라 등에 의해 촬영한 화상의 데이터를 표시하여, 통상의 포토 프레임으로서 기능할 수 있다.
- [0194] 또한, 디지털 포토 프레임(9700)은, 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블에 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비한다. 이들 구성은 표시부와 동일한 면에 구비될 수 있지만, 측면 또는 이면에 구비하면 디지털 포토 프레임(9700)의 디자인성을 위해 바람직하다. 예를 들어, 디지털 포토 프레임의 기록 매체 삽입부에, 디지털 카메라로 촬영한 화상의 데이터를 기억한 메모리를 삽입함으로써, 화상 데이터를 다운로드하여 표시부(9703)에 표시할 수 있다.
- [0195] 또한, 디지털 포토 프레임(9700)은 무선으로 데이터를 송수신하도록 구성될 수 있다. 무선에 의해 원하는 화상 데이터를 전송하여 표시하는 구성도 채용될 수 있다.
- [0196] 도 16a는 휴대형 오락기이며, 하우징(9881)과 하우징(9891)의 2개의 하우징을 포함하고, 연결부(9893)에 의해 연결되어, 휴대용 오락기는 개폐 가능할 수 있다. 하우징(9881) 및 하우징(9891)에는 표시부(9882) 및 표시부(9883)가 각각 병합된다. 또한, 도 16a에 나타내는 휴대형 오락기는 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단[조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도(gradient), 진동, 냄새 또는 적외선을 측정하는 기능을 갖는 센서), 또는 마이크로폰(9889)] 등을 포함한다. 물론, 휴대형 오락기의 구성은 상술한 것에 한정되지 않고, 적어도 반도체 장치를 구비한 다른 구성도 채용될 수 있다. 휴대형 오락기는 다른 부속 설비를 적절히 포함할 수 있다. 도 16a에 나타내는 휴대형 오락기는, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독해서 표시부에 표시하는 기능, 및 다른 휴대형 오락기와 무선 통신에 의해 정보를 공유하는 기능을 갖는다. 또한, 도 16a에 나타내는 휴대형 오락기는

상술된 것에 한정되지 않고 여러 가지 기능을 가질 수 있다.

- [0197] 도 16b는 대형 오락기인 슬롯 머신(9900)의 일례를 나타내고 있다. 슬롯 머신(9900)에서는, 하우징(9901)에 표시부(9903)가 병합된다. 또한, 슬롯 머신(9900)은 스타트 레버 또는 스톱 스위치 등의 조작 수단, 코인 투입구, 스피커 등을 포함하고 있다. 물론, 슬롯 머신(9900)의 구성은 상술한 것에 한정되지 않고, 적어도 반도체 장치를 구비한 다른 구성도 채용될 수 있다. 슬롯 머신(9900)은 다른 부속 설비를 적절히 포함할 수 있다.
- [0198] 도 17a는 휴대 전화기(1000)의 일례를 나타내고 있다. 휴대 전화기(1000)는, 하우징(1001)에 병합된 표시부(1002), 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크로폰(1006) 등을 구비하고 있다.
- [0199] 도 17a에 나타내는 휴대 전화기(1000)의 표시부(1002)를 손가락 등으로 접촉하면, 휴대 전화기(1000)에 데이터를 입력할 수 있다. 또한, 전화를 걸기, 메일을 작성하기(composing) 등은, 표시부(1002)를 손가락 등으로 접촉하는 것에 의해 행할 수 있다.
- [0200] 표시부(1002)의 화면은 주로 3개의 화면 모드가 있다. 제1 모드는 화상의 표시를 주로 하는 표시 모드이다. 제2 모드는 텍스트 등의 데이터의 입력을 주로 하는 입력 모드이다. 제3 모드는 표시 모드와 입력 모드의 2개의 모드가 혼합된 표시-및-입력 모드이다.
- [0201] 예를 들어, 전화를 걸기 또는 메일을 작성하기의 경우에는, 표시부(1002)에 대해, 텍스트의 입력을 주로 하는 텍스트 입력 모드를 선택하여, 화면에 표시된 텍스트가 입력될 수 있다. 이 경우, 표시부(1002)의 화면의 거의 모든 부분에 키보드 또는 번호 버튼을 표시하는 것이 바람직하다.
- [0202] 휴대 전화기(1000) 내부에, 자이로스코프 또는 가속도 센서 등의 기울기를 검출하는 센서를 포함하는 검출 장치를 설치하면, 휴대 전화기(1000)의 방향(휴대 전화기(1000)가 풍경 모드 또는 초상화 모드에 대해 수평 또는 수직으로 배치되어 있는가)을 판단함으로써 표시부(1002)의 화면 표시를 자동적으로 전환할 수 있다.
- [0203] 화면 모드의 전환은 표시부(1002)를 접촉하는 것, 또는 하우징(1001)의 조작 버튼(1003)을 조작하는 것에 의해 행해진다. 대안적으로, 표시부(1002)에 표시되는 화상의 종류에 따라 화면 모드를 전환할 수도 있다. 예를 들어, 표시부에 표시하는 화상 신호가 동화상 데이터이면, 화면 모드를 표시 모드로 전환한다. 신호가 텍스트 데이터이면, 화면 모드를 입력 모드로 전환한다.
- [0204] 또한, 입력 모드에서, 표시부(1002)의 광 센서에 의해 신호를 검출하고, 표시부(1002)의 터치에 의한 입력이 일정 기간 동안 행해지지 않는 경우에는, 화면 모드를 입력 모드로부터 표시 모드로 전환하도록 제어해도 좋다.
- [0205] 표시부(1002)는 이미지 센서로서 기능할 수도 있다. 예를 들어, 표시부(1002)를 손바닥 또는 손가락으로 접촉하는 것에 의해, 장문, 지문 등을 촬영함으로써, 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광을 발광하는 백라이트 또는 센싱용 광원을 제공하면, 손가락 정맥, 손바닥 정맥 등을 촬상할 수도 있다.
- [0206] 도 17b도 휴대 전화기의 일례를 도시한다. 도 17b의 휴대 전화기는 하우징(9411)에, 표시부(9412) 및 조작 버튼(9413)을 포함하는 표시 장치(9410)와, 하우징(9401)에, 조작 버튼(9402), 외부 입력 단자(9403), 마이크로폰(9404), 스피커(9405) 및 착신시에 발광하는 발광부(9406)를 포함하는 통신 장치(9400)를 구비한다. 표시 기능을 갖는 표시 장치(9410)는 전화 기능을 갖는 통신 장치(9400)와 화살표에 의해 표시되는 2개의 방향으로 이동함으로써 탈착 가능하다. 따라서, 표시 장치(9410)와 통신 장치(9400)는 이들의 단축 또는 장축을 따라 서로 부착될 수 있다. 또한, 표시 기능만을 필요로 하는 경우, 표시 장치(9410)가 통신 장치(9400)로부터 제거되어, 단독으로 사용될 수도 있다. 통신 장치(9400)와 표시 장치(9410) 사이의 무선 또는 유선 통신에 의해 화상 또는 입력 정보를 송수신할 수 있고, 이들 각각은 충전 가능한 배터리를 갖는다.
- [0207] 또한, 본 실시 형태는 이전의 임의의 실시 형태와 적절히 조합해서 구현할 수 있다.
- [0208] [실시에 1]
- [0209] 본 실시예에서는, 개시하는 발명의 일 실시 형태인, 제1 열처리와 제2 열처리를 행하는 경우의 효과를 확인했다. 이하, 도면을 참조하여 설명한다.
- [0210] 본 실시예에서는, 실시 형태 1에 따른 방법으로 제작한 트랜지스터를 샘플로 사용했다. 즉, 여기서 사용된 샘플은 이하의 열처리를 행했다: 소스 전극 또는 드레인 전극으로서 기능하는 도전층을 형성한 후 행해진 대기 분위기에서 350℃ 1시간 동안의 열처리(제1 열처리); 및 화소 전극 등으로서 기능하는 도전층을 형성한 후 행해진 대기 분위기에서 350℃ 1시간 동안의 열처리(제2 열처리). 트랜지스터의 반도체층에는, 인듐, 갈륨 및 아연을

포함하는 산화물 반도체 재료를 사용했다. 트랜지스터의 채널 길이는 $100\mu\text{m}$ 이고, 채널 폭은 $100\mu\text{m}$ 이다. 2차 이온 질량 분석법(SIMS)에 의해 측정된 결과, 제2 열처리 후의 반도체층 중의 수소 농도는 $8.0 \times 10^{20} \text{ atoms/cm}^3$ 내지 $1.0 \times 10^{21} \text{ atoms/cm}^3$, 및 질소 농도는 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 내지 $1.5 \times 10^{19} \text{ atoms/cm}^3$ 이었다(도 18 참조). 또한, 열처리 전후에서, 반도체층 중의 수소 농도와 질소 농도 간에 큰 차이는 없었다.

[0211] 층간 절연층으로서 기능하는 절연층으로서, 스퍼터링법(RF 스퍼터링법)에 의해 형성된 산화 실리콘막을 사용했다. 보다 구체적으로는, 타겟으로서 SiO_2 를 사용하는 2종류의 층간 절연층을 형성했다. 시료 1의 제작 조건은 아래와 같다: 기판 온도를 100°C 로 설정했고; 아르곤의 유량을 40 sccm; 산소의 유량을 10 sccm으로 했다. 시료 2의 제작 조건은 아래와 같다: 기판 온도를 100°C 로 설정했고; 아르곤의 유량을 25 sccm; 산소의 유량을 25 sccm으로 했다. 상기 조건 외에, 챔버 내의 압력을 0.4Pa로 유지하고, 성막 속도가 8.7 nm/min 이 되는 조건에서 절연층을 형성했다. 2차 이온 질량 분석법에 의해 측정된 결과, 제2 열처리 후의 절연층 중의 수소 농도는 $2.5 \times 10^{20} \text{ atoms/cm}^3$ 내지 $3.0 \times 10^{20} \text{ atoms/cm}^3$, 및 질소 농도는 $6.0 \times 10^{17} \text{ atoms/cm}^3$ 내지 $7.0 \times 10^{17} \text{ atoms/cm}^3$ 이다(도 18 참조). 또한, 열처리 전후에서, 절연층 중의 수소 농도와 질소 농도 간에 큰 차이는 없었다.

[0212] 또한, 2차 이온 질량 분석법에 의해 측정된 절연층(시료 1) 중의 수소 농도 및 질소 농도의 프로파일을 도 19에 나타낸다. 도 19에서, 횡축은 깊이(nm)를 표현하고, 종축은 밀도(atoms/cm³)를 표현하고 있다. 또한, 도 19에서, 실선은 수소 농도의 프로파일을 표현하고, 파선은 질소 농도의 프로파일을 표현하고 있다.

[0213] 도 20a 및 도 20b에는 상술된 트랜지스터의 전류-전압 특성을 나타낸다. 횡축은 게이트 전압(V_g)을 표현하고, 종축은 드레인 전류(I_d)를 표현하고 있다. 여기서, 도 20a에는 드레인 전압(V_d)을 10V로 했을 경우의 전류-전압 특성이 도시되며, 도 20b에는 드레인 전압(V_d)을 0.1V로 했을 경우의 전류-전압 특성이 도시된다. 도 20a 및 도 20b에서는 전류-전압 특성 간에 큰 편차는 없다. 이로부터, 제1 열처리와 제2 열처리를 행하는 경우에는, 양호한 특성의 트랜지스터가 얻어질 수 있다는 것이 명백하다.

[0214] 비교를 위해, 제작 공정에서 열처리 공정만이 변경된 샘플에 대해서 같은 측정을 행했다. 도 21a 및 도 21b는 제1 열처리를 행하고 제2 열처리를 행하지 않는 경우의 트랜지스터의 전류-전압 특성을 표현한다. 도 22a 및 도 22b는 제2 열처리를 행하고 제1 열처리를 행하지 않는 경우의 트랜지스터의 전류-전압 특성을 표현한다. 도 21a 및 도 21b, 및 도 22a 및 도 22b 각각에서, 횡축은 게이트 전압(V_g)을 표현하고, 종축은 드레인 전류(I_d)를 표현하고 있다. 또한, 도 21a 및 도 22a는 각각 드레인 전압(V_d)을 10V로 했을 경우의 전류-전압 특성을 표현한다. 도 21b 및 도 22b는 드레인 전압(V_d)을 0.1V로 했을 경우의 전류-전압 특성을 표현한다.

[0215] 도 21a 및 도 21b, 및 도 22a 및 도 22b로부터, 제1 열처리 또는 제2 열처리 중 하나만을 행한 경우에는 충분한 특성이 얻어질 수 없다. 또한, 특성의 편차도 극단적으로 크다. 도 20a 및 도 20b, 도 21a 및 도 21b, 또는 도 22a 및 도 22b 간의 비교에 따르면, 제1 열처리와 제2 열처리를 행하는 경우에는, 트랜지스터 특성이 비약적으로 향상되고 특성 편차가 저감된다는 것이 명백하다.

[0216] 비교를 위해, 수소 농도 및 질소 농도가 높은 절연층을 CVD법에 의해 형성하고, 이 절연층을 사용하는 트랜지스터의 전류-전압 특성을 마찬가지로 조사하였다. 이 조사의 결과, 제1 열처리를 행하지 않고 제2 열처리를 행하는 경우에서 가장 양호한 특성이 얻어졌다는 것을 알았다. 이 경우, 반도체층 중의 수소 농도는 $1.0 \times 10^{21} \text{ atoms/cm}^3$, 반도체층 중의 질소 농도는 $1.5 \times 10^{19} \text{ atoms/cm}^3$ 내지 $2.0 \times 10^{19} \text{ atoms/cm}^3$ 이다 절연층 중의 수소 농도는 $2.0 \times 10^{21} \text{ atoms/cm}^3$, 절연층 중의 질소 농도는 $6.0 \times 10^{20} \text{ atoms/cm}^3$ 내지 $1.5 \times 10^{21} \text{ atoms/cm}^3$ 이었다.

[0217] 이로부터, 절연층 중의 수소 농도가 반도체층 중의 수소 농도보다 낮은 경우, 또는 절연층 중의 질소 농도가 반도체층 중의 질소 농도보다 낮은 경우에는, 제1 열처리와 제2 열처리를 행하는 것이 지극히 유효하다고 이해된다.

[0218] [실시예 2]

[0219] 본 실시예에서는, 실시 형태 1의 조건을 변경해서 제작한 트랜지스터에 대해서 특성 조사를 행한 결과를 나타낸다.

- [0220] <층간 절연층의 형성 시의 산소 유량>
- [0221] 층간 절연층의 형성 시의 산소 유량에 대해서 조사했다. 층간 절연층 형성 시의 유량 이외의 모든 조건(층간 절연층의 파라미터, 성막 조건 등)은 변하지 않게 했다. 구체적으로는, 층간 절연층으로서, SiO_2 를 타겟으로 사용한 스퍼터링법(RF 스퍼터링법)에 의해 형성된 300nm의 두께의 산화 실리콘막을 사용했다. 조사는 이하의 3개의 조건 하에서 행했다: 성막 분위기에서 아르곤의 유량을 40 sccm, 산소의 유량을 10 sccm으로 한 조건(조건 1); 성막 분위기에서 아르곤의 유량을 30 sccm, 산소의 유량을 20 sccm으로 한 조건(조건 2); 및 성막 분위기에서 아르곤의 유량을 20 sccm, 산소의 유량을 30 sccm으로 한 조건(조건 3). 또한, 성막 시의 기판 온도는 100℃, 챔버 내의 압력은 0.4 Pa이었다.
- [0222] 트랜지스터의 파라미터 및 트랜지스터의 제작에 관한 다른 조건에 대해서는 실시 형태 1과 동일하다. 즉, 소스 전극 또는 드레인 전극으로서 기능하는 도전층을 형성한 후, 대기 분위기에서 350℃ 1시간 동안의 열처리(제1 열처리)를 행하고; 화소 전극 등으로서 기능하는 도전층을 형성한 후, 대기 분위기에서 350℃ 1시간 동안의 열처리(제2 열처리)를 행했다. 또한, 트랜지스터의 반도체층에는, 인듐, 갈륨 및 아연을 포함하는 산화물 반도체 재료를 사용했다. 트랜지스터의 채널 길이는 20μm, 채널 폭은 20μm이었다.
- [0223] 도 23에는, 상기 3개의 조건 하에서 제작한 트랜지스터의 게이트 전압(V_g)-드레인 전류(I_d) 특성을 나타낸다. 상기 3개의 조건 하에 제작된 트랜지스터 간의 비교로부터, 산소 유량이 작아짐에 따라, 노멀리-오프 트랜지스터가 얻어지는 경향이 있다는 것이 명백하다. 노멀리-오프 트랜지스터를 실현하기 위해, 아르곤의 유량 및 산소의 유량의 합에 대한 산소의 유량의 비가 0.5(<Ar + O₂> : O₂ = 1 : 0.5로도 표현됨) 이하가 되는 것이 바람직하다.
- [0224] <층간 절연층의 형성 시의 압력>
- [0225] 이어서, 층간 절연층으로서 기능하는 절연층의 형성 시의 압력에 대해서 조사했다. 층간 절연층 형성 시의 압력 이외의 모든 조건(층간 절연층의 파라미터, 성막 조건 등)은 변하지 않았다. 구체적으로는, SiO_2 를 타겟으로 사용한 스퍼터링법(RF 스퍼터링법)에 의해 형성된 300nm의 두께의 산화 실리콘막을 사용했다. 아르곤과 산소의 유량비를 일정(Ar : O₂ = 4 : 1)하게 유지한 채, 챔버 내의 압력을 0.2Pa, 0.4Pa, 0.8Pa, 및 1.6Pa로 설정한 4개의 조건 하에서 조사를 행했다. 또한, 성막 시의 기판 온도는 100℃ 이었다.
- [0226] 트랜지스터의 파라미터 및 트랜지스터 제작에 관한 다른 조건에 대해서는, <층간 절연층의 형성 시의 산소 유량>에 도시된 것과 동일하므로, 여기에서는 생략한다.
- [0227] 도 24에는, 상기 4개의 조건 하에서 제작한 트랜지스터의 게이트 전압(V_g)-드레인 전류(I_d) 특성을 나타낸다. 4개의 조건 하에서 제작된 트랜지스터들 간의 비교로부터, 압력이 작아짐에 따라 상승이 급해지는 경향(S값이 작아지는 경향)이 있다는 것이 명백하다. 충분한 작은 S값을 얻기 위해, 성막 시의 압력은 0.6Pa 이하로 하는 것이 바람직하다.
- [0228] <층간 절연층의 형성 시의 기판 온도>
- [0229] 층간 절연층의 형성 시의 기판 온도에 대해서 조사했다. 여기에서는, 층간 절연층으로서, SiO_2 를 타겟으로 사용한 스퍼터링법(RF 스퍼터링법)에 의해 형성된 300nm의 두께의 산화 실리콘막을 사용했다. 층간 절연층의 형성 조건은 아래와 같다: 챔버 내의 압력은 0.4Pa; 성막 분위기의 아르곤의 유량을 40 sccm, 산소의 유량을 10 sccm으로 했다. 성막 시의 기판 온도를 100℃, 200℃, 및 300℃한 3개의 조건 하에서 조사를 행했다.
- [0230] 트랜지스터의 파라미터 및 트랜지스터의 제작에 관한 다른 조건은 <층간 절연층의 형성 시의 산소 유량>에 나타난 것과 동일하므로, 여기서는 생략한다.
- [0231] 상술된 3개의 조건 하에서 제작된 트랜지스터 간의 특성 편차를 평가한 결과, 성막 시의 기판 온도가 높아짐에 따라, 특성의 편차가 커지는 경향이 있다는 것을 알았다. 특성의 편차를 억제하기 위해 성막 시의 기판 온도는 200℃ 이하로 하는 것이 바람직하다.
- [0232] <층간 절연층의 형성에 사용되는 타겟>
- [0233] 층간 절연층의 형성에 사용되는 타겟에 대해서 조사했다. 여기에서는, 층간 절연층으로서, SiO_2 를 타겟으로 사용한 스퍼터링법(RF 스퍼터링법)에 의해 형성된 300nm의 두께의 산화 실리콘막 또는 Si를 타겟으로 사용한 스퍼

터링법(RF 스퍼터링법)에 의해 형성된 300nm의 두께의 산화 실리콘막을 사용했다.

- [0234] 트랜지스터의 파라미터 및 트랜지스터의 제작에 관한 다른 조건은 <충간 절연층의 형성 시의 산소 유량>에 나타난 것과 동일하므로, 여기서는 생략한다.
- [0235] Si를 타겟으로 사용해서 산화 실리콘막을 형성하는 경우, 완성된 트랜지스터의 특성이 충간 절연층 형성 시의 산소 유량에 의해 영향을 크게 받는다는 것을 알았다. 또한, SiO₂를 타겟으로 사용하는 경우에 비해, Si를 타겟으로 사용하는 경우에, 특성 편차의 악영향이 증가하는 경향이 있었다. 이들은 이하에 의한 결과로 생각된다: 분위기에서의 산소와의 반응에 의해 성막이 진행되는 원리; 및 산화 실리콘막과 반도체층(산화물 반도체 재료) 간의 응력차. 임계값 전압(V_{th})을 제어하기 위해 SiO₂를 타겟으로 사용하는 것이 바람직하다.
- [0236] <충간 절연층의 두께>
- [0237] 충간 절연층의 두께에 대해서 조사했다. 두께 이외의 모든 조건(충간 절연층의 파라미터, 성막 조건 등)은 변하지 않는다. 구체적으로는, 상기 설명과 마찬가지로, SiO₂를 타겟으로 사용한 스퍼터링법(RF 스퍼터링법)에 의해 형성된 300nm의 두께의 산화 실리콘막을 사용했다. 두께는 200nm, 300nm, 및 400nm의 3개의 조건으로 했다.
- [0238] 충간 절연층의 두께가 변화할 때 트랜지스터 특성에는 유의차는 보이지 않았다. 따라서, 충간 절연층의 두께는 적절히 변경될 수 있다고 말할 수 있다.
- [0239] 본 출원은 2009년 3월 12일자로 출원된 일본 특허 출원 제2009-058929호 및 2009년 5월 29일자로 출원된 일본 특허 출원 제2009-131059호를 기초로 하며, 그 전체 내용은 본 명세서에 참조로서 원용된다.

부호의 설명

- [0240] 100: 기판
102: 도전층
104: 레지스트 마스크
106: 도전층
108: 절연층
110: 반도체층
112: 레지스트 마스크
114: 반도체층
116: 도전층
118: 레지스트 마스크
120: 레지스트 마스크
122: 도전층
124: 도전층
126: 절연층
128: 도전층
150: 트랜지스터
200: 기판
202: 도전층
204: 레지스트 마스크
206: 도전층

208: 절연층
210: 도전층
212: 레지스트 마스크
214: 레지스트 마스크
216: 도전층
218: 도전층
220: 반도체층
222: 레지스트 마스크
224: 반도체층
226: 절연층
228: 도전층
250: 트랜지스터
300: 기판
302: 게이트 전극
304: 용량 배선
306: 단자
308: 게이트 절연층
310: 소스 전극
312: 드레인 전극
314: 접속 전극
316: 단자
318: 반도체층
320: 절연층
322: 투명 도전층
324: 투명 도전층
326: 투명 도전층
350: 트랜지스터
602: 기판
650: 박막 트랜지스터
660: 전극층
670: 전극층
680: 구형 입자
682: 충전재
701: TFT
702: 발광 소자
703: 음극

704: 발광층
705: 양극
711: TFT
712: 발광 소자
713: 음극
714: 발광층
715: 양극
716: 차폐막
717: 도전막
721: TFT
722: 발광 소자
723: 음극
724: 발광층
725: 양극
727: 도전막
1000: 휴대 전화기
1001: 하우징
1002: 표시부
1003: 조작 버튼
1004: 외부 접속 포트
1005: 스피커
1006: 마이크로폰
2600: TFT 기판
2601: 대향 기판
2602: 시일재
2603: 소자층
2604: 액정층
2605: 착색층
2606: 편광판
2607: 편광판
2608: 배선 회로부
2609: 플렉시블 배선 기판
2610: 냉음극관
2611: 반사판
2612: 회로 기판
2613: 확산판

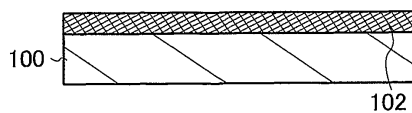
2631: 포스터
 2632: 차내 광고
 2700: 전자 서적
 2701: 하우스징
 2703: 하우스징
 2705: 표시부
 2707: 표시부
 2711: 축부
 2721: 전원
 2723: 조작 키
 2725: 스피커
 4001: 기관
 4002: 화소부
 4003: 신호선 구동 회로
 4004: 주사선 구동 회로
 4005: 시일재
 4006: 기관
 4008: 액정층
 4010: 박막 트랜지스터
 4011: 박막 트랜지스터
 4013: 액정 소자
 4015: 접속 단자 전극
 4016: 단자 전극
 4018: FPC
 4019: 이방성 도전막
 4020: 절연층
 4021: 절연층
 4030: 화소 전극층
 4031: 대향 전극층
 4032: 절연층
 4033: 절연층
 4035: 스페이서
 4501: 기관
 4502: 화소부
 4503a: 신호선 구동 회로
 4503b: 신호선 구동 회로

4504a: 주사선 구동 회로
 4504b: 주사선 구동 회로
 4505: 시일재
 4506: 기관
 4507: 충전재
 4509: 박막 트랜지스터
 4510: 박막 트랜지스터
 4511: 발광 소자
 4512: 전계 발광층
 4513: 전극층
 4515: 접속 단자 전극
 4516: 단자 전극
 4517: 전극층
 4518a: FPC
 4518b: FPC
 4519: 이방성 도전막
 4520: 격벽
 680a: 흑색 영역
 680b: 백색 영역
 9400: 통신 장치
 9401: 하우징
 9402: 조작 버튼
 9403: 외부 입력 단자
 9404: 마이크로폰
 9405: 스피커
 9406: 발광부
 9410: 표시 장치
 9411: 하우징
 9412: 표시부
 9413: 조작 버튼
 9600: 텔레비전 장치
 9601: 하우징
 9603: 표시부
 9605: 스탠드
 9607: 표시부
 9609: 조작 키

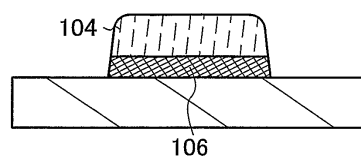
9610: 리모콘 조작기
 9700: 디지털 포토 프레임
 9701: 하우징
 9703: 표시부
 9881: 하우징
 9882: 표시부
 9883: 표시부
 9884: 스피커부
 9885: 조작 키
 9886: 기록 매체 삽입부
 9887: 접속 단자
 9888: 센서
 9889: 마이크로폰
 9890: LED 램프
 9891: 하우징
 9893: 연결부
 9900: 슬롯 머신
 9901: 하우징
 9903: 표시부

도면

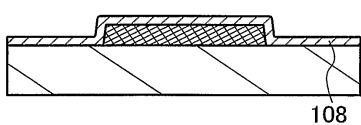
도면1a



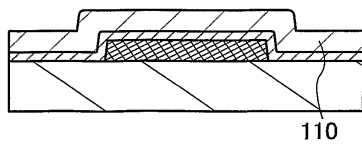
도면1b



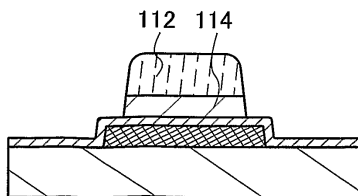
도면1c



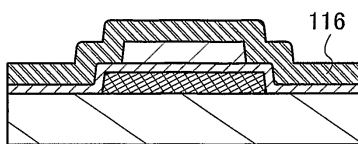
도면1d



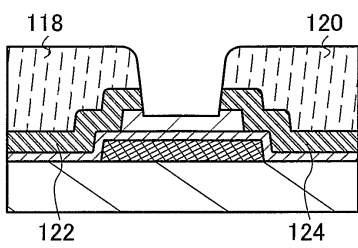
도면1e



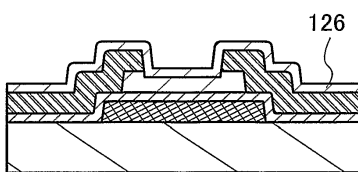
도면2a



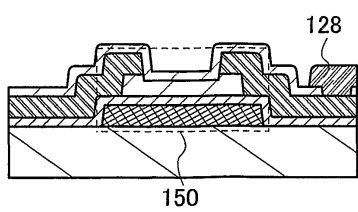
도면2b



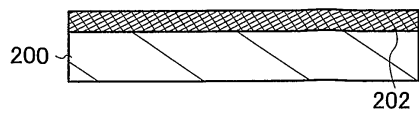
도면2c



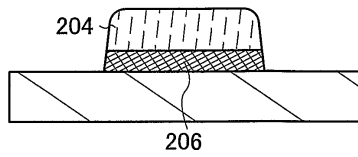
도면2d



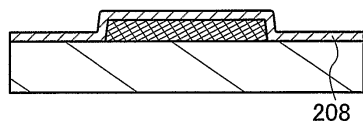
도면3a



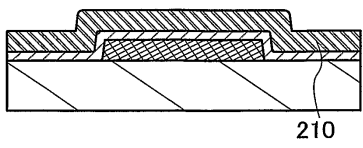
도면3b



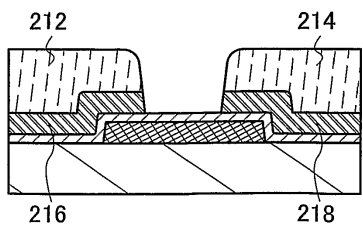
도면3c



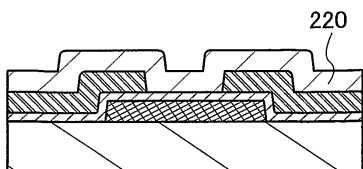
도면3d



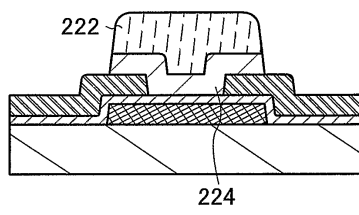
도면3e



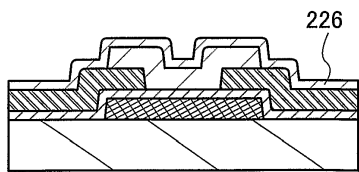
도면4a



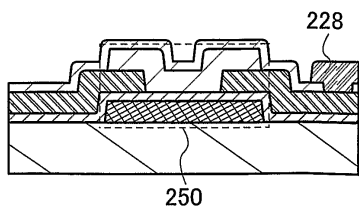
도면4b



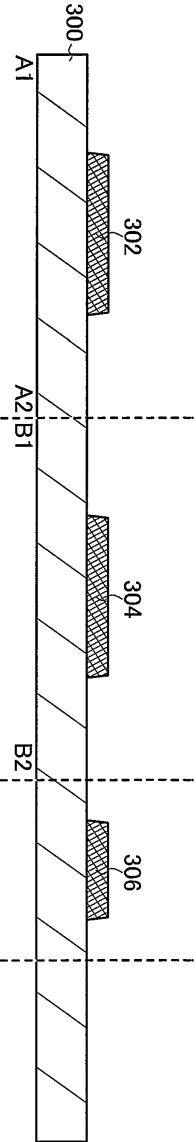
도면4c



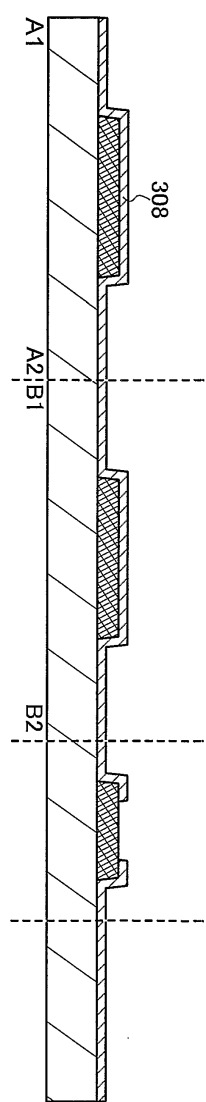
도면4d



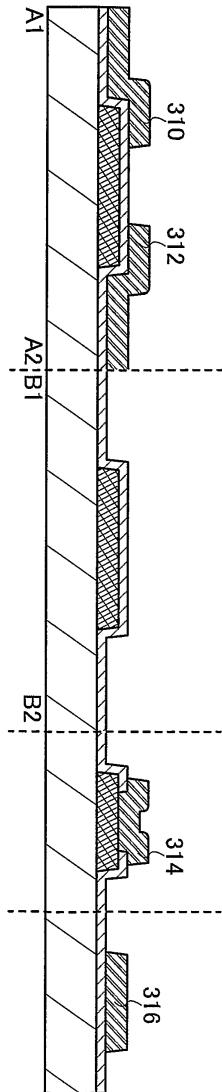
도면5a



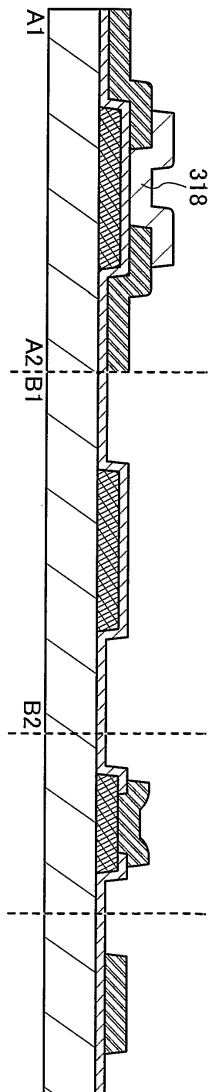
도면5b



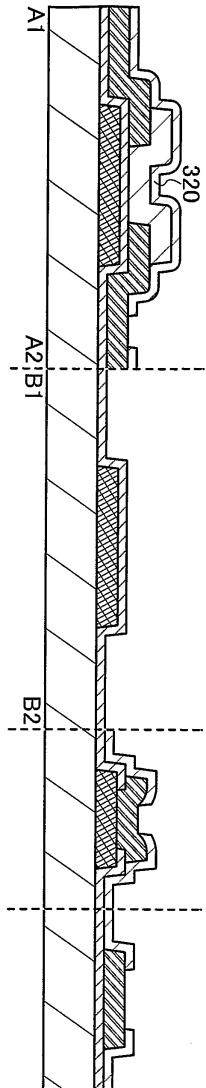
도면5c



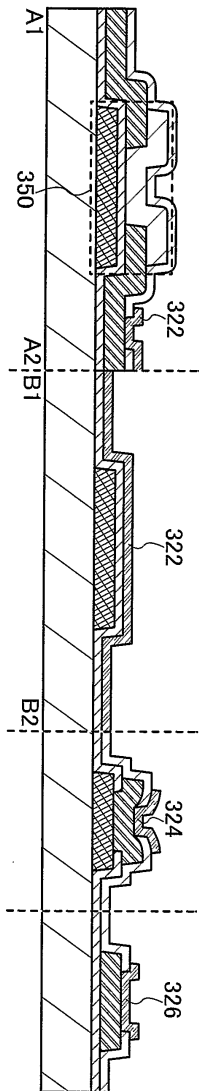
도면6a



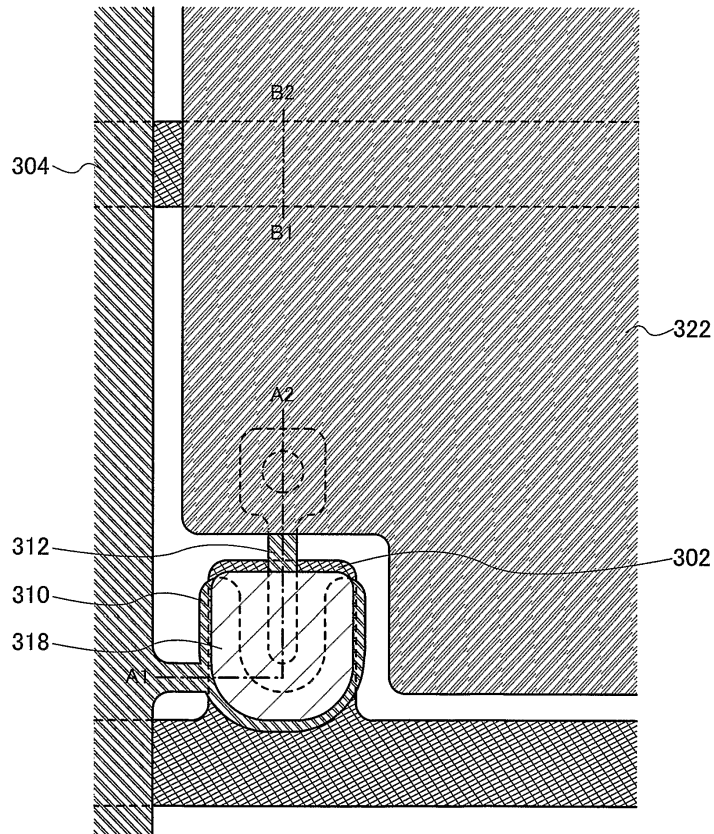
도면6b



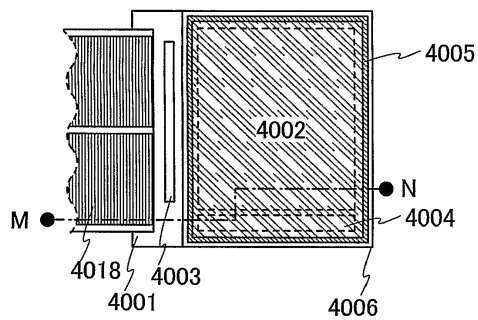
도면6c



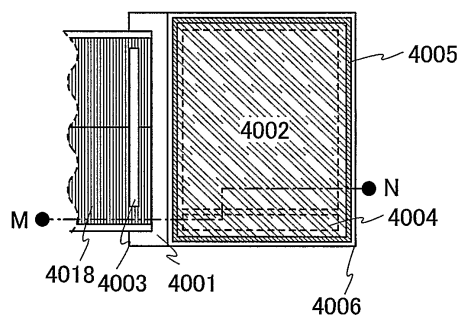
도면7



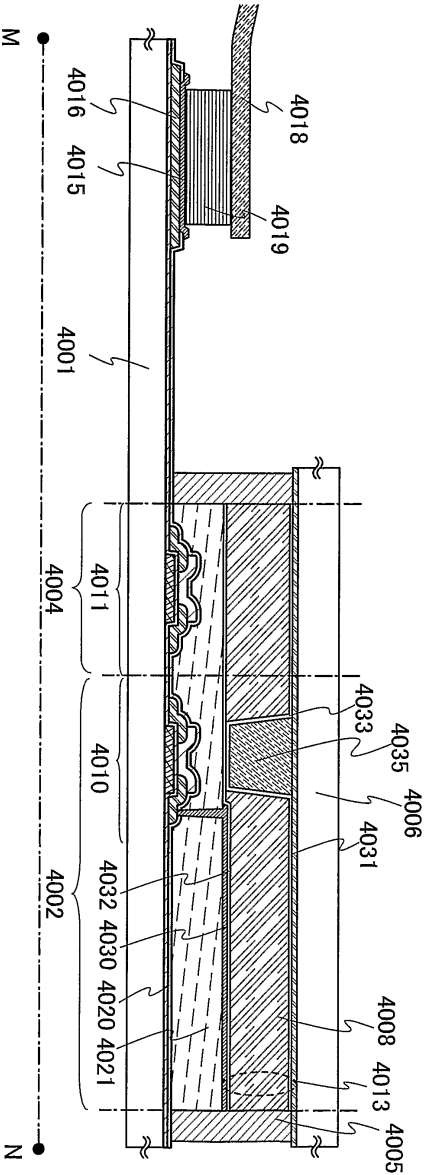
도면8aa



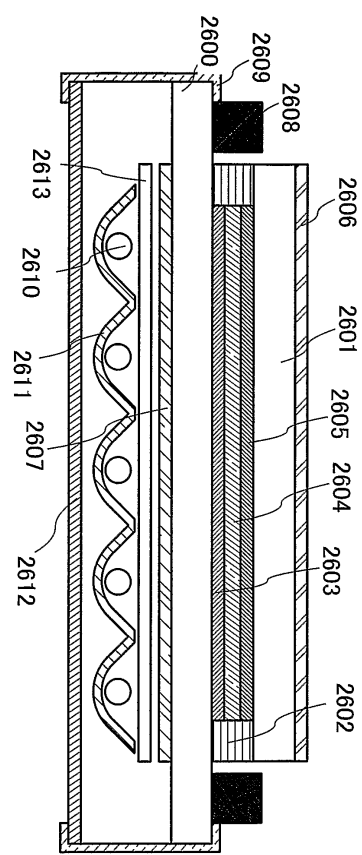
도면 8ab



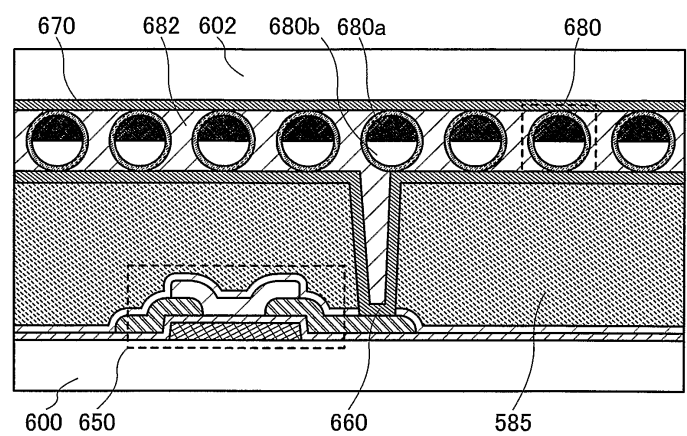
도면8b



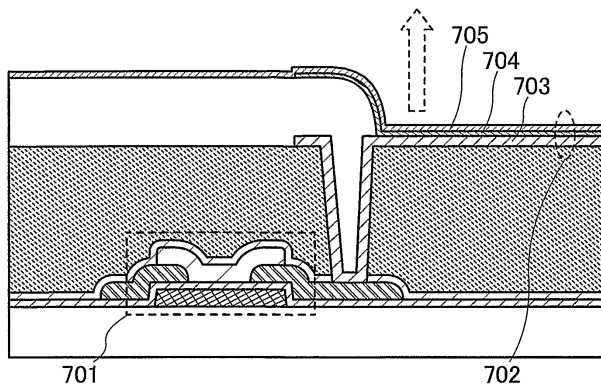
도면9



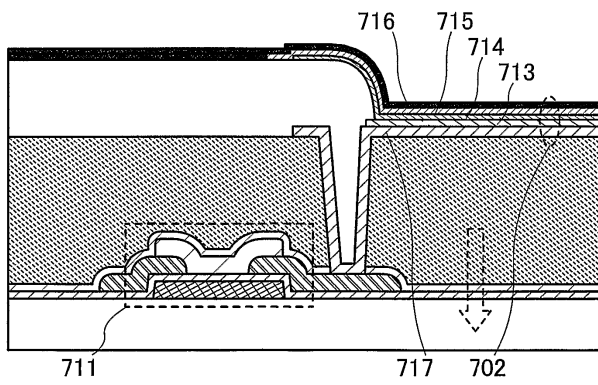
도면10



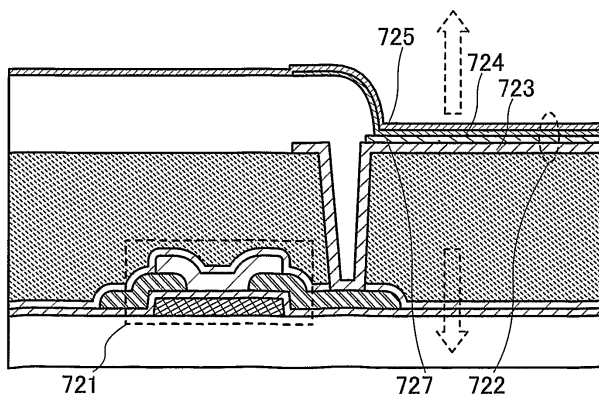
도면11a



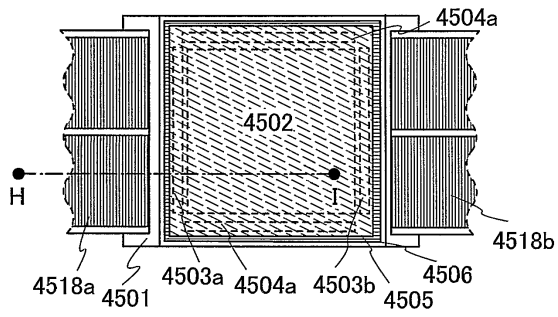
도면11b



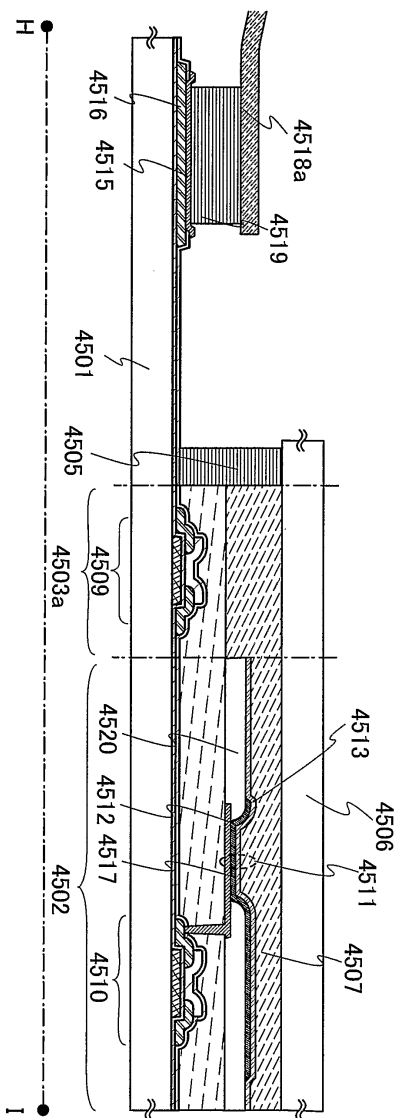
도면11c



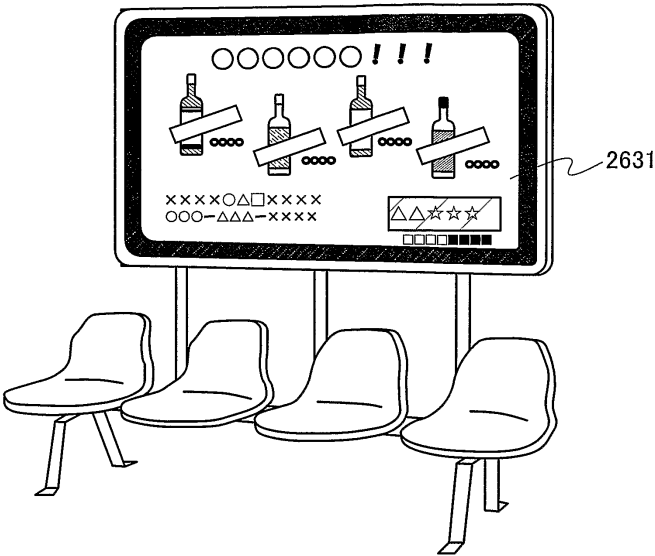
도면12a



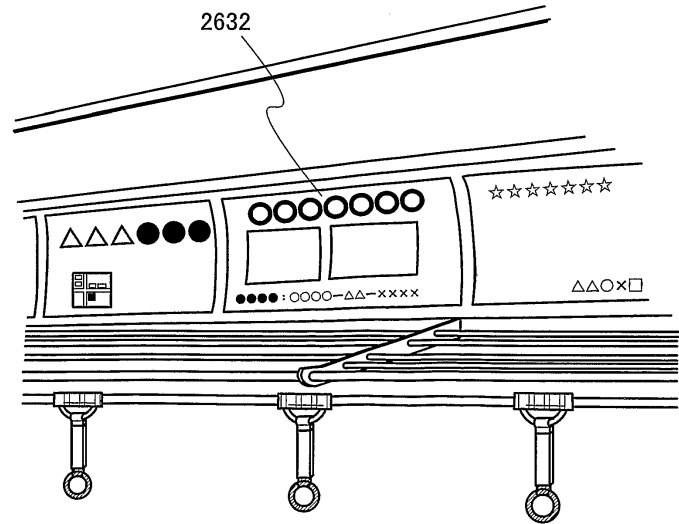
도면12b



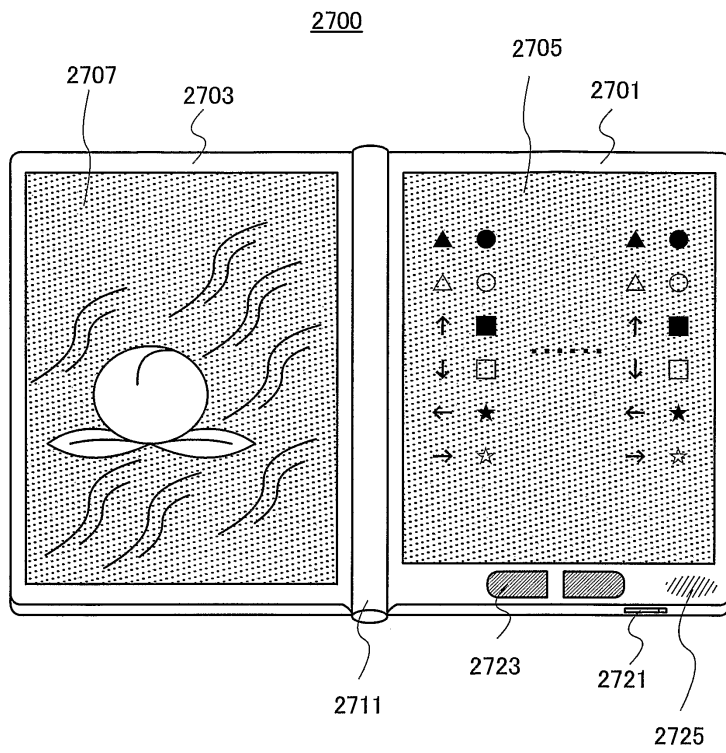
도면13a



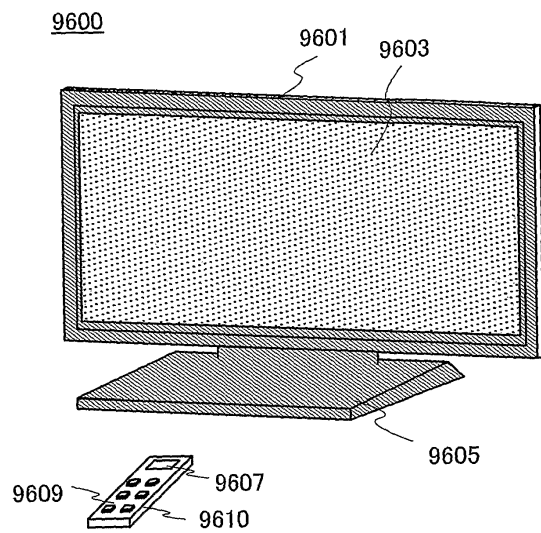
도면13b



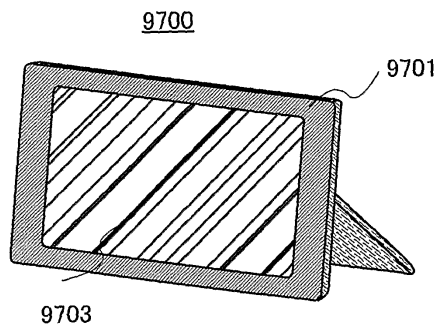
도면14



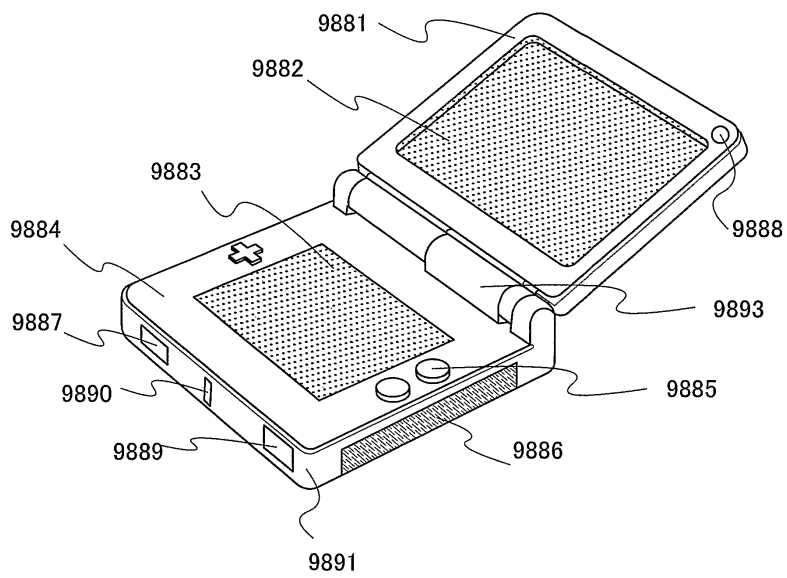
도면15a



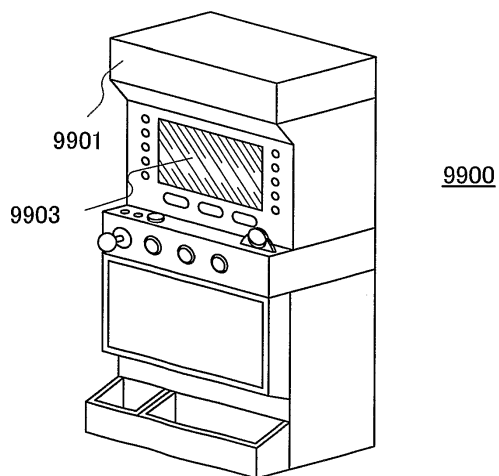
도면15b



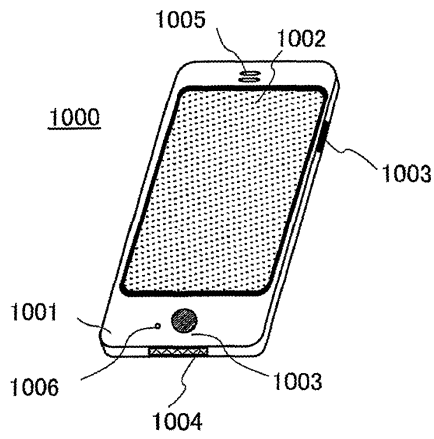
도면16a



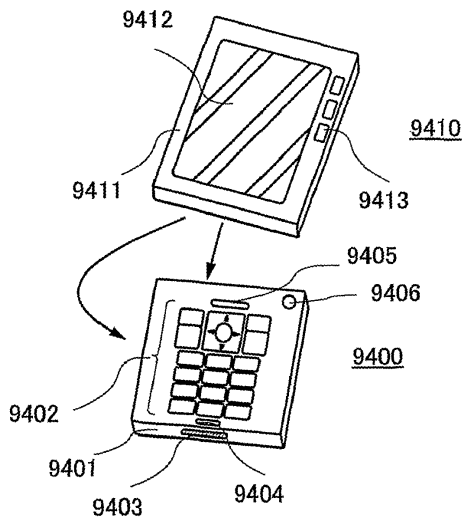
도면16b



도면17a



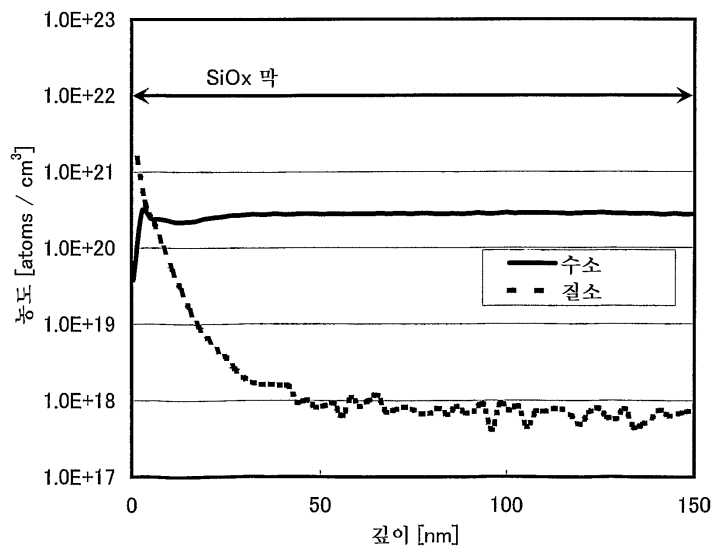
도면17b



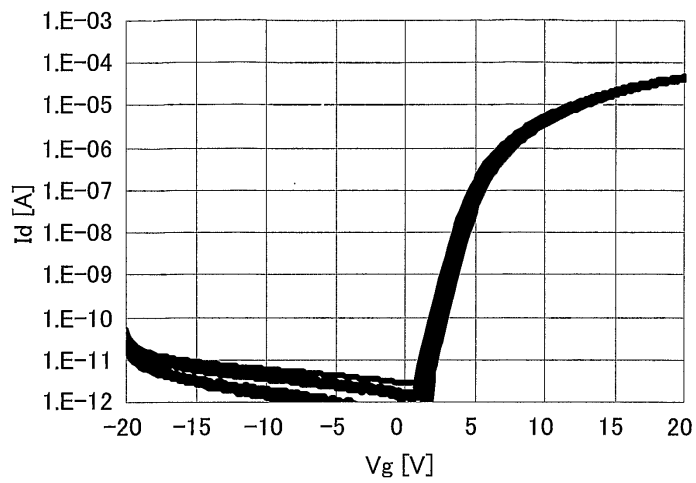
도면18

절연막의 성막 조건	수소 농도		질소 농도	
	반도체층 [atoms/cm ³]	절연층 [atoms/cm ³]	반도체층 [atoms/cm ³]	절연층 [atoms/cm ³]
Ar/O ₂ = 40(sccm)/10(sccm)	8 × 10 ²⁰	3 × 10 ²⁰	1.5 × 10 ¹⁹	7 × 10 ¹⁷
Ar/O ₂ = 25(sccm)/25(sccm)	1 × 10 ²¹	2.5 × 10 ²⁰	1 × 10 ¹⁹	6 × 10 ¹⁷

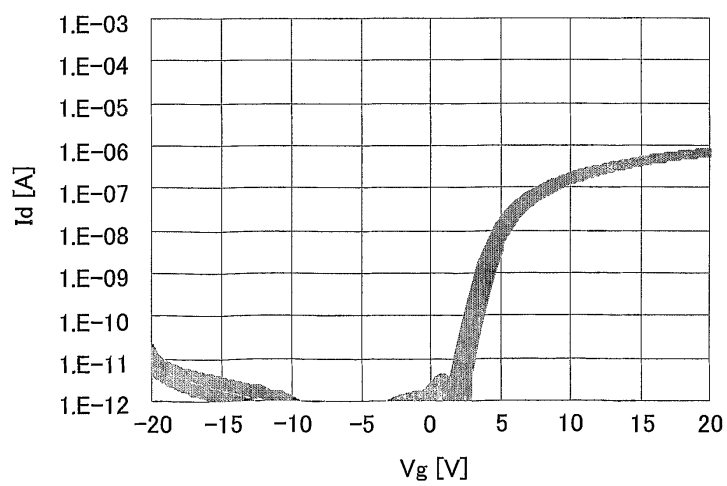
도면19



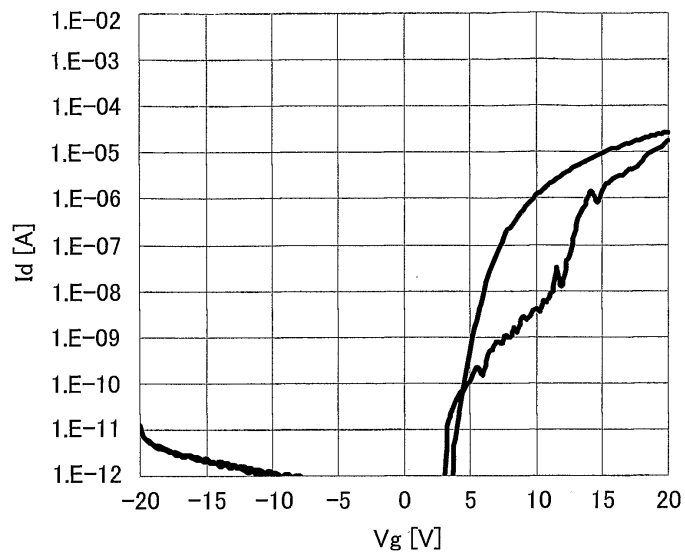
도면20a



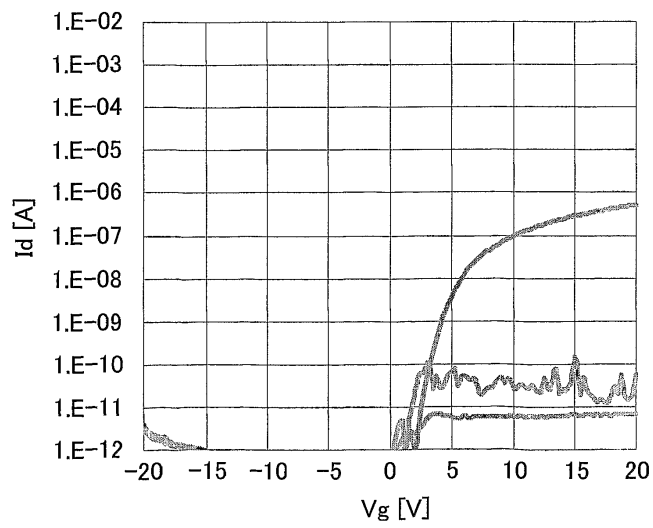
도면20b



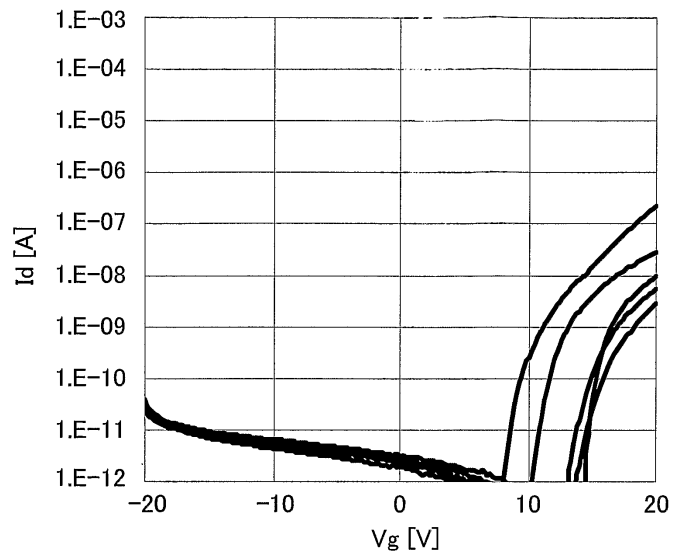
도면21a



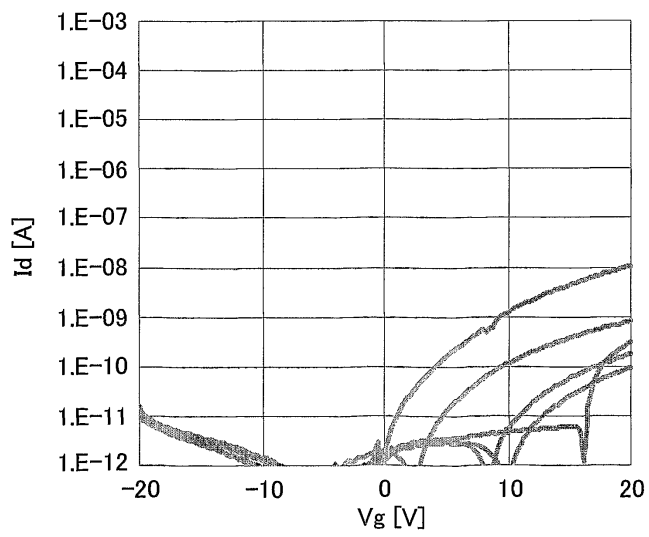
도면21b



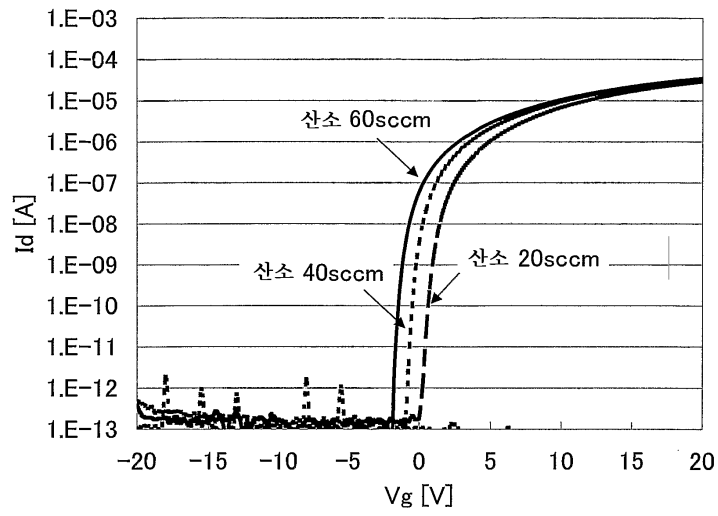
도면22a



도면22b



도면23



도면24

