



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202004205 A

(43)公開日：中華民國 109 (2020) 年 01 月 16 日

(21)申請案號：107118442

(22)申請日：中華民國 107 (2018) 年 05 月 30 日

(51)Int. Cl.：

G01R31/27 (2006.01)**G01R31/28 (2006.01)**

(71)申請人：緯穎科技服務股份有限公司 (中華民國) WIWYNN CORPORATION (TW)

新北市汐止區新台五路一段 88 號 21 樓

(72)發明人：朱育男 CHU, YU-NAN (TW)；杜永中 DU, YUNG-JUNG (TW)；陳毅唐 CHEN, YI-TANG (TW)

(74)代理人：許世正

申請實體審查：有 申請專利範圍項數：12 項 圖式數：3 共 22 頁

(54)名稱

用於傳輸並供測試高速訊號的電路板

(57)摘要

一種用於傳輸並供測試高速訊號的電路板，包含基板、絕緣層及二金屬走線。絕緣層設置於基板上，且具有第一表面、第二表面及測試開口，其中第一表面背向基板，第二表面朝向基板，且測試開口係貫穿第一表面且形成於第二表面上。所述二金屬走線用於傳輸高速訊號且埋設於絕緣層的第一表面及第二表面之間。所述二金屬走線之中的至少一者包含測試區段，此測試區段對位於絕緣層的測試開口且透過該測試開口外露。

A circuit board for transmitting a high speed signal and for said signal to be detected comprises a substrate, an insulating layer and two metal printed wires. The insulating layer is disposed on the substrate and comprises the first surface, the second surface and a test opening, with the first surface back on to the substrate, the second surface towards the substrate, and the test opening passing through the first surface and formed on the second surface. Said two metal printed wires are configured to transmit the high speed signal, buried between the first surface and the second surface of the insulating layer. At least one of said two metal printed wires comprises a test section aligned to the test opening of the insulating layer and exposed by the test opening.

指定代表圖：

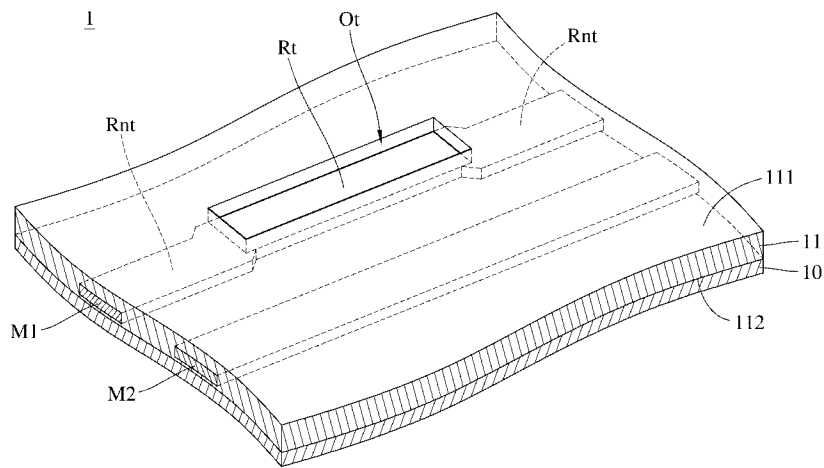


圖 2C

符號簡單說明：

- 1 . . . 電路板
- 10 . . . 基板
- 11 . . . 絕緣層
- 111 . . . 第一表面
- 112 . . . 第二表面
- Ot . . . 測試開口
- M1、M2 . . . 金屬走線
- Rt . . . 測試區段
- Rnt . . . 非測試區段

【發明說明書】

【中文發明名稱】 用於傳輸並供測試高速訊號的電路板

【英文發明名稱】 CIRCUIT BOARD FOR TRANSMITTING HIGH SPEED
SIGNAL AND FOR SAID SIGNAL TO BE DETECTED

【技術領域】

【0001】 本發明係關於一種電路板，特別係關於一種用於傳輸並供測試高速訊號的電路板。

【先前技術】

【0002】 在現今印刷電路板（Printed Circuit Board，PCB）的板端上元件以及訊號的電氣測試上，會執行在線測試（In-circuit Test，ICT）或製造缺陷分析（Manufacturing Defect Analyze）等。透過在板端上的金屬走線中設置多個測試區塊，再藉由測試探針接觸測試點以進行測試，如此方能檢測印刷線路板上是否存在因製程而造成的元件異常。

【0003】 一般而言，用於傳輸高速訊號的金屬走線的線寬界於 4~7 毫英吋（mil），而習知的測試區塊為直徑界於 28~35mil 之間的圓形區塊。若於傳輸高速訊號的金屬走線上設置習知的測試區塊，將大幅改變金屬走線的阻抗，導致阻抗不連續而產生訊號反射，影響高速訊號的傳輸品質、整體裝置的穩定性甚至是讀寫速度，因此，習知的 ICT 或 MDA 不會針對傳輸高速訊號的金屬走線來進行測試，而是在後續的功能性測試（Functional Test）階段時才一併測試。其中，功能性測試屬於偏向完整的系統性測試，係待所有電路板皆生產完成後，以整套系統及陪測物（例如週邊元件內連線匯流排界面的固態硬碟）所進行的系統面功能性測試。

【0004】 然而，由於功能性測試為整套系統組裝完成後所執行的測試，於此階段中，待測元件的數量多又複雜，此外，於一般電路板廠商的生產流程中，電路板的製造依據不同的製程工單會於不同的時間或生產線來執行，因此各塊電路板的製成時間不一，使得高速訊號走線的測試相當

困難。

【發明內容】

【0005】 鑒於上述，本發明提供一種用於傳輸並供測試高速訊號的電路板，不僅可以提供測試探針執行高速訊號的測試，亦具有良好的訊號傳輸品質。

【0006】 依據本發明一實施例的用於傳輸並供測試高速訊號的電路板，包含基板、絕緣層及二金屬走線。絕緣層設置於基板上，且具有第一表面、第二表面及測試開口，其中第一表面背向基板，第二表面朝向基板，且測試開口係貫穿第一表面且形成於第二表面上。所述二金屬走線用於傳輸高速訊號且埋設於絕緣層的第一表面及第二表面之間。所述二金屬走線之中的至少一者包含測試區段，此測試區段對位於絕緣層的測試開口且透過所述測試開口外露。

【0007】 依據本發明另一實施例的用於傳輸並供測試高速訊號的電路板，其中所述二金屬走線包含第一金屬走線及第二金屬走線。第一金屬走線包含測試區段及非測試區段，其中第一金屬走線的非測試區段及第二金屬走線均與測試開口錯位，且測試區段與第二金屬走線之間的距離大於非測試區段與第二金屬走線之間的距離。

【0008】 依據本發明又一實施例的用於傳輸並供測試高速訊號的電路板，其中所述二金屬走線包含第一金屬走線及第二金屬走線。第一金屬走線及第二金屬走線均包含測試區段及非測試區段，其中第一金屬走線的非測試區段及第二金屬走線的非測試區段均與測試開口錯位，第一金屬走線的測試區段的線寬大於第一金屬走線的非測試區段的線寬，且第二金屬走線的測試區段的線寬大於第二金屬走線的非測試區段的線寬。

【0009】 藉由上述各實施例所提出的實施方式，本案所揭示的用於傳輸並供測試高速訊號的電路板，透過打開遮罩（Open Solder Mask）的結構，搭配相對應的金屬走線間距或線寬比例的調整，降低了阻抗不連續的狀況，使得金屬走線在設置有測試區段的情況下仍保有良好的傳輸品質。本案所揭示

的電路板可以提供測試高速訊號是否有出現製程上的問題，例如訊號間短路、金屬走線本身的斷路、串聯元件本身缺件、偏移、錯件、損件等會影響高速訊號的因素。此外，透過本案所提供的電路板來執行高速訊號的測試，相較於習知的功能性測試能夠更精準和快速找出錯誤問題點，節省工廠大量人力物力金錢資源等，且在相同有限時間之下，亦可以間接提升工廠生產之良率。

【0010】 以上之關於本揭露內容之說明及以下之實施方式之說明係用以示範與解釋本發明之精神與原理，並且提供本發明之專利申請範圍更進一步之解釋。

【圖式簡單說明】

【0011】

圖 1 係依據本發明一實施例所繪示的用於傳輸並供測試高速訊號的電路板的金屬走線的電路示意圖。

圖 2A 係依據本發明一實施例所繪示的用於傳輸並供測試高速訊號的電路板的部分俯視圖。

圖 2B 係依據圖 2A 的電路板所繪示的局部放大俯視圖。

圖 2C 係依據圖 2B 的電路板所繪示的立體圖。

圖 3A 係依據本發明另一實施例所繪示的用於傳輸並供測試高速訊號的電路板的部分俯視圖。

圖 3B 係依據圖 3A 的電路板所繪示的局部放大俯視圖。

圖 3C 係依據圖 3B 的電路板所繪示的立體圖。

【實施方式】

【0012】 以下在實施方式中詳細敘述本發明之詳細特徵以及優點，其內容足以使任何熟習相關技藝者了解本發明之技術內容並據以實施，且根據本說明書所揭露之內容、申請專利範圍及圖式，任何熟習相關技藝者可輕易地理解本發明相關之目的及優點。以下之實施例係進一步詳細說明本發明之觀點，但非以任何觀點限制本發明之範疇。

【0013】 請參考圖 1，圖 1 係依據本發明一實施例所繪示的用於傳輸並供測試高速訊號的電路板的金屬走線的電路示意圖。如圖 1 所示，本發明所提供的用於傳輸並供測試高速訊號的電路板具有兩條金屬走線 M1 及 M2，屬於差分訊號 (Differential Signal) 線，即由正訊號 (Positive Signal) 線與負訊號 (Negative Signal) 線所構成的一對傳輸訊號線。金屬走線 M1 及 M2 用於連接於電壓源 V_s 及負載阻抗 Z_L 之間以傳輸高速訊號，且在傳輸訊號的過程中，金屬走線 M1 及 M2 具有特徵阻抗。進一步來說，高速訊號例如基於週邊元件內連線匯流排 (Peripheral Component Interconnect Express, PCIe)，其頻率例如為 2GHz 以上，此外，高速訊號亦可基於串列 SCSI (Serial Attached SCSI, SAS) 標準、串列 ATA (Serial ATA, SATA) 等訊號標準，本發明不予限制。

【0014】 接下來請參考圖 1 及圖 2A~2C 以說明於本發明的一實施例中的用於傳輸並供測試高速訊號的電路板 1 的架構。其中，圖 2A 係電路板 1 的部分俯視圖；圖 2B 係依據圖 2A 的電路板 1 所繪示的局部放大俯視圖；且圖 2C 係依據圖 2B 的電路板 1 所繪示的立體圖。圖 2A 示例性地繪示部分的金屬走線 M1 及 M2 於電路板 1 上的設置，於此實施例中，金屬走線 M1 及 M2 中的至少一者具有測試區段 R_t 作為提供測試高速訊號的區段，而測試區段 R_t 以外的區段則定義為非測試區段 R_{nt} 。

【0015】 圖 2B 及 2C 分別繪示圖 2A 中的虛線方塊區域的局部放大及立體圖，以說明電路板 1 的結構與尺寸設計。如圖所示，電路板 1 包含基板 10、絕緣層 11 及二金屬走線 M1 及 M2。基板 10 可以為紙基板 (例如 FR-1、FR-2、FR-3)、環氧玻纖布基板 (例如 FR-4、FR-5)、複合基板或其他絕緣材料組成的基板，本發明不予限制。絕緣層 11 可以由防焊綠漆 (Solder Mask) 或其他絕緣材料組成，且設置於基板 10 上。絕緣層 11 具有第一表面 111、第二表面 112 以及貫穿第一表面 111 且形成於第二表面 112 的測試開口 O_t ，其中，第一表面 111 定義為背向基板 10 的表面，

而第二表面 112 定義為朝向基板 10 的表面。換句話說，絕緣層 11 的第一表面 111 與基板 10 之間的距離大於第二表面 112 與基板 10 之間的距離。

【0016】 電路板 1 的兩條金屬走線 M1 及 M2 埋設於絕緣層 11 的第一表面 111 及第二表面 112 之間，且金屬走線 M1 及 M2 中至少一者包含測試區段 Rt，此測試區段 Rt 對位於前述絕緣層 11 的測試開口 Ot 且透過測試開口 Ot 外露。換句話說，測試開口 Ot 可以暴露出測試區段 Rt，以供測試探針電性測試區段 Rt 來執行金屬走線上的高速訊號的測試。舉例來說，測試開口 Ot 所暴露出的測試區段 Rt 上可以再加印錫膏，供導體（例如針床）接觸以執行測試。

【0017】 於圖 2A~2C 所示的實施例中，為了方便說明，更定義金屬走線 M1 為第一金屬走線 M1，而金屬走線 M2 為第二金屬走線 M2。也就是說，金屬走線 M1 及 M2 包含第一金屬走線 M1 及第二金屬走線 M2。其中，第一金屬走線 M1 包含了測試區段 Rt 及非測試區段 Rnt，測試區段 Rt 對位於絕緣層 11 的測試開口 Ot，非測試區段 Rnt 則與測試開口 Ot 錯位的區段，且第二金屬走線 M2 亦與測試開口 Ot 錯位。換句話說，測試開口 Ot 僅暴露出第一金屬走線 M1 的測試區段 Rt，而第一金屬走線 M1 的非測試區段 Rnt 及第二金屬走線 M2 均受絕緣層 11 所覆蓋。

【0018】 第一金屬走線 M1 的測試區段 Rt 與非測試區段 Rnt 的交界處具有轉角以形成上述距離 D1 大於距離 D2 的線路設置。舉例來說，第一金屬走線 M1 的測試區段 Rt 與第二金屬走線 M2 之間的距離 D1 為非測試區段 Rnt 與第二金屬走線 M2 之間的距離 D2 的 1.1~1.8 倍；而第一金屬走線 M1 的測於此實施例中，測試區段 Rt 與第二金屬走線 M2 之間的距離 D1 大於非測試區段 Rnt 與第二金屬走線 M2 之間的距離 D2。具體來說，測試區段 Rt 的長度 L1 為非測試區段 Rnt 與第二金屬走線 M2 之間的距離 D2 的 2.5~3.5 倍。此外，於此實施例中，第一金屬走線 M1 的測試區段 Rt 的線寬 W1 可以等於非測試區段 Rnt 的線寬 W2。

【0019】 詳細來說，當兩條維持單一間隔的金屬走線的其中一條的一區段上未覆蓋絕緣層時，未覆蓋絕緣層的區段的特徵阻抗會小於其他受絕緣層覆蓋的區段的特徵阻抗，導致金屬走線的阻抗不連續而產生訊號反射，影響高速訊號的傳輸品質、整體裝置的穩定性甚至是讀寫速度。因此，透過如前述將第一金屬走線 M1 中未覆蓋絕緣層 11 的區段（即測試區段 Rt）與第二金屬走線 M2 之間的距離 D1 加寬以大於第一金屬走線 M1 中受覆蓋區段（即測試區段 Rnt）與第二金屬走線 M2 之間的距離 D2 的設計，便能使未覆蓋絕緣層 11 的區段與第二金屬走線 M2 之間的互容（Mutual Capacitance）減少，進而增加未覆蓋絕緣層 11 的區段的特徵阻抗，以將其調整近似於受絕緣層 11 覆蓋的區段的特徵阻抗，以降低阻抗不連續的狀況，使得金屬走線在設置有測試區段的情況下仍保持良好的傳輸品質。

【0020】 此外，於此實施例中，電路板 1 除了基板 10、絕緣層 11 及二金屬走線 M1 及 M2 之外更可以包含錫膏。所述錫膏可以設置於測試開口 Ot 所暴露出的第一金屬走線 M1 的測試區段 Rt 上，以導電連接於所述測試區段 Rt，進而供測試探針接觸以執行高速訊號的測試。

【0021】 請再參考圖 1 及圖 3A~3C 以說明於本發明的另一實施例中的用於傳輸並供測試高速訊號的電路板 1' 的架構。其中，圖 3A 係電路板 1' 的部分俯視圖；圖 3B 係依據圖 3A 的電路板 1' 所繪示的局部放大俯視圖；且圖 3C 係依據圖 3B 的電路板 1' 所繪示的立體圖。圖 3A 示例性地繪示部分的金屬走線 M1' 及 M2' 於電路板 1' 上的設置，於此實施例中，金屬走線 M1' 及 M2' 分別具有測試區段 Rt1 及 Rt2，而金屬走線 M1' 及 M2' 上的測試區段 Rt 及 Rt2 以外的區段則分別定義為非測試區段 Rnt1 及 Rnt2。

【0022】 圖 3B 及 3C 分別繪示圖 3A 中的虛線方塊區域的局部放大及立體圖，以說明電路板 1' 的結構與尺寸設計。如圖所示，電路板 1' 包含基板 10、絕緣層 11' 及二金屬走線 M1' 及 M2'。類似於前一實施例的電路板 1，電路板 1' 的基板 10 可以為紙基板（例如 FR-1、FR-2、FR-3）、環氧

玻纖布基板(例如 FR-4、FR-5)、複合基板或由其他絕緣材料組成的基板，本發明不予限制；絕緣層 11'則可以由防焊綠漆 (Solder Mask) 或其他絕緣材料組成，且設置於基板 10 上。絕緣層 11'具有第一表面 111'、第二表面 112'以及貫穿第一表面 111'且形成於第二表面 112'上的測試開口 Ot'，其中，第一表面 111'定義為背向基板 10 的表面，而第二表面 112'定義為朝向基板 10 的表面。換句話說，絕緣層 11'的第一表面 111'與基板 10 之間的距離大於第二表面 112'與基板 10 之間的距離。

【0023】 為了方便說明，下述定義金屬走線 M1'為第一金屬走線 M1'，且定義金屬走線 M2'為第二金屬走線 M2'，意即金屬走線 M1'及 M2'包含第一金屬走線 M1'及第二金屬走線 M2'。於圖 3A~3C 所示的實施例中，如前所述，第一金屬走線 M1'及第二金屬走線 M2'均包含測試區段 Rt1 及 Rt2 與非測試區段 Rnt1 及 Rnt2。其中，第一金屬走線 M1'的測試區段 Rt1 及第二金屬走線 M2'的測試區段 Rt2 共同與測試開口 Ot'對位。具體來說，測試開口 Ot'同時暴露出第一金屬走線 M1'的測試區段 Rt1 及第二金屬走線 M2'的測試區段 Rt2。另一方面，第一金屬走線 M1'的非測試區段 Rnt1 及第二金屬走線 M2'的非測試區段 Rnt2 則均與測試開口 Ot'錯位。

【0024】 於此實施例中，第一金屬走線 M1'的測試區段 Rt1 的線寬 W1'大於第一金屬走線 M1'的非測試區段 Rnt1 的線寬 W1，且第二金屬走線 M2'的測試區段 Rt2 的線寬 W2'大於第二金屬走線 M2'的非測試區段 Rnt2 的線寬 W2。具體來說，第一金屬走線 M1'的測試區段 Rt1 與非測試區段 Rnt1 的交界處具有轉角，且第二金屬走線 M2'的測試區段 Rt2 與非測試區段 Rnt2 的交界處亦具有轉角，以形成上述測試區段 Rt1 及 Rt2 的線寬 W1'及 W2'大於非測試區段 Rnt1 及 Rnt2 的線寬 W1 及 W2 的線路設置。

【0025】 舉例來說，第一金屬走線 M1'的測試區段 Rt1 的線寬 W1'可以為第一金屬走線 M1'的非測試區段 Rnt1 的線寬 W1 的 1.18 倍~1.33 倍；而第一金屬走線 M1'的測試區段 Rt1 的長度 L1'可以為第一金屬走線

M1'的非測試區段 Rnt1 的線寬 W1 的 3.5~5 倍。於此實施例中，第一金屬走線 M1'的測試區段 Rt1 的長度 L1'與第二金屬走線 M2'的測試區段 Rt2 的長度 L2'可以相同，且第二金屬走線 M2'的測試區段 Rt2 的線寬 W2'與非測試區段 Rnt2 的線寬 W2 之間的比例以及測試區段 Rt2 的長度 L2'與線寬 W2 之間的比例皆可同於第一金屬走線 M1'。此外，第一金屬走線 M1 的測試區段 Rt1 與第二金屬走線 M2 的測試區段 Rt2 之間的距離 D1'可以等於第一金屬走線 M1 的非測試區段 Rnt1 與第二金屬走線 M2 的非測試區段 Rnt2 之間的距離 D2'。

【0026】 詳細來說，上述實施例中的測試開口 Ot'同時暴露第一金屬走線 M1 的測試區段 Rt1 及第二金屬走線 M2 的測試區段 Rt2，使得第一金屬走線 M1 與第二金屬走線 M2 具有相同的線路設置，進而具有較佳的高速訊號傳輸效能。實際上，在兩條金屬走線皆維持單一線寬的情況下，相比於受絕緣層覆蓋的兩條金屬走線，如上述同時遭測試開口暴露而未受絕緣層覆蓋的兩條金屬走線的部分區段所具有的特徵阻抗會較大。因此，透過前述將兩條金屬走線中未受絕緣層覆蓋的區段的線寬增加以大於其餘受覆蓋區段的線寬的設計，便能將未受絕緣層覆蓋的兩條金屬走線的部分區段的特徵阻抗調整近似於受絕緣層覆蓋的金屬走線的特徵阻抗。

【0027】 進一步地說明前述各實施例中金屬走線間距或線寬比例的設計方式，係利用高速訊號的傳輸指標 S 參數中的「饋入損失 (Insertion Loss)」、「反射損失 (Return Loss)」以及「時域反射術 (Time Domain Reflectometry, TDR)」參數來進行多個比例的訊號傳輸效能的比較，以取得具有較理想參數（即具有較佳訊號傳輸效能）的金屬走線間距或線寬比例。其中，饋入損失參數指示訊號自金屬走線的輸入端傳送至輸出端後所剩餘的訊號強度與原先輸入的訊號強度之間的比例，其理想數值為 1；反射損失參數則指示有多少比例的訊號遭受反射而無法成功傳遞至輸出端，其理想數值為 0；TDR 參數則指示金屬走線的特徵阻抗，其理想數值基於高速訊號的標準，以 PCIE4.0 為例，在基頻段

為 8GHz 下，TDR 參數的理想數值為 85 歐姆（ohm）。

【0028】 此外，於此實施例中，電路板 1’除了基板 10、絕緣層 11’及二金屬走線 M1’及 M2’之外更可以包含錫膏。所述錫膏可以設置於未覆蓋絕緣層 11’的第一金屬走線 M1’的測試區段 Rt1 或是第二金屬走線 M2’的測試區段 Rt2 上，以導電連接於錫膏所設置的測試區段 Rt1 或 Rt2，進而供測試探針接觸以執行高速訊號的測試。

【0029】 藉由上述各實施例所提出的實施方式，本案所揭示的用於傳輸並供測試高速訊號的電路板，透過打開遮罩（Open Solder Mask）的結構，搭配相對應的金屬走線間距或線寬比例的調整，降低了阻抗不連續的狀況，使得金屬走線在設置有測試區段的情況下仍保持良好的傳輸品質。本案所揭示的電路板可以提供測試高速訊號是否有出現製程上的問題，例如訊號間短路、金屬走線本身的斷路、串聯元件本身缺件、偏移、錯件、損件等會影響高速訊號的因素。此外，透過本案所提供的電路板來執行高速訊號的測試，相較於習知的功能性測試能夠更精準和快速找出錯誤問題點，節省工廠大量人力物力金錢資源等，且在相同有限時間之下，亦可以間接提升工廠生產之良率。

【0030】 雖然本發明以前述之實施例揭露如上，然其並非用以限定本發明。在不脫離本發明之精神和範圍內，所為之更動與潤飾，均屬本發明之專利保護範圍。關於本發明所界定之保護範圍請參考所附之申請專利範圍。

【符號說明】

【0031】

V _s	電壓源
Z _L	負載阻抗
M1、M2、M1’、M2’	金屬走線
1、1’	電路板
11、11’	絕緣層

Rt、Rt1、Rt2	測試區段
Rnt、Rnt1、Rnt2	非測試區段
Ot、Ot’	測試開口
W1、W2、W1’、W2’	線寬
D1、D2、D1’、D2’	距離
L1、L1’、L2’	長度
10	基板
111、111’	第一表面
112、112’	第二表面



202004205

【發明摘要】**【中文發明名稱】** 用於傳輸並供測試高速訊號的電路板**【英文發明名稱】** CIRCUIT BOARD FOR TRANSMITTING HIGH SPEED
SIGNAL AND FOR SAID SIGNAL TO BE DETECTED**【中文】**

一種用於傳輸並供測試高速訊號的電路板，包含基板、絕緣層及二金屬走線。絕緣層設置於基板上，且具有第一表面、第二表面及測試開口，其中第一表面背向基板，第二表面朝向基板，且測試開口係貫穿第一表面且形成於第二表面上。所述二金屬走線用於傳輸高速訊號且埋設於絕緣層的第一表面及第二表面之間。所述二金屬走線之中的至少一者包含測試區段，此測試區段對位於絕緣層的測試開口且透過該測試開口外露。

【英文】

A circuit board for transmitting a high speed signal and for said signal to be detected comprises a substrate, an insulating layer and two metal printed wires. The insulating layer is disposed on the substrate and comprises the first surface, the second surface and a test opening, with the first surface back on to the substrate, the second surface towards the substrate, and the test opening passing through the first surface and formed on the second surface. Said two metal printed wires are configured to transmit the high speed signal, buried between the first surface and the second surface of the insulating layer. At least one of said two metal printed wires comprises a test section aligned to the test opening of the insulating layer and exposed by the test opening.

【指定代表圖】：圖2C。

【代表圖之符號簡單說明】

1	電路板
10	基板
11	絕緣層
111	第一表面
112	第二表面
Ot	測試開口
M1、M2	金屬走線
Rt	測試區段
Rnt	非測試區段

【特徵化學式】

無

【發明申請專利範圍】

【第1項】 一種用於傳輸並供測試高速訊號的電路板，包含：

一基板；

一絕緣層，設置於該基板上，該絕緣層具有一第一表面、一第二表面及一測試開口，該第一表面背向該基板，該第二表面朝向該基板，該測試開口係貫穿該第一表面且形成於該第二表面上；以及

二金屬走線，用於傳輸該高速訊號且埋設於該絕緣層的該第一表面及該第二表面之間，該些金屬走線之中的至少一者包含一測試區段，該測試區段係對位於該絕緣層的該測試開口且透過該測試開口外露。

【第2項】 如請求項 1 所述的電路板，其中該二金屬走線包含一第一金屬走線及一第二金屬走線，該第一金屬走線包含該測試區段及一非測試區段，該第一金屬走線的該非測試區段及該第二金屬走線均與該測試開口錯位，且該測試區段與該第二金屬走線之間的距離大於該非測試區段與該第二金屬走線之間的距離。

【第3項】 如請求項 2 所述的電路板，其中該測試區段的線寬等於該非測試區段的線寬。

【第4項】如請求項 2 所述的電路板，其中該第一金屬走線的該測試區段與該第二金屬走線之間的該距離為該非測試區段與該第二金屬走線之間的該距離的 1.1~1.8 倍。

【第5項】如請求項 4 所述的電路板，其中該第一金屬走線的該測試區段的長度為該非測試區段與該第二金屬走線之間的該距離的 2.5~3.5 倍。

【第6項】如請求項 2 所述的電路板，更包含一錫膏設置於該測試區段上，以導電連接該測試區段。

【第7項】如請求項 1 所述的電路板，其中該二金屬走線包含一第一金屬走線及一第二金屬走線，該第一金屬走線及該第二金屬走線均包含該測試區段及一非測試區段，該第一金屬走線的該非測試區段及該第二金屬走線的該非測試區段均與該測試開口錯位，該第一金屬走線的該測試區段的線寬大於該第一金屬走線的該非測試區段的線寬，且該第二金屬走線的該測試區段的線寬大於該第二金屬走線的該非測試區段的線寬。

【第8項】如請求項 7 所述的電路板，其中該第一金屬走線的該測試區段與該第二金屬走線的該測試區段之間的距離等於該第一金屬走線的該非測試區段與該第二金屬走線的該非測試區段之間的距離。

【第9項】 如請求項 7 所述的電路板，其中該第一金屬走線的該測試區段及該第二金屬走線的該測試區段具有相同的長度。

【第10項】 如請求項 7 所述的電路板，其中該第一金屬走線的該測試區段的該線寬為該第一金屬走線的該非測試區段的該線寬的 1.18 倍～1.33 倍。

【第11項】 如請求項 10 所述的電路板，其中該第一金屬走線的該測試區段的長度為該第一金屬走線的該非測試區段的線寬的 3.5～5 倍。

【第12項】 如請求項 7 所述的電路板，更包含一錫膏設置於該第一金屬走線或該第二金屬走線的該測試區段上，以導電連接該錫膏所設置的該測試區段。

【發明圖式】

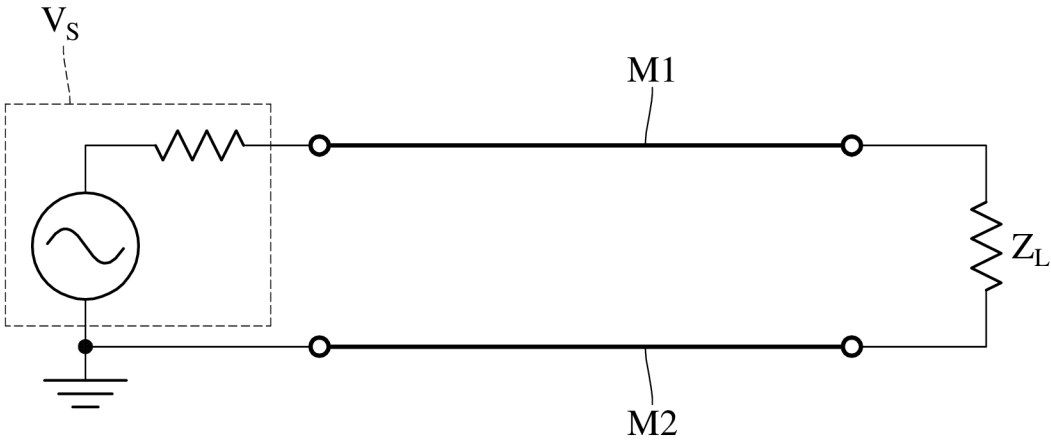


圖 1

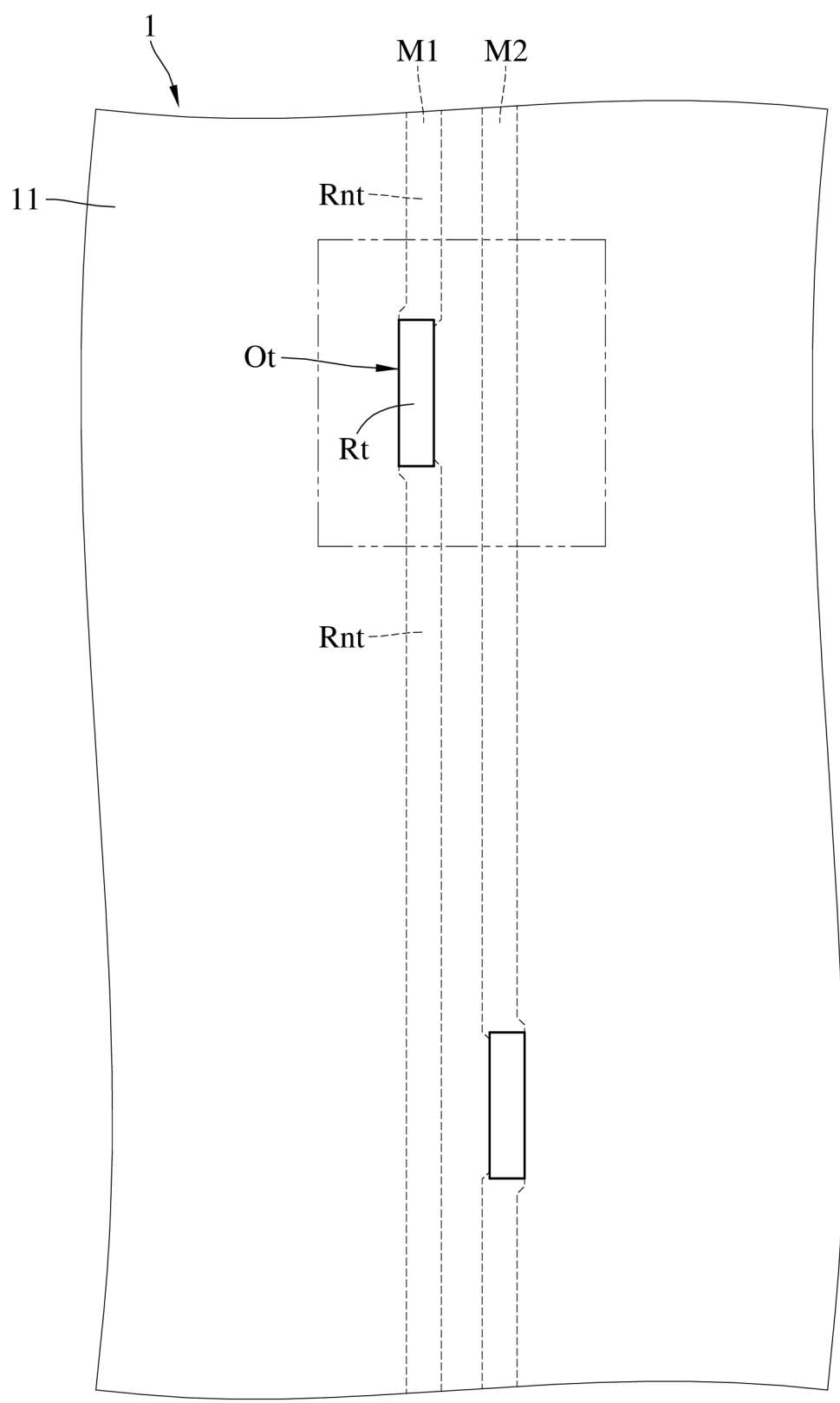


圖 2A

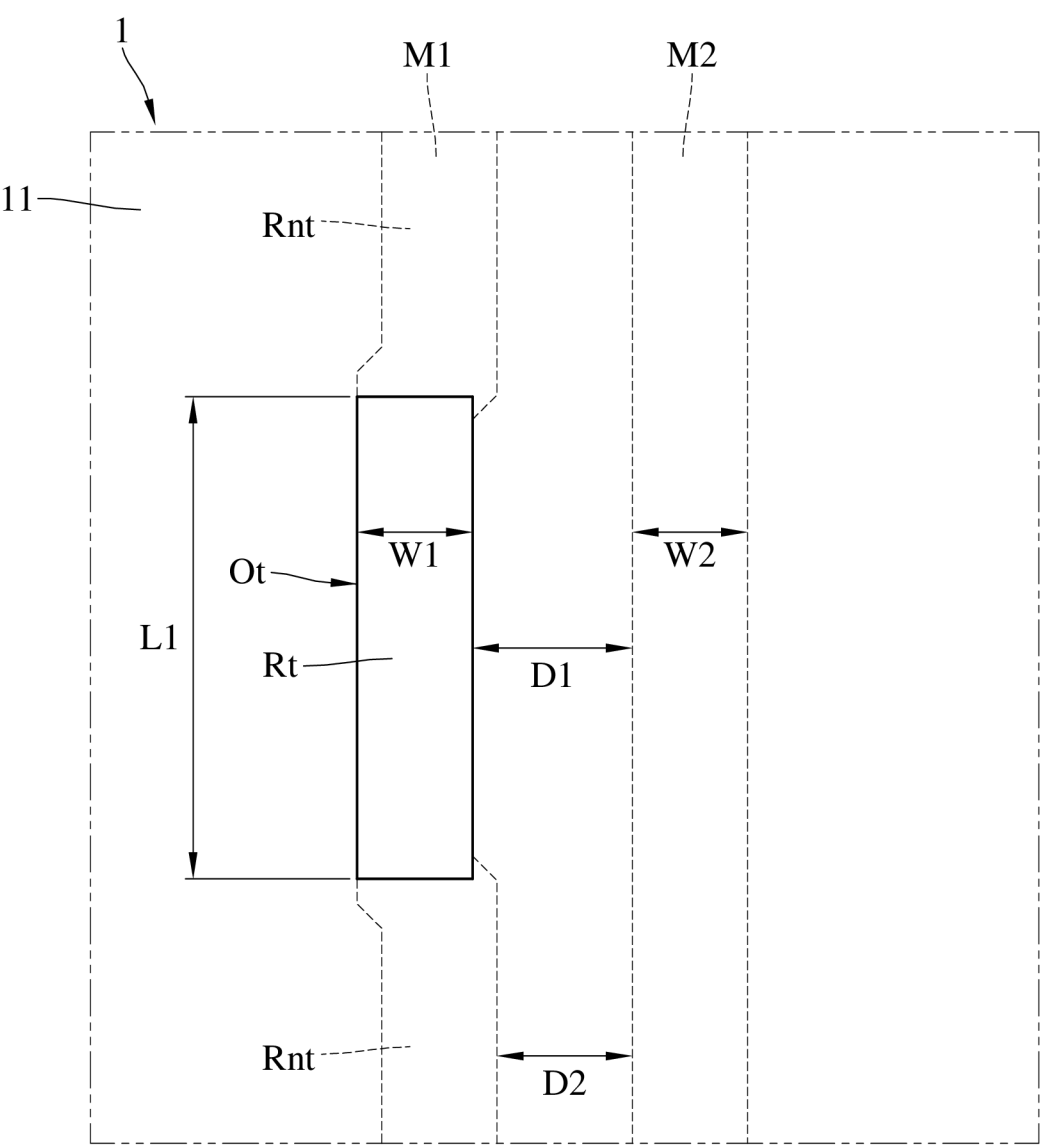


圖 2B

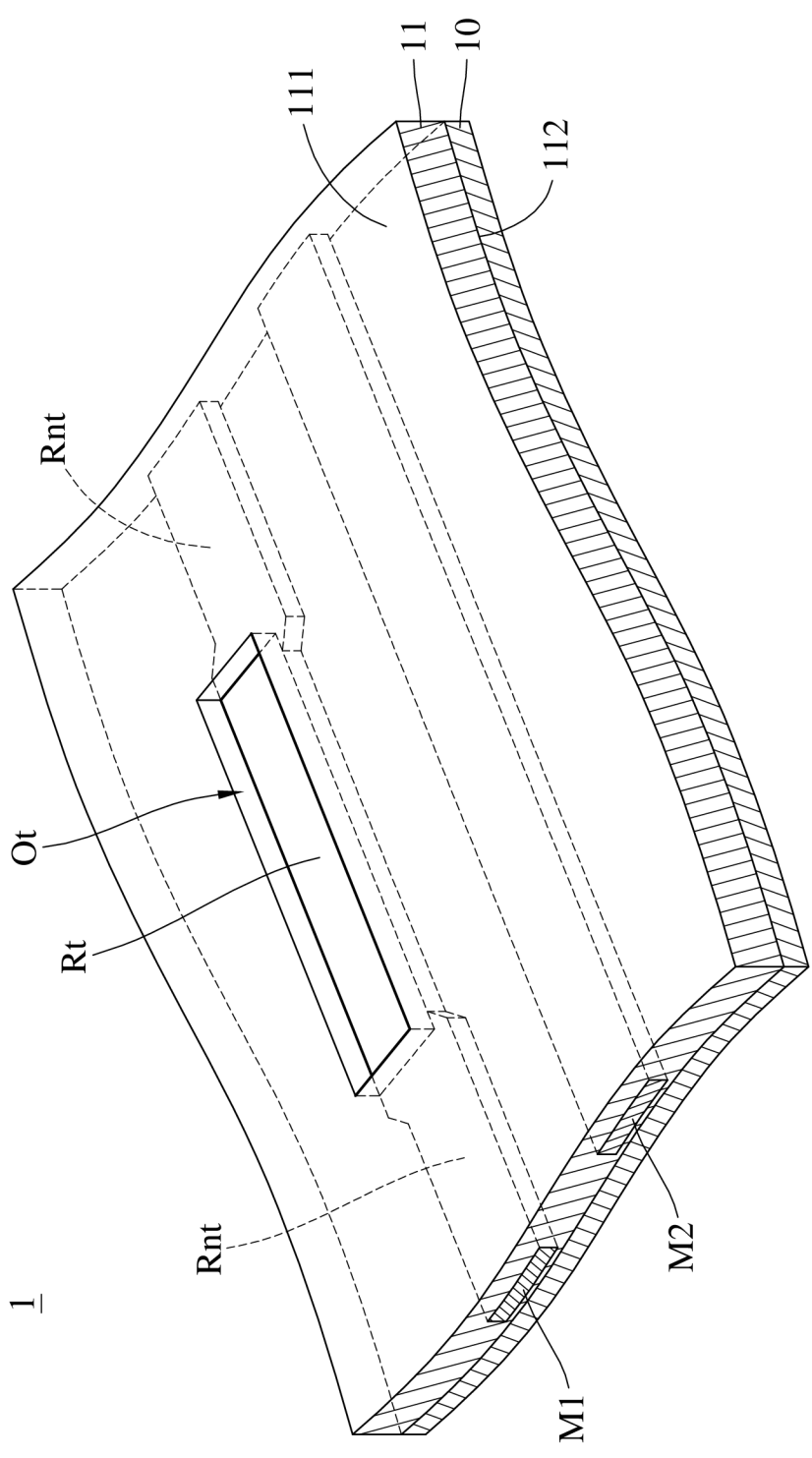


圖 2C

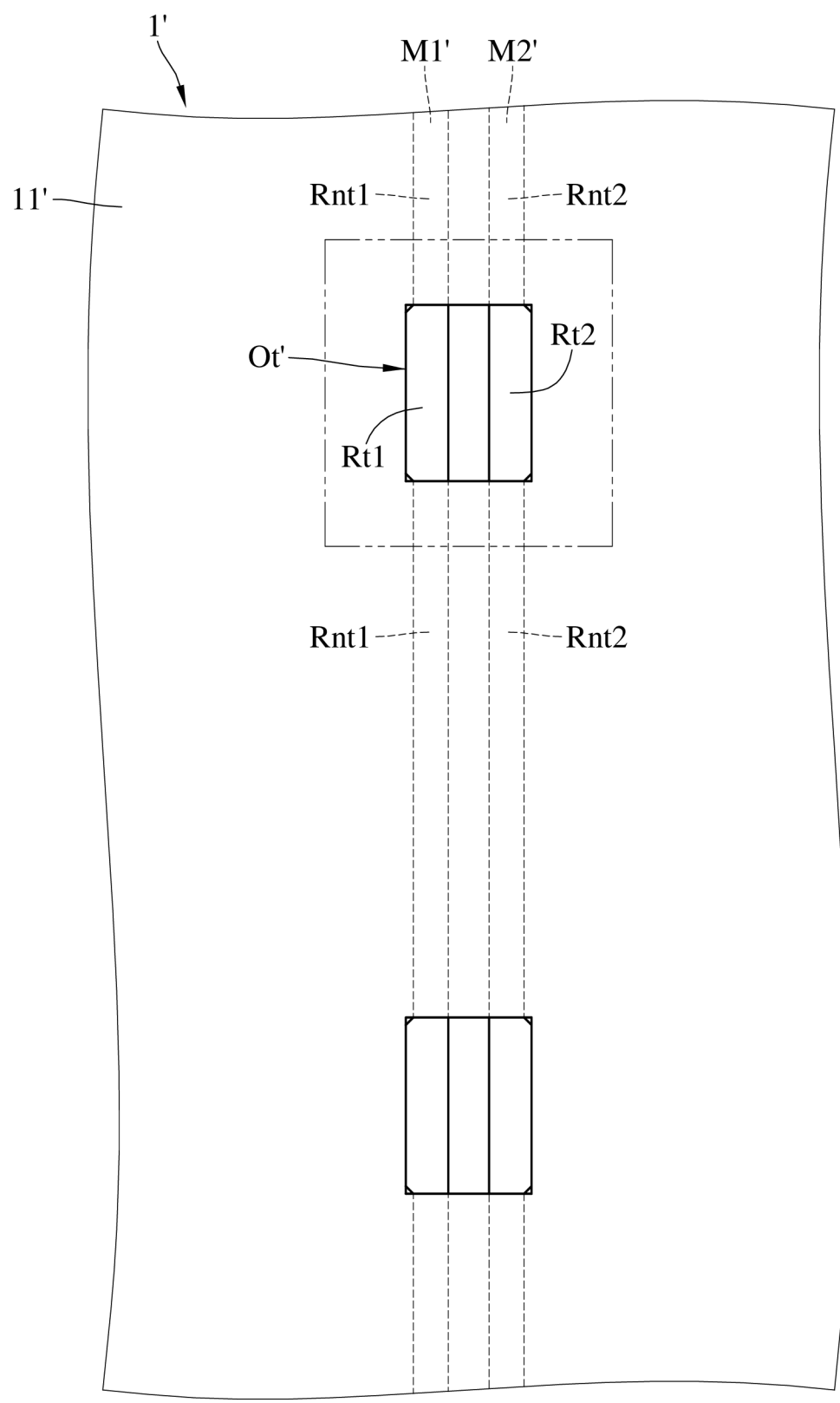


圖 3A

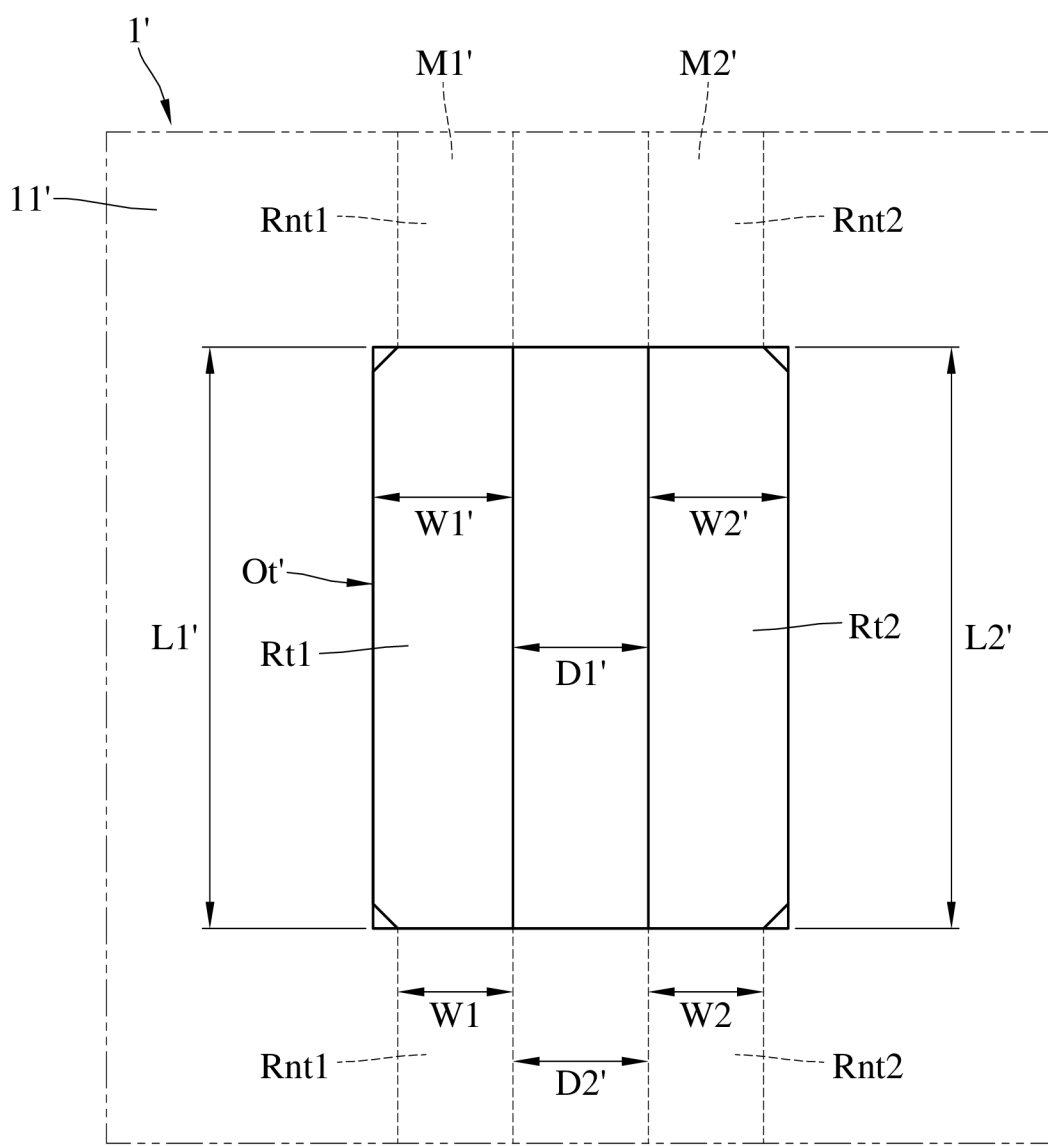


圖 3B

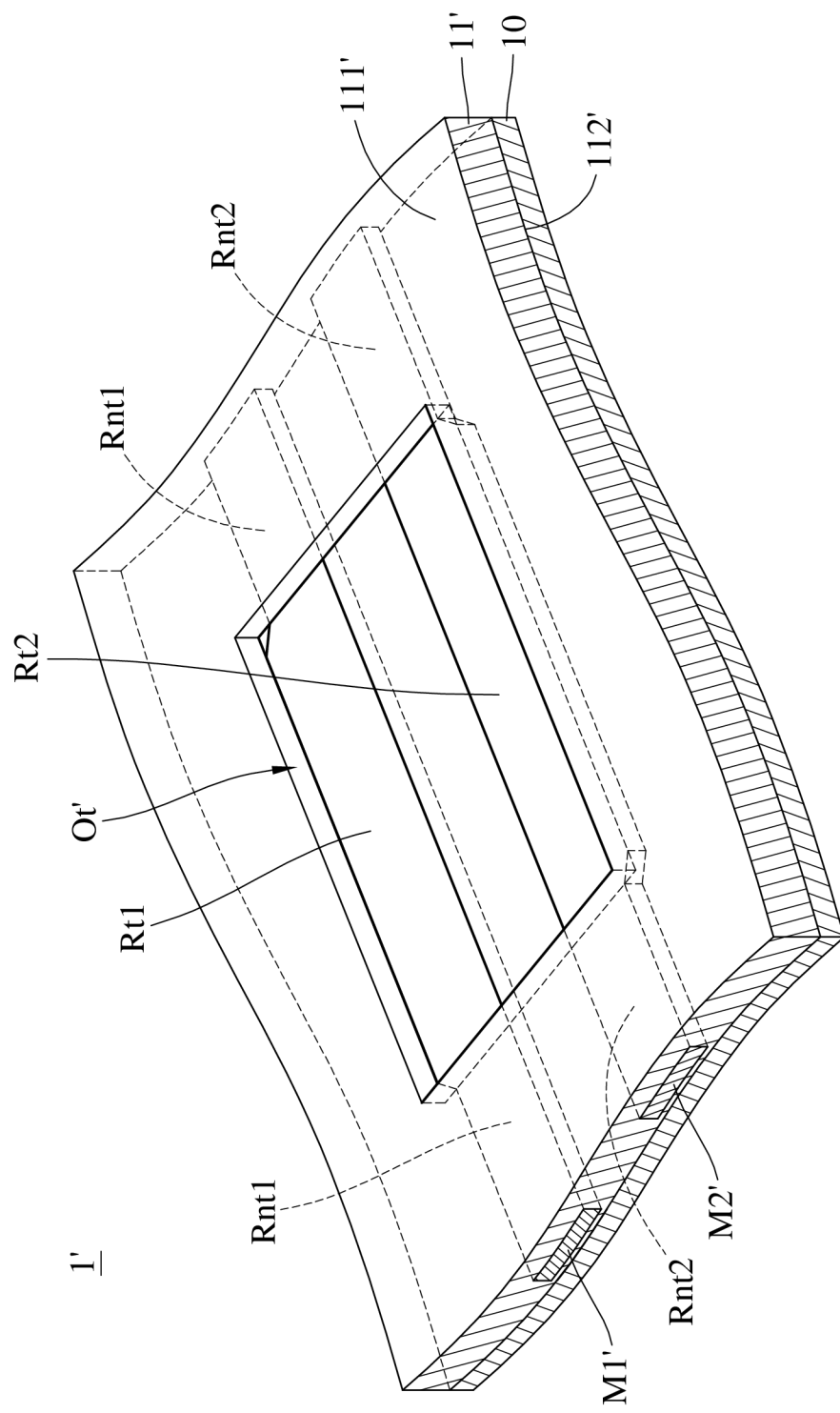


圖 3C