

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6798413号
(P6798413)

(45) 発行日 令和2年12月9日 (2020.12.9)

(24) 登録日 令和2年11月24日 (2020.11.24)

(51) Int. Cl.

F I

G O 6 F 13/00 (2006.01)
G O 6 F 8/654 (2018.01)G O 6 F 13/00 5 3 0 B
G O 6 F 8/654

請求項の数 8 (全 16 頁)

(21) 出願番号 特願2017-92963 (P2017-92963)
 (22) 出願日 平成29年5月9日 (2017.5.9)
 (65) 公開番号 特開2018-190223 (P2018-190223A)
 (43) 公開日 平成30年11月29日 (2018.11.29)
 審査請求日 令和1年8月29日 (2019.8.29)

(73) 特許権者 395011665
 株式会社オートネットワーク技術研究所
 三重県四日市市西末広町1番14号
 (73) 特許権者 000183406
 住友電装株式会社
 三重県四日市市西末広町1番14号
 (73) 特許権者 000002130
 住友電気工業株式会社
 大阪府大阪市中央区北浜四丁目5番33号
 (74) 代理人 100114557
 弁理士 河野 英仁
 (74) 代理人 100078868
 弁理士 河野 登夫

最終頁に続く

(54) 【発明の名称】 車載中継装置、制御プログラム及びメモリ共有方法

(57) 【特許請求の範囲】

【請求項1】

車両に搭載された複数の通信線が接続され、前記複数の通信線間の通信を中継する処理を行う車載中継装置において、

前記通信線に接続された車載機器が実行するプログラムを更新するための更新用プログラムを取得する取得部、及び、該取得部が取得した更新用プログラムを前記車載機器へ送信することによりプログラムを更新させる処理を行う更新処理部を有するプロセッサと、

通信プログラムを実行して、前記複数の通信線を介した通信に係る処理を行う通信IC (Integrated Circuit) と、

前記プロセッサ及び前記通信ICがアクセス可能な共有メモリとを備え、

前記共有メモリは、前記プロセッサの取得部が取得した更新用プログラムを記憶すると共に、前記通信ICが実行する通信プログラムを記憶すること

を特徴とする車載中継装置。

【請求項2】

前記プロセッサから前記共有メモリへのアクセス経路、又は、前記通信ICから前記共有メモリへのアクセス経路のいずれか一方を選択的に有効化する経路選択部を備え、

前記プロセッサは、前記経路選択部による経路の選択を制御すること
 を特徴とする請求項1に記載の車載中継装置。

【請求項3】

10

20

前記プロセッサは、

前記車両のイグニッションスイッチ又はアクセサリスイッチがオフ状態からオン状態へ切り替えられた場合、前記通信ＩＣから前記共有メモリへのアクセス経路を有効化するように前記経路選択部による経路の選択を行い、

前記通信ＩＣが前記共有メモリに記憶された前記通信プログラムを読み出した後、前記プロセッサから前記共有メモリへのアクセス経路を有効化するように前記経路選択部による経路の選択を行うこと

を特徴とする請求項２に記載の車載中継装置。

【請求項４】

前記共有メモリは、前記通信プログラムを記憶するための記憶領域が複数設けられると共に、いずれの記憶領域に記憶された前記通信プログラムを前記通信ＩＣが読み出すべきかを示す領域情報を記憶しており、

前記通信ＩＣは、前記領域情報にて示された前記共有メモリの記憶領域から前記通信プログラムを読み出すこと

を特徴とする請求項１乃至請求項３のいずれか１つに記載の車載中継装置。

【請求項５】

前記プロセッサは、前記取得部にて前記通信ＩＣのための更新用プログラムを取得して前記共有メモリのいずれかの記憶領域に記憶し、前記領域情報を更新すること

を特徴とする請求項４に記載の車載中継装置。

【請求項６】

車両に搭載された複数の通信線間の通信を中継する処理を行う車載中継装置が備えるプロセッサに、

前記通信線に接続された車載機器が実行するプログラムを更新するための更新用プログラムを取得させ、

通信プログラムを実行して前記複数の通信線を介した通信に係る処理を行う通信ＩＣがアクセス可能な共有メモリに、取得した更新用プログラムを記憶する処理を行わせ、

前記共有メモリに記憶した更新用プログラムを前記車載機器へ送信することによりプログラムを更新させる処理を行わせ、

前記プロセッサから前記共有メモリへのアクセス経路、又は、前記通信ＩＣから前記共有メモリへのアクセス経路のいずれか一方を選択的に有効化する経路選択部による経路の選択を制御させること

を特徴とする制御プログラム。

【請求項７】

前記プロセッサに、

前記車両のイグニッションスイッチ又はアクセサリスイッチがオフ状態からオン状態へ切り替えられた場合、前記通信ＩＣから前記共有メモリへのアクセス経路を有効化するように前記経路選択部による経路の選択を行わせ、

前記通信ＩＣが前記共有メモリに記憶された前記通信プログラムを読み出した後、前記プロセッサから前記共有メモリへのアクセス経路を有効化するように前記経路選択部による経路の選択を行わせること

を特徴とする請求項６に記載の制御プログラム。

【請求項８】

車両に搭載された複数の通信線間の通信を中継する処理を行う車載中継装置が備えるプロセッサ及び通信ＩＣがメモリを共有するメモリ共有方法であって、

前記プロセッサが、前記通信線に接続された車載機器が実行するプログラムを更新するための更新用プログラムを取得し、取得した更新用プログラムを共有メモリに記憶し、記憶した更新用プログラムを前記車載機器へ送信することによりプログラムを更新させる処理を行い、

前記通信ＩＣが、前記共有メモリに記憶された通信プログラムを実行して、前記複数の通信線を介した通信に係る処理を行うこと

10

20

30

40

50

を特徴とするメモリ共有方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、車両に搭載された複数の通信線が接続され、複数の通信線間の通信を中継する車載中継装置、制御プログラム及びメモリ共有方法に関する。

【背景技術】

【0002】

従来、車両には多数のECU(Electronic Control Unit)などの車載機器が搭載されている。これら複数の車載機器は、車両内に配された通信線を介して接続され、通信により種々の情報を交換することによって、協調動作を行っている。車載機器による通信の通信線には、例えばCAN(Controller Area Network)又はイーサネット(登録商標)等の通信線が採用されている。CANの通信線では、共通の通信線(CANバス)に対して複数の車載機器が接続されるネットワーク構成が採用されるが、1つの通信線に接続可能な装置数には制限があるため、車両内に複数の通信線を設けて通信線間の通信を車載中継装置、いわゆるゲートウェイが中継する構成とされることが多い。またイーサネットの通信線では、スター型のネットワーク構成が採用されており、1つの車載中継装置に複数の車載機器がそれぞれ通信線を介して接続され、車載中継装置が車載機器間の通信を中継する。

【0003】

また近年では、車載機器においてプロセッサが実行するプログラムの更新を、無線通信を利用して遠隔で行う技術、いわゆるリモートプログラミングが研究及び開発されている。この技術では、車両が携帯電話通信網又は無線LAN(Local Area Network)等の無線通信にてサーバ装置との通信を行い、更新用プログラムをサーバ装置からダウンロードして取得し、取得した更新用プログラムを用いて更新対象の車載機器のプログラムを更新する。サーバ装置からの更新用プログラムの取得、及び、更新用プログラムの車載機器への送信等の処理を行う装置として、複数の通信線が接続された車載中継装置が好適である。

【0004】

車載機器のプログラムを更新する技術として、例えば特許文献1においては、プログラムの更新に必要な蓄電器の蓄電必要量と蓄電器の蓄電残量とに基づいてプログラムの更新の可否を判定し、更新が可能であると判定した場合に更新対象の車載機器にプログラムの更新を開始させる車載中継装置が提案されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2016-127449号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

車載機器のプログラムの更新に係る処理を車載中継装置が行う構成とした場合、車載中継装置にはサーバ装置から取得した更新用プログラムを一時的に記憶しておくための記憶装置が必要となる。このような記憶装置としては、例えばフラッシュメモリのような比較的容量が大きく、データ書換可能な不揮発性のメモリ素子が採用され得る。

【0007】

一方、車載中継装置は、例えばプロセッサ及びメモリ等のIC(Integrated Circuit)が回路基板に多数搭載されて構成されている。近年では、車載中継装置の高機能化に伴って、搭載されるICの増加又は高機能化が行われる。これにより、メモリに記憶されたプログラムを読み出して処理を行うという構成のICが、車載中継装置の主のプロセッサ以外にも搭載されることがある。このようなICは、プログラムを記憶しておくためのRO

10

20

30

40

50

M (Read Only Memory) 又はフラッシュメモリ等の不揮発性のメモリ素子を必要とするため、車載中継装置の回路基板に搭載されるメモリ素子の数を増大させる虞がある。

【 0 0 0 8 】

本発明は、斯かる事情に鑑みてなされたものであって、その目的とするところは、搭載されるメモリ素子の数の増大を抑制し得る車載中継装置、制御プログラム及びメモリ共有方法を提供することにある。

【課題を解決するための手段】

【 0 0 0 9 】

本発明に係る車載中継装置は、車両に搭載された複数の通信線が接続され、前記複数の通信線間の通信を中継する処理を行う車載中継装置において、前記通信線に接続された車載機器が実行するプログラムを更新するための更新用プログラムを取得する取得部、及び、該取得部が取得した更新用プログラムを前記車載機器へ送信することによりプログラムを更新させる処理を行う更新処理部を有するプロセッサと、通信プログラムを実行して、前記複数の通信線を介した通信に係る処理を行う通信ＩＣ (Integrated Circuit) と、前記プロセッサ及び前記通信ＩＣがアクセス可能な共有メモリとを備え、前記共有メモリは、前記プロセッサの取得部が取得した更新用プログラムを記憶すると共に、前記通信ＩＣが実行する通信プログラムを記憶することを特徴とする。

10

【 0 0 1 0 】

また、本発明に係る車載中継装置は、前記プロセッサから前記共有メモリへのアクセス経路、又は、前記通信ＩＣから前記共有メモリへのアクセス経路のいずれか一方を選択的に有効化する経路選択部を備え、前記プロセッサは、前記経路選択部による経路の選択を制御することを特徴とする。

20

【 0 0 1 1 】

また、本発明に係る車載中継装置は、前記プロセッサが、前記車両のイグニッションスイッチ又はアクセサリスイッチがオフ状態からオン状態へ切り替えられた場合、前記通信ＩＣから前記共有メモリへのアクセス経路を有効化するように前記経路選択部による経路の選択を行い、前記通信ＩＣが前記共有メモリに記憶された前記通信プログラムを読み出した後、前記プロセッサから前記共有メモリへのアクセス経路を有効化するように前記経路選択部による経路の選択を行うことを特徴とする。

【 0 0 1 2 】

30

また、本発明に係る車載中継装置は、前記共有メモリが、前記通信プログラムを記憶するための記憶領域が複数設けられると共に、いずれの記憶領域に記憶された前記通信プログラムを前記通信ＩＣが読み出すべきかを示す領域情報を記憶しており、前記通信ＩＣは、前記領域情報にて示された前記共有メモリの記憶領域から前記通信プログラムを読み出すことを特徴とする。

【 0 0 1 3 】

また、本発明に係る車載中継装置は、前記プロセッサが、前記取得部にて前記通信ＩＣのための更新用プログラムを取得して前記共有メモリのいずれかの記憶領域に記憶し、前記領域情報を更新することを特徴とする。

【 0 0 1 4 】

40

また、本発明に係る制御プログラムは、車両に搭載された複数の通信線間の通信を中継する処理を行う車載中継装置が備えるプロセッサに、前記通信線に接続された車載機器が実行するプログラムを更新するための更新用プログラムを取得させ、通信プログラムを実行して前記複数の通信線を介した通信に係る処理を行う通信ＩＣがアクセス可能な共有メモリに、取得した更新用プログラムを記憶する処理を行わせ、前記共有メモリに記憶した更新用プログラムを前記車載機器へ送信することによりプログラムを更新させる処理を行わせ、前記プロセッサから前記共有メモリへのアクセス経路、又は、前記通信ＩＣから前記共有メモリへのアクセス経路のいずれか一方を選択的に有効化する経路選択部による経路の選択を制御させることを特徴とする。

【 0 0 1 5 】

50

また、本発明に係る制御プログラムは、前記プロセッサに、前記車両のイグニッションスイッチ又はアクセサリスイッチがオフ状態からオン状態へ切り替えられた場合、前記通信ＩＣから前記共有メモリへのアクセス経路を有効化するように前記経路選択部による経路の選択を行わせ、前記通信ＩＣが前記共有メモリに記憶された前記通信プログラムを読み出した後、前記プロセッサから前記共有メモリへのアクセス経路を有効化するように前記経路選択部による経路の選択を行わせることを特徴とする。

【００１６】

また、本発明に係るメモリ共有方法は、車両に搭載された複数の通信線間の通信を中継する処理を行う車載中継装置が備えるプロセッサ及び通信ＩＣがメモリを共有するメモリ共有方法であって、前記プロセッサが、前記通信線に接続された車載機器が実行するプログラムを更新するための更新用プログラムを取得し、取得した更新用プログラムを共有メモリに記憶し、記憶した更新用プログラムを前記車載機器へ送信することによりプログラムを更新させる処理を行い、前記通信ＩＣが、前記共有メモリに記憶された通信プログラムを実行して、前記複数の通信線を介した通信に係る処理を行うことを特徴とする。

【００１７】

本発明においては、車載中継装置が車載機器の更新用プログラムを取得し、取得した更新用プログラムを更新対象の車載機器へ送信することにより、この車載機器のプログラムを更新する。車載中継装置は、車載機器の更新処理を含む種々の処理を行うプロセッサと、通信に係る処理を行う通信ＩＣとを備える。通信ＩＣは、通信プログラムを実行することによって通信に係る処理を行う。

この構成において本発明に係る車載中継装置は、プロセッサ及び通信ＩＣが共にアクセス可能な共有メモリを備える。共有メモリには、プロセッサが取得した更新用プログラムを記憶すると共に、通信ＩＣが実行する通信プログラムを記憶する。これにより、プロセッサが更新用プログラムを記憶しておくためのメモリ素子と、通信ＩＣの通信プログラムを記憶しておくためのメモリ素子とを個別に備える必要がなく、車載中継装置が備えるメモリ素子数を低減できる。

【００１８】

また本発明において車載中継装置は、プロセッサから共有メモリへのアクセス経路、又は、通信ＩＣから共有メモリへのアクセス経路のいずれか一方を選択的に有効化する経路選択部を備え、プロセッサが経路選択部の選択を制御する。

例えばプロセッサは、車両のイグニッションスイッチ又はアクセサリスイッチがオフ状態からオン状態へ切り替えられた場合に、通信ＩＣから共有メモリへのアクセス経路を有効化するように経路選択部の選択を制御する。これにより、イグニッションスイッチ又はアクセサリスイッチがオフ状態からオン状態へ切り替えられ車載中継装置が動作を開始した際に、通信ＩＣが共有メモリから通信プログラムを読み出して通信に係る処理を開始することができる。またプロセッサは、通信ＩＣが共有メモリから通信プログラムを読み出した後、プロセッサから供給メモリへのアクセス経路を有効化するように経路選択部の選択を制御する。これによりプロセッサは、更新用プログラムを取得した際に、この更新用プログラムを共有メモリに記憶することができる。

通信ＩＣによる通信プログラムの読み出しは、装置の起動後に一度行われればよい。このため、装置の起動直後は通信ＩＣが共有メモリにアクセスし、その後はプロセッサが共有メモリにアクセスする構成とすることができ、プロセッサ及び通信ＩＣによる共有メモリへのアクセスが衝突することなく、メモリの共有化を実現できる。

【００１９】

また本発明においては、通信ＩＣが実行する通信プログラムを更新することを可能とする。このために、共有メモリには通信プログラムを記憶することができる記憶領域を複数設けると共に、いずれの記憶領域に記憶された通信プログラムを通信ＩＣが読み出すべきかを示す領域情報を記憶する。通信ＩＣは、領域情報に示された記憶領域から通信プログラムを読み出す。これにより、領域情報に示されていない記憶領域には、通信ＩＣの動作に影響を与えることなく、通信ＩＣの更新用プログラムを記憶することができる。プロセ

ッサは、取得した通信ＩＣのための更新用プログラムを、領域情報に示されていない共有メモリの記憶領域に記憶した後、この記憶領域から通信ＩＣが通信プログラムを読み出すよう領域情報を更新する。これにより、次に通信ＩＣが通信プログラムを読み出す際には、プロセッサが取得して共有メモリに記憶した更新用プログラムを通信ＩＣが通信プログラムとして読み出すこととなり、通信プログラムを更新することができる。

【発明の効果】

【００２０】

本発明による場合は、プロセッサが取得した更新用プログラムを記憶するメモリと、通信ＩＣが読み出す通信プログラムを記憶するメモリとを共通化することによって、車載中継装置が備えるメモリ素子数を低減できる。

10

【図面の簡単な説明】

【００２１】

【図１】本実施の形態に係る通信システムの構成を示す模式図である。

【図２】本実施の形態に係るゲートウェイの構成を示すブロック図である。

【図３】フラッシュメモリの記憶内容の一例を示す模式図である。

【図４】バススイッチの構成を示す回路図である。

【図５】ゲートウェイのプロセッサが行うバススイッチの切替制御処理の手順を示すフローチャートである。

【図６】ゲートウェイのプロセッサが行うＥＣＵの更新処理の手順を示すフローチャートである。

20

【図７】ゲートウェイのプロセッサが行うＥＳＷの更新処理の手順を示すフローチャートである。

【発明を実施するための形態】

【００２２】

<システム構成>

図１は、本実施の形態に係る通信システムの構成を示す模式図である。本実施の形態に係る通信システムは、車両１に搭載された複数のＥＣＵ３がそれぞれ通信線を介してゲートウェイ２に接続された構成、いわゆるスター型のネットワーク構成である。また本実施の形態においては、ゲートウェイ２及びＥＣＵ３はイーサネットの通信プロトコルに従って通信を行うものとする。ただし通信プロトコルはイーサネットに限るものではなく、例えばＣＡＮ又はＦｌｅｘＲａｙ等の種々の通信プロトコルを採用し得る。

30

【００２３】

ゲートウェイ２は、例えば一のＥＣＵ３からメッセージを受信した場合に、このメッセージを一又は複数の他のＥＣＵ３へ送信することによって、複数のＥＣＵ３間のメッセージの送受信を中継する処理を行う。ＥＣＵ３は、例えば車両１のエンジンの動作を制御するＥＣＵ、車両１のボディ系装備の動作を制御するボディＥＣＵ、エアバッグの動作を制御するＥＣＵ、又は、ＡＢＳ（Antilock Brake System）の制御を行うＥＣＵ等のように、種々のＥＣＵであってよい。

【００２４】

またゲートウェイ２には、通信線を介して無線通信装置４が接続されている。無線通信装置４は、例えば携帯電話通信網又は無線ＬＡＮ等の無線ネットワークを利用することによって、車両１の外部に存在する種々の装置との間で通信を行うことができる。これにより、車両１に搭載されたゲートウェイ２及びＥＣＵ３は、無線通信装置４を介して、車両１外の装置との通信を行うことができる。本実施の形態においては、ゲートウェイ２が無線通信装置４を介して車両１の外部に設置されたサーバ装置５との間で通信を行う。

40

【００２５】

本実施の形態に係るゲートウェイ２は、ＥＣＵ３間のメッセージを中継する処理に加えて、ＥＣＵ３にて実行されるプログラムを更新する処理を行う。例えばゲートウェイ２は、車両１のイグニッションスイッチがオフ状態からオン状態へ切り替えられた場合に無線通信装置４を介してサーバ装置５との間で通信を行い、車両１に搭載されたＥＣＵ３につ

50

いてプログラムの更新を行う必要があるか否かを問い合わせる。サーバ装置 5 は、例えば車両 1 の製造会社又は販売会社等が運営する装置であり、車両 1 に搭載された ECU3 のプログラムのバージョン管理などを行うと共に、更新用プログラムを車両 1 へ配信する処理を行う。

【0026】

プログラムの更新が必要であることがサーバ装置 5 から通知された場合、ゲートウェイ 2 は、サーバ装置 5 から更新用プログラムをダウンロードして取得し、取得した更新用プログラムを自身のメモリに記憶する。その後、ゲートウェイ 2 は、車両 1 のイグニッションスイッチがオフ状態へ切り替えられた後に、記憶しておいた更新用プログラムを、更新対象の ECU3 へ送信する。ゲートウェイ 2 から更新用プログラムを受信した ECU3 は、自身のメモリに記憶されているプログラムを受信した更新用プログラムに置き換えることによって、プログラムの更新を行う。

10

【0027】

<装置構成>

図 2 は、本実施の形態に係るゲートウェイ 2 の構成を示すブロック図である。本実施の形態に係るゲートウェイ 2 は、プロセッサ 21、ESW (イーサネットスイッチ) 22、フラッシュメモリ 23 及びバススイッチ 24 等を備えて構成されている。プロセッサ 21 は、例えば CPU (Central Processing Unit) 又は MPU (Micro-Processing Unit) 等の演算処理装置を有する IC であり、所定の制御プログラムを読み出して実行することによって通信の中継処理及び ECU3 のプログラムの更新処理等の種々の処理を行う。本実施の形態においてプロセッサ 21 は、自身が実行する制御プログラムを記憶した記憶部 21a を内蔵しているものとするが、例えばプロセッサ 21 が実行する制御プログラムを記憶した ROM などをゲートウェイ 2 が備えていてもよく、また例えば制御プログラムをフラッシュメモリ 23 に記憶しておく構成としてもよい。プロセッサ 21 が実行する制御プログラムは、例えばゲートウェイ 2 の製造工程などにおいて回路基板に搭載される前にプロセッサ 21 の記憶部 21a に対して直接的に書き込まれてもよく、ゲートウェイ 2 の通信機能を利用して書き込まれてもよい。また例えば制御プログラムは、メモリカード又は光ディスク等の記録媒体に記録されて提供され、ゲートウェイ 2 又は車両 1 に設けられたメモリカードスロット又は光ディスクドライブ等の装置にて記録媒体から制御プログラムを読み出してプロセッサ 21 に記憶部 21a に書き込まれる構成であってもよい。

20

30

【0028】

本実施の形態においてプロセッサ 21 は、車両 1 のイグニッションスイッチの状態を示す IG 信号又はアクセサリスイッチの状態を示す ACC 信号が入力されており、IG 信号又は ACC 信号に応じて処理を行うことができる。またプロセッサ 21 は、ESW 22 及びバススイッチ 24 の動作を制御すると共に、フラッシュメモリ 23 に対するデータの読み出し及び書き込みを行うことができる。プロセッサ 21 は、ECU3 の更新処理に用いる更新用プログラムをサーバ装置 5 から取得してフラッシュメモリ 23 に記憶する。

【0029】

ESW 22 は、ゲートウェイ 2 に接続された複数の通信線を介して、これらの通信線に接続された ECU3 又は無線通信装置 4 との間でメッセージ (フレーム) の送受信を行う。ESW 22 は、いずれかの通信線にて ECU3 又は無線通信装置 4 からのメッセージを受信した場合に、このメッセージに含まれる MAC アドレスなどに基づいて中継先を判断し、中継先の ECU3 又は無線通信装置 4 が接続された通信線からメッセージを送信することでメッセージを中継する。ESW 22 は、CPU 又は MPU 等の演算処理装置を内蔵しており、この演算処理装置がフラッシュメモリ 23 に記憶された通信プログラムを読み出して実行することにより、上記のような通信の中継処理を行う。

40

【0030】

フラッシュメモリ 23 は、電氣的にデータの書き込み及び消去を行うことが可能な不揮発性のメモリ素子である。本実施の形態に係るゲートウェイ 2 では、フラッシュメモリ 23 をプロセッサ 21 及び ESW 22 が共有している。フラッシュメモリ 23 は、プロセッ

50

サ 2 1 から与えられる更新用プログラムを記憶すると共に、E S W 2 2 が実行する通信プログラムを記憶している。

【 0 0 3 1 】

図 3 は、フラッシュメモリ 2 3 の記憶内容の一例を示す模式図である。本実施の形態においてフラッシュメモリ 2 3 には、読み込みフラグを記憶する領域と、第 1 の通信プログラム記憶領域と、第 2 の通信プログラム記憶領域と、更新用プログラム記憶領域とが設けられている。フラッシュメモリ 2 3 の第 1 の通信プログラム記憶領域及び第 2 の通信プログラム記憶領域は、共に E S W 2 2 が読み出して実行する通信プログラムを記憶するための領域である。フラッシュメモリ 2 3 に記憶された読み込みフラグは、E S W 2 2 が第 1 の通信プログラム記憶領域又は第 2 の通信プログラム記憶領域のいずれから通信プログラムを読み出すべきかを示すフラグである。例えば E S W 2 2 は、読み込みフラグの値が " 0 " である場合に第 1 の通信プログラム記憶領域から通信プログラムを読み出して実行し、読み込みフラグの値が " 1 " である場合に第 2 の通信プログラム記憶領域から通信プログラムを読み出して実行する。

10

【 0 0 3 2 】

即ち、フラッシュメモリ 2 3 の第 1 の通信プログラム記憶領域及び第 2 の通信プログラム記憶領域は、一方がその時点で E S W 2 2 により実行される通信プログラムが記憶された記憶領域であり、他方が予備の記憶領域である。この予備の記憶領域は、E S W 2 2 の通信プログラムを更新する際に用いられる。E S W 2 2 の通信プログラムの更新が必要となった場合、ゲートウェイ 2 のプロセッサ 2 1 は、無線通信装置 4 による無線通信を利用してサーバ装置 5 から更新用プログラムを取得する。プロセッサ 2 1 は、取得した更新用プログラムを、フラッシュメモリ 2 3 の読み込みフラグにて指定されていない方の記憶領域に書き込む。更新用プログラムの書き込みが完了した後、プロセッサ 2 1 は、更新用プログラムが記憶された方の記憶領域を読み出すべき記憶領域として指定するように、読み込みフラグの値を変更する。これにより E S W 2 2 は、次の起動時に更新された通信プログラムを読み出して実行することができる。

20

【 0 0 3 3 】

フラッシュメモリ 2 3 の更新用プログラム記憶領域は、車両 1 の E C U 3 にて実行されるプログラムを更新するための更新用プログラムを記憶する領域である。E C U 3 のプログラムの更新が必要となった場合、ゲートウェイ 2 のプロセッサ 2 1 は、無線通信装置 4 による無線通信を利用してサーバ装置 5 から E C U 3 の更新用プログラムを取得する。プロセッサ 2 1 は、取得した更新用プログラムを、フラッシュメモリ 2 3 の更新用プログラム記憶領域に記憶する。その後、例えば車両 1 のイグニッションスイッチがオフ状態へ切り替えられた場合などの適宜のタイミングで、プロセッサ 2 1 は、フラッシュメモリ 2 3 の更新用プログラム記憶領域から更新用プログラムを読み出し、更新対象の E C U 3 へ送信する。ゲートウェイ 2 から更新用プログラムを受信した E C U 3 は、自身のメモリに記憶されているプログラムを受信した更新用プログラムに置き換えることによって、プログラムの更新を行う。

30

【 0 0 3 4 】

上述のようにゲートウェイ 2 のフラッシュメモリ 2 3 は、プロセッサ 2 1 及び E S W 2 2 が共有する共有メモリである。ただし、プロセッサ 2 1 及び E S W 2 2 が同時にフラッシュメモリ 2 3 へのアクセスを行うことはできない。このため、プロセッサ 2 1 及び E S W 2 2 とフラッシュメモリ 2 3 との間にバススイッチ 2 4 を設け、バススイッチ 2 4 による選択を切り替えることによって、プロセッサ 2 1 及び E S W 2 2 のいずれか一方のみをフラッシュメモリ 2 3 へのアクセスを可能とし、他方のフラッシュメモリ 2 3 へのアクセスを禁止する。バススイッチ 2 4 によるプロセッサ 2 1 又は E S W 2 2 の選択は、プロセッサ 2 1 から与えられる制御信号により切り替えられる。

40

【 0 0 3 5 】

図 4 は、バススイッチ 2 4 の構成を示す回路図である。なお図示の例では、フラッシュメモリ 2 3 には 4 つの信号線 C 1 ~ C 4 が接続され、これらの信号線 C 1 ~ C 4 を介して

50

フラッシュメモリ 23 に対するデータの読み出し、書き込み及び消去等の制御を行うことができるものとする。このためフラッシュメモリ 23 との信号の授受を行う信号線として、プロセッサ 21 には 4 つの信号線 A1 ~ A4 が接続され、ESW 22 には 4 つの信号線 B1 ~ B4 が接続されている。バススイッチ 24 には、これらの信号線 A1 ~ A4, B1 ~ B4, C1 ~ C4 が接続されている。

【0036】

バススイッチ 24 は、プロセッサ 21 に接続された信号線 A1 ~ A4 及び ESW 22 に接続された信号線 B1 ~ B4 のいずれか一方を、選択的に信号線 C1 ~ C4 へ接続する。またバススイッチ 24 の動作は、プロセッサ 21 から出力される選択信号 S 及びイネーブル信号 OEB の 2 つの制御信号によって制御される。バススイッチ 24 は、選択信号 S の値が "0" (ローレベル) である場合に信号線 A1 ~ A4 を信号線 C1 ~ C4 に接続し、選択信号 S の値が "1" (ハイレベル) である場合に信号線 B1 ~ B4 を信号線 C1 ~ C4 に接続する。またバススイッチ 24 は、イネーブル信号 OEB の値が "0" である場合に、上記のような選択信号 S に応じた信号線の接続を行う。イネーブル信号 OEB の値が "1" である場合には、バススイッチ 24 は、信号線 A1 ~ A4 及び信号線 B1 ~ B4 のいずれも信号線 C1 ~ C4 に接続せず、プロセッサ 21 及び ESW 22 が共にフラッシュメモリ 23 へアクセス不可能な状態とする。

【0037】

例えばバススイッチ 24 は、4 つのスイッチ SWA1 ~ SWA4、4 つのスイッチ SWB1 ~ SWB4、2 入力 1 出力の 2 つの論理積演算素子 24a, 24b、1 つのバッファ素子 24c、及び、2 つの論理反転素子 24d, 24e を用いて構成することができる。スイッチ SWA1 は信号線 A1 及び信号線 C1 の接続 / 遮断を切り替えるスイッチであり、スイッチ SWA2 は信号線 A2 及び信号線 C2 の接続 / 遮断を切り替えるスイッチであり、スイッチ SWA3 は信号線 A3 及び信号線 C3 の接続 / 遮断を切り替えるスイッチであり、スイッチ SWA4 は信号線 A4 及び信号線 C4 の接続 / 遮断を切り替えるスイッチである。スイッチ SWA1 ~ SWA4 は、論理積演算素子 24a の出力信号によって接続 / 遮断の状態が切り替えられる。

【0038】

同様に、スイッチ SWB1 は信号線 B1 及び信号線 C1 の接続 / 遮断を切り替えるスイッチであり、スイッチ SWB2 は信号線 B2 及び信号線 C2 の接続 / 遮断を切り替えるスイッチであり、スイッチ SWB3 は信号線 B3 及び信号線 C3 の接続 / 遮断を切り替えるスイッチであり、スイッチ SWB4 は信号線 B4 及び信号線 C4 の接続 / 遮断を切り替えるスイッチである。スイッチ SWB1 ~ SWB4 は、論理積演算素子 24b の出力信号によって接続 / 遮断の状態が切り替えられる。

【0039】

プロセッサ 21 が出力する選択信号 S は、バススイッチ 24 のバッファ素子 24c へ入力される。バッファ素子 24c の出力信号は、論理反転素子 24e と、論理積演算素子 24b とに入力される。論理反転素子 24e の出力信号は、論理積演算素子 24a に入力される。またプロセッサ 21 が出力するイネーブル信号 OEB は、バススイッチ 24 の論理反転素子 24d へ入力される。論理反転素子 24d の出力信号は、論理積演算素子 24a 及び 24b へそれぞれ入力される。

【0040】

これにより、イネーブル信号 OEB の値が "1" である場合、論理反転素子 24d の出力は "0" となり、論理積演算素子 24a 及び 24b の一方の入力には "0" が入力されるため、論理積演算素子 24a 及び 24b の出力は共に "0" となる。論理積演算素子 24a 及び 24b の出力が "0" である場合、スイッチ SWA1 ~ SWA4 及びスイッチ SWB1 ~ SWB4 は遮断状態となり、信号線 A1 ~ A4 及び信号線 B1 ~ B4 が共に信号線 C1 ~ C4 に接続されない状態となる。

【0041】

イネーブル信号 OEB の値が "0" である場合、論理積演算素子 24a 及び 24b の一

10

20

30

40

50

方の入力には " 1 " が入力されるため、論理積演算素子 2 4 a 及び 2 4 b の出力信号は、他方の入力の値により定まる。選択信号 S の値が " 0 " である場合、バッファ素子 2 4 c の出力信号の値も " 0 " であり、論理反転素子 2 4 e の出力信号の値 " 1 " が論理積演算素子 2 4 a へ入力されると共に、バッファ素子 2 4 c の出力信号の値 " 0 " が論理積演算素子 2 4 b へ入力される。これにより論理積演算素子 2 4 a の出力は " 1 " となりスイッチ S W A 1 ~ S W A 4 が接続状態となり、論理積演算素子 2 4 b の出力は " 0 " となりスイッチ S W B 1 ~ S W B 4 が遮断状態となる。これに対して選択信号 S の値が " 1 " である場合、バッファ素子 2 4 c の出力信号の値も " 1 " であり、論理反転素子 2 4 e の出力信号の値 " 0 " が論理積演算素子 2 4 a へ入力されると共に、バッファ素子 2 4 c の出力信号の値 " 1 " が論理積演算素子 2 4 b へ入力される。これにより論理積演算素子 2 4 a の出力は " 0 " となりスイッチ S W A 1 ~ S W A 4 が遮断状態となり、論理積演算素子 2 4 b の出力は " 1 " となりスイッチ S W B 1 ~ S W B 4 が接続状態となる。

10

【 0 0 4 2 】

このように、バススイッチ 2 4 の 2 つの論理積演算素子 2 4 a 及び 2 4 b は出力信号の値が共に " 1 " となることはなく、スイッチ S W A 1 ~ S W A 4 及びスイッチ S W B 1 ~ S W B 4 が共に接続状態となることはないため、信号線 A 1 ~ A 4 及び信号線 B 1 ~ B 4 が同時に信号線 C 1 ~ C 4 に接続されることはない。

【 0 0 4 3 】

< メモリ共有方法 >

本実施の形態に係るゲートウェイ 2 のプロセッサ 2 1 は、車両 1 の I G 信号又は A C C 信号のオン / オフ状態の切り替えに応じて、バススイッチ 2 4 による通信線の選択の切替制御を行う。なお以下の例では、プロセッサ 2 1 が I G 信号に応じてバススイッチ 2 4 の制御を行うものとするが、A C C 信号に応じて制御を行ってもよい。プロセッサ 2 1 がいずれの信号に応じて制御を行うかは、E S W 2 2 の起動がいずれの信号に応じて行われるかによる。本例では、I G 信号がオン状態である場合に E S W 2 2 が起動し、オフ状態である場合に E S W 2 2 はスリープ又はスタンバイ等の待機状態となるものとする。更には、プロセッサ 2 1 が I G 信号及び A C C 信号以外の条件に応じてバススイッチ 2 4 の切替制御を行う構成としてもよい。

20

【 0 0 4 4 】

I G 信号がオフ状態である場合、プロセッサ 2 1 は、例えばイネーブル信号 O E B を " 1 " として、フラッシュメモリ 2 3 へアクセスを行うことができない状態を維持する。I G 信号がオフ状態からオン状態へ切り替えられた場合、プロセッサ 2 1 は、イネーブル信号 O E B を " 0 " とし、且つ、選択信号 S を " 1 " として、E S W 2 2 の信号線 B 1 ~ B 4 とフラッシュメモリ 2 3 の信号線 C 1 ~ C 4 とを接続する。これにより E S W 2 2 は、フラッシュメモリ 2 3 へアクセスすることが可能となる。

30

【 0 0 4 5 】

E S W 2 2 は、I G 信号がオフ状態からオン状態へ切り替えられることにより起動し、フラッシュメモリ 2 3 に記憶された通信プログラムの読み出しを開始する。まず E S W 2 2 は、フラッシュメモリ 2 3 に対して読出命令を与えることにより、フラッシュメモリ 2 3 に記憶された読み込みフラグの値を読み出す。次いで E S W 2 2 は、読み出した読み込みフラグにて指定された第 1 の通信プログラム記憶領域又は第 2 の通信プログラム記憶領域のいずれかの記憶領域から、通信プログラムを読み出す。なお E S W 2 2 が読み出した通信プログラムは E S W 2 2 内に備えられたメモリに記憶され、E S W 2 2 内の C P U などがメモリに記憶された通信プログラムを実行する。

40

【 0 0 4 6 】

その後、E S W 2 2 は、フラッシュメモリ 2 3 からの通信プログラムの読み出しを終えた場合に、読出完了をプロセッサ 2 1 へ通知する。E S W 2 2 からの通知を受けたプロセッサ 2 1 は、選択信号 S を " 1 " から " 0 " へ切り替えることによって、バススイッチ 2 4 による信号線の選択を切り替える。これによりプロセッサ 2 1 の信号線 A 1 ~ A 4 とフラッシュメモリ 2 3 の信号線 C 1 ~ C 4 とが接続され、プロセッサ 2 1 は、フラッシュメ

50

メモリ23へアクセスすることが可能となる。プロセッサ21は、フラッシュメモリ23の更新用プログラム記憶領域を利用してサーバ装置5から取得した更新用プログラムを一時的に記憶し、ECU3のプログラムの更新処理を行う。

【0047】

その後、プロセッサ21は、IG信号がオン状態からオフ状態へ切り替えられた場合に、イネーブル信号OEBを"1"に変化させ、フラッシュメモリ23へアクセスを行うことができない状態となるよう、バススイッチ24の切り替えを行う。ただし、IG信号がオフになった後でECU3のプログラムの更新処理を行う場合には、プロセッサ21は、IG信号がオフ状態へ切り替えられた後もイネーブル信号OEBを"0"で維持し、フラッシュメモリ23の更新用プログラム記憶領域に記憶された更新用プログラムの読み出しを行い、更新処理の終了後にイネーブル信号OEBを"1"に変化させる。

10

【0048】

図5は、ゲートウェイ2のプロセッサ21が行うバススイッチ24の切替制御処理の手順を示すフローチャートである。本実施の形態に係るゲートウェイ2のプロセッサ21は、車両1のIGスイッチがオフ状態からオン状態へ切り替えられたか否かを判定する(ステップS1)。IGスイッチがオン状態へ切り替えられていない場合(S1:NO)、プロセッサ21は、IGスイッチがオン状態へ切り替えられるまで待機する。IGスイッチがオン状態へ切り替えられた場合(S1:YES)、プロセッサ21は、イネーブル信号OEBを"0"とし、選択信号Sを"1"とすることにより、フラッシュメモリ23にアクセスする相手としてESW22を選択するようバススイッチ24による選択を切り替える(ステップS2)。

20

【0049】

次いでプロセッサ21は、ESW22からの通知の有無に基づいて、ESW22によるフラッシュメモリ23からの通信プログラムの読み出しが終了し、ESW22の起動が完了したか否かを判定する(ステップS3)。ESW22の起動が完了していない場合(S3:NO)、プロセッサ21は、ESW22の起動が完了するまで待機する。ESW22の起動が完了した場合(S3:YES)、プロセッサ21は、選択信号Sを"0"とすることにより、フラッシュメモリ23にアクセスする相手としてプロセッサ21を選択するようバススイッチ24による選択を切り替えて(ステップS4)、処理を終了する。

【0050】

30

図6は、ゲートウェイ2のプロセッサ21が行うECU3の更新処理の手順を示すフローチャートである。本実施の形態に係るゲートウェイ2のプロセッサ21は、例えば車両1のイグニッションスイッチがオフ状態からオン状態へ切り替えられた場合などの所定のタイミングで、車両1に搭載されたECU3のプログラムの更新の有無を、無線通信装置4による無線通信を利用してサーバ装置5に確認する(ステップS11)。サーバ装置5からの応答に基づいてプロセッサ21は、ECU3のプログラムの更新の有無を判定する(ステップS12)。ECU3のプログラムの更新がない場合(S12:NO)、プロセッサ21は、処理を終了する。

【0051】

ECU3のプログラムの更新がある場合(S12:YES)、プロセッサ21は、無線通信装置4による無線通信を利用してサーバ装置5からECU3の更新用プログラムを取得する(ステップS13)。プロセッサ21は、サーバ装置5から取得した更新用プログラムを、フラッシュメモリ23の更新用プログラム記憶領域に記憶する(ステップS14)。その後、プロセッサ21は、車両1のIGスイッチがオフ状態へ切り替えられたか否かを判定する(ステップS15)。IGスイッチがオフ状態へ切り替えられていない場合(S15:NO)、プロセッサ21は、IGスイッチがオフ状態へ切り替えられるまで待機する。IGスイッチがオフ状態へ切り替えられた場合(S15:YES)、プロセッサ21は、フラッシュメモリ23に記憶した更新用プログラムを読み出し、読み出した更新用プログラムを更新対象のECU3へ送信することによって更新処理を行い(ステップS16)、処理を終了する。

40

50

【 0 0 5 2 】

図 7 は、ゲートウェイ 2 のプロセッサ 2 1 が行う E S W 2 2 の更新処理の手順を示すフローチャートである。本実施の形態に係るゲートウェイ 2 のプロセッサ 2 1 は、例えば車両 1 のイグニッションスイッチがオフ状態からオン状態へ切り替えられた場合などの所定のタイミングで、E S W 2 2 の通信プログラムの更新の有無を、無線通信装置 4 による無線通信を利用してサーバ装置 5 に確認する（ステップ S 2 1）。サーバ装置 5 からの応答に基づいてプロセッサ 2 1 は、E S W 2 2 の通信プログラムの更新の有無を判定する（ステップ S 2 2）。E S W 2 2 の通信プログラムの更新がない場合（S 2 2：NO）、プロセッサ 2 1 は、処理を終了する。

【 0 0 5 3 】

E S W 2 2 の通信プログラムの更新がある場合（S 2 2：YES）、プロセッサ 2 1 は、フラッシュメモリ 2 3 に記憶された読み込みフラグの値を読み出して、読み込みフラグの値を確認する（ステップ S 2 3）。またプロセッサ 2 1 は、無線通信装置 4 による無線通信を利用してサーバ装置 5 から E S W 2 2 の更新用プログラムを取得する（ステップ S 2 4）。プロセッサ 2 1 は、ステップ S 2 3 での確認結果に基づいて、読み込みフラグにより指定された記憶領域以外の記憶領域に対して、ステップ S 2 4 にて取得した更新用プログラムを記憶する（ステップ S 2 5）。更新用プログラムの記憶を終えた後、プロセッサ 2 1 は、フラッシュメモリ 2 3 に記憶された読み込みフラグの値を、更新用プログラムを記憶した記憶領域を指定する値に更新して（ステップ S 2 6）、処理を終了する。

【 0 0 5 4 】

<まとめ>

以上の構成の本実施の形態に係る通信システムは、ゲートウェイ 2 が E C U 3 の更新用プログラムをサーバ装置 5 から取得し、取得した更新用プログラムを更新対象の E C U 3 へ送信することにより、この E C U 3 のプログラムを更新する。ゲートウェイ 2 は、E C U 3 の更新処理を含む種々の処理を行うプロセッサ 2 1 と、車両 1 内の通信線を介した通信に係る処理を行う E S W 2 2 とを備える。E S W 2 2 は、フラッシュメモリ 2 3 に記憶された通信プログラムを読み出して実行することにより、通信に係る種々の処理を行う。

【 0 0 5 5 】

この構成において本実施の形態に係るゲートウェイ 2 は、プロセッサ 2 1 及び E S W 2 2 が共にアクセス可能な共有メモリとして、フラッシュメモリ 2 3 を備える。フラッシュメモリ 2 3 には、プロセッサ 2 1 が更新処理のためにサーバ装置 5 から取得した更新用プログラムを記憶すると共に、E S W 2 2 が実行する通信プログラムを記憶する。これにより、プロセッサ 2 1 が更新用プログラムを記憶しておくためのメモリ素子と、E S W 2 2 が実行する通信プログラムを記憶しておくためのメモリ素子とを個別に備える必要がなく、ゲートウェイ 2 が備えるメモリ素子数を低減できる。

【 0 0 5 6 】

またゲートウェイ 2 は、プロセッサ 2 1 からフラッシュメモリ 2 3 へのアクセス経路（信号線 A 1 ~ A 4 及び信号線 C 1 ~ C 4）、又は、E S W 2 2 からフラッシュメモリ 2 3 へのアクセス経路（信号線 B 1 ~ B 4 及び信号線 C 1 ~ C 4）のいずれか一方を選択的に有効化するバススイッチ 2 4 を備え、プロセッサ 2 1 がバススイッチ 2 4 の選択を制御する。

【 0 0 5 7 】

プロセッサ 2 1 は、車両 1 の I G スイッチがオフ状態からオン状態へ切り替えられた場合に、E S W 2 2 からフラッシュメモリ 2 3 のアクセス経路を有効化するようにバススイッチ 2 4 の選択を制御する。これにより、I G スイッチがオフ状態からオン状態へ切り替えられてゲートウェイ 2 が動作を開始した際に、E S W 2 2 がフラッシュメモリ 2 3 から通信プログラムを読み出して通信に係る処理を開始することができる。またプロセッサ 2 1 は、E S W 2 2 がフラッシュメモリ 2 3 から通信プログラムを読み出した後、プロセッサ 2 1 からフラッシュメモリ 2 3 へのアクセス経路を有効化するようにバススイッチ 2 4 の選択を切り替える。これによりプロセッサ 2 1 は、サーバ装置 5 から更新用プログラムを

10

20

30

40

50

取得した際に、この更新用プログラムをフラッシュメモリ 23 に記憶することができる。

【0058】

ESW22 による通信プログラムの読み出しは、装置の起動後に一度行われればよい。このため、起動直後は ESW22 がフラッシュメモリ 23 にアクセスし、その後はプロセッサ 21 がフラッシュメモリ 23 にアクセスする構成とすることができ、プロセッサ 21 及び ESW22 によるフラッシュメモリ 23 へのアクセスが衝突することなく、フラッシュメモリ 23 の共有化を実現できる。

【0059】

またゲートウェイ 2 では、ESW22 が実行する通信プログラムを更新することができる。フラッシュメモリ 23 には通信プログラムを記憶することができる第 1 の通信プログラム記憶領域及び第 2 の通信プログラム記憶領域を設け、いずれの記憶領域に記憶された通信プログラムを ESW22 が読み出すべきかを示す読み込みフラグを記憶する。ESW22 は、読み込みフラグに示された記憶領域から通信プログラムを読み出して実行する。これにより、読み込みフラグに示されていない記憶領域には、ESW22 の動作に影響を与えることなく、ESW22 の更新用プログラムを記憶することができる。

【0060】

プロセッサ 21 は、サーバ装置 5 から取得した ESW22 の更新用プログラムを、読み込みフラグに示されていない記憶領域に記憶した後、この記憶領域から ESW22 が通信プログラムを読み出すよう読み込みフラグを更新する。これにより、次に ESW22 が通信プログラムを読み出す際には、プロセッサ 21 が取得してフラッシュメモリ 23 に記憶した更新用プログラムを通信プログラムとして読み出すこととなり、通信プログラムを更新することができる。

【0061】

なお本実施の形態においては、プロセッサ 21 及び ESW22 が共有するメモリをフラッシュメモリ 23 としたが、これに限るものではなく、例えば EPROM などのメモリ素子を用いたものであってよい。またメモリを共有する IC をプロセッサ 21 及び ESW22 としたが、これに限るものではなく、これ以外の種々の IC がメモリを共有する構成としてよい。また図 4 に示したバススイッチ 24 の回路構成は一例であり、これに限るものではない。

【符号の説明】

【0062】

- 1 車両
- 2 ゲートウェイ（車載中継装置）
- 3 ECU
- 4 無線通信装置
- 5 サーバ装置
- 21 プロセッサ（取得部、更新処理部）
- 22 ESW（通信 IC）
- 23 フラッシュメモリ（共有メモリ）
- 24 バススイッチ（経路選択部）
- 24 a, 24 b 論理積演算素子
- 24 c バッファ素子
- 24 d, 24 e 論理反転素子
- A1 ~ A4, B1 ~ B4, C1 ~ C4 信号線
- SWA1 ~ SWA4, SWB1 ~ SWB4 スイッチ

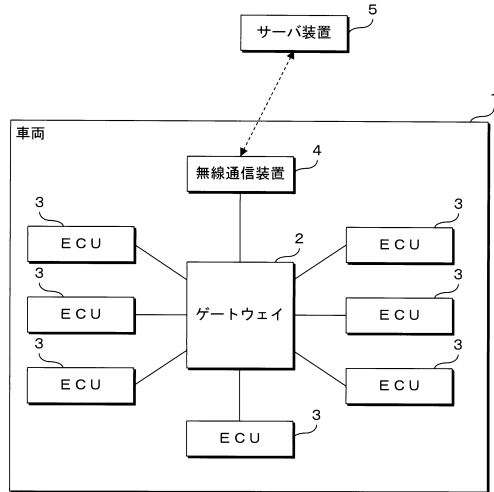
10

20

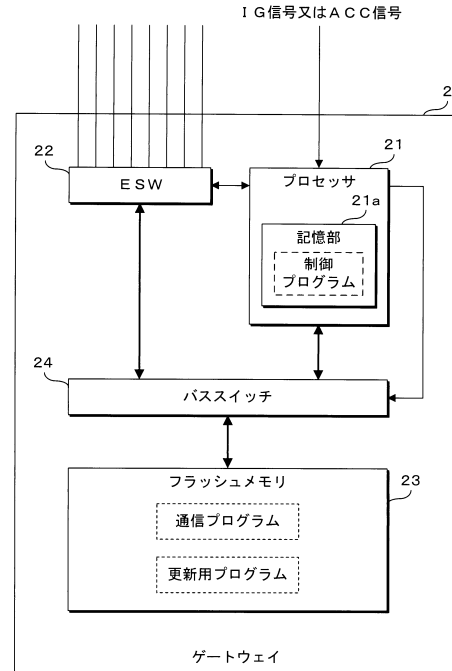
30

40

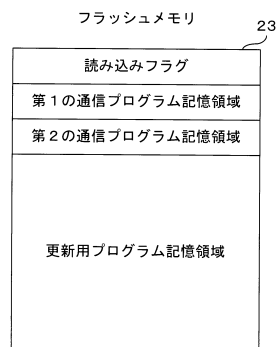
【図 1】



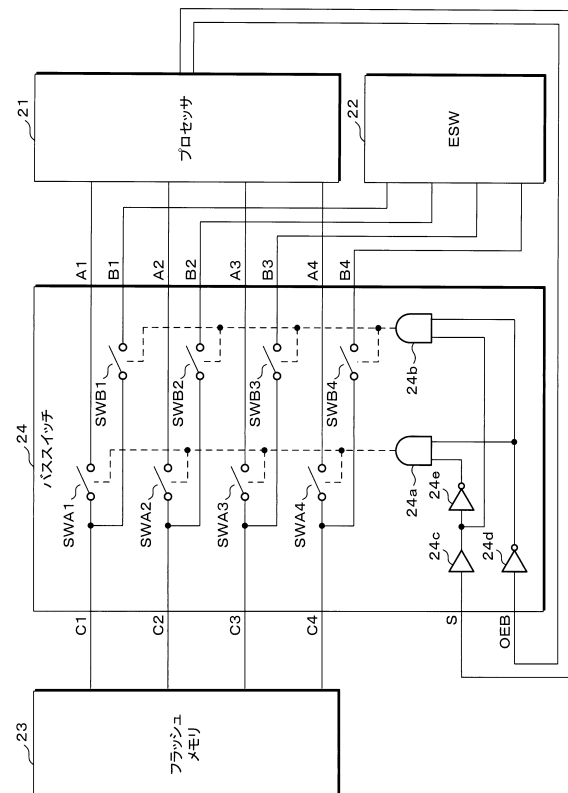
【図 2】



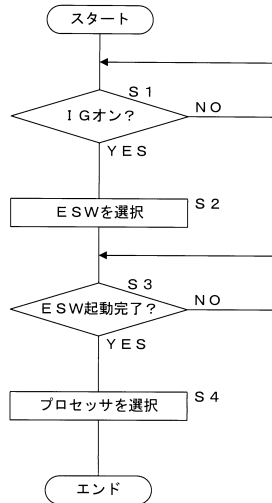
【図 3】



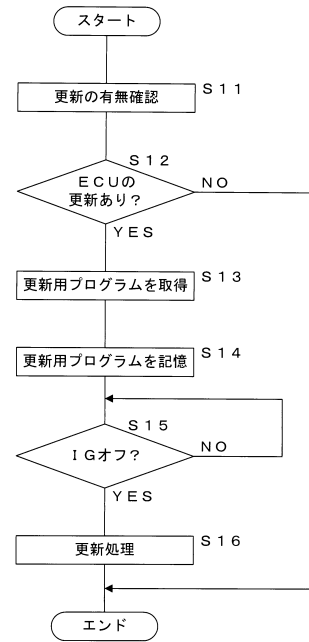
【図 4】



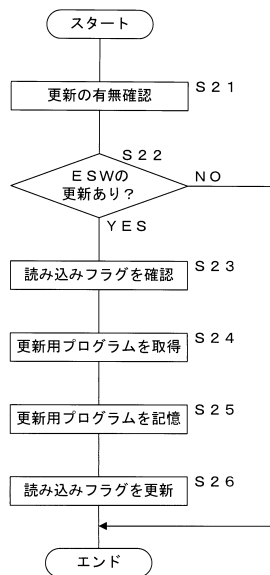
【図 5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 岡田 遼

三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内

審査官 今川 悟

(56)参考文献 特開2017-059210(JP,A)

特開2011-108167(JP,A)

特開2013-196321(JP,A)

特開2001-229014(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 13/00

G06F 8/654