

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 29/78

[12] 发 明 专 利 说 明 书

[21] ZL 专利号 94116346.6

[45]授权公告日 2000 年 8 月 23 日

[11]授权公告号 CN 1055790C

[22]申请日 1994.9.20 [24]颁证日 2000.5.25

[21]申请号 94116346.6

[30]优先权

[32]1993.9.20 [33]JP [31]256563/1993

[32]1993.9.20 [33]JP [31]256565/1993

[32]1993.9.20 [33]JP [31]256567/1993

[32]1993.10.19 [33]JP [31]284287/1993

[73]专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72]发明人 小沼利光 菅原彰 上原由起子 张宏勇

铃木敦则 大沼英人 山口直明

须泽英臣 鱼地秀贵 竹村保彦

[56]参考文献

US3,775,262 1973.11.27 C2365/48

审查员 赵百令

[74]专利代理机构 中国专利代理(香港)有限公司

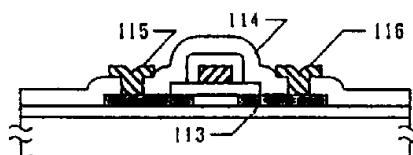
代理人 萧鞠昌 王忠忠

权利要求书 2 页 说明书 18 页 附图页数 13 页

[54]发明名称 半导体器件及其制造方法

[57]摘要

一种在绝缘衬底上形成的 TFT,具有源、漏和沟道区,至少在沟道区上形成栅绝缘膜,并在栅绝缘膜上形成栅电极。在沟道区和漏区间设有电阻率较高的区,以降低截止电流。形成这种结构的方法包括:阳极氧化栅电极以在栅电极侧形成多孔阳极氧化膜;用多孔阳极氧化膜为掩模除去一部分栅绝缘膜,使栅绝缘膜伸出栅电极但不全盖住源和漏区。此后,进行一种导电型元素的离子掺杂。在栅绝缘膜下限定高电阻率区。



ISSN 1008-4274

权 利 要 求 书

1. 一种薄膜晶体管，其特征在于，包括：
含有沟道形成区的沟道半导体层；
在所说沟道半导体层延伸之间的绝缘表面上形成的一对第一杂质区；
毗邻所说第一杂质区并具有较所说第一杂质区的电阻率为低的一对第二杂质区；以及
毗邻所说沟道半导体层且以栅绝缘膜插置其间的栅电极，
其中所说栅绝缘膜并不覆盖所说第二杂质区，
所说第一杂质区较所说第二杂质区设置得更靠近所说沟道形成区，且所说第一杂质区含有的杂质与在所说第二杂质区中所含的杂质有相同的类型，以及
所说沟道半导体层伸出所说栅电极的侧边以形成偏移区。
2. 权利要求 1 的薄膜晶体管，其特征在于，它还包括由阳极氧化栅电极形成的所说栅电极表面上的阳极氧化物。
3. 权利要求 1 的薄膜晶体管，其特征在于，它还包括所说栅电极材料的氧化物，所说氧化物设置在所说栅电极的至少一侧。
4. 权利要求 1 的薄膜晶体管，其特征在于，所说栅绝缘膜伸出所说沟道半导体层的一边缘，且其中一个所说第一杂质区和其中一个所说第二杂质区约与所说栅绝缘膜的一个边缘齐平。
5. 权利要求 1 的薄膜晶体管，其特征在于，所说偏移区具有与所说沟道形成区相同的导电类型。
6. 权利要求 1 的薄膜晶体管，其特征在于，所说栅绝缘膜覆盖其中一个所说第一杂质区。
7. 权利要求 1 的薄膜晶体管，其特征在于，所说栅绝缘膜设在

所说沟道半导体层和所说第一杂质区上。

8. 权利要求 1 的薄膜晶体管, 其特征在于, 其中一个所说第二杂质区设在其中一个所说第一杂质区的外侧。

9. 权利要求 1 的薄膜晶体管, 其特征在于, 所说第二杂质区包括金属硅化物。

10. 权利要求 9 的薄膜晶体管, 其特征在于, 所说金属硅化物含有从钛、镍、钼、钨、铂和钯的组合中选出的一种金属。

11. 权利要求 1 的薄膜晶体管, 其特征在于, 漏极包含其中一个所说第二杂质区, 所说漏区含有 p 型或 n 型杂质。

12. 一种薄膜晶体管, 其特征在于, 包括:

一源和漏区, 所说漏区具有 p 型或 n 型导电性;

设置在所说源和漏区之间的沟道形成区;

一栅电极, 毗邻所说沟道形成区设置, 且其间带有一栅绝缘膜;

与所说漏区接触且毗邻所说沟道形成区设置的高电阻率区, 它具有与所说漏区相同的导电类型; 以及

一包括与所说沟道形成区相同的半导体的区域, 设置在所说高电阻区的内侧, 且延伸在所说栅电极的侧边外,

其中所说绝缘膜覆盖所说沟道形成区和所说高电阻区。

半导体器件及其制造方法

本发明涉及一种半导体器件及其制造方法，特别是，本发明旨在解决形成在绝缘表面上的薄膜型绝缘栅场效应晶体管，该绝缘表面既可以是如玻璃的绝缘衬底的表面，也可以是如形成在硅圆片上的氧化硅的绝缘薄膜。具体地说，本发明可用于制造在玻璃衬底上形成的TFT（薄膜晶体管），该玻璃的转变温度（也称为畸变点或畸变温度）为 750°C 或更低。

这种根据本发明制造的半导体器件可用于有源阵列器件，例如液晶显示或图象传感器的驱动电路，或用于三维集成电路。

众所周知，TFT用以驱动有源阵列型液晶器件或图象传感器。具体地说，不用具有非晶硅的作为其有源层的非晶TFT，而用已研制出的结晶Si TFT以获得较高的场迁移率。图6A-6F是横截面图，说明按先有技术的TFT的制造方法。

参看图6A，在衬底601上形成结晶硅的基底602和有源层603。并在该有源层上用氧化硅或其他同类物形成绝缘膜604。

然后由掺磷多晶硅、钽、钛、铝等形成栅电极605。用此栅电极作为掩模，通过适宜的方法，例如自对准方法中的离子注入将杂质元素掺入该有源层603，从而形成含有浓度比较低的该杂质、因而具有比较高的电阻率的杂质区606和607。此后本发明将这些区域606和607称为高电阻率区（HRD：高电阻率漏极）。位于不掺以杂质的栅电极之下的有源层区域是为沟道区。此后，用激光或例如闪光灯的热源将掺

杂杂质激活。(图6B)

参看图6C, 用等离子体CVD 或APCVD(大气压CVD) 形成氧化硅的绝缘膜 608, 继而进行各向异性腐蚀, 在栅电极的侧表面毗连处留下绝缘材料609, 如图6D所示。

然后用栅电极605和绝缘材料609作为掩模, 用离子注入法或类似方法, 以自对准方式再将杂质元素加入到一部分的有源层603 中, 形成一对杂质区610和611, 其含有的杂质元素的浓度较高, 并具有较低的电阻率。之后, 再用激光或闪光灯(图6E) 将杂质激活。

最后, 在整个表面上形成层间绝缘体612, 其中在源区和漏区610和611上形成接触孔。然后通过接触孔形成电极/布线613和614, 和源区和漏区接触。(图6F)

上述制造过程是照抄常规半导体集成电路的老的LDD 技术得到的, 这种方法对于在玻璃衬底上的薄膜制造过程有一些缺点, 讨论如下:

首先, 需要用激光或闪光灯将加入的杂质元素激活二次。因此, 生产率低。在常规半导体电路的情况下, 可在杂质引进全部完成后用一次加热退火来激活杂质。

但在玻璃衬底上形成TFT 的情况下, 加热退火的高温, 容易损伤玻璃衬底。因此需要使用激光退火或闪光灯退火。但这种退火对有源层的影响是有选择的。例如在绝缘材料609 下面的有源层部分就未受到退火作用。于是, 每次完成掺杂后应进行退火的步骤。

还有, 形成绝缘材料609 也是困难的。一般说来, 绝缘膜厚 $0.5-2\mu\text{m}$, 而衬底上的基底膜602厚 $1000-3000\text{\AA}$ 。因此, 存在着这样的危险, 即在刻蚀绝缘膜608时, 会无意地刻蚀基底膜602而使衬底露出。因为TFT 的衬底含有许多对硅半导体有害的元素, 故不能提高质量。

此外, 也很难精确地控制绝缘材料 609的厚度。各向异性刻蚀是由例如反应离子刻蚀(RIE) 这样一种等离子体干式刻蚀完成的。然而

由于使用了具有绝缘表面的衬底(这和半导体集成电路中的硅衬底不同),因而难以精确控制等离子体,故绝缘材料609的形成是困难的。

因上述HRD 必须做得尽可能薄,精确控制绝缘材料制造既有上述困难,也就难以批量生产质量均匀的 TFT。而且需要二次进行离子掺杂,使生产过程变得复杂。

本发明的一个目的是要解决上述问题,并用简化的生产过程提供高电阻率区(HRD)的TFT。此处HRD 不仅包括含有浓度较低和电阻率较高的杂质区,也包含电阻率较低的区域,这是因为,虽然掺杂的杂质浓度较高,但添加的元素可用以防止激活掺杂的杂质。作为这种元素的例子为碳、氧和氮。

根据本发明,栅电极的表面被氧化,且此氧化物层用以确定高电阻率区。该氧化物层由阳极氧化而成。和上述各向异性刻蚀比较起来,使用阳极氧化以形成氧化层有其优点,因为阳极氧化物层的厚度可以精确控制,而且可以形成薄至1000Å或更薄、厚至5000Å或更厚的均匀性极为优越的阳极氧化物层。

再者,本发明的另外特点是上述阳氧化层中有两类阳极氧化物,一类是势垒型阳极氧化物,另一类是多孔型阳极氧化物。使用酸性电解液时,可以形成多孔型阳极氧化物层。电解液的pH值低于2.0,例如在使用草酸水溶液时,pH值为0.8-1.1。由于是强酸性,金属膜在氧化期间溶解,生成的阳极氧化物呈多孔性。这种薄膜的电阻很低,致使膜的厚度得以较易增加。另一方面,使用弱酸或接近中性的电解液时,形成势垒型阳极氧化物。由于不溶解金属,生成的阳极氧化物致密且高度绝缘。形成势垒型阳极氧化物的电解液的pH值约高于2.0,最好高于3.0,例如在6.8和7.1之间。除了用含有刻蚀剂的氢氟酸外,势垒型阳极氧化物是不能被刻蚀的,而多孔型阳极氧化物可以用磷酸刻蚀剂,使用磷酸刻蚀剂不会损伤构成TFT 的其他材料,

例如硅、氧化硅。此外，势垒型阳极氧化物和多孔型阳极氧化物二者都很难用干式刻蚀剂刻蚀。特别是，这两种阳极氧化物相对于氧化硅来说都有足够高的刻蚀选择率。

本发明的上述特点使有HRD的TFT的制造变得容易。

图1A-1F是横截面视图，说明本发明实施例1的TFT的制造方法；

图2A-2F是横截面视图，说明本发明实施例2的TFT的制造方法；

图3A-3F是横截面视图，说明本发明实施例3的TFT的制造方法；

图4A-4D是本发明的TFT的一部分的放大视图；

图5A和5B是使用本发明的TFT的有源阵列器件的电路衬底；

图6A-6F是横截面视图，说明先有技术的TFT的制造方法；

图7A-7F是横截面视图，说明本发明实施例4的TFT的制造方法；

图8A-8F是横截面视图，说明本发明实施例5的TFT的制造方法；

图9A-9F是横截面视图，说明本发明实施例6的TFT的制造方法；

图10A-10F是横截面视图，说明本发明实施例7的TFT的制造方法；

图11A-11F是横截面视图，说明本发明实施例8的TFT的制造方法；

图12A-12F是横截面视图，说明本发明实施例9的TFT的制造方法；

以及

图13A-13D是横截面视图，说明本发明的阳极氧化生产过程。

参看图1A，在衬底101上制备基底绝缘膜102。在该基底绝缘膜102上形成包括结晶硅半导体的有源层103。本发明的“结晶半导体”包括单晶、多晶或半非晶半导体，其中至少部分含有晶体成分。此外，包括氧化硅或之类的绝缘膜104覆盖着有源层103。

再在绝缘膜104上，形成包括可阳极氧化材料的薄膜。可阳极氧化材料的例子为铝、钽、钛、硅等。这些材料可单独使用，或者使用它们中二或多个，以多层形式出现。例如，可以使用一种双层结构，其中硅化钛形成在铝上，或铝形成在氮化钛上。各层的厚度可按所需

器件的性质确定。随后，将薄膜构图或刻蚀形成电极105。

然后参见图1B，在电解液中将电流加到栅电极105上，使之阳极氧化以在其上表面和侧表面形多孔的阳极氧化物106。就以本阳极氧化用的电解液而言，使用的是含3-20%的柠檬酸、草酸、磷酸、铬酸或硫酸的水溶液。所加的电压为10-30V，厚度为 $0.5\mu\text{m}$ 或更厚。由于使用酸性溶液，如铝的金属在阳极化时被溶解，而生成的阳极氧化膜呈多孔性。又因为是多孔性结构，氧化膜的阻值是很低的，因此其厚度可用较低电压增加。当金属是两性金属时，在使用碱性溶液下，也可用相同的做法。

参看图1D，以阳极氧化膜106作为掩模，用干式或湿式刻蚀法刻蚀绝缘膜104。刻蚀作用可以继续到暴露出有源层的表面为止，或在有源层的表面暴露出之前就停止刻蚀。但鉴于生产率、产额和均匀性，最好将刻蚀继续到暴露出有源层的表面为止。在栅电极105和阳极氧化膜106下面的绝缘膜104的部分留下来作为绝缘膜104。在使用铝、钽或钛作为栅电极的主要组成，而栅绝缘膜104包含氧化硅时，使用含氟的刻蚀剂例如 NF_3 和 SF_6 作干式刻蚀是可能的。在这种情况下，绝缘膜104被快速刻蚀，而对氧化铝、氧化钽和氧化钛的刻蚀率足够小，以致可做到选择性地刻蚀绝缘膜104。

还有，在使用湿式刻蚀的情况下，使用含氢氟酸的刻剂，例如1/100的氢氟酸是可能的。此时，因铝、钽和钛的氧化物的刻蚀率足够小，故也可以选择性地刻蚀氧化硅绝缘膜104。

刻蚀绝缘膜104后，除去阳极氧化膜106。作为刻蚀剂，可使用含磷酸的溶液。例如，一种由磷酸、醋酸和硝酸的混合酸是理想的。但在使用铝作为栅电极时，栅电极也被刻蚀剂刻蚀。根据本发明，如图1C所示，在栅电极和阳极氧化物106之间设置势垒型阳极氧化膜107，这个问题就可以解决。

在含有3-10%酒石酸、硼酸或硝酸的乙二醇中形成阳极氧化物106后，将电流加到栅电极可形成阳极氧化膜107。阳极氧化物107的厚度可由栅电极和反电极之间的电压大小决定。应注意，这种阳极氧化中所用的电解液是比较中性的，以致和使用酸性溶液相反，也可增加阳极氧化物的密度。这样，就可以形成势垒型阳极氧化物。多孔型阳极氧化物的刻蚀率比势垒型阳极氧化物的高10倍。

于是，可由含刻蚀剂的磷酸将多孔型阳极氧化物106 除去而不会损伤栅电极。

由于栅绝缘膜104' 以自对准方式相对于多孔性阳极氧化物106 形成，栅绝缘膜104' 的外边缘离开势垒型阳极氧化物107的外边缘“y”，如图1D 所示。使用阳极氧化物的一个好处在于，距离“y”可以以自对准方式由阳极氧化物的厚度决定。

参看图1E，N型或P 型的杂质离子被加速注入有源层103 以在栅绝缘膜104' 已除去(或减薄)的部分形成高杂质浓度区108和111，并在栅绝缘膜留下来的地方形成低杂质浓度区109和110。由于杂质离子通过栅绝缘膜104' 进入区109和110，故这些区的杂质离子浓度较区108和111的低。因为加有较高的杂质浓度，杂质区108和111 的电阻较杂质区109和110的电阻低。杂质离子浓度的差别依赖于栅绝缘膜104' 的厚度。正常情况下，区109和110 的浓度小于区108和111的0.5至3 位数。

在栅电极下的有源层部分不掺以杂质，且可保留为本征的或基本上是本征的。因而限定出沟道区。杂质引进后，用激光或强度等效于该激光的光照射杂质区，将杂质激活。这步骤一步就可完成。结果如图1E和1F所示，栅绝缘膜104' 的边缘112大致与高阻区(HRD)的边缘113 相对准。

如以上解释，通过阳极氧化物106的厚度“y”以自对准方式可确

定高电阻率区 109 和 119，而厚度 “ y ” 反过来是由阳极氧化步骤期间施加到栅电极的电流密度决定的。这样做较图 6A-6F 所示的使用与栅电极毗连的绝缘材料要优越得多。

此外，由于低电阻率区和高电阻率区可用单一的杂质掺杂步骤形成，上述方法是有优点的。在先有技术中尽管 HRD 有一好处，即它可以避免出现热载流子并增加器件的可靠性。但存在一个问题，即因 HRD 的电阻率高，它难以和电极成欧姆接触，又因此电阻率使漏电压不合要求地降低。本发明解决了这些理解不深的问题，同时可以自对准方式形成具有 0.1 至 $1\mu\text{m}$ 宽度的 HRD，并能使电极和源和漏区间呈欧姆接触。

再者，相对于栅电极的沟道区和 HRD(109 和 110) 之间的边界位置关系，参看图 4A-4D 和下列解释，可通过改变势垒型阳极氧化物 107 的厚度加以控制。例如，使用离子掺杂法(亦称为等离子体掺杂)时，离子被引进时没有按质量分开，以致离子的注入角度不是均匀的。因而引入到有源层的离子容易在横方向上分开。

图 4A 说明图 1E 所示的部分放大视图。编号 401 指栅电极。402 指势垒型阳极氧化物，它与图 1E 的势垒型阳极氧化物 107 相对应。404 指有源层，其厚度例如约 $800\text{\AA}$ 。当阳极氧化物 402 的厚度大约和有源层 404 的厚度相等时，栅电极的边缘 405 基本上和 HRD 407 的边缘 406 相对准。

当阳极氧化层 402 厚于有源层，例如， $3000\text{\AA}$ 时，栅电极的边缘 405，如图 4B 所示，偏离 HRD 的边缘 406。另一方面，与有源层比较起来阳极氧化物 402 为比较薄时，栅电极叠置 HRD，如图 4C 所示。当没有阳极氧化物围绕在栅电极 401，如图 4D 所示，这种叠置变得最大。

一般情况下，偏离结构可降低反向漏电流(截止电流)并增加 ON/OFF(导通/截止)比。偏离结构适用于 TFT，以在驱动漏电流要尽可能避免的液晶器件中驱动像素。然而，由于在 HRD 的边缘处出现并会被氧化物俘获的热电子，阳极氧化物容易变质。

在栅电极叠置HRD时，可以减轻变质的缺点，并使ON 电流增加。但有漏电流增加的缺点。为此，叠置结构适用于单片有源阵列器件的周围电路中的TFT。于是，根据应用情况，可选用图4A至4E 的适用结构。

例1

再参看图1A-1F，将更详细地讨论制造TFT的方法。将一块尺寸为 $300\text{ mm} \times 400\text{ mm}$ 或 $100\text{ mm} \times 100\text{ mm}$ 的Corning玻璃衬底用作衬底101。通过例如在氧气中的溅射，在衬底上形成厚度为 $100\text{--}300\text{ nm}$ 的氧化硅作为基底膜102。但为改进生产率可以使用TEOS作为起始材料的等离子体CVD。

通过等离子体CVD或LPCVD将非晶硅沉积至厚度为 $300\text{--}5000\text{ \AA}$ 最好为 $500\text{--}1000\text{ \AA}$ ，然后在一减压气氛中将其在 $550\text{--}600\text{ }^\circ\text{C}$ 下加热24小时，并将其构图，可形成岛状的结晶硅膜103。可以采用激光退火以代替加热退火。此外，用溅射法形成厚度为 $70\text{--}150\text{ nm}$ 的氧化硅膜104。

然后用电子束蒸发或溅射法形成含1%重量Si或0.1-0.3%重量Sc(钪)厚为 $1000\text{ \AA}$ 至 $3\text{ }\mu\text{ m}$ 的铝膜。如图1A所示，将铝膜构图，形成栅电极105。

再参看图1B，通过将电流施加到一电极上使栅电极105阳极氧化，以形成厚度为 $3000\text{--}6000\text{ \AA}$ ，例如为 $5000\text{ \AA}$ 的阳极氧化膜106。使用3-20%的柠檬酸、草酸、磷酸、铬酸或硫酸的酸性水溶液。所加电压为10-30V，而所加电流保持恒定。此例用的是草酸。电解液的温度为 $30\text{ }^\circ\text{C}$ 。施加10V电压20-40分钟。阳极氧化膜的厚度由阳极氧化时间控制。

随后，在另一含3-10%草酸、硼酸或硝酸的乙二醇溶液的电解液中再对栅电极阳极氧化，以形成围绕栅电极的势垒型阳极氧化膜107。电解液的温度最好保持在较室温低，例如 $10\text{ }^\circ\text{C}$ ，以便改进氧化膜的质量。阳极氧化膜107的厚度与所加电压的大小成比例。所加电压选自

80-150V的范围。当所加电压为150V时,厚度为2000Å。阳极氧化膜107的厚度是根据TFT所需结构(参见图4A-4D的讨论)决定的,但需将电压提高到250V或更高,以获得厚度为3000Å或更厚的阳极氧化膜。

由于这样大的电压对TFT存在危险,最好选择阳极氧化物107的厚度为3000Å或更小。

参看图1D,用干式刻蚀法部分除去氧化硅膜104。这种刻蚀可以呈各向同性刻蚀的等离子体模式或是各向异性刻蚀的反应离子刻蚀模式。但硅和氧化硅的选择比应足够大。使得不应太多刻蚀有源硅层。还有,阳极氧化物106和107不被 CF_4 刻蚀,而氧化硅膜则被选择性地刻蚀。由于多孔型阳极氧化物106下面的氧化硅膜104不被刻蚀,栅绝缘膜104'不被刻蚀地保留下来。

然后参看图1E,采用磷酸、醋酸或硝酸的混合酸,以例如6000Å/分的刻蚀率,只将多孔型阳极氧化膜106刻蚀。栅绝缘膜104'保留下来。

除去多孔型阳极氧化膜106后,以栅电极、势垒型阳极氧化膜107和栅绝缘膜104'为掩模,用离子掺杂法以自对准方式加入杂质元素,使半导体层形成一种导电类型。结果形成高电阻率杂质区109和110,低电阻率区(源和漏区)108和111。形成P型区时,使用乙硼烷(B_2H_6)作为掺杂气体。剂量为 5×10^{14} 至 5×10^{15} 原子/ cm^2 。加速能量为10-30KV。在该引进后,用KrF激发物激光(波长248nm,脉冲宽度20ns)激活所加杂质。

用SIMS(二次电子质谱仪)测量有源层中的杂质浓度,源和漏区108和111的杂质浓度为 1×10^{20} 至 2×10^{21} 原子/ cm^3 ,而高电阻率区109和110中的杂质浓度为 10^{17} 至 2×10^{18} 原子/ cm^3 。这对应于前一种情况的剂量 5×10^{14} - 5×10^{15} 原子/ cm^2 和后一种情况的剂量 2×10^{13} - 5×10^{14} 原子/ cm^2 。这种差别是由于有栅绝缘膜104'引起的。一般而言,低电

阻率杂质区的浓度比高电阻率区的浓度高0.5-3倍。

然后在整个结构上用CVD形成厚度为3000Å的氧化硅的层间绝缘膜114，随后，通过绝缘膜和在其中形成的铝电极形成接触孔，以接触图1F所示的源和漏区。最后，进行氢气退火，以完成TFT的制造。

参看图5A，以下将解释本发明的TFT 应用于有源阵列器件，例如液晶器件的电路衬底。图5A中，衬底上形成了三个TFT。TFT1和 TFT2在周围电路中用作驱动器TFT。TFT1和TFT2中的势垒型阳极氧化物501和502厚200-1000Å，例如500Å。因此，栅电极叠置高电阻率区。TFT1的漏极和TFT2的源极彼此连接，TFT1的源板接地，TFT2的漏板连接到电源。这样就形成CMOS倒相器。这自然不局限于本结构，因而可以形成任一种其他电路。

另一方面，TFT3用作像素TFT，用以驱动像素。阳极氧化物503厚2000Å，以便形成偏离区。本结构对应于图4B 所示结构。于是，可以降低漏电流。TFT3源和漏中的一个连接到由氧化铟锡(ITO) 制成的像素电极504。同时，TFT1和3为N沟道TFT，而TFT2为P沟道TFT。

例2

本例是例1 的改进，其中的源和漏区设有硅化物层。参看图2A，201为Corning 7059玻璃衬底，202为基底膜，203为硅岛，204为绝缘膜，205为Al栅电极(厚200nm-1μm)，以及206为多孔型阳极氧化膜(厚3000Å -1μm 例如5000Å)。这些是使用例1所解释的相同方法来形成的，这里不赘述。

参看图2B，在形成多孔型阳极氧化物206后，以和例1相同的方式形成厚 1000-2500Å的势垒型阳极氧化膜207。然后，用多孔型阳极氧化物206为掩模，以自对准方式通过刻蚀绝缘膜204形成栅绝缘膜204'。

然后，用势垒型阳极氧化物207 作为掩模，通过刻蚀将多孔型阳极氧化物206除去。此外，用栅电极205和阳极氧化物207 作为掩模，

以自对准方式进行杂质元素(磷)的离子掺杂,以便形成如图2C所示的低电阻率杂质区208和211以及高电阻率杂质区209和210。所用剂量为 $1 \times 10^{14} - 5 \times 10^{14}$ 原子/cm²,加速电压为30-90KV。

参看图2D,用溅射法在整个表面上形成金属膜212,例如钛膜,其厚度为50-5000Å。低电阻率区208和211直接和金属膜接触。除了钛外,也可用其他金属,例如镍、钼、钨、铂或钯。

之后,将KrF激发物激光(波长248nm,脉冲宽度20)照射到表面上,以激活所加杂质,并通过和有源层中的金属膜和硅起反应,形成金属硅化物区213和214。激光束的能量密度为200-400 MJ/cm²,最好为250-300 MJ/cm²。而且,在激光照射期间,要求衬底维持在200-500℃,以避免剥落钛层。

当然,使用其他不是激发物激光的光源也是可以的。但因CW激光的照射时间较长,被照射膜有热膨胀和剥落的危险,故最好使用脉冲激光束。

至于脉冲激光的例子,有IR(红外)光激光,例如Na:YAG激光(最好用Q开关脉冲振荡)、Na:YAG的二次谐波(可见光)以及UV(紫外)光(例如KrF、XeCl和ArF的激发物激光)。激光束由金属膜上侧发射时,需要选择激光的波长,以便不在金属上反射。再者,也可从衬底侧发射激光。此时,需选择了可透射硅的激光。

用激光退火之外,也可用可见光或近红外光的灯光退火。此时,进行退火,将衬底加热至600-1000℃,例如在600℃下数分钟,或在1000℃下数十秒。用近红外线退火时,不要过甚加热玻璃衬底。因近红外线被硅半导体有选择地吸收。此外,缩短照射时间,可以防止加热玻璃。

此后,参看图2E,在例如栅电极或栅绝缘膜上只有保持不变而不转变为硅化物的钛膜,才被含5:2:2的过氧化氢、氨和水的刻蚀剂刻

蚀掉。结果硅化钛213和214保持不变。

参看图2F，在整个表面上用CVD沉积 $2000\text{\AA}-1\mu\text{m}$ 例如 $3000\text{\AA}$ 的氧化硅而形成层绝缘膜217。通过绝缘膜217，在源和漏区213和214上形成接触孔，继之在其中形成厚度为 $2000\text{\AA}-1\mu\text{m}$ 例如为 $5000\text{\AA}$ 的铝电极或引线218和219。和使用硅半导体相比，使用金属硅化物可提供与铝的稳定界面，并提供与铝电极的良好接触。通过在铝电极218和219及金属硅化物区213和214之间形成势垒金属，可以进一步改进接触。硅化物区的薄层电阻可做成 $10-50\Omega/\square$ ，而HRD209和210的为 $10-100\text{K}\Omega/\square$ 。

借助上述工序，可以改进TFT的频率特性，而且在较高的漏电压下也可以抑制热载流子的损伤。

在本例中，低电阻率杂质区和金属硅化物区大约彼此重合。特别是栅绝缘膜204'的边缘215大致与高电阻率杂质区210和低电阻率杂质区211之间的边界216共同延伸，也与金属硅化物区214的内边缘共同延伸。显然，以金属硅化物区代替低电阻率区，参考图4A-4D的解释可应用到本例中。

图5B示出本例在有源阵列器件中的应用。在图5B中，衬底上形成了三个TFT。TFT1和TFT2在周围电路中用作驱动器TFT。TFT1和TFT2中的势垒型阳极氧化物505和506厚 $200-1000\text{\AA}$ ，例如厚 $500\text{\AA}$ 。因此，栅电极叠置高电阻率区。TFT1的漏极和TFT2的源极彼此互连，TFT1的源极接地，TFT2的漏极则连接到电源。因而，形成了CMOS倒相器。因为还可以形成任一种其他电路，因而不应只局限于本结构。

另一方面，TFT3用作像素TFT驱动像素。阳极氧化物507厚为 $2000\text{\AA}$ ，以便可以形成偏离区。这种结构相应于图4B所示的结构。因此，可降低漏电流。TFT3的源和漏极中的一个极连接到由铟锡氧化物(ITO)制成的像素电极508。

为了独立地控制各个TFT的阳极氧化物的厚度，各TFT的栅电极最好彼此独立制成。同时，TFT1和3是N沟道型TFT，而TFT2为P沟道型TFT。

此外，可在杂质的离子掺杂前形成钛膜。在这情况下，其好处是钛膜可在离子掺杂期间防止表面充电。再者，在钛形成步骤前、离子掺杂步骤后，可用激光进行退火。在钛形成后，硅化钛可用光照射或热退火形成。

例3

本例是例2的进一步变化结果，其中改变了金属硅化物的形成步骤和离子掺杂的秩序。参看图3A，在Corning 7059衬底301上形成了基底氧化膜302、岛状结晶半导体（例如硅）区303、氧化硅膜304、 $2000\text{\AA}$ 至 $1\mu\text{m}$ 的铝栅电极以及在栅电极侧上的 $6000\text{\AA}$ 的多孔型阳极氧化膜306。这些都和参看图1A和1B讨论的例1一样的方式形成的。

此外，以和例1一样的方式形成 $1000\text{-}2500\text{\AA}$ 的势垒型阳极氧化膜307。接着，以图3B所示的自对准方式将氧化硅膜304构图成栅绝缘膜304'。

参看图3C，将多孔型阳极氧化物306除去，以便露出一部分的栅绝缘膜304'。接着，用溅射法在整个表面上形成厚 $50\text{-}500\text{\AA}$ 的例如为钛膜308的金属层。

然后用KrF激发物激光照射以便形成硅化物区309和310。激光的能量密度为 $200\text{-}400\text{mJ}/\text{cm}^2$ ，最好为 $250\text{-}300\text{mJ}/\text{cm}^2$ 。此外，也希望保持衬底在 $200\text{-}500^\circ\text{C}$ ，以在激光照射期间防止钛膜剥落。这一步骤可用可见光或远红外光的灯光退火进行。

参看图3D，采用含5:2:2的过氧化氢、氨和水的刻蚀剂，将例如在栅电极或栅绝缘膜上只留下的钛膜剥去。结果将硅化钛309和310保留下来。

参看图3E，使用栅电极305、阳极氧化物307和栅绝缘膜304'作为

掩模，剂量为 $1-5 \times 10^{14}$ 原子/cm²，加速电压为30-90KV，完成磷的离子掺杂，以使形成低电阻率区311和314以及高电阻率区312和313。硅化钛区309和310大致和低电阻率区311和314重合，它同样也和源和漏区重合。

然后再用KrF激发物激光(波长248nm，脉冲宽度20ns) 激活所加磷。这可如上述使用可见光或远红外线的灯光退火来进行。之后，如图3F 所示，以栅电极和阳极氧化物307为掩模刻蚀栅绝缘膜304'，形成栅绝缘膜304'。这是因为加入到栅绝缘膜304' 的杂质使器件性质不稳定。

图3F 中，通过CVD在整个表面上沉积6000Å厚的氧化硅以形成层间绝缘体315。接触孔通过绝缘体开出，以在源和漏区上形成铝电极316和317。这样就完成了TFT。

根据本发明，掺杂或退火步骤的次数可以减少。再者，除了P 型或n 型杂质离子外，还可加入如碳、氧或氮的杂质，以便进一步降低反向漏电流，并提高介质强度。这一点在有源阵列电路中的象素 TFT 是特别有用的。在这情况下，图5A和5B是TFT3具有的阳极氧化膜做得与TFT1和TFT2的一样厚。

例4

现参看图7A-7F来解释本发明的第四个例子。本例与例1比较，相同标号表示相同的元件。本质上本例中的各步骤几乎和前例相同，因此这里不再赘述。

在栅绝缘膜104 上形成导电膜后，就在导电膜的整个表面上形成例如为光刻胶、光敏的聚酰亚胺掩模材料或聚酰亚胺。例如，旋涂光刻胶(由东京Oka公司制造的OFPR 800/30cp) 。最好是在导电膜和光刻胶之间形成阳极氧化膜(图中未示出) ，然后将这些膜构图成图7A所示的栅电极105和掩模117。然后，以和例1相同的方式，在栅电极

105的表面上(除了图7B所示的形成掩模117的部分外)形成多孔型阳极氧化膜106。

然后参看图7C,通过干式刻蚀将氧化硅膜104构图,以便露出部分硅膜103,从而形成栅绝缘膜104'。这里也采用了与例1中所做的相同的刻蚀方法。此外,在这个刻蚀步骤之前和之后,都通过常规的光刻技术除去光刻胶掩模。

参看图7D,以和例1相同的方式形成厚度为2000Å的势垒型阳极氧化膜107。使用这种势垒型阳极氧化膜作为掩模,通过用以前解释过的磷酸刻蚀剂除去多孔型阳极氧化物。于是获得图7E所示的结构。接下去的步骤和参考图1E和1F的解释的步骤相同。

由于在第一次阳极氧化中栅电极的上表面不被氧化,因而可在第一次阳极氧化期间防止栅电极厚度减薄太多。即在例1中,因为栅电极的整个表面受到阳极氧化,栅电极厚度被减薄,引起布线电阻不希望有的增加。本例可避免这样的问题。

例5

本例是例2和例4的组合,并示于图8A-8F。图8A-8B所示的步骤和例4的图7A-7C所叙述的完全一样。亦即,仅在栅电极的侧表面上形成多孔型阳极氧化物,而栅电极的上部则覆以掩模。此外,出现在图8B所示的暴露硅层部分的步骤后,即图8C-8C所示的步骤,是和参考图2C-2F的例2中解释的那些步骤完全相同。

例6

本例也是关注例3和例5的组合,并示于图9A-9F。亦即本例和例5不同之处,仅在于金属硅化物区的形成和离子注入步骤的秩序。因此,图9A-9B所示的步骤和例4参考图7A-7C所述的步骤完全相同,而且也对应于例5的图8A和8B所示的步骤。图9C-9F所示的随后步骤完全对应于例3的图3C-3F所示的步骤。

例7

参看图10A-10F，本例可和示于图7A-7F的例4相比较。唯一不同处是图10C和10D所示的步骤顺序。亦即，在图10C中，势垒型阳极氧化膜107是在刻蚀绝缘膜104之前形成的。在势垒型阳极氧化物107形成后，将绝缘膜104构图成栅绝缘膜104'。另一方面，在例4中，绝缘膜104的构图是在如图7C所示的势垒型阳极氧化物形成前进行的。因此，在例7中，势垒型阳极氧化物在刻蚀绝缘膜104期间保护铝栅电极105。

例8

本例除了栅绝缘膜的构图步骤和势垒型阳极氧化膜207的形成步骤之间的顺序外，完全和图8A-8F的例5相同。亦即，参看图11A-11B，和例5相反，势垒型阳极氧化膜207是在刻蚀绝缘膜204之前形成的。之后，将绝缘膜构图成栅绝缘膜204'。图11C-11F中所示的随后步骤完全和例5中的相同。

例9

本例除在栅绝缘膜304的构图步骤和势垒型阳极氧化膜307的形成步骤之间的顺序外，也和图9A-9F的例6完全相同。亦即，参看图12A-12B，势垒型阳极氧化膜307是在刻蚀绝缘膜304部分之前形成的。此后，将绝缘膜构图成栅绝缘膜304'。图12C-12F中所示的随后步骤完全和例6中的相同。

参考例6-9，虽则没有在示图中显示出来，仅在栅电极的侧表面上形成阳极氧化膜时，最好在栅电极和掩模之间设置阳极氧化膜。下面将参看图13A-13D更详细地叙述这个特点。

图13A-13D是使用可阳极化的材料的布线细致过程。在例如形成在半导体上的氧化膜衬底701上，形成例如厚 $2\mu\text{m}$ 的铝膜702。为避免在顺序阳极氧化步骤期间产生铝的异常生长（小丘），铝可含0.2%重量的Sc（钪），或为避免在高温生产过程产生铝的异常生长，铝可含

其他添加剂，例如钇(Y)。

然后在含3%酒石酸的乙二醇溶液中，对铝膜施加10-30V的电压将其阳极氧化。从而在铝膜上形成厚200Å的致密阳极氧化膜703。然后用光刻胶掩模704，根据预定的图形将铝膜702和氧化膜703构图。由于氧化膜很薄，故易以在同时将其刻蚀。

上述情况下的构图是通过各向同性刻蚀进行的。经构图的铝膜边缘具有如图13B标号707所示的形状。此外，氧化物703和铝702之间的不同刻蚀率也进一步增强了结构707。

然后在含10%草酸的水溶液中，通过施加10-30V的电压，形成多孔型阳极氧化膜705。氧化过程主要是在铝膜内侧进行的。

已证实氧化生长的顶端，即在阳极氧化物和铝之间的边界，大致垂直于衬底表面。另一方面，在势垒型阳极氧化的情况下，势垒型阳极氧化物的形状几乎保持了起始金属的形状。

本例中铝膜厚度为2μm，而多孔型阳极氧化膜705生长到5000Å。透过电子显微照片观察到生长的顶端大致是垂直的。

形成多孔型阳极氧化膜后，用常规的脱模剂除去光刻胶掩模704。因掩模阳极氧化物703很落，可与光刻胶掩模704同时剥除，或者使用加有缓冲剂的氟化氢酸在较后的步骤中除去。

此外，如图13D所示，通过在不同条件下进行另一阳极氧化，进一步形成2000Å厚的势垒型阳极氧化膜706。就是说，电解液是含3%酒石酸的乙二醇溶液，所加电压约150V。该氧化膜从多孔型阳极氧化物705和铝702之间的边界开始在内侧方向围绕铝膜均匀地生长。

因此，形成一种结构，其中势垒型阳极氧化膜围绕铝膜形成，还有的多孔型阳极氧化膜则在铝膜侧边上形成。

用磷酸H₃PO₄可容易地和选择性地将多孔型阳极氧化物705除去，而不会损伤铝膜。

不用说，上述工序可用在前述例4-9的阳极氧化工序中。

尽管在前述例子中使用了玻璃衬底，本发明的TFT 也可形成在任何绝缘表面上，例如有机树脂或形成在单晶硅的绝缘表面上。还有，它也可形成在三维集成电路的器件中。特别是本发明用在电光器件，例如在同一衬底上形成有周围电路的单片型有源阵列电路时，是特别有利的。

此外，例子中虽然使用结晶硅，本发明也可用于非晶硅或其他类型的半导体。

尽管本发明是参考最佳实施例加以叙述的，但精通本领域的人士显然可以理解实施例的各种变型。本发明要包括所有在所附权利要求书范围内的变型。

说明书附图

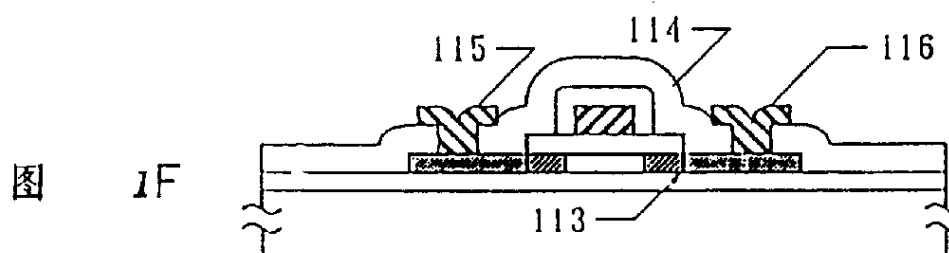
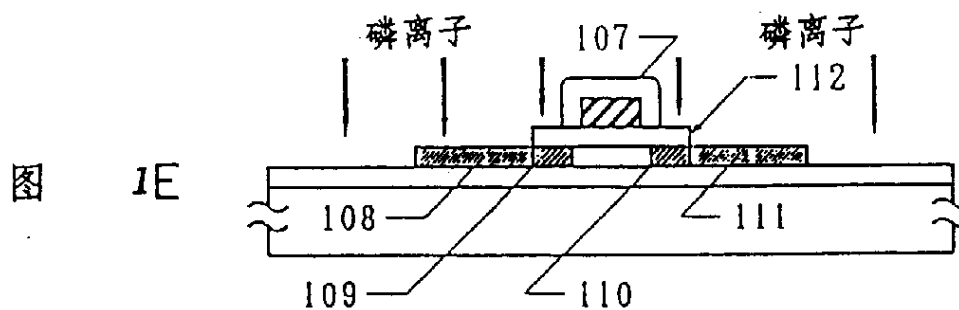
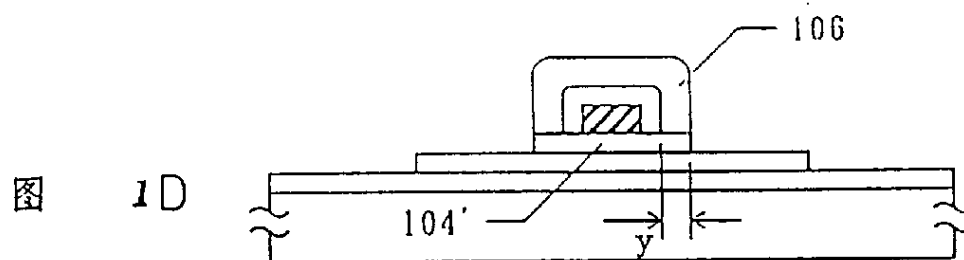
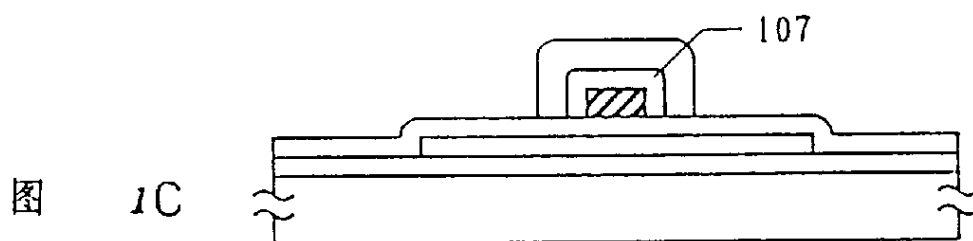
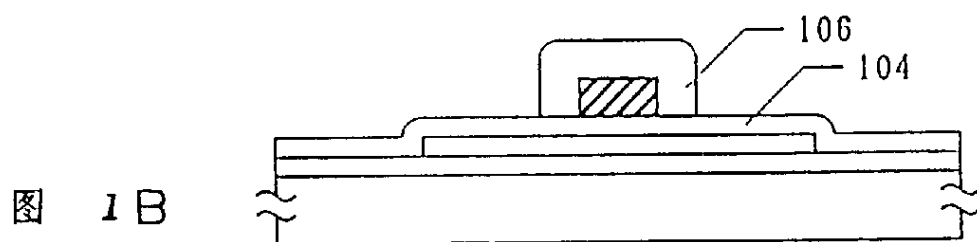
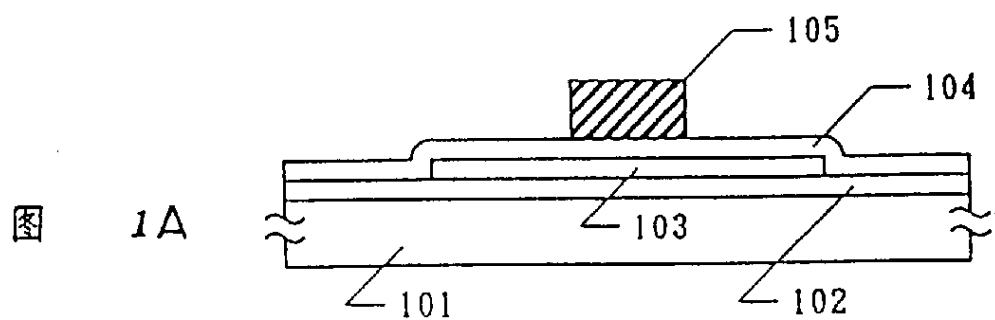


图 2A

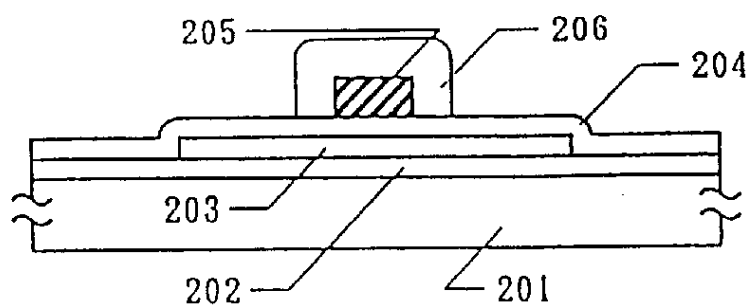


图 2B

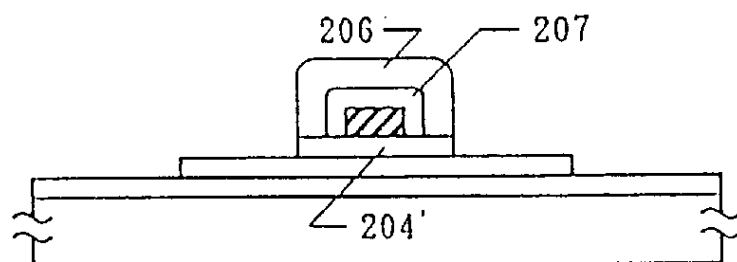


图 2C

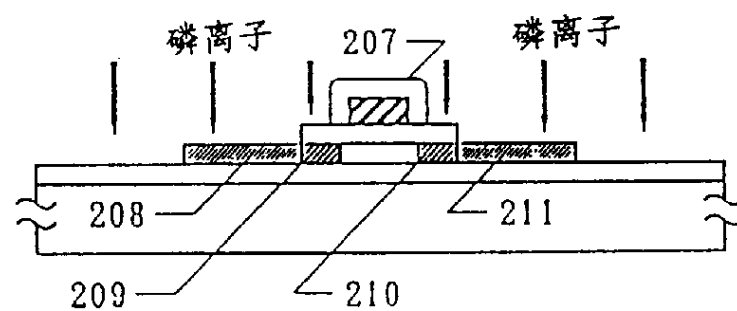


图 2D

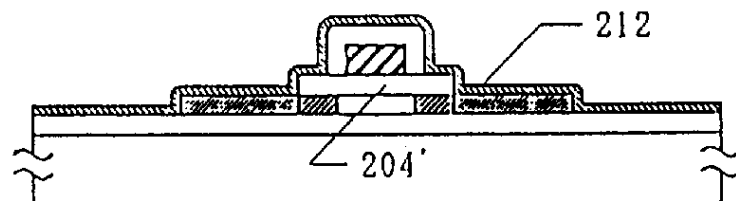


图 2E

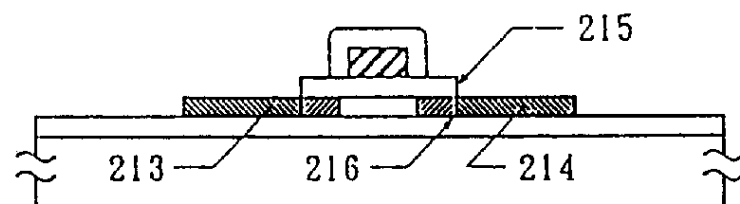


图 2F

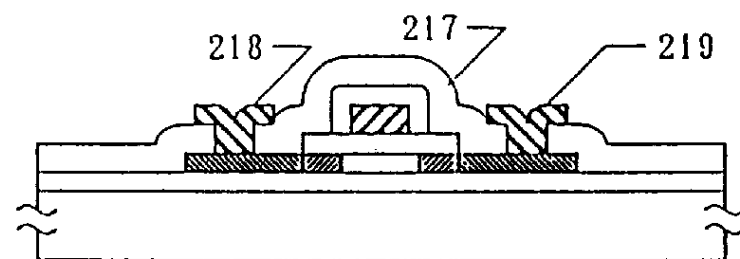


图 3A

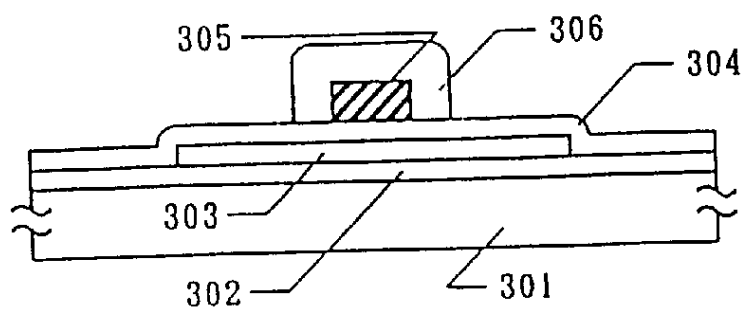


图 3B

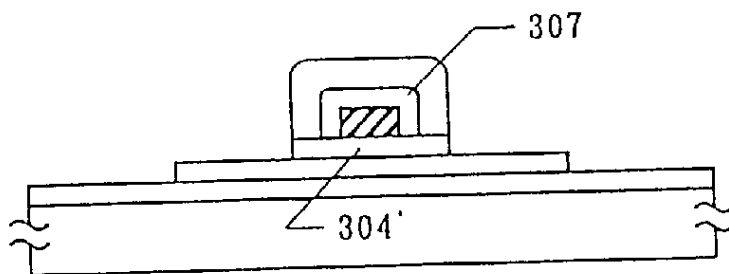


图 3C

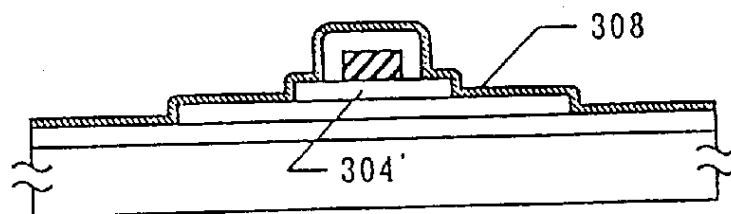


图 3D

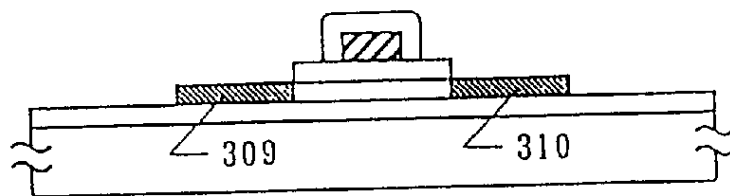


图 3E

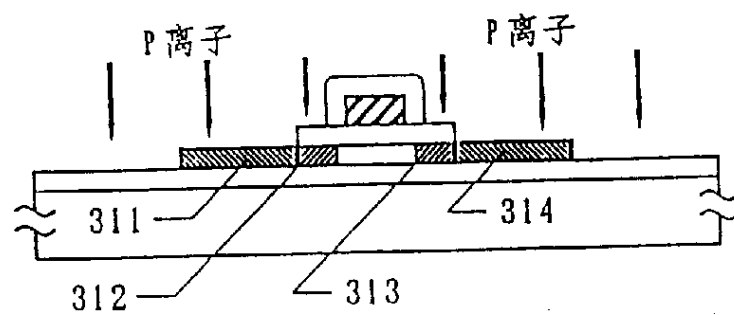
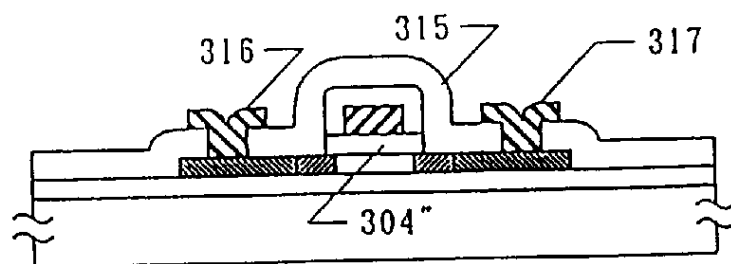
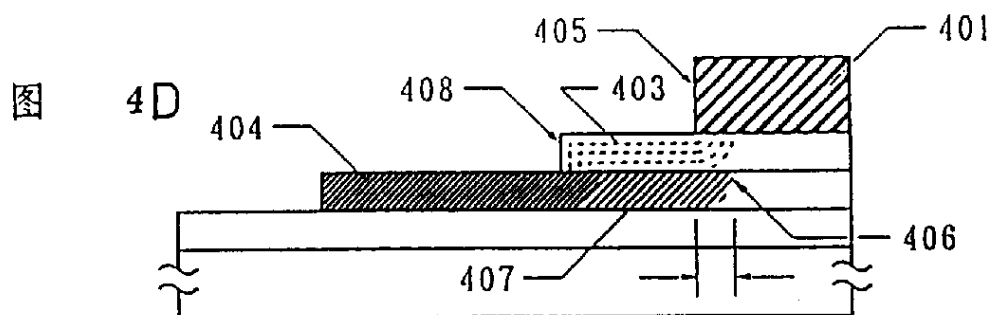
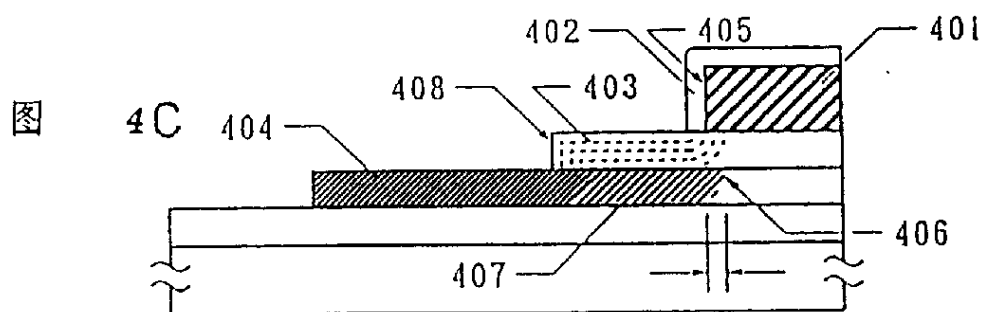
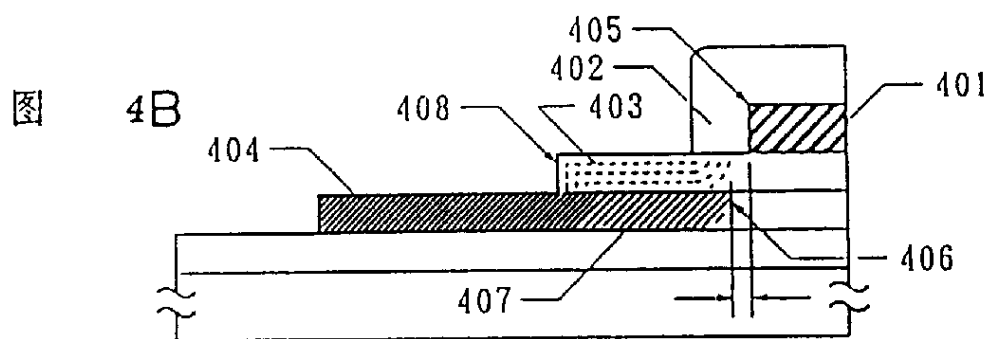
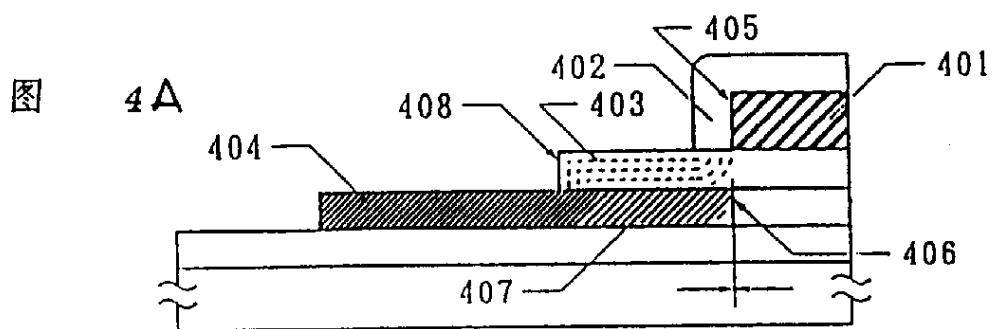


图 3F





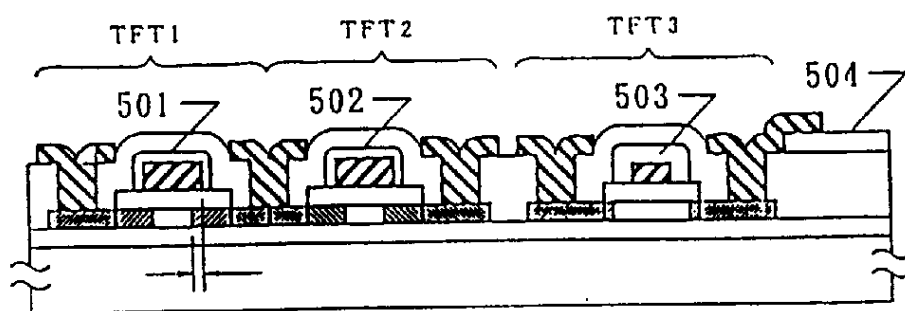


图 5A

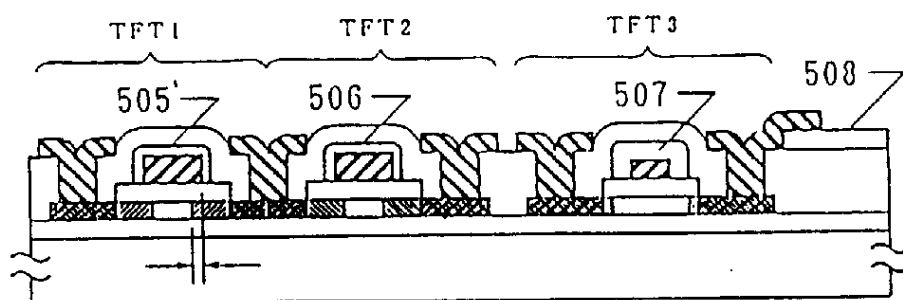


图 5B

图 6A

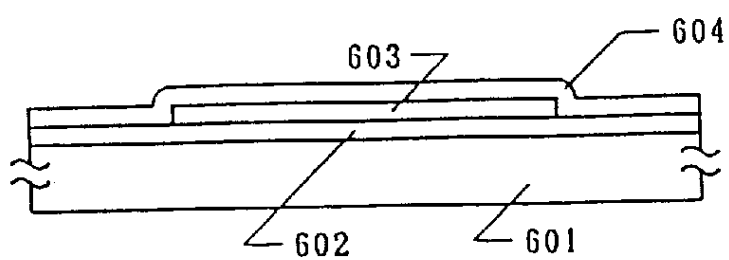


图 6B

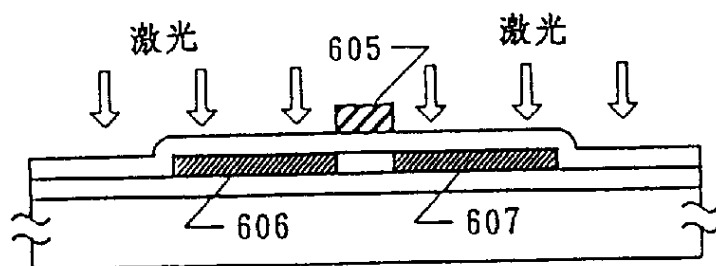


图 6C

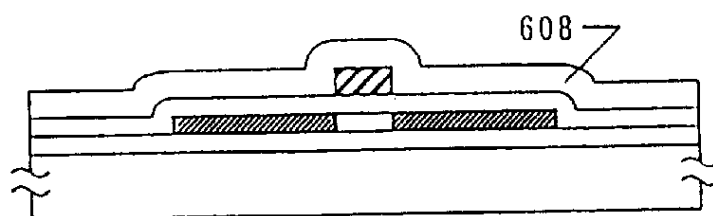


图 6D

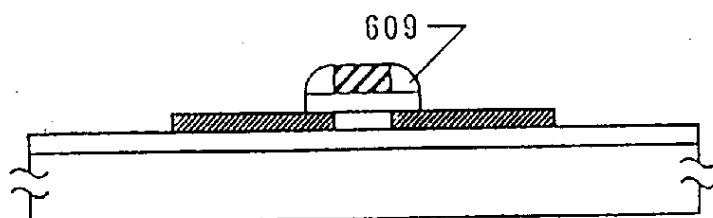


图 6E

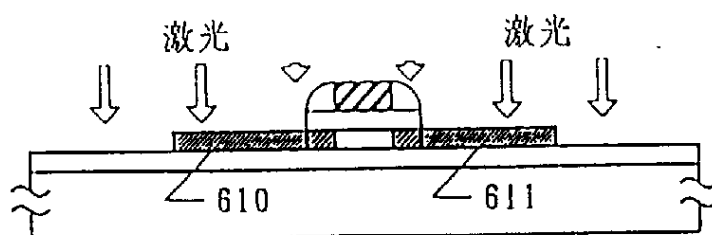
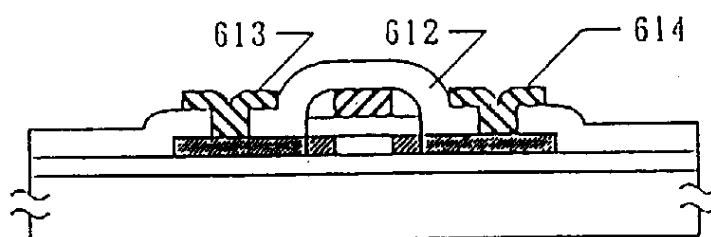


图 6F



(F)

图 7A

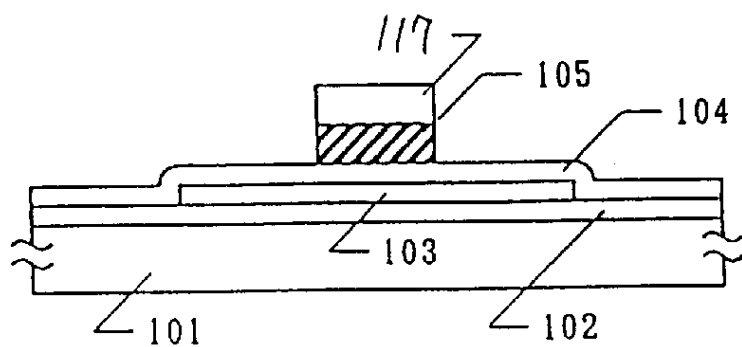


图 7B

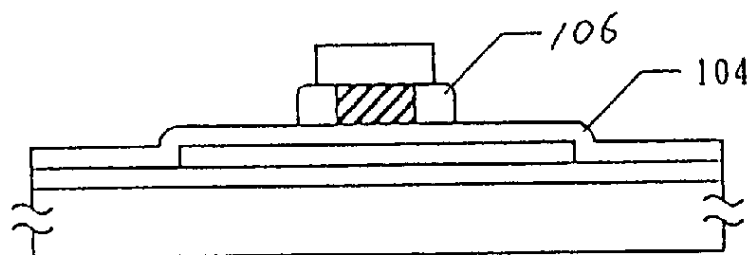


图 7C

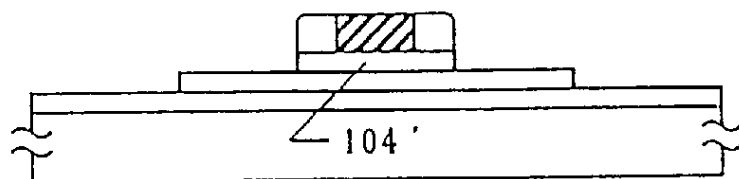


图 7D

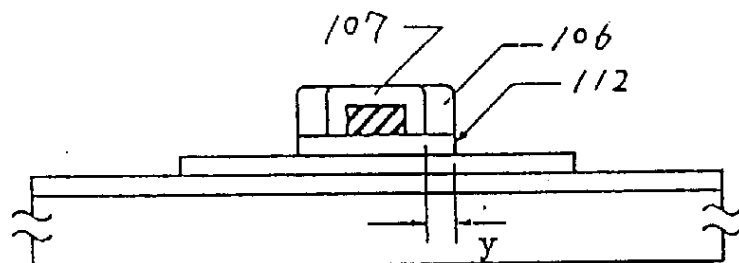


图 7E

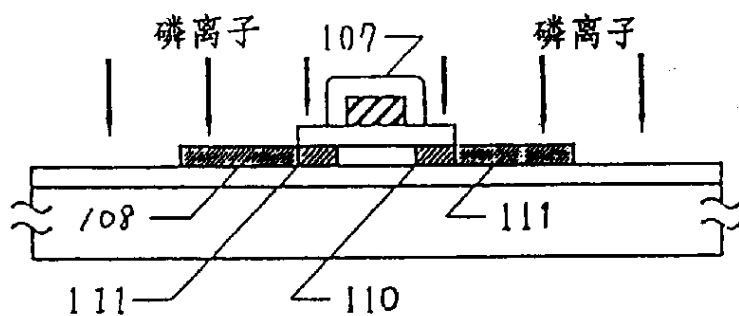


图 7F

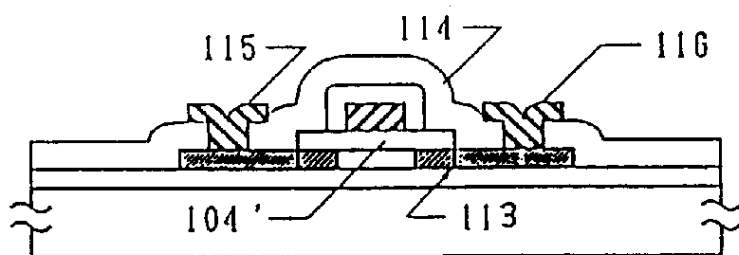


图 8A

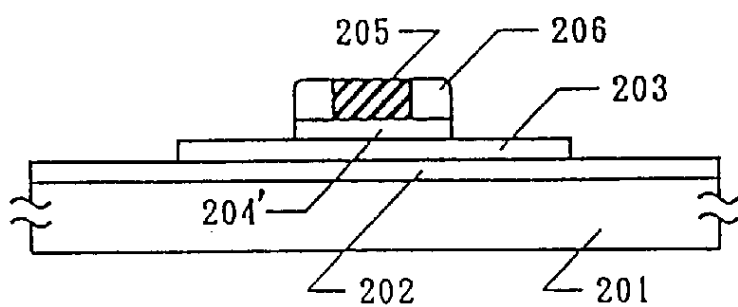


图 8B

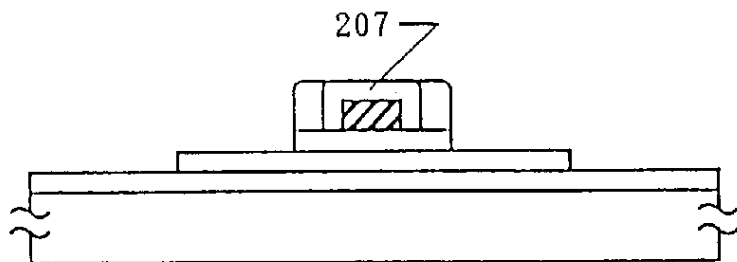


图 8C

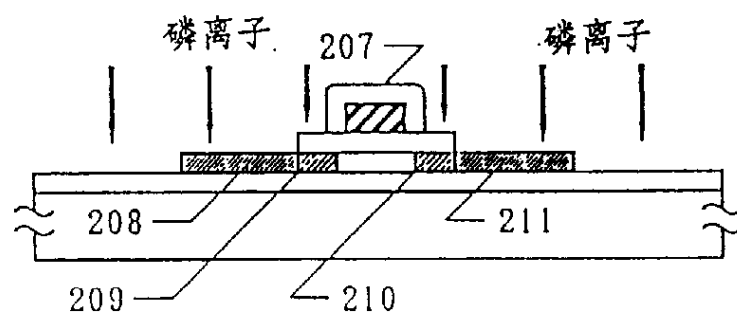


图 8D

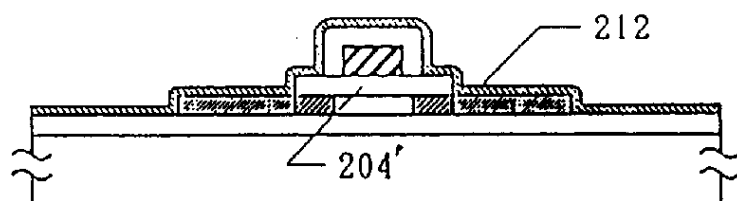


图 8E

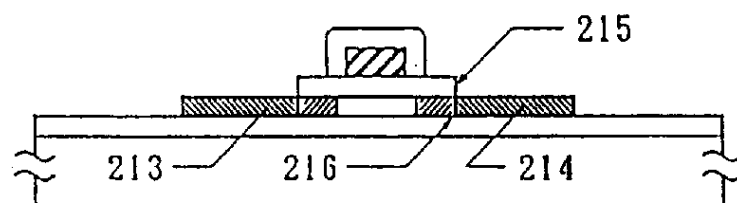


图 8F

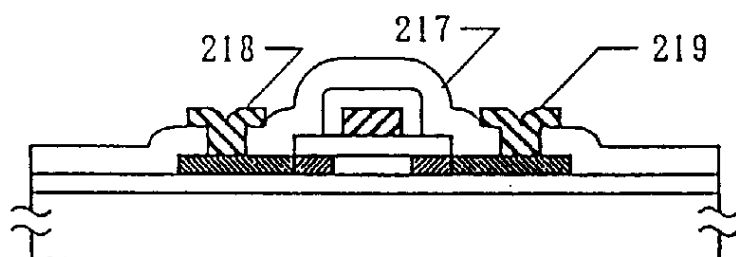


图 9A

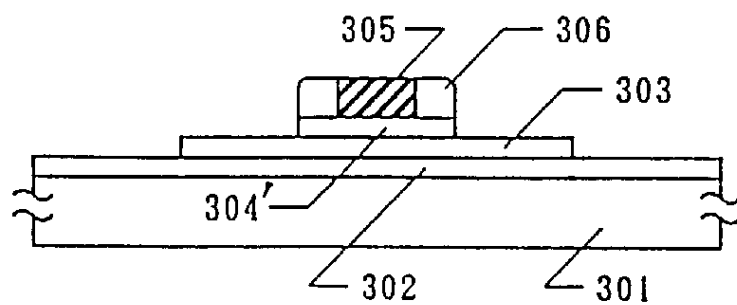


图 9B

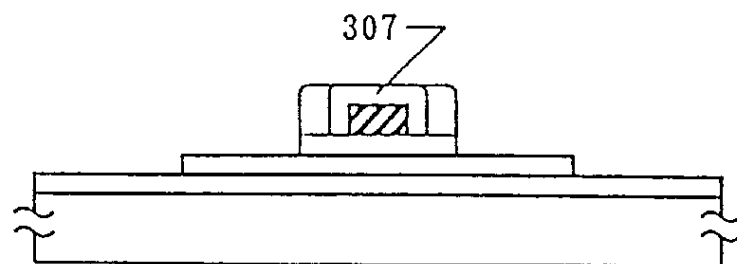


图 9C

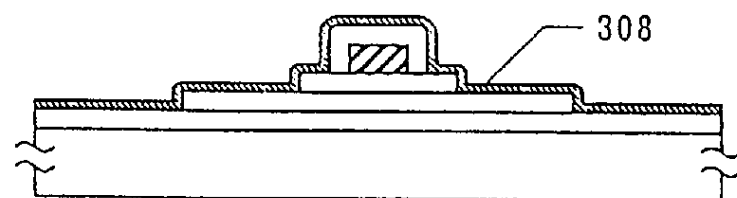


图 9D

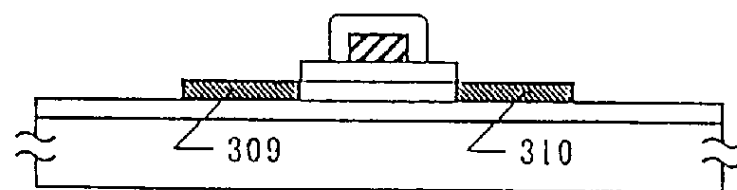


图 9E

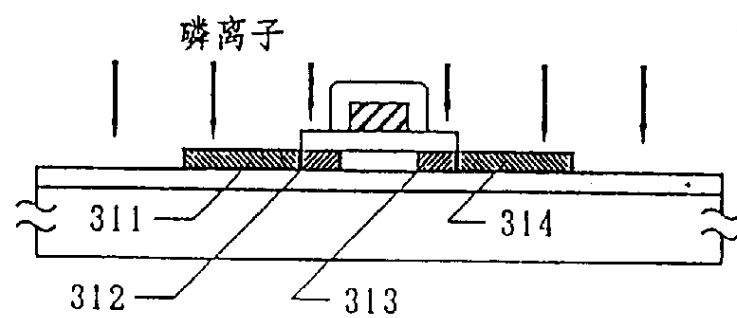


图 9F

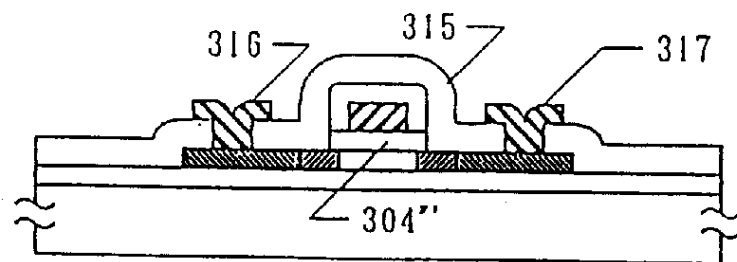


图 10A

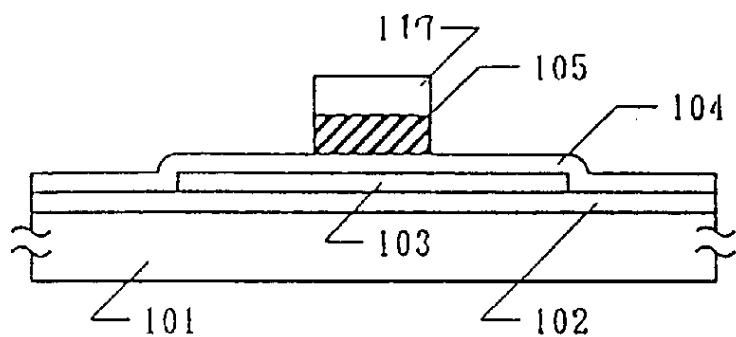


图 10B

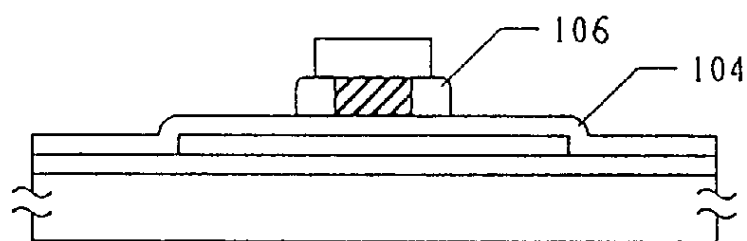


图 10C

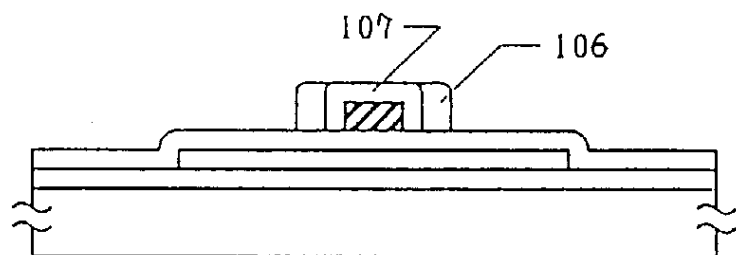


图 10D

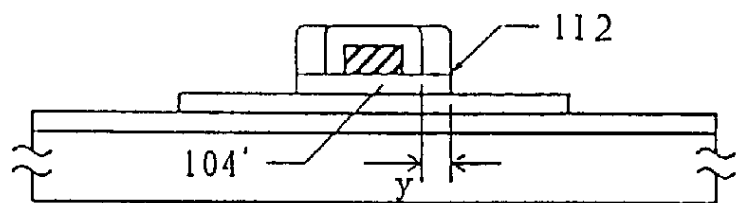


图 10E

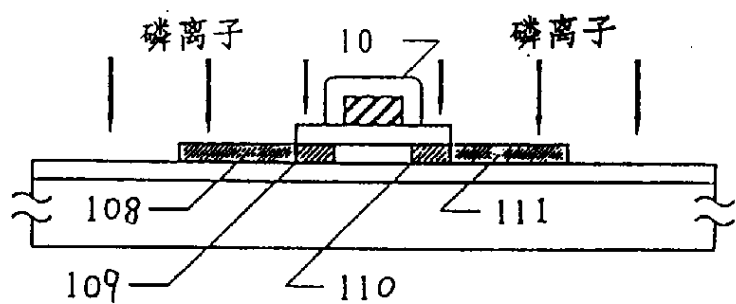


图 10F

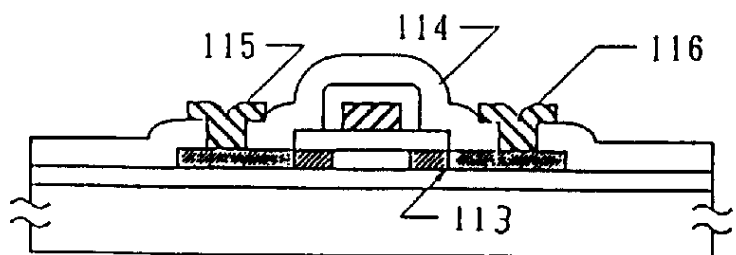


图 11A

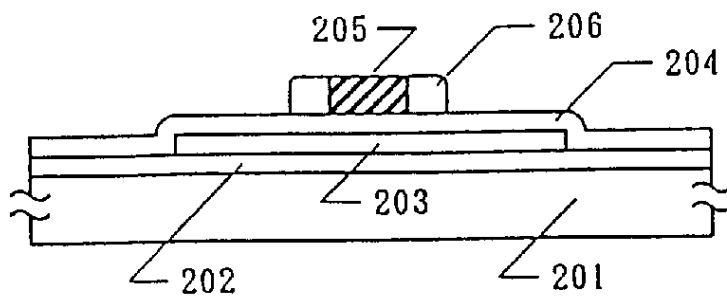


图 11B

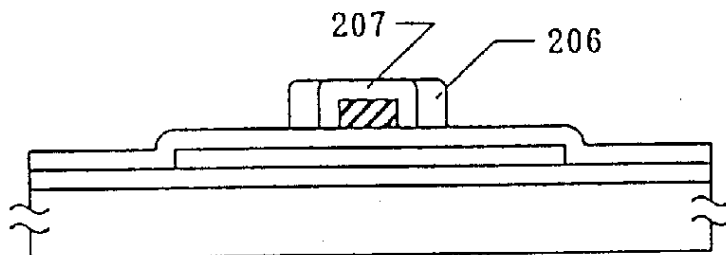


图 11C

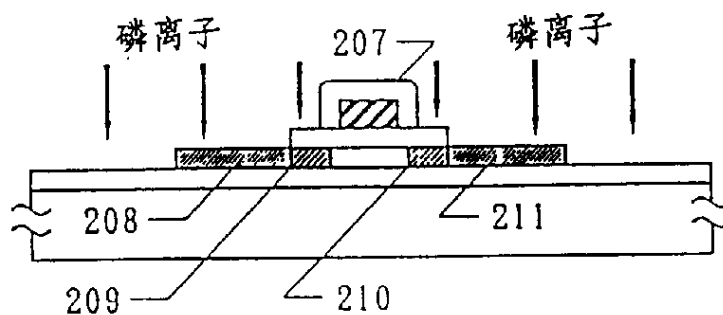


图 11D

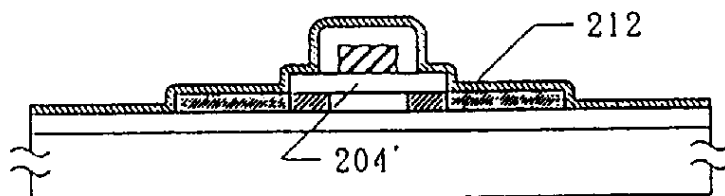


图 11E

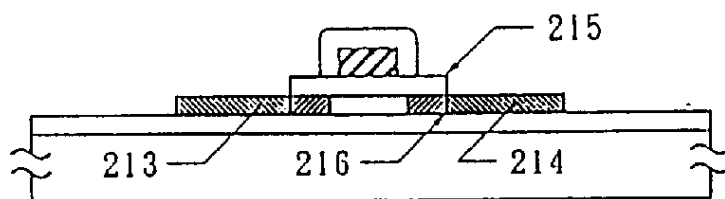


图 11F

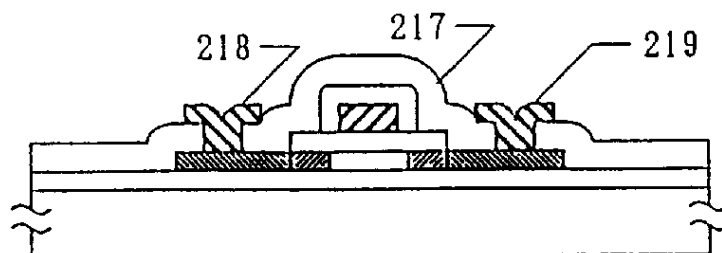


图 12A

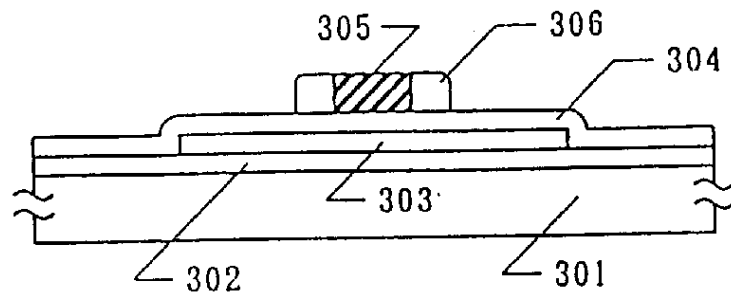


图 12B

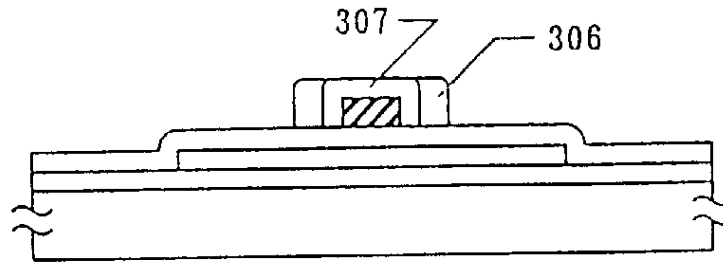


图 12C

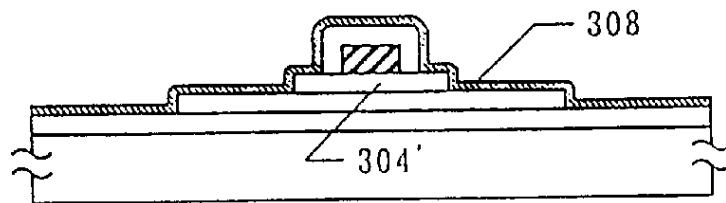


图 12D

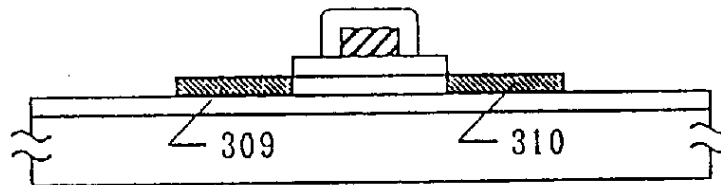


图 12E

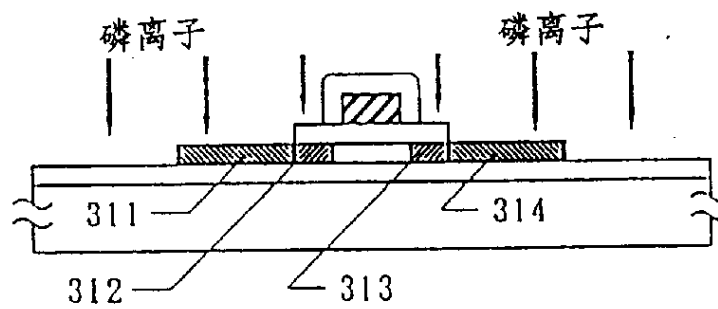


图 12F

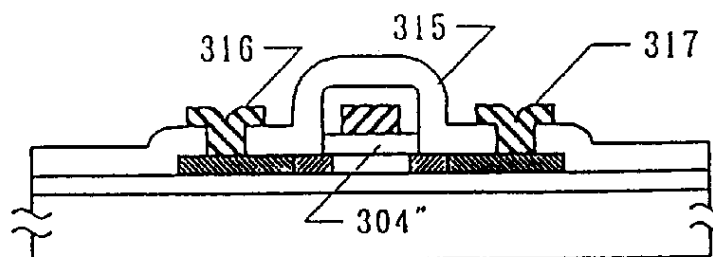


图 13A

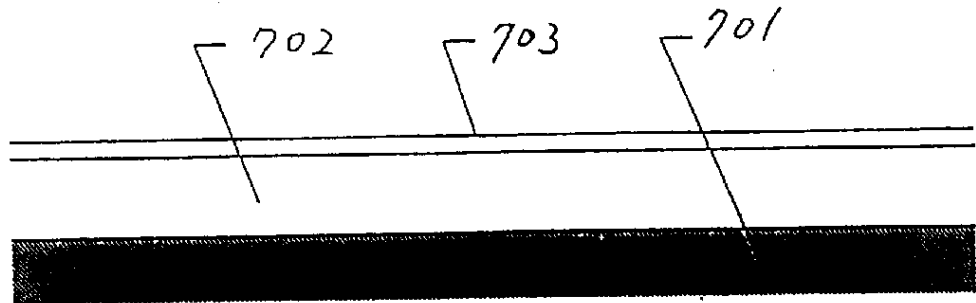


图 13B

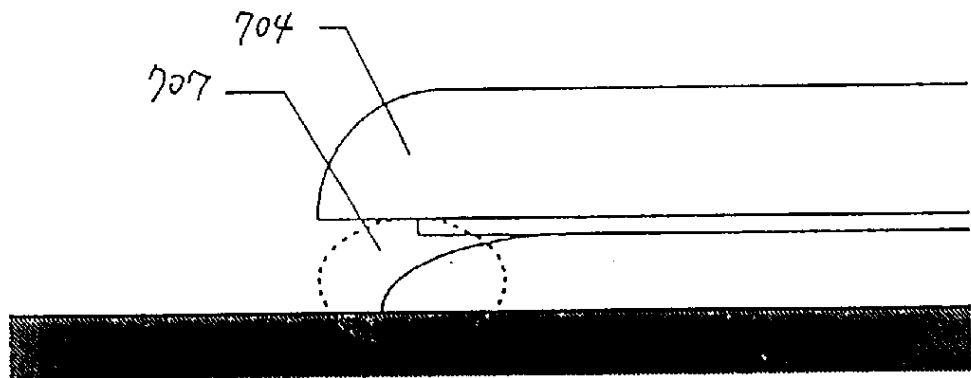


图 13C

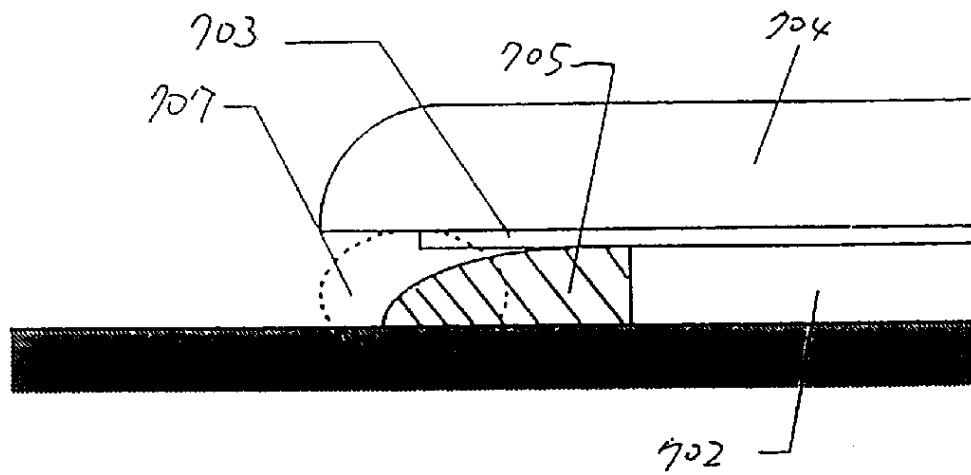


图 13D

