



(12) 发明专利

(10) 授权公告号 CN 102097814 B

(45) 授权公告日 2014. 11. 19

(21) 申请号 200910213781. 1

审查员 郭丽雅

(22) 申请日 2009. 12. 14

(73) 专利权人 谭宗享

地址 510000 广东省广州市番禺区大石镇海
滨花园海华阁 B 座 704 房

(72) 发明人 谭宗享

(51) Int. Cl.

H02J 3/38 (2006. 01)

H02H 7/122 (2006. 01)

(56) 对比文件

CN 101106279 A, 2008. 01. 16,

CN 101106279 A, 2008. 01. 16,

CN 1851998 A, 2006. 10. 25,

US 2008/0238205 A1, 2008. 10. 02, 全文.

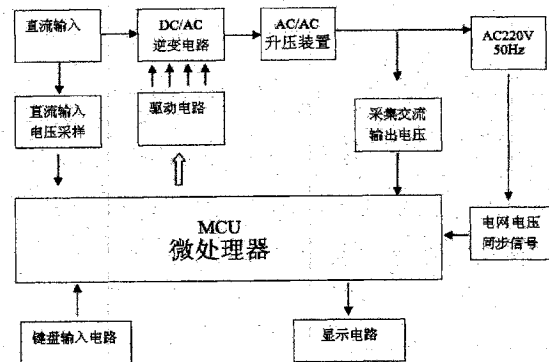
权利要求书4页 说明书6页 附图7页

(54) 发明名称

用于风力发电并网逆变系统

(57) 摘要

本发明的风力发电并网逆变系统, 涉及风力发电机系统上的并网逆变设备。包括: 直流输入设备, 风能通过风力发电机转化为幅值和频率变化的交流电, 变换的交流电通过控制器变换为直流电; 逆变电路, 将直流电能转化为和电网同频率、同相位的正弦波电流, 并将此电力馈入电网; 微处理器, 接收直流输入电压的采样信号, 电网电压的同步信号, 以及逆变电路的交流输出电压信号; 通过驱动电路驱动逆变电路工作; 键盘输入电路和显示电路, 用于输入和显示微处理器中信息。本发明解决了现有的风力发电并网逆变系统存在的跟踪电网同步性差; 当电网出现中断、过高或过低时, 逆变器不能迅速锁机等问题。



1. 风力发电并网逆变系统,包括:

直流输入设备,风能通过风力发电机转化为幅值和频率变化的交流电,变换的交流电通过控制器变换为直流电;

逆变电路,将直流电能转化为和电网同频率、同相位的正弦波电流,并将此电力馈入电网;

微处理器,接收直流输入电压的采样信号,电网电压的同步信号,以及逆变电路的交流输出电压信号;通过驱动电路驱动逆变电路工作;

键盘输入电路和显示电路,用于输入和显示微处理器中信息;

所述的逆变电路包括:CPU 控制电路、电源供电电路、PWM 调制电路、过流保护电路、输出检测电路;CPU 控制电路分别联接电源供电电路、PWM 调制电路、过流保护电路、输出检测电路;过流保护电路联接 PWM 调制电路;电源供电电路联接输出检测电路;

其特征在于,CPU 控制电路包括:

控制器 J1;

控制器 J2,控制器 J2 的接地管脚 5 联接电阻 R79;电阻 R79 的另外一端联接电容器 C22 和电阻 R78,电阻器 C22 另外一端接地,电阻 R78 的另外一端联接 LOADAD;

控制器 J3,控制器 J3 的 +BAT 管脚 1 联接 +BAT,控制器 J3 的 +12V 管脚 2 联接电容器 C45、电容器 C35 的正极,以及电容器 C23 的一端;电容器 C45、电容器 C35 的正极,以及电容器 C23 的另外一端接地;控制器 J3 的管脚接地管脚 5、接地管脚 6、接地管脚 7、接地管脚 8 接地;

控制器 J4 的接地管脚 1 接地,控制器 J4 的 LCD0 管脚 2、LCD1 管脚 3、LCD2 管脚 4 分别联接电阻 R86、R85、R84 的一端,电阻 R86、R85、R84 的另外一端联接 LCD0、LCD1、LCD2;控制器 J4 的 +5V 管脚 5 联接 +5V 电源;控制器 J4 的 POWER 管脚 6 和 ON/OFF 管脚 7 分别联接 POWER 和开关;

控制器 J5,控制器 J5 的接地管脚 1 接地;控制器在 J5 的 LCD2 管脚 2 联接电阻 R17 和电阻 R40 的一端,电阻 R17 的另外一端联接三极管 Q1 的基极,三极管 Q1 的集电极和电阻 R40 的另外一端联接 +5V 电源;三极管 Q1 的发射极联接电阻 R39 的一端,电阻 R39 的另外一端联接 LCD2;

微控制器 U14,微控制器 U14 的接地管脚 1 联接电阻 R67 和电容器 C2 的一端,电容 C2 另外一端接地,电阻 R67 的另外一端联接 +5V 电源;微控制器 U14 的接地管脚 2 联接三极管 D100 的正极、电阻 R2、R87 和电容 C51 的一端;电容 C51 和电阻 R2 的另外一端接地;电阻 R87 的另外一端接 +BAT,三极管 D100 的负极连接 +5V 电源;微控制器 U14 的 UBZ 管脚 6 串联联接电阻 R77 和蜂鸣器 BUZ1;微控制器 U14 的接地管脚 8 接地;微控制器 U14 的接地管脚 9 联接晶振 Z2 和电容 C49,电容 C49 另外一端接地;微控制器 U14 的接地管脚 10 联接晶振 Z2 另外一端和电容 C50,电容 C50 另外一端接地;微控制器 U14 的 TX 管脚 17 联接电阻 R4、电阻 R1 和电阻 R3 的一端,电阻 R4 另外一端接地,电阻 R1 的另外一端联接控制器 J6 的 TX 管脚 2,控制器 J6 的接地管脚 3 接地,控制器 J6 的 RX 管脚 1 联接电阻 R3 的另外一端和微控制器 U14 的 RX 管脚 18;微控制器 U14 的接地管脚 19 联接电容 C29 的一端和接地,微控制器 U14 的 +5V 管脚 20 联接电容 C29 另外一端和 +5V 电源;微控制器 U14 的 FANS 管脚 26 联接电阻 R31 的一端;微控制器 U14OUTCYC 管脚 28 连接至输出检测电路电阻 R88 的一

端；微控制器 U14 的 INCYC 管脚 27 连接至输出检测电路电阻 R93 的一端；微控制器 U14 的 LOAD AD 管脚 4 连接至电源供电电路电阻 R4 的一端；微控制器 U14 的 PWMADJ 管脚 13 连接至过流保护电路 R11 的一端；微控制器 U14 的 CURR 管脚 3 连接至过流保护电路 R11 的另一端；

J2 的 OUT+ 管脚 1、OUT- 管脚 2、IN+ 管脚 3、IN- 管脚 4、接地管脚 5 连接至电源供电电路 J5 的管脚 OUT 管脚 1、OUT- 管脚 2、IN+ 管脚 3、IN- 管脚 4、LOADAD 管脚 5；J1 的 RELAY TRIM 管脚 1、RELAY BOOST 管脚 2、RELAY PASS 管脚 3、FANS 管脚 4、POWER 管脚 5、ON/OFF 管脚 6 连接至电源供电电路 J6 的管脚 REL AY TRJM 管脚 1、REL AY BOOST 管脚 2、REL AY PASS 管脚 3、FANS 管脚 4、POWER 管脚 5、ON/OFF 管脚 6；J3 的 +BAT 管脚 1、+12V 管脚 2、+5V 管脚 3、+5V 管脚 4、接地管脚 5-8 连接至电源供电电路 J7 的管脚 +BATT 管脚 1、+12V 管脚 2、+5V 管脚 3、+5V 管脚 5、接地管脚 5-8；J1 的 ON/OFF 管脚 6 连接至电源供电电路电阻 R11 的一端；J1 的 POWER 管脚 5 连接至电源供电电路电阻 R38 的另一端。

2. 如权利要求 1 所述风力发电并网逆变系统，其特征在于，所述的 PWM 调制电路包括：微处理器 U1，微处理器 U1 的 C+ 管脚 2 联接电容 C10 的正极，电容 C10 的负极联接微控制器 U1 的负极；微处理器 U1 的 GND 管脚 3 联接电容 C1 的负极和电容 C9 的正极，电容 C1 的正极联接微处理器 U1 的 V+ 管脚 8、二极管 D24 负极和电容 C20 的一端，二极管 D24 的正极联接电阻 R13，电阻 R13 的另外一端接 +12V 电源；电容 C9 的负极联接微处理器 U1 的 VOUT 管脚 5、二极管 D26 的负极和电容 C20 的另外一端，二极管 D26 的正极接地；

微处理器 U7，微处理器 U7 的 VCC 管脚 1 联接电容 C11 和 +12V 电源，微处理器 U7 的 COM 管脚 4 联接 -10V 电源，微处理器 U7 的 Vb 管脚 5 联接电阻 R8，电阻 8 的另外一端联接三极管 Q2 的集电极、三极管 Q9 和 Q3 的基极，三极管 Q2 的基极串联联接电阻 R6，三极管 Q2 发射极联接 -10V 电源，三极管 Q9 和 Q3 的发射极联接 VLOA，三极管 Q3 的集电极联接 +12V 电源和电容 C24，三极管 Q9 的集电极联接电容 C24 的另外一端和 -10V 电源；微处理器 U7 的 HO 管脚 6 联接三极管 Q14 的集电极，微处理器 U7 的 Vs 管脚 7 联接电阻 R16，电阻 R16 的另外一端联接三极管 Q12 和 Q14 的基极，微处理器 U7 的 L0 管脚 8 联接三极管 Q12 的集电极，三极管 Q12 和三极管 Q14 的发射极联接 VH0A；

微处理器 U2，微处理器 U2 的 C+ 管脚 2 联接电容 C18 的正极，微处理器 U2 的 VOUT 管脚 4 联接电容 C18 的负极；微处理器 U2 的 GND 管脚 3 联接电容 C8 负极、电容 C17 的正极，电容 C8 的正极联接二极管 D25 的负极、电容 C21 的一端、微处理器 U2 的 V+ 管脚 8，二极管 D25 的另外一端串联电阻 R15 和 +12V 电源；电容 C17 的另外一端联接电容 C21 的另外一端、二极管 D27 的负极、微处理器 U2 的 VOUT 管脚 5，二极管 D27 的正极联接 -10V 电源；

微处理器 U8，微处理器 U8 的 VCC 管脚 1 联接 +12V 电源、电容 C12，电容 C12 另外一端接 -10V 电源；微处理器 U8 的 COM 管脚 4 联接 -10V 电源；微处理器 U8 的 Vb 管脚 5 联接电阻 R9，电阻 R9 另外一端联接三极管 Q6 的集电极、三极管 Q10 和 Q7 的基极，三极管 Q6 的基极联接电阻 R7，三极管 Q6 的发射极联接 -10V 电源，三极管 Q7 和 Q10 的集电极分别联接 +12V 和 -10V 电源并串联电容 C25，三极管 Q7 和 Q10 的发射极联接 VLOB；微处理器 U8 的 HO 管脚 6 联接三极管 Q15 的集电极，微处理器 U8 的 Vs 管脚 7 联接电阻 R18，电阻 R18 的另外一端联接三极管 Q13 和 Q15 的基极，三极管 Q13 和 Q15 的发射极联接 VH0B，三极管 Q13 的集电极联接微处理器 U8 的 L0 管脚 8；

集成电路 U12,它包括运算放大器 U12A、U12B、U12C、U12D,运算放大器 U12A 的同相输出端联接运算放大器 U12B 的反射输出端,运算放大器 U12A 的反向输出端联接运算放大器 U12B 的同相输出端;运算放大器 U12A 的输出端分别联接电阻 R113、电阻 R33 的一端,运算放大器 U12B 的输出端联接电阻 R114 和电阻 R34 的一端,电阻 R113 的另外一端联接电阻 R114 的另外一端、电阻 R89 的一端、运算放大器 U12D 的输出端,电阻 R89 的另外一端接 +12V 电源,运算放大器 U12D 的同相输出端拉 PWM,运算放大器 U12D 的反向输出端接运算放大器 U12C 的反向输出端;运算放大器 U12C 的同相输出端接 CHARGE;运算放大器 U12C 的输出端联接二极管 D3 和 D6 的负极,二极管 D3 和 D6 的正极分别联接电阻 R33 和电阻 R34 的另外一端;

微处理器 U7 的 SD 管脚 3 连接至过流保护电路 R36 的管脚 2。

3. 如权利要求 1 所述风力发电并网逆变系统,其特征在於,所述过流保护电路包括:集成电路,该电路由运算放大器组成,运算放大器 U11A 的正极联接电容 C15 接地,运算放大器 U11A 的同相输出端联接电阻 R105、电容 C27、电阻 R107,电容 C27 的另外一端接地,电阻 R107 的另一端串联电阻 R108,电阻 R108 的另外一端联接电阻 R106、电容 C28、运算放大器 U11B 的同相输出端,电容 C28 的另一端接地;运算放大器 U11A 的反向输出端联接电阻 R91、电阻 R109,运算放大器 U11B 的反向输出端联接电阻 R91 的另外一端和电阻 R110,电阻 R110 的另外一端联接运算放大器 U11B 的输出端和电阻 R23;运算放大器 U11A 的输出端联接电阻 R109 和电阻 R19;电阻 R19 另外一端联接电容 C46、电阻 R20 和运算放大器 U11C 的同相输出端,电阻 R23 的另一端联接电容 C47、电阻 R24 和运算放大器 U11C 的反向输出端,电阻 R24 的另一端联接运算放大器 U11C 的输出端、电阻 R25、二极管 D19 的正极,电阻 R20 联接运算放大器 U11D 的同相输出端和 +5V 电源,电阻 R25 的另一端联接电阻 R26、运算放大器的反向输出端;电阻 R26 的另一端联接二极管 D20 正极、运算放大器 U11D 的输出端,二极管 D19 的负极联接二极管 D20 负极、电阻 R35;电阻 R35 的另外一端联接电阻 R115,电容 C48、电阻 R22、运算放大器 U13A 的反向输出端,电阻 R115、电容 C48 的另一端接地,电阻 R22 联接电容 C38、电阻 R11,电容 C38 的另一端接地;运算放大器 U13A 的输出端联接电阻 R116、电阻 R36、运算放大器 U13B 的输出端、电容 C7;电阻 R36 的另一端联接 +5V 电源,电容 C7 的另一端接地;运算放大器 U13B 的反向输出端联接电容 C16,电容 C16 的另外一端接地;运算放大器 U13B 的同相输出端联接电阻 R116 的另一端和二极管 D21 的负极;运算放大器 U13A 的同相输出端联接电容 C37、电阻 R21,电容 C37 的另一端接地;电阻 R21 的另一端联接运算放大器 U10C 的输出端和反向输出端、电容 C6;运算放大器 U10C 的同向输出端联接电容 C5、电阻 R112,电容 C5 的另一端接地;电阻 R112 的另外一端联接电容 C6 的另一端和电阻 R111,电阻 R111 的另外一端联接电阻 R32,电阻 R32 的另一端接地;

微处理器 U3,微处理器 U3 的 C+ 管脚 2 和 C- 管脚 4 之间联接电容 C26,微处理器 U3 的 GND 管脚 3 接地;微处理器 U3 的 VOUT 管脚 5 联接电容 C19 负极和 -10V 电源;电容 C19 正极接地;微处理器 U3 的 V+ 管脚 8 联接 +12V 电源;

R111 的一端连接至 CPU 控制电路 U14 的 PWMADJ 管脚 13;R36 的另一端连接至 PWM 调制电路 U7 的 SD 管脚 3;R11 的管脚 2 连接至 CPU 控制电路 U14 的 CURR 管脚 3。

4. 如权利要求 1 所述风力发电并网逆变系统,其特征在於,所述的输出电路结构:运算放大器 U9A 的输出端串联电阻 R88、电容 C36,电容 C36 另一端接地;运算放大器 U9A 的反向

输出端联接电容 C13、电阻 R95、电阻 R96、运算放大器 U9B 的反向输出端, 电容 C13 的另一端和电阻 R96 另一端接地, 电阻 R95 另一端联接 +5v 电源; 运算放大器 U9B 的输出端联接电阻 R93, 电阻 R93 另一端联接电容 C55, 电容 C55 另一端接地; 运算放大器 U9A 的同相输出端联接电容 C39、电阻 R41, 电容 C39 的另一端接地; 电阻 R41 另一端联接电阻 R97、电阻 R98, 电阻 R97 的另一端接地, 电阻 R98 连接电阻 R101、电阻 R101 的另一端联接运算放大器 U10A 的反向输出端、电阻 R44, 电阻 R44 的另一端联接电容 C42, 电容 C42 的另一端接地; 运算放大器 U10A 的同相输出端联接电阻 R102、电阻 R42, 电阻 R42 的另一端联接电容 C41, 电容 C41 的另一端接地, 电阻 R102 的另一端联接 +5V 电源; 运算放大器 U9B 的同相输出端联接电容 C40、电阻 R43, 电容 C40 的另一端接地, 电阻 R43 联接电阻 R99、电阻 R100, 电阻 R99 的另一端接地, 电阻 R100 的另一端联接电阻 R103 和运算放大器 U10B 的输出端; 电阻 R103 的另一端联接运算放大器 U10B 的反向输出端和电阻 R46, 电阻 R46 的另一端联接电容 C44, 电容 C44 的另一端接地; 运算放大器 U10B 的同相输出端联接电阻 R104、电阻 R45, 电阻 R104 另一端接 +5V 电源, 电阻 R45 另一端接电容 C43, 电容 C43 的另一端接地;

电阻 R88 的一端连接至 CPU 控制电路 U14 的 OUTCYC 管脚 28; 电阻 R93 的一端连接至 CPU 控制电路 U14 的 INCYC 管脚 27; 电阻 R42 的另一端连接至电源供电电路 J5 的 OUT 管脚 1; 电阻 R43 的一端连接至 CPU 控制电路 U14 的 LINEAD 管脚; 电阻 R44 的另一端连接至电源供电电路 J5 的 OUT- 管脚 2; 电阻 R45 的另一端连接至电源供电电路 J5 的 IN+ 管脚 3; 电阻 R46 的另一端连接至电源供电电路 J5 的 IN- 管脚 4。

用于风力发电并网逆变系统

技术领域

[0001] 本发明涉及风力发电机系统上的并网逆变设备。

背景技术

[0002] 目前国内外风力发电系统大致分为两大类：一类是以中小功率风机为主的独立运行的风力发电系统。主要用于无电区居民日常生活用电。此系统与电网不相关联，独立运行。此类机型为离网型风力发电机组。

[0003] 另一类则是以大功率风力发电机组为主要机型，单台风力发电机独自产生电能，然后由并网设备将电能并入电网，向电网提供电力，再由电网向用户供电。此类机型叫并网型风力发电机组。

[0004] 目前国内外并网风力发电机并入电网的基本形式是单台风机分别由各自的并网设备独立并入电网。现有的并网逆变器存在跟踪电网同步性差；当电网出现中断、过高或过低时，逆变器不能迅速锁机等缺点。

发明内容

[0005] 本发明的目的是提供一种用于风力发电并网逆变系统，本发明解决了现有的风力发电并网逆变系统存在的跟踪电网同步性差；当电网出现中断、过高或过低时，逆变器不能迅速锁机等问题。

[0006] 本发明的风力发电并网逆变系统，包括：

[0007] 直流输入设备，风能通过风力发电机转化为幅值和频率变化的交流电，变换的交流电通过控制器变换为直流电；

[0008] 逆变电路，将直流电能转化为和电网同频率、同相位的正弦波电流，并将此电力馈入电网；

[0009] 微处理器，接收直流输入电压的采样信号，电网电压的同步信号，以及逆变电路的交流输出电压信号；通过驱动电路驱动逆变电路工作；

[0010] 键盘输入电路和显示电路，用于输入和显示微处理器中信息。

[0011] 目前的并网逆变器作用是，光伏并网发电系统由太阳能电池组件、并网逆变器、计量装置及配电系统组成。太阳能能量通过太阳能电池组件转化为直流电力，再通过并网逆变器将直流电能转化为和电网同频率、同相位的正弦波电流，并将此电力馈入电网，光伏并网逆变器为太阳能发电系统中的关键设备。

[0012] 本发明的风力发电并网逆变系统，由风机、控制器、并网逆变器及配电系统组成。风能通过风力发电机转化为幅值和频率变化的交流电，变换的交流电通过控制器变换为直流电。再通过并网型逆变器将直流电能转化为和电网同频率、同相位的正弦波电流，馈入电网。可见并网逆变器为风力发电系统中的关键设备。本发明的风力发电并网逆变系统特性：

[0013] 1、逆变器并网输出，跟踪电网达到毫秒级，同电网完全同步。

[0014] 2、逆变器检测电网在三秒内电网正常时,逆变器才开始并网工作。保证了逆变器不会因电网频繁波动而损坏。

[0015] 3、逆变器并网工作时当电网出现中断,或过高,过低时,逆变器会在 $\leq 10\text{ms}$ 内自动锁机。

[0016] 4、具备输出短路,过载等保护功能。

[0017] 5、输出功率恒定。(DC 电压正常时)。

[0018] 6、当风力发电风力不足,或光伏发电太阳能不足时,具体表现在 DC 电压下降,并网逆变器会随之减小输出功率。当 DC 过低达到逆变器 DC 保护点时,逆变器会自动锁机停止工作,当 DC 恢复时,逆变器又自动开始工作,并网输出。

[0019] 7、当风力发电风力过大(如台风),或光伏发电太阳光照强度过大时,具体表现在 DC 过压时,逆变器会自动保护锁机。当 DC 恢复正常时,逆变器又自动恢复工作并网输出。

附图说明

[0020] 图 1 是本发明的总电路原理图;

[0021] 图 2 是 CPU 控制电路的电路图;

[0022] 图 3 是 PWM 调制电路的电路图;

[0023] 图 4 是电源供电电路的电路图;

[0024] 图 5 是过流保护电路的电路图;

[0025] 图 6 是输出检测电路的电路图;

[0026] 图 7 是逆变电路的连接框图。

具体实施方式

[0027] 下面结合附图并用最佳的实施方式对本发明作详细的说明:

[0028] 参阅图 1,包括:

[0029] 直流输入设备,风能通过风力发电机转化为幅值和频率变化的交流电,变换的交流电通过控制器变换为直流电;

[0030] 逆变电路,将直流电能转化为和电网同频率、同相位的正弦波电流,并将此电力馈入电网;

[0031] 微处理器,接收直流输入电压的采样信号,电网电压的同步信号,以及逆变电路的交流输出电压信号;通过驱动电路驱动逆变电路工作;

[0032] 键盘输入电路和显示电路,用于输入和显示微处理器中信息。

[0033] 参阅图 7,所述的逆变电路包括:CPU 控制电路、电源供电电路、PWM 调制电路、过流保护电路、输出检测电路;CPU 控制电路分别联接电源供电电路、PWM 调制电路、过流保护电路、输出检测电路;过流保护电路联接 PWM 调制电路;电源供电电路联接输出检测电路。

[0034] 参阅图 2,CPU 控制电路包括:

[0035] 控制器 J1;

[0036] 控制器 J2,控制器 J2 的接地管脚 5 联接电阻 R79;电阻 R79 的另外一端联接电容器 C22 和电阻 R78,电阻器 C22 另外一端接地,电阻 R78 的另外一端联接 LOADAD;

[0037] 控制器 J3,控制器 J3 的 +BAT 管脚 1 联接 +BAT,控制器 J3 的 +12V 管脚 2 联接电

容器 C45、电容器 C35 的正极,以及电容器 C23 的一端;电容器 C45、电容器 C35 的正极,以及电容器 C23 的另外一端接地;控制器 J3 的管脚接地管脚 5、接地管脚 6、接地管脚 7、接地管脚 8 接地;

[0038] 控制器 J4 的接地管脚 1 接地,控制器 J4 的 LCD0 管脚 2、LCD1 管脚 3、LCD2 管脚 4 分别联接电阻 R86、R85、R84 的一端,电阻 R86、R85、R84 的另外一端联接 LCD0、LCD1、LCD2;控制器 J4 的 +5V 管脚 5 联接 +5V 电源;控制器 J4 的 POWER 管脚 6 和 ON/OFF 管脚 7 分别联接 POWER 和开关;

[0039] 控制器 J5,控制器 J5 的接地管脚 1 接地;控制器在 J5 的 LCD2 管脚 2 联接电阻 R17 和电阻 R40 的一端,电阻 R17 的另外一端联接三极管 Q1 的基极,三极管 Q1 的集电极和电阻 R40 的另外一端联接 +5V 电源;三极管 Q1 的发射极联接电阻 R39 的一端,电阻 R39 的另外一端联接 LCD2;

[0040] 微控制器 U14,微控制器 U14 的接地管脚 1 联接电阻 R67 和电容器 C2 的一端,电容 C2 另外一端接地,电阻 R67 的另外一端联接 +5V 电源;微控制器 U14 的接地管脚 2 联接三极管 D100 的正极、电阻 R2、R87 和电容 C51 的一端;电容 C51 和电阻 R2 的另外一端接地;电阻 R87 的另外一端接 +BAT,三极管 D100 的负极连接 +5V 电源;微控制器 U14 的 UBZ 管脚 6 串联联接电阻 R77 和蜂鸣器 BUZ1;微控制器 U14 的接地管脚 8 接地;微控制器 U14 的接地管脚 9 联接晶振 Z2 和电容 C49,电容 C49 另外一端接地;微控制器 U14 的接地管脚 10 联接晶振 Z2 另外一端和电容 C50,电容 C50 另外一端接地;微控制器 U14 的 TX 管脚 17 联接电阻 R4、电阻 R1 和电阻 R3 的一端,电阻 R4 另外一端接地,电阻 R1 的另外一端联接控制器 J6 的 TX 管脚 2,控制器 J6 的接地管脚 3 接地,控制器 J6 的 RX 管脚 1 联接电阻 R3 的另外一端和微控制器 U14 的 RX 管脚 18;微控制器 U14 的接地管脚 19 联接电容 C29 的一端和接地,微控制器 U14 的 +5V 管脚 20 联接电容 C29 另外一端和 +5V 电源;微控制器 U14 的 FANS 管脚 26 联接电阻 R31 的一端;微控制器 U14 OUTCYC 管脚 28 连接至输出检测电路电阻 R88 的一端;微控制器 U14 的 INCYC 管脚 27 连接至输出检测电路电阻 R93 的一端;微控制器 U14 的 LOAD AD 管脚 4 连接至电源供电电路电阻 R4 的一端;微控制器 U14 的 PWMADJ 管脚 13 连接至过流保护电路 R11 的一端;微控制器 U14 的 CURR 管脚 3 连接至过流保护电路 R11 的另一端;

[0041] J2 的 OUT+ 管脚 1、OUT- 管脚 2、IN+ 管脚 3、IN- 管脚 4、接地管脚 5 连接至电源供电电路 J5 的管脚 OUT 管脚 1、OUT- 管脚 2、IN+ 管脚 3、IN- 管脚 4、LOAD AD 管脚 5;J1 的 RELAY TRIM 管脚 1、RELAY BOOST 管脚 2、RELAY PASS 管脚 3、FANS 管脚 4、POWER 管脚 5、ON/OFF 管脚 6 连接至电源供电电路 J6 的管脚 REL AY TRJM 管脚 1、REL AY BOOST 管脚 2、REL AY PASS 管脚 3、FANS 管脚 4、POWER 管脚 5、ON/OFF 管脚 6;J3 的 +BAT 管脚 1、+12V 管脚 2、+5V 管脚 3、+5V 管脚 4、接地管脚 5-8 连接至电源供电电路 J7 的管脚 +BATT 管脚 1、+12V 管脚 2、+5V 管脚 3、+5V 管脚 5、接地管脚 5-8;J1 的 ON/OFF 管脚 6 连接至电源供电电路电阻 R11 的一端;J1 的 POWER 管脚 5 连接至电源供电电路电阻 R38 的另一端。

[0042] 参阅图 3, PWM 调制电路包括:

[0043] 微处理器 U1,微处理器 U1 的 C+ 管脚 2 联接电容 C10 的正极,电容 C10 的负极联接微控制器 U1 的负极;微处理器 U1 的 GND 管脚 3 联接电容 C1 的负极和电容 C9 的正极,电容 C1 的正极联接微处理器 U1 的 V+ 管脚 8、二极管 D24 负极和电容 C20 的一端,二极管 D24 的

正极联接电阻 R13,电阻 R13 的另外一端接 +12V 电源;电容 C9 的负极联接微处理器 U1 的 VOUT 管脚 5、二极管 D26 的负极和电容 C20 的另外一端,二极管 D26 的正极接地;

[0044] 微处理器 U7,微处理器 U7 的 VCC 管脚 1 联接电容 C11 和 +12V 电源,微处理器 U7 的 COM 管脚 4 联接 -10V 电源,微处理器 U7 的 Vb 管脚 5 联接电阻 R8,电阻 8 的另外一端联接三极管 Q2 的集电极、三极管 Q9 和 Q3 的基极,三极管 Q2 的基极串联联接电阻 R6,三极管 Q2 发射极联接 -10V 电源,三极管 Q9 和 Q3 的发射极联接 VLOA,三极管 Q3 的集电极联接 +12V 电源和电容 C24,三极管 Q9 的集电极联接电容 C24 的另外一端和 -10V 电源;微处理器 U7 的 HO 管脚 6 联接三极管 Q14 的集电极,微处理器 U7 的 Vs 管脚 7 联接电阻 R16,电阻 R16 的另外一端联接三极管 Q12 和 Q14 的基极,微处理器 U7 的 LO 管脚 8 联接三极管 Q12 的集电极,三极管 Q12 和三极管 Q14 的发射极联接 VHOA;

[0045] 微处理器 U2,微处理器 U2 的 C+ 管脚 2 联接电容 C18 的正极,微处理器 U2 的 VOUT 管脚 4 联接电容 C18 的负极;微处理器 U2 的 GND 管脚 3 联接电容 C8 负极、电容 C17 的正极,电容 C8 的正极联接二极管 D25 的负极、电容 C21 的一端、微处理器 U2 的 V+ 管脚 8,二极管 D25 的另外一端串联电阻 R15 和 +12V 电源;电容 C17 的另外一端联接电容 C21 的另外一端、二极管 D27 的负极、微处理器 U2 的 VOUT 管脚 5,二极管 D27 的正极联接 -10V 电源;

[0046] 微处理器 U8,微处理器 U8 的 VCC 管脚 1 联接 +12V 电源、电容 C12,电容 C12 另外一端接 -10V 电源;微处理器 U8 的 COM 管脚 4 联接 -10V 电源;微处理器 U8 的 Vb 管脚 5 联接电阻 R9,电阻 R9 另外一端联接三极管 Q6 的集电极、三极管 Q10 和 Q7 的基极,三极管 Q6 的基极联接电阻 R7,三极管 Q6 的发射极联接 -10V 电源,三极管 Q7 和 Q10 的集电极分别联接 +12V 和 -10V 电源并串联电容 C25,三极管 Q7 和 Q10 的发射极联接 VLOB;微处理器 U8 的 HO 管脚 6 联接三极管 Q15 的集电极,微处理器 U8 的 Vs 管脚 7 联接电阻 R18,电阻 R18 的另外一端联接三极管 Q13 和 Q15 的基极,三极管 Q13 和 Q15 的发射极联接 VHOB,三极管 Q13 的集电极联接微处理器 U8 的 LO 管脚 8;

[0047] 集成电路 U12,它包括运算放大器 U12A、U12B、U12C、U12D,运算放大器 U12A 的同相输出端联接运算放大器 U12B 的反射输出端,运算放大器 U12A 的反向输出端联接运算放大器 U12B 的同相输出端;运算放大器 U12A 的输出端分别联接电阻 R113、电阻 R33 的一端,运算放大器 U12B 的输出端联接电阻 R114 和电阻 R34 的一端,电阻 R113 的另外一端联接电阻 R114 的另外一端、电阻 R89 的一端、运算放大器 U12D 的输出端,电阻 R89 的另外一端接 +12V 电源,运算放大器 U12D 的同相输出端拉 PWM,运算放大器 U12D 的反向输出端接运算放大器 U12C 的反向输出端;运算放大器 U12C 的同相输出端接 CHARGE;运算放大器 U12C 的输出端联接二极管 D3 和 D6 的负极,二极管 D3 和 D6 的正极分别联接电阻 R33 和电阻 R34 的另外一端;

[0048] 微处理器 U7 的 SD 管脚 3 连接至过流保护电路 R36 的管脚 2。

[0049] 参阅图 5,所述过渡保护电路包括:

[0050] 集成电路,该电路由运算放大器组成,运算放大器 U11A 的正极联接电容 C15 接地,运算放大器 U11A 的同相输出端联接电阻 R105、电容 C27、电阻 R107,电容 C27 的另外一端接地,电阻 R107 的另一端串联电阻 R108,电阻 R108 的另外一端联接电阻 R106、电容 C28、运算放大器 U11B 的同相输出端,电容 C28 的另一端接地;运算放大器 U11A 的反向输出端联接电阻 R91、电阻 R109,运算放大器 U11B 的反向输出端联接电阻 R91 的另外一端和电阻

R110,电阻 R110 的另外一端联接运算放大器 U11B 的输出端和电阻 R23 ;运算放大器 U11A 的输出端联接电阻 R109 和电阻 R19 ;电阻 R19 另外一端联接电容 C46、电阻 R20 和运算放大器 U11C 的同相输出端,电阻 R23 的另一端联接电容 C47、电阻 R24 和运算放大器 U11C 的反向输出端,电阻 R24 的另一端联接运算放大器 U11C 的输出端、电阻 R25、二极管 D19 的正极,电阻 R20 联接运算放大器 U11D 的同相输出端和 +5V 电源,电阻 R25 的另一端联接电阻 R26、运算放大器的反向输出端 ;电阻 R26 的另一端联接二极管 D20 正极、运算放大器 U11D 的输出端,二极管 D19 的负极联接二极管 D20 负极、电阻 R35 ;电阻 R35 的另外一端联接电阻 R115,电容 C48、电阻 R22、运算放大器 U13A 的反向输出端,电阻 R115、电容 C48 的另一端接地,电阻 R22 联接电容 C38、电阻 R11,电容 C38 的另一端接地 ;运算放大器 U13A 的输出端联接电阻 R116、电阻 R36、运算放大器 U13B 的输出端、电容 C7 ;电阻 R36 的另一端联接 +5V 电源,电容 C7 的另一端接地 ;运算放大器 U13B 的反向输出端联接电容 C16,电容 C16 的另外一端接地 ;运算放大器 U13B 的同相输出端联接电阻 R116 的另一端和二极管 D21 的负极 ;运算放大器 U13A 的同相输出端联接电容 C37、电阻 R21,电容 C37 的另一端接地 ;电阻 R21 的另一端联接运算放大器 U10C 的输出端和反向输出端、电容 C6 ;运算放大器 U10C 的同向输出端联接电容 C5、电阻 R112,电容 C5 的另一端接地 ;电阻 R112 的另外一端联接电容 C6 的另一端和电阻 R111,电阻 R111 的另外一端联接电阻 R32,电阻 R32 的另一端接地 ;

[0051] 微处理器 U3,微处理器 U3 的 C+ 管脚 2 和 C- 管脚 4 之间联接电容 C26,微处理器 U3 的 GND 管脚 3 接地 ;微处理器 U3 的 VOUT 管脚 5 联接电容 C19 负极和 -10V 电源 ;电容 C19 正极接地 ;微处理器 U3 的 V+ 管脚 8 联接 +12V 电源 ;

[0052] R111 的一端连接至 CPU 控制电路 U14 的 PWMADJ 管脚 13 ;R36 的另一端连接至 PWM 调制电路 U7 的 SD 管脚 3 ;R11 的管脚 2 连接至 CPU 控制电路 U14 的 CURR 管脚 3。

[0053] 参阅图 6,所述的输出电路结构 :运算放大器 U9A 的输出端串联电阻 R88、电容 C36,电容 C36 另一端接地 ;运算放大器 U9A 的反向输出端联接电容 C13、电阻 R95、电阻 R96、运算放大器 U9B 的反向输出端,电容 C13 的另一端和电阻 R96 另一端接地,电阻 R95 另一端联接 +5v 电源 ;运算放大器 U9B 的输出端联接电阻 R93,电阻 R93 另一端联接电容 C55,电容 C55 另一端接地 ;运算放大器 U9A 的同相输出端联接电容 C39、电阻 R41,电容 C39 的另一端接地 ;电阻 R41 另一端联接电阻 R97、电阻 R98,电阻 R97 的另一端接地,电阻 R98 连接电阻 R101、电阻 R101 的另一端联接运算放大器 U10A 的反向输出端、电阻 R44,电阻 R44 的另一端联接电容 C42,电容 C42 的另一端接地 ;运算放大器 U10A 的同相输出端联接电阻 R102、电阻 R42,电阻 R42 的另一端联接电容 C41,电容 C41 的另一端接地,电阻 R102 的另一端联接 +5V 电源 ;运算放大器 U9B 的同相输出端联接电容 C40、电阻 R43,电容 C40 的另一端接地,电阻 R43 联接电阻 R99、电阻 R100,电阻 R99 的另一端接地,电阻 R100 的另一端联接电阻 R103 和运算放大器 U10B 的输出端 ;电阻 R103 的另一端联接运算放大器 U10B 的反向输出端和电阻 R46,电阻 R46 的另一端联接电容 C44,电容 C44 的另一端接地 ;运算放大器 U10B 的同相输出端联接电阻 R104、电阻 R45,电阻 R104 另一端接 +5V 电源,电阻 R45 另一端接电容 C43,电容 C43 的另一端接地 ;

[0054] 电阻 R88 的一端连接至 CPU 控制电路 U14 的 OUTCYC 管脚 28 ;电阻 R93 的一端连接至 CPU 控制电路 U14 的 INCYC 管脚 27 ;电阻 R42 的另一端连接至电源供电电路 J5 的 OUT 管脚 1 ;电阻 R43 的一端连接至 CPU 控制电路 U14 的 LINE AD 管脚 ;电阻 R44 的另一端连接

至电源供电电路 J5 的 OUT- 管脚 2 ;电阻 R45 的另一端连接至电源供电电路 J5 的 IN+ 管脚 3 ;电阻 R46 的另一端连接至电源供电电路 J5 的 IN- 管脚 4。

[0055] 所述的微控制器 U1、微控制器 U2、微控制器 U3,采用型号为 :LM7812CT 芯片,其作用是 :把不稳定的 +24v 电压降压为稳定的 +12v 稳定电压值的三端稳压单片控制芯 ;

[0056] 所述的微控制器 U7 和微控制器 U8,采用型号为 :IR2104 芯片,是功率 MOSFET 管的驱动芯片,带有信号关功能,有防止电桥上下管同时开通的死区控制 ;

[0057] 所述的微控制器 U14,型号为 PIC16F73 芯片,是美国 MICROCHIP 公司所产的高性能全 CMOS 工艺的 8 位微处理芯片 . 是本逆变器的核心处理芯片 . 逆变器所需要的 SPWM 信号,各种模拟量的检测,逆变器的异常保护等都由这个芯片处理。

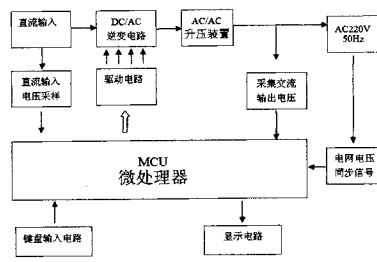


图 1

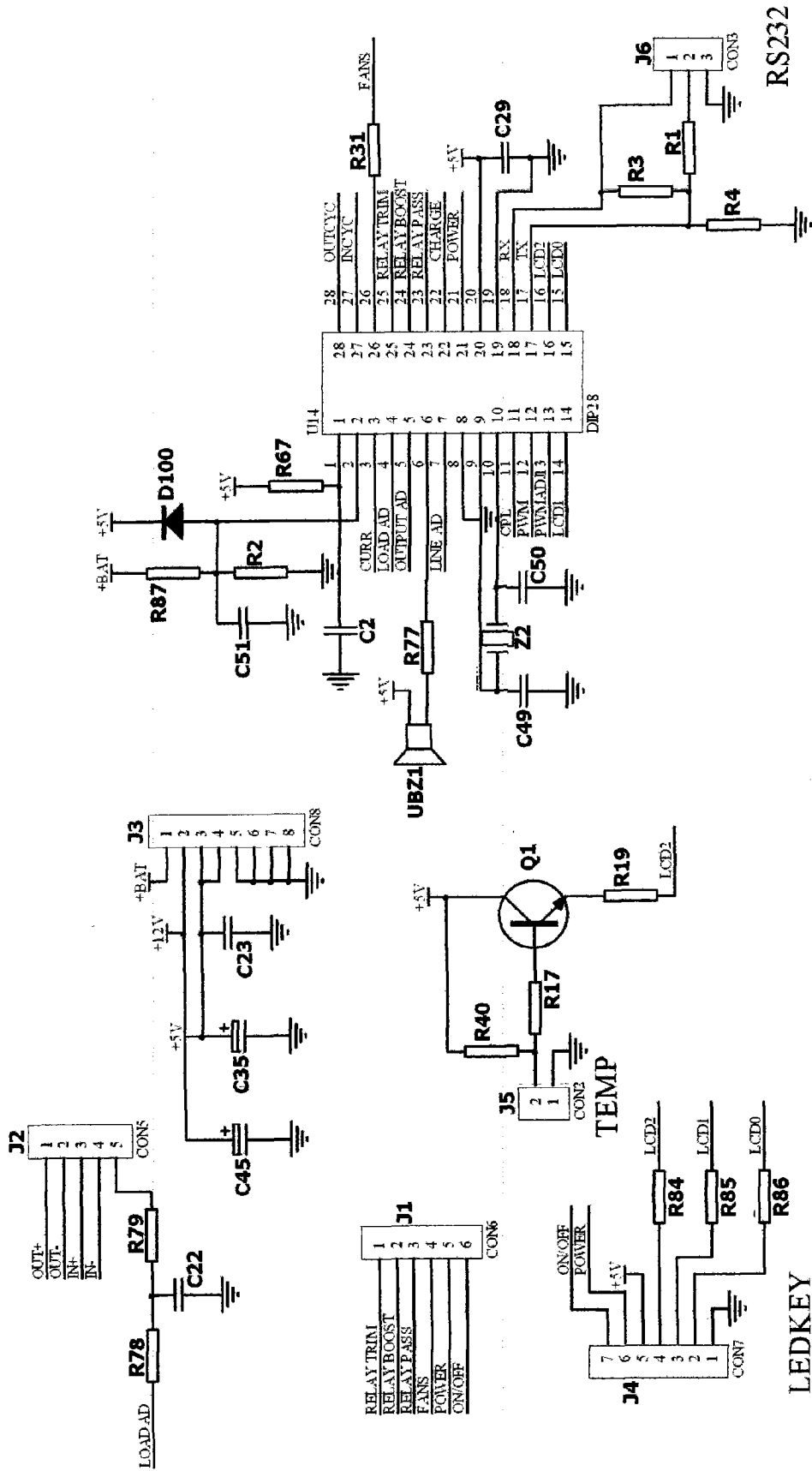


图 2

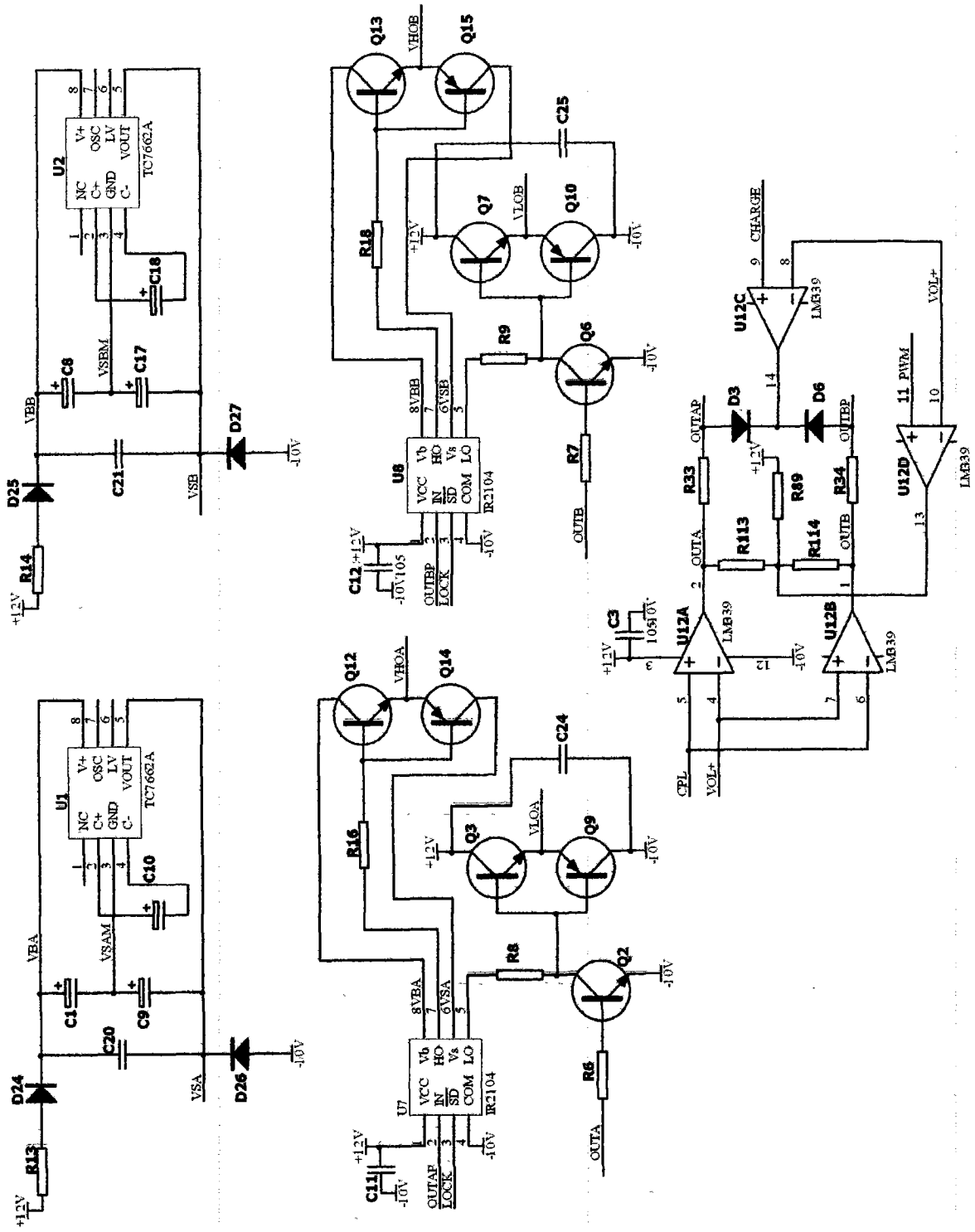


图 3

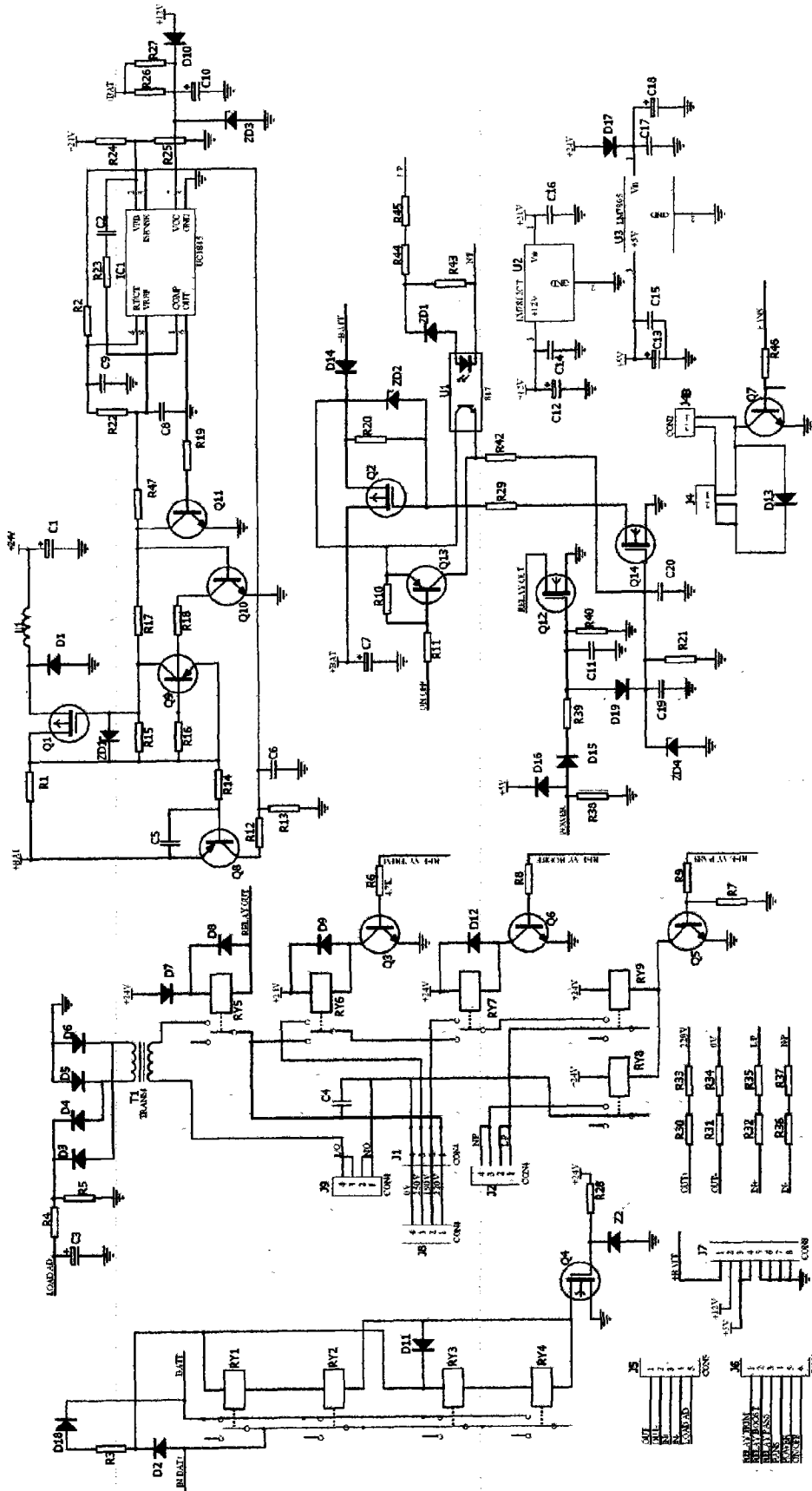


图 4

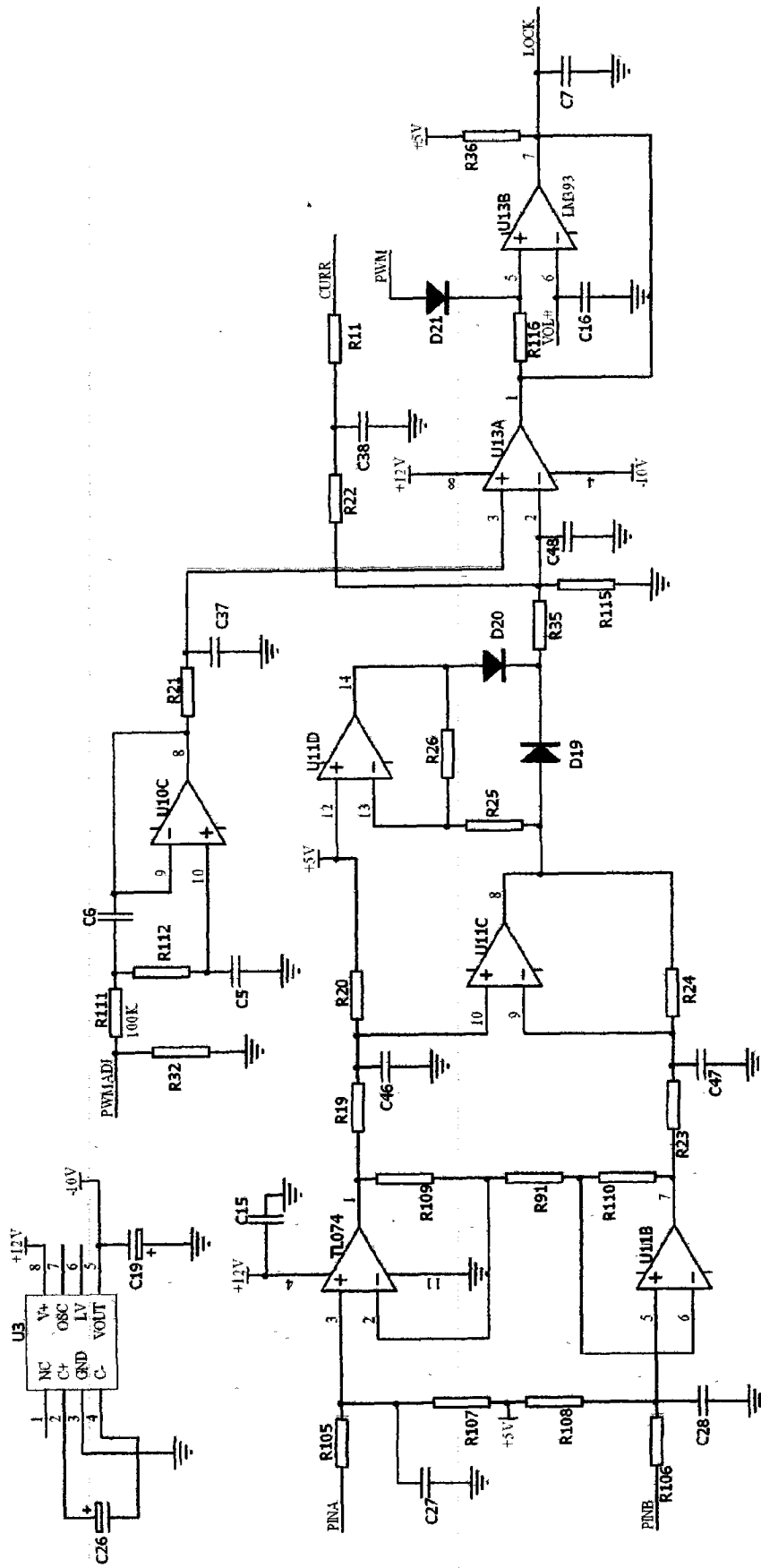


图 5

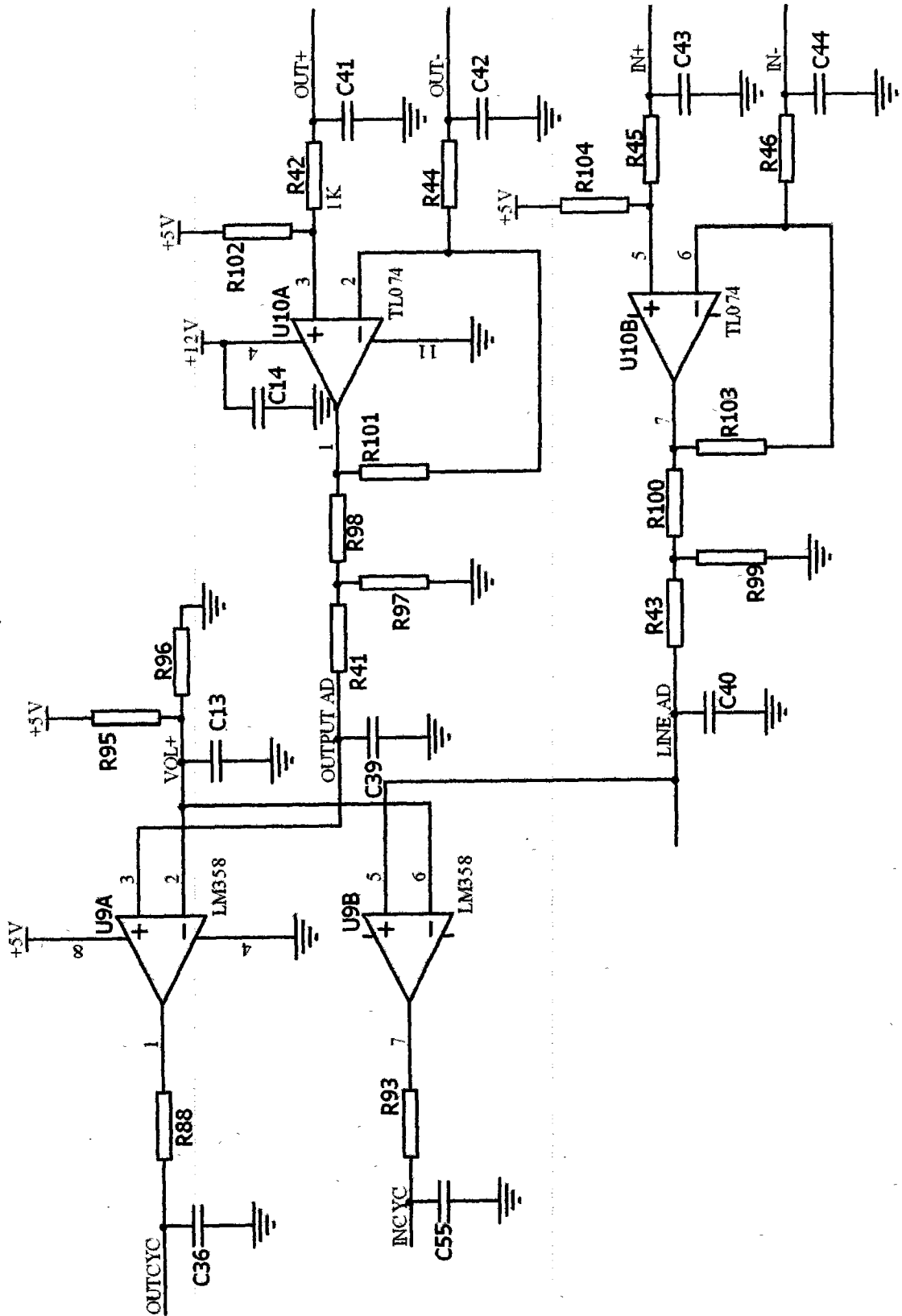


图 6

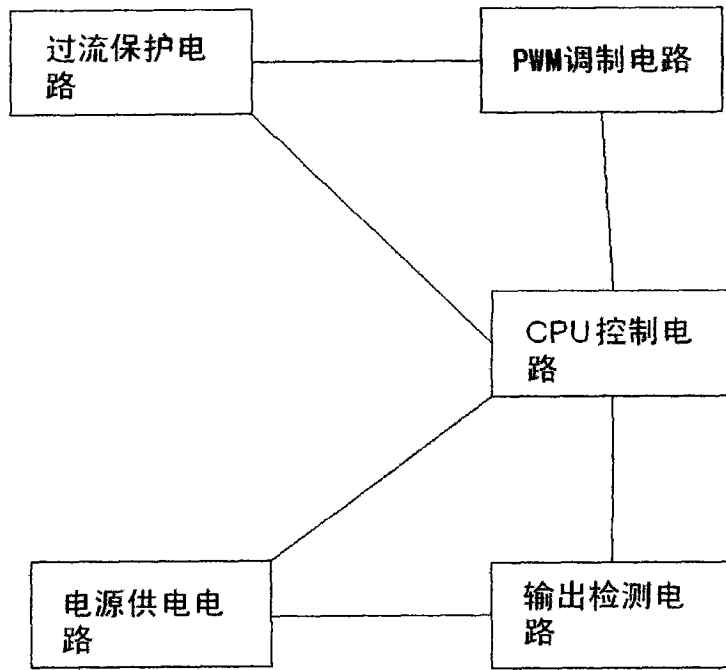


图 7