(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年9月16日(16.09.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/182022 A1

(51) 国際特許分類:
H01L 23/29 (2006.01) *H01L 25/07* (2006.01)
H01L 23/36 (2006.01) *H01L 25/18* (2006.01)

(21) 国際出願番号： PCT/JP2021/005493

(22) 国際出願日： 2021年2月15日(15.02.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-040873 2020年3月10日(10.03.2020) JP

(71) 出願人: ロ ー ム 株 式 会 社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 石 松 祐 司 (**ISHIMATSU Yuji**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ロ ー ム株式会社内 Kyoto (JP). ▲濱▼ 憲治(**HAMA Kenji**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ロ ー ム株式会社内 Kyoto (JP). 原 英夫(**HARA Hideo**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ロ ー ム株式会社内 Kyoto (JP).

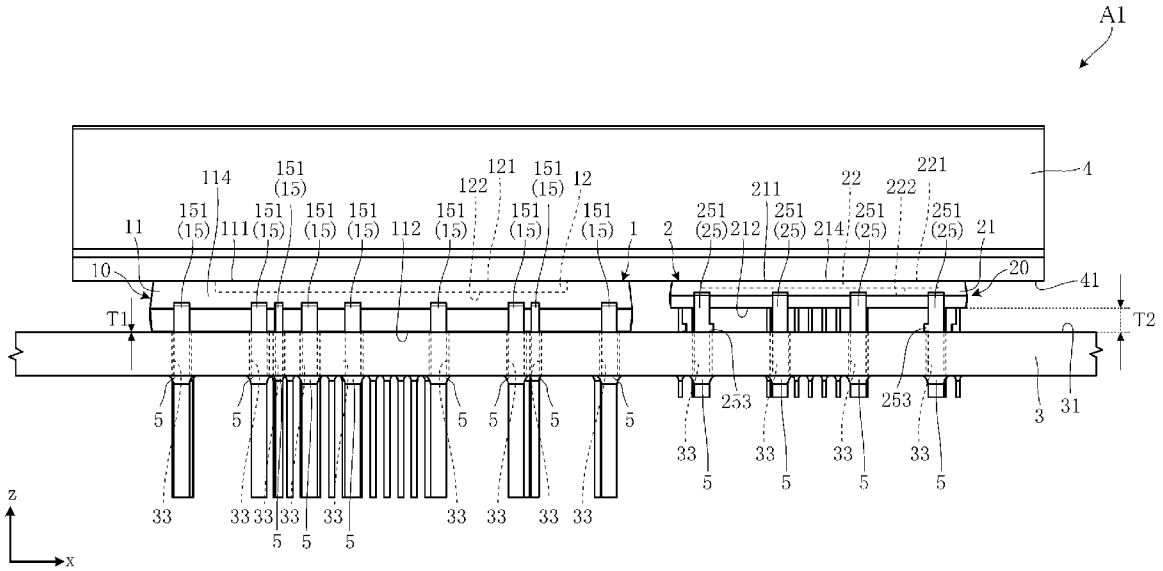
(74) 代理人: 臼 井 尚, 外 (**USUI Takashi** et al.); 〒5430014 大阪府大阪市天王寺区玉造元町２番３２－１３０１ Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,

(54) **Title:** ELECTRONIC DEVICE

(54) 発明の名称： 電子装置

FIG.2



(57) **Abstract:** This electronic device comprises: a first electronic component including a first main part; a second electronic component including a second main part; a mounting substrate having a mounting surface; and a heat dissipation member having an attachment surface. The mounting surface and the attachment surface face each other in a z direction. The first main part and the second main part are disposed between the mounting substrate and the heat dissipation member in the z direction and are aligned in an x direction. The first main part has: a first main surface that faces the attachment surface; and a first rear surface that faces the mounting surface. The second main part has: a second main surface that faces the attachment surface; and a second rear surface that faces the mounting surface. The size of the second main part

WO 2021/182022 A1

［続葉有］

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

is smaller in the z direction than the size of the first main part in the z direction, the first main surface and the second main surface overlap in the x direction, and a gap is present between the second rear surface and the mounting surface.

(57) 要約:電子装置は、第１本体部を含む第１電子部品と、第２本体部を含む第２電子部品と、実装面を有する実装基板と、取付面を有する放熱部材とを備える。前記実装面と前記取付面とは、ｚ方向に対向している。前記第１本体部と前記第２本体部とは、ｚ方向において前記実装基板と前記放熱部材との間に配置され、ｘ方向に並んでいる。前記第１本体部は、前記取付面に対向する第１主面および前記実装面に対向する第１裏面を有する。前記第２本体部は、前記取付面に対向する第２主面および前記実装面に対向する第２裏面を有する。前記第２本体部のｚ方向寸法は、前記第１本体部のｚ方向寸法よりも小さく、前記第１主面と前記第２主面とはｘ方向に見て重なり、前記第２裏面と前記実装面との間には隙間がある。

明　細　書

発明の名称 ： 電子装置

技術分野

[0001] 本開示は、電子装置に関する。

背景技術

[0002] 従来、ＩＰＭ（Intelligent Power Module）と称される電子部品が知られている。特許文献１には、従来のＩＰＭの一例が開示されている。特許文献１に記載のＩＰＭは、複数の半導体素子と、制御素子と、封止材と、複数の端子とを備える。複数の半導体素子はそれぞれ、たとえばＩＧＢＴ（絶縁ゲートバイポーラトランジスタ）やＭＯＳＦＥＴ（Metal-Oxide-Semiconductor Field-Effect Transistor）などのパワー半導体チップである。制御素子は、コントロールＩＣなどのＬＳＩチップであり、複数の半導体素子の駆動を制御する。封止材は、複数の半導体素子と、制御素子と、複数の端子を覆う。封止材は、エポキシ樹脂などの絶縁性樹脂材料からなる。複数の端子はそれぞれ、一部が封止材から露出し、封止材によって支持されている。複数の端子はそれぞれ、封止材の内方において、複数の半導体素子あるいは制御素子のいずれかに導通する。

[0003] 上記ＩＰＭの通電時において、各半導体素子が発熱する。この発熱は、半導体素子の動作を不安定にさせる要因であるため、半導体素子の放熱性の向上が求められる。これはＩＰＭに限定されず、さまざまな電子部品において共通する問題である。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１４－９００００６号公報

発明の概要

発明が解決しようとする課題

[0005] 本開示は、上記事情に鑑みて考え出されたものであり、電子部品の放熱性

の向上を図った電子装置を提供することを一の課題とする。

課題を解決するための手段

[0006] 本開示によって提供される電子装置は、第１本体部および前記第１本体部から露出する複数の第１端子を含む第１電子部品と、第２本体部および前記第２本体部から露出する複数の第２端子を含む第２電子部品と、前記第１電子部品および前記第２電子部品が配置された実装面を有する実装基板と、前記第１電子部品および前記第２電子部品が取り付けられた取付面を有する放熱部材と、を備えている。前記実装面と前記取付面とは、前記厚さ方向に対向しており、前記第１本体部および前記第２本体部は、厚さ方向において前記実装基板と前記放熱部材との間に配置され、かつ、前記厚さ方向に直交する第１方向に並んでいる。前記第１本体部は、前記取付面に対向する第１主面および前記実装面に対向する第１裏面を有する。前記第２本体部は、前記取付面に対向する第２主面および前記実装面に対向する第２裏面を有する。前記第２本体部の前記厚さ方向の寸法は、前記第１本体部の前記厚さ方向の寸法よりも小さい。前記第１主面と前記第２主面とは、前記第１方向に見て重なる。前記第２裏面と前記実装面との間には、隙間がある。

発明の効果

[0007] 本開示の電子装置によれば、電子部品（第１電子部品および第２電子部品）の放熱性を向上することができる。

図面の簡単な説明

[0008] [図1]第１実施形態にかかる電子装置を示す平面図である。

[図2]第１実施形態にかかる電子装置を示す正面図である。

[図3]第１実施形態にかかる電子装置を示す背面図である。

[図4]第１実施形態にかかる電子装置を示す側面図（右側面）である。

[図5]第１電子部品の回路構成の一例を示す図である。

[図6]第２電子部品の回路構成の一例を示す図である。

[図7]第２実施形態にかかる電子装置を示す平面図である。

[図8]第２実施形態にかかる電子装置を示す正面図である。

[図9]第２実施形態にかかる電子装置を示す背面図である。

[図10]第２実施形態にかかる電子装置を示す側面図（右側面）である。

[図11]第３実施形態にかかる電子装置を示す平面図である。

[図12]第３実施形態にかかる電子装置を示す正面図である。

[図13]第３実施形態にかかる電子装置を示す背面図である。

[図14]第３実施形態にかかる電子装置を示す側面図（右側面）である。

[図15]第４実施形態にかかる電子装置を示す側面図（右側面）である。

発明を実施するための形態

[0009] 本開示の電子装置の好ましい実施の形態について、図面を参照して、以下に説明する。

[0010] ＜第１実施形態＞

図１～図６は、第１実施形態にかかる電子装置Ａ１を示している。電子装置Ａ１は、第１電子部品１、第２電子部品２、実装基板３、放熱部材４、および、複数の導電性接合材５を備えている。

[0011] 図１は、電子装置Ａ１を示す平面図である。図１においては、放熱部材４を想像線（二点鎖線）で示している。図２は、電子装置Ａ１を示す正面図である。図３は、電子装置Ａ１を示す背面図である。図４は、電子装置Ａ１を示す側面図（右側面図）である。図５は、第１電子部品１の回路図の一例である。図６は、第２電子部品２の回路図の一例である。

[0012] 説明の便宜上、互いに直交する３つの方向を、ｘ方向、ｙ方向、ｚ方向と定義する。ｚ方向は、電子装置Ａ１の厚さ方向である。ｘ方向は、電子装置Ａ１の平面図（図１参照）における左右方向である。ｙ方向は、電子装置Ａ１の平面図（図１参照）における上下方向である。以下の説明において、ｚ方向の一方（図４上向き）を上方、ｚ方向の他方（図４下向き）を下方ということがある。また、以下の説明において、「平面視」とは、ｚ方向に見たときをいう。ｚ方向は「厚さ方向」の一例であり、ｘ方向は「第１方向」の一例である。

[0013] 第１電子部品１および第２電子部品２はそれぞれ、たとえばＩＰＭである

。ＩＰＭは、インテリジェントパワーモジュールの略称であり、電力用半導体素子とこれを制御する制御素子とが１つのパッケージ内に組み込まれたものである。第１電子部品１および第２電子部品２は、たとえばインバータ装置やモータ制御機器などの電源制御などの用途に用いられる。第１電子部品１および第２電子部品２は、実装基板３に実装されている。第１電子部品１および第２電子部品２は、ＩＰＭに限定されず、ディスクリート部品であってもよいし、制御素子が組み込まれないパワーモジュールであってもよい。

[0014] 第１電子部品１は、図５に示すように、複数の第１半導体素子Ｑ１、第１制御素子Ｍ１および複数の第１端子Ｔ１１，Ｔ１２を含んでいる。なお、図５に示す回路図は一例であって、用いる第１電子部品１によって適宜変更されうる。

[0015] 複数の第１半導体素子Ｑ１はそれぞれ、たとえばＩＧＢＴ、ＭＯＳＦＥＴ、ダイオードなどのパワー半導体チップである。図５に示す例では、第１電子部品１は、４つの第１半導体素子Ｑ１を含み、４つの第１半導体素子Ｑ１はそれぞれ、ｎチャネル型のＭＯＳＦＥＴで構成されている。４つの第１半導体素子Ｑ１のうちの２つは、直列に接続されて１つのレグを構成し、残りの２つは、直列に接続されて別のレグを構成する。このように、第１電子部品１は、２つのレグを含む。４つの第１半導体素子Ｑ１の接続は、図５に示す例に限定されず、たとえば、４つの第１半導体素子Ｑ１がフルブリッジ接続されていてもよいし、４つの第１半導体素子Ｑ１が互いに接続されていなくてもよい。なお、第１半導体素子Ｑ１の数は、上記した例に限定されない。たとえば、第１電子部品１は、１つの第１半導体素子Ｑ１を含んだ構成であってもよいし、三相ブリッジ接続された６つの第１半導体素子Ｑ１を含んだ構成であってもよい。

[0016] 第１制御素子Ｍ１は、たとえばコントロールＩＣなどのＬＳＩチップである。第１制御素子Ｍ１は、複数の第１半導体素子Ｑ１の駆動を制御する。具体的には、第１制御素子Ｍ１は、各第１半導体素子Ｑ１に駆動信号（たとえばゲート電圧）を入力することで、各第１半導体素子Ｑ１の駆動（スイッチ

ング動作）を制御する。第１制御素子Ｍ１は、ドライブ回路を含んでいる。図５に示す例では、１つの第１制御素子Ｍ１により、４つの第１半導体素子Ｑ１の駆動を制御しているが、これに限定されない。例えば、２つのレグごとに第１制御素子Ｍ１を設けてもよいし、４つの第１半導体素子Ｑ１ごとに第１制御素子Ｍ１を設けてもよい。

[0017] 複数の第１端子Ｔ１１，Ｔ１２は、第１電子部品１における外部端子である。図５に示すように、複数の第１端子Ｔ１１は、複数の第１半導体素子Ｑ１に接続される。複数の第１端子Ｔ１１には、直列に接続された２つの第１半導体素子Ｑ１に対して、一対の入力端子Ｔ１１ａ，Ｔ１１ｂと、出力端子Ｔ１１ｃと、検出端子Ｔ１１ｄとを含む。一対の入力端子Ｔ１１ａ，Ｔ１１ｂは、電源電圧が印加される。入力端子Ｔ１１ａは、Ｐ端子であり、入力端子Ｔ１１ｂは、Ｎ端子である。出力端子Ｔ１１ｃは、一対の入力端子Ｔ１１ａ，Ｔ１１ｂから入力され、各レグにおける２つの第１半導体素子Ｑ１の各スイッチング動作によって変換された電圧を出力する。出力端子Ｔ１１ｃは、各レグにおける２つの第１半導体素子Ｑ１の接続点に接続される。検出端子Ｔ１１ｄは、出力電圧を検出するためのものであり、たとえばシャント抵抗Ｒ１を介して、各レグにおける２つの第１半導体素子Ｑ１の接続点に接続される。シャント抵抗Ｒ１は、第１電子部品１に内蔵されずに、第１電子部品１の外部に配置されてもよい。図５に示すように、複数の第１端子Ｔ１２はそれぞれ、第１制御素子Ｍ１に接続される。複数の第１端子Ｔ１２は、第１電子部品１を制御するための各種制御信号が入力あるいは出力されるものと第１制御素子Ｍ１の動作電圧が入力されるものとがある。

[0018] 第１電子部品１は、図１～図４に示すように、第１本体部１０および複数の第１端子１５を含むモジュール構成である。

[0019] 第１本体部１０は、複数の第１半導体素子Ｑ１、第１制御素子Ｍ１、第１封止材１１および第１支持基板１２を含む。

[0020] 第１封止材１１は、複数の第１半導体素子Ｑ１および第１制御素子Ｍ１などを覆い、これらを光、熱、湿気、ほこり、物理的衝撃などから保護するた

めのパッケージである。第１封止材１１は、たとえば絶縁性の樹脂材料からなる。この樹脂材料の一例は、たとえばエポキシ樹脂である。第１封止材１１は、図１に示すように、たとえば平面視矩形状である。

[0021] 第１封止材１１は、図１～図４に示すように、主面１１１、裏面１１２および複数の側面１１３，１１４を有する。主面１１１および裏面１１２は、ｚ方向に離間し、かつ、ｚ方向において互いに反対側を向く。ｚ方向において、主面１１１は、放熱部材４に対向し、裏面１１２は、実装基板３に対向する。主面１１１および裏面１１２はそれぞれ、平坦である。複数の側面１１３，１１４はそれぞれ、ｚ方向において、主面１１１および裏面１１２に挟まれ、かつ、主面１１１および裏面１１２に繋がる。２つの側面１１３は、ｘ方向に離間し、かつ、ｘ方向において互いに反対側を向く。２つの側面１１４は、ｙ方向に離間し、かつ、ｙ方向において互いに反対側を向く。主面１１１は、「第１封止面」の一例である。

[0022] 第１支持基板１２は、第１封止材１１の内方において、少なくとも複数の第１半導体素子Ｑ１を支持する。第１支持基板１２は、少なくとも一部が第１封止材１１に覆われている。第１支持基板１２は、複数の第１半導体素子Ｑ１にて発生した熱を速やかに第１電子部品１の外部に放出するために設けられている。第１支持基板１２は、熱伝導性に優れた材料（例えばセラミック）からなるが、これに限定されない。ただし、第１支持基板１２を構成する材料は、熱伝導率が大きければ大きいほどよいが、第１封止材１１と熱膨張係数が大きく異なると、第１支持基板１２と第１封止材１１とが剥離するなどの問題を生じる虞がある。よって、第１支持基板１２を構成する材料は、第１封止材１１を構成する材料の熱伝導率よりも熱伝導率が大きく、熱膨張係数が第１封止材１１に近い材料が好ましい。第１本体部１０は、第１支持基板１２を含んでいなくてもよい。

[0023] 第１支持基板１２は、図２～図４に示すように、ｚ方向に離間する第１露出面１２１および第１支持面１２２を有する。第１露出面１２１および第１支持面１２２はそれぞれ、平坦である。第１露出面１２１は、ｚ方向（上方

）を向き、放熱部材４（後述の取付面４１）に対向する。第１露出面１２１は、第１封止材１１の主面１１１から露出する。図１に示すように、主面１１１は、平面視において、第１露出面１２１を囲む枠状である。図２～図４に示す例では、第１露出面１２１は、主面１１１と面一（あるいは略面一。以下同様。）であるが、主面１１１よりも上方に配置されていてもよい。なお、第１支持基板１２は、第１露出面１２１を有していなくてもよい。すなわち、第１支持基板１２は、第１封止材１１に完全に覆われていてもよい。第１支持面１２２は、ｚ方向（下方）を向き、実装基板３（後述の実装面３１）に対向する。第１支持面１２２は、複数の第１半導体素子Ｑ１が搭載される。

[0024] 第１本体部１０は、第１主面および第１裏面を有している。第１主面は、第１本体部１０において最も上方側に位置しており、放熱部材４（後述の取付面４１）に対向する。本実施形態では、第１主面は、主面１１１（第１封止材１１）と第１露出面１２１（第１支持基板１２）とによって構成される。本実施形態と異なる構成であって、第１支持基板１２が第１封止材１１から露出しない場合、あるいは、第１本体部１０が第１支持基板１２を含まない場合においては、第１主面は、主面１１１（第１封止材１１）によって構成される。また、第１露出面１２１が主面１１１よりも上方に位置する場合においては、第１主面は、第１露出面１２１によって構成される。第１裏面は、第１本体部１０において最も下方側に位置しており、実装基板３（後述の実装面３１）に対向する。本実施形態では、第１裏面は、裏面１１２（第１封止材１１）によって構成される。

[0025] 複数の第１端子１５はそれぞれ、一部が第１封止材１１に覆われ、一部が第１封止材１１から露出する。複数の第１端子１５はそれぞれ、第１封止材１１の内方において、複数の第１半導体素子Ｑ１あるいは第１制御素子Ｍ１に導通する。複数の第１端子１５は、第１電子部品１の回路構成（図５参照）における複数の第１端子Ｔ１１，Ｔ１２に対応する。

[0026] 複数の第１端子１５の各構成材料は、特に限定されないが、たとえば銅（

Ｃｕ）、アルミニウム、鉄（Ｆｅ）、無酸素銅、またはこれらの合金（たとえば、Ｃｕ－Ｓｎ合金、Ｃｕ－Ｚｒ合金、Ｃｕ－Ｆｅ合金等）が採用される。また、各第１端子１５には、ニッケル（Ｎｉ）めっきが施されていてもよい。

[0027] 複数の第１端子１５はそれぞれ、図１～図３に示すように、２つの側面１１４のいずれかから突き出ている。これとは異なり、複数の第１端子１５はそれぞれ、２つの側面１１３のいずれかから突き出ていてもよい。また、複数の第１端子１５はそれぞれ、裏面１１２から突き出ていてもよい。複数の第１端子１５は、挿入実装型で構成される。各第１端子１５は、一部が屈曲しており、２つの側面１１４のいずれかからｙ方向に沿って延びる部分とｚ方向に沿って延びる部分とを含む。

[0028] 複数の第１端子１５は、複数の第１電力端子１５１および複数の第１制御端子１５２を含む。複数の第１電力端子１５１は、第１封止材１１の内部において、複数の第１半導体素子Ｑ１に導通する。複数の第１電力端子１５１は、第１電子部品１の回路構成（図５参照）における複数の第１端子Ｔ１１に対応する。複数の第１制御端子１５２は、第１封止材１１の内部において、第１制御素子Ｍ１に導通する。複数の第１制御端子１５２は、第１電子部品１の回路構成（図５参照）における複数の第１端子Ｔ１２に対応する。

[0029] 第２電子部品２は、図６に示すように、複数の第２半導体素子Ｑ２、第２制御素子Ｍ２および複数の第２端子Ｔ２１，Ｔ２２を含んでいる。なお、図６に示す回路図は一例であって、用いる第２電子部品２によって適宜変更されうる。

[0030] 複数の第２半導体素子Ｑ２はそれぞれ、たとえばＩＧＢＴ、ＭＯＳＦＥＴ、ダイオードなどのパワー半導体チップである。第２半導体素子Ｑ２の数は、第１半導体素子Ｑ１の数よりも少ない。図６に示す例では、第２電子部品２は、２つの第２半導体素子Ｑ２を含み、２つの第２半導体素子Ｑ２はそれぞれ、ｎチャネル型のＭＯＳＦＥＴで構成されている。２つの第２半導体素子Ｑ２は、直列に接続されてレグを構成する。２つの第２半導体素子Ｑ２の

接続は、図６に示す例に限定されず、たとえば、２つの第２半導体素子Ｑ２が互いに接続されていなくてもよい。なお、第２半導体素子Ｑ２の数は、上記した例に限定されない。たとえば、第２電子部品２は、１つの第２半導体素子Ｑ２を含んだ構成であってもよいし、フルブリッジ接続された４つの第２半導体素子Ｑ２を含んだ構成であってもよいし、三相ブリッジ接続された６つの第２半導体素子Ｑ２を含んだ構成であってもよい。

[0031] 第２制御素子Ｍ２は、たとえばコントロールＩＣなどのＬＳＩチップである。第２制御素子Ｍ２は、複数の第２半導体素子Ｑ２の駆動を制御する。具体的には、第２制御素子Ｍ２は、各第２半導体素子Ｑ２に駆動信号（たとえばゲート電圧）を入力することで、各第２半導体素子Ｑ２の駆動（スイッチング動作）を制御する。第２制御素子Ｍ２は、ドライブ回路を含んでいる。図６に示す例では、１つの第２制御素子Ｍ２により、２つの第２半導体素子Ｑ２の駆動を制御しているが、これに限定されず、２つの第２半導体素子Ｑ２ごとに第２制御素子Ｍ２を設けてもよい。

[0032] 複数の第２端子Ｔ２１，Ｔ２２は、第２電子部品２における外部端子である。図６に示すように、複数の第２端子Ｔ２１は、複数の第２半導体素子Ｑ２に接続される。複数の第２端子Ｔ２１には、一対の入力端子Ｔ２１ａ，Ｔ２１ｂと、出力端子Ｔ２１ｃと、検出端子Ｔ２１ｄとを含む。一対の入力端子Ｔ２１ａ，Ｔ２１ｂは、電源電圧が印加される。入力端子Ｔ２１ａは、Ｐ端子であり、入力端子Ｔ２１ｂは、Ｎ端子である。出力端子Ｔ２１ｃは、一対の入力端子Ｔ２１ａ，Ｔ２１ｂから入力され、各第２半導体素子Ｑ２のスイッチング動作によって変換された電圧を出力する。出力端子Ｔ２１ｃは、２つの第２半導体素子Ｑ２の接続点に接続される。検出端子Ｔ２１ｄは、出力電圧を検出するためのものであり、たとえばシャント抵抗Ｒ２を介して、２つの第２半導体素子Ｑ２の接続点に接続される。シャント抵抗Ｒ２は、第２電子部品２に内蔵されずに、第２電子部品２の外部に配置されてもよい。図６に示すように、複数の第２端子Ｔ２２はそれぞれ、第２制御素子Ｍ２に接続される。複数の第２端子Ｔ２２は、第２電子部品２を制御するための各

種制御信号が入力あるいは出力されるものと第２制御素子Ｍ２の動作電圧が入力されるものとがある。

[0033] 第２電子部品２は、図１～図４に示すように、第２本体部２０および複数の第２端子２５を含むモジュール構成である。

[0034] 第２本体部２０は、複数の第２半導体素子Ｑ２、第２制御素子Ｍ２、第２封止材２１および第２支持基板２２を含む。

[0035] 第２封止材２１は、複数の第２半導体素子Ｑ２および第２制御素子Ｍ２などを覆い、これらを光、熱、湿気、ほこり、物理的衝撃などから保護するためのパッケージである。第２封止材２１は、たとえば絶縁性の樹脂材料からなる。この樹脂材料の一例を挙げれば、たとえばエポキシ樹脂である。第２封止材２１は、図１に示すように、たとえば平面視矩形状である。

[0036] 第２封止材２１は、図１～図４に示すように、主面２１１、裏面２１２および複数の側面２１３，２１４を有する。主面２１１および裏面２１２は、ｚ方向に離間し、かつ、ｚ方向において互いに反対側を向く。ｚ方向において、主面２１１は、放熱部材４に対向し、裏面２１２は、実装基板３に対向する。主面２１１および裏面２１２はそれぞれ、平坦である。主面２１１は、主面１１１（第１封止材１１）と、同じｘ－ｙ平面（ｚ方向に直交する平面）上にある。複数の側面２１３，２１４はそれぞれ、ｚ方向において、主面２１１および裏面２１２に挟まれ、かつ、主面２１１および裏面２１２に繋がる。２つの側面２１３は、ｘ方向に離間し、かつ、ｘ方向において互いに反対側を向く。２つの側面２１４は、ｙ方向に離間し、かつ、ｙ方向において互いに反対側を向く。主面２１１は、「第２封止面」の一例である。

[0037] 第２支持基板２２は、第２封止材２１の内方において、少なくとも複数の第２半導体素子Ｑ２を支持する。第２支持基板２２は、少なくとも一部が第２封止材２１に覆われている。第２支持基板２２は、複数の第２半導体素子Ｑ２にて発生した熱を速やかに第２電子部品２の外部に放出するために設けられている。第２支持基板２２は、熱伝導性に優れた材料（例えばセラミック）からなるが、これに限定されない。ただし、第２支持基板２２を構成す

る材料は、熱伝導率が大きければ大きいほどよいが、第２封止材２１と熱膨張係数が大きく異なると、第２支持基板２２と第２封止材２１とが剥離するなどの問題を生じる虞がある。よって、第２支持基板２２を構成する材料は、第２封止材２１を構成する材料の熱伝導率よりも熱伝導率が大きく、熱膨張係数が第２封止材２１に近い材料が好ましい。なお、第２本体部２０は、第２支持基板２２を含んでいなくてもよい。

[0038] 第２支持基板２２は、図２～図４に示すように、ｚ方向に離間する第２露出面２２１および第２支持面２２２を有する。第２露出面２２１および第２支持面２２２はそれぞれ、平坦である。第２露出面２２１は、ｚ方向上方を向き、放熱部材４（後述の取付面４１）に対向する。第２露出面２２１は、第２封止材２１の主面２１１から露出する。このため、図１に示すように、主面２１１は、平面視において、第２露出面２２１を囲む枠状である。図２～図４に示す例では、第２露出面２２１は、主面２１１と面一であるが、主面２１１よりも上方に配置されていてもよい。なお、第２支持基板２２は、第２露出面２２１を有していなくてもよい。つまり、第２支持基板２２は、第２封止材２１に完全に覆われていてもよい。第２支持面２２２は、下方を向き、実装基板３（後述の実装面３１）に対向する。第２支持面２２２は、複数の第２半導体素子Ｑ２が搭載される。

[0039] 第２本体部２０は、第２主面および第２裏面を有している。第２主面は、第２本体部２０において最も上方側に位置しており、放熱部材４（後述の取付面４１）に対向する。本実施形態では、第２主面は、主面２１１（第２封止材２１）と第２露出面２２１（第２支持基板２２）とによって構成される。本実施形態と異なる構成であって、第２支持基板２２が第２封止材２１から露出しない場合、あるいは、第２本体部２０が第２支持基板２２を含まない場合においては、第２主面は、主面２１１（第２封止材２１）によって構成される。また、第２露出面２２１が主面２１１よりも上方に位置する場合においては、第２主面は、第２露出面２２１によって構成される。第２裏面は、第２本体部２０において最も下方側に位置しており、実装基板３（後述

の実装面３１）に対向する。本実施形態では、第２裏面は、裏面２１２（第２封止材２１）によって構成される。

[0040] 複数の第２端子２５はそれぞれ、一部が第２封止材２１に覆われ、一部が第２封止材２１から露出する。複数の第２端子２５はそれぞれ、第２封止材２１の内方において、複数の第２半導体素子Ｑ２あるいは第２制御素子Ｍ２に導通する。複数の第２端子２５は、回路構成（図６参照）における複数の第２端子Ｔ２１，Ｔ２２に対応する。

[0041] 複数の第２端子２５の構成材料は、特に限定されないが、たとえば銅（Ｃｕ）、アルミニウム、鉄（Ｆｅ）、無酸素銅、またはこれらの合金（たとえば、Ｃｕ－Ｓｎ合金、Ｃｕ－Ｚｒ合金、Ｃｕ－Ｆｅ合金等）が採用される。また、各第２端子２５には、ニッケル（Ｎｉ）めっきが施されていてもよい。

[0042] 複数の第２端子２５はそれぞれ、図１～図３に示すように、２つの側面２１４のいずれかから突き出ている。これとは異なり、複数の第２端子２５は、２つの側面２１３のいずれかから突き出ていてもよい。また、複数の第２端子２５はそれぞれ、裏面２１２から突き出ていてもよい。複数の第２端子２５は、挿入実装型で構成される。各第２端子２５は、一部が屈曲しており、２つの側面２１４のいずれかからｙ方向に沿って延びる部分とｚ方向に沿って延びる部分とを含む。

[0043] 複数の第２端子２５は、複数の第２電力端子２５１および複数の第２制御端子２５２を含む。複数の第２電力端子２５１は、第２封止材２１の内部において、複数の第２半導体素子Ｑ２に導通する。複数の第２電力端子２５１は、第２電子部品２の回路構成（図６参照）における複数の第２端子Ｔ２１に対応する。複数の第２制御端子２５２は、第２封止材２１の内部において、第２制御素子Ｍ２に導通する。複数の第２制御端子２５２は、第２電子部品２の回路構成（図６参照）における複数の第２端子Ｔ２２に対応する。

[0044] 図１～図３に示すように、複数の第２端子２５のうち、平面視四隅付近に配置される複数の第２端子２５には、第２突起部２５３が形成されている。

第２突起部２５３は、図１～図３に示すように、各第２端子２５において、ｘ方向に突き出た部分である。なお、第２突起部２５３は、ｘ方向に突き出たものに限定されず、ｚ方向に直交する方向に突き出ていればよい。第２突起部２５３は、図２および図３に示すように、裏面２１２と実装基板３（後述の実装面３１）との間に配置されている。第２突起部２５３は、複数の第２端子２５のうち１つ以上に形成されていればよく、たとえば複数の第２端子２５の全てに形成されていてもよい。また、いずれの第２端子２５にも第２突起部２５３が形成されていなくてもよい。ただし、第２電子部品２の姿勢を安定させるためには、複数の第２端子２５のうち、少なくとも平面視四隅付近に配置される複数の第２端子２５には、第２突起部２５３を設けることが望ましい。

[0045] 実装基板３は、第１電子部品１および第２電子部品２が実装される。実装基板３は、電子機器などの回路基板である。実装基板３は、絶縁性の材料からなり、たとえばＰＣＢ基板からなる。実装基板３には、図示しない配線パターンが形成されている。第１電子部品１の複数の第１端子１５および第２電子部品２の複数の第２端子２５は、実装基板３に形成された上記配線パターンに導通する。

[0046] 実装基板３は、ｚ方向の一方（上方）を向く実装面３１を有する。実装面３１は、平坦である。実装面３１は、第１電子部品１および第２電子部品２に対向しており、第１電子部品１および第２電子部品２は、実装面３１上に配置されている。図２～図４に示すように、第１封止材１１の裏面１１２は、実装面３１に接しているが、第２封止材２１の裏面２１２は、実装面３１から離間している。図示された例では、第１電子部品１と第２電子部品２とは、実装面３１上においてｘ方向に並んでいるが、本開示はこれに限定されない。例えば、第１電子部品１と第２電子部品２とは、実装面３１上において、ｘ方向とは異なる方向に沿って配置されていてもよい。

[0047] 実装基板３には、図１～図４に示すように、複数のスルーホール３３が形成されている。各スルーホール３３は、実装基板３をｚ方向に貫通する。各

スルーホール３３には、第１電子部品１の各第１端子１５あるいは第２電子部品２の各第２端子２５が挿通される。図２においては、各第１端子１５の第１電力端子１５１および各第２端子２５の第２電力端子２５１が挿通されるスルーホール３３を隠れ線（破線）で示している。図３においては、各第１端子１５の第１制御端子１５２および各第２端子２５の第２制御端子２５２が挿通されるスルーホール３３を隠れ線（破線）で示している。

[0048] 図２および図３に示すように、各スルーホール３３に各第２端子２５が挿通された状態において、各第２突起部２５３の下方側の端縁は、実装面３１に当接している。つまり、各第２突起部２５３が実装基板３に引っ掛かることで、第２電子部品２は、第２封止材２１の裏面２１２と実装面３１との間に隙間が形成された状態で、実装基板３に搭載される。

[0049] 放熱部材４は、熱伝導率の比較的大きな材料、たとえばアルミニウムなどの金属からなる。放熱部材４は、第１電子部品１および第２電子部品２に取り付けられている。たとえば、放熱部材４は、図示しない接着材によって、第１本体部１０の第１主面（第１封止材１１の主面１１１および第１支持基板１２の第１露出面１２１）および第２本体部２０の第２主面（第２封止材２１の主面２１１および第２支持基板２２の第２露出面２２１）に接着されている。放熱部材４は、図示しない固定具によって実装基板３に対し固定されていてもよい。この場合、放熱部材４は、第１本体部１０の第１主面および第２本体部２０の第２主面に接着されず、直接接する構成であってもよい。

[0050] 放熱部材４は、ｚ方向の一方（下方）を向く取付面４１を有する。取付面４１は、平坦である。取付面４１は、第１電子部品１および第２電子部品２に対向しており、第１電子部品１および第２電子部品２は、取付面４１に取り付けられている。図２～図４に示すように、取付面４１は、第１封止材１１の主面１１１および第２封止材２１の主面２１１に接している。取付面４１と主面１１１および主面２１１との間に接着材や熱伝導シートなどが挟まれていてもよい。放熱部材４は、上方側（ｚ方向において取付面４１と反対

側を向く側）において、板や棒の生えた剣山状および蛇腹状のフィン（図示略）が形成されている。

[0051] 複数の導電性接合材５は、図２～図４に示すように、実装基板３のｚ方向において実装面３１と反対側を向く面に形成されている。各導電性接合材５は、第１電子部品１および第２電子部品２を実装基板３に接合するものであり、かつ、第１電子部品１の各第１端子１５および第２電子部品２の各第２端子２５を、実装基板３の配線パターンに導通させる。複数の導電性接合材５の構成材料は特に限定されないが、たとえばはんだが採用される。

[0052] 電子装置Ａ１では、第１本体部１０（第１封止材１１）のｚ方向寸法と第２本体部２０（第２封止材２１）のｚ方向寸法とは異なっている。電子装置Ａ１では、第２電子部品２に内蔵される第２半導体素子Ｑ２の数が、第１電子部品１に内蔵される第１半導体素子Ｑ１の数よりも少ないことにより、第２本体部２０のｚ方向寸法は、第１本体部１０のｚ方向寸法よりも小さい。なお、第１本体部１０のｚ方向寸法と第２本体部２０のｚ方向寸法とが異なる要因は、第１半導体素子Ｑ１の数と第２半導体素子Ｑ２の数との違いに限定されない。たとえば、第１電子部品１および第２電子部品２でそれぞれ採用されるパッケージ規格の違いによって、第１本体部１０のｚ方向寸法と第２本体部２０のｚ方向寸法とが異なることがある。また、第１電子部品１および第２電子部品２でそれぞれ採用される第１半導体素子Ｑ１および第２半導体素子Ｑ２の大きさの違いによって、第１本体部１０のｚ方向寸法と第２本体部２０のｚ方向寸法とが異なることがある。

[0053] 電子装置Ａ１において、図２～図４に示すように、第１本体部１０の第１裏面（第１封止材１１の裏面１１２）と実装面３１とは接しており、第２本体部２０の第２裏面（第２封止材２１の裏面２１２）と実装面３１との間には隙間がある。よって、裏面２１２と実装面３１とのｚ方向における離間距離Ｔ２は、裏面１１２と実装面３１とのｚ方向における離間距離Ｔ１（図示の例ではＴ１＝０）よりも大きい。離間距離Ｔ２は、第１封止材１１のｚ方向寸法と第２封止材２１のｚ方向寸法との差に応じて適宜設計される。具体

的には、離間距離Ｔ２と離間距離Ｔ１との差（Ｔ２－Ｔ１）が、第１本体部１０のｚ方向寸法と第２本体部２０のｚ方向寸法との差となるように設計される。

[0054] 第１実施形態にかかる電子装置Ａ１の作用および効果は、次のとおりである。

[0055] 電子装置Ａ１は、第１電子部品１および第２電子部品２に取り付けられた放熱部材４を備えている。この構成によると、電子装置Ａ１の通電時において、第１電子部品１および第２電子部品２が発熱しても、放熱部材４を介して放熱される。これにより、電子装置Ａ１は、第１電子部品１および第２電子部品２からの放熱性を高めることができる。

[0056] 電子装置Ａ１では、第２本体部２０の第２裏面（第２封止材２１の裏面２１２）と実装面３１（実装基板３）との間に隙間を設けている。これにより、第２本体部２０のｚ方向寸法が、第１本体部１０のｚ方向寸法よりも小さい場合において、第１本体部１０の第１主面（主面１１１および第１露出面１２１）と第２本体部２０の第２主面（主面２１１および第２露出面２２１）とを同じｘ－ｙ平面に配置できる。換言すれば、第１本体部１０の第１主面と第２本体部２０の第２主面とを、ｘ方向に見て重ならせることができる。図示の例と異なり、第２本体部２０の第２裏面と実装面３１との間に隙間がない場合には、第１本体部１０のｚ方向寸法と第２本体部２０とのｚ方向寸法の差により、第１主面と第２主面との間で段差が生じる。この場合、第１電子部品１と第２電子部品２とに対して共通の放熱部材４を設けることができず、別々に放熱部材を設ける必要がある。これは、電子装置の製造および管理を煩雑にする。電子装置Ａ１は、第１本体部１０の第１主面と第２本体部２０の第２主面との段差を解消して、第１電子部品１と第２電子部品２とに共通の放熱部材４を取り付けることができるので、製造および管理が簡易である。

[0057] 図１～図４に示す例では、第１本体部１０は、第２本体部２０よりもｚ方向の寸法が大きく、かつ、平面視の大きさも大きい。そのため、本実施形態

では、第１電子部品１は第２電子部品２よりも重い。そこで、電子装置Ａ１では、第１本体部１０の第１裏面（第１封止材１１の裏面１１２）と実装面３１（実装基板３）との間に隙間を設けず、第１本体部１０の第１裏面と実装面３１とを当接させることで、第１電子部品１の本体部を直接、実装基板３により支持している。これは、第１電子部品１の第１端子１５の折れ曲がりを抑制するのに効果的である。

[0058] 電子装置Ａ１では、一部の第２端子２５（第２電子部品２）に、それぞれ第２突起部２５３が形成されている。この構成によると、各第２突起部２５３が、実装面３１に係止されるので、所定の離間距離を越えて第２本体部２０が実装基板３に近づくことを防止しうる。つまり、第２本体部２０の第２裏面（第２封止材２１の裏面２１２）と実装面３１との離間距離Ｔ２を確実に維持することができる。

[0059] ＜第２実施形態＞

図７～図１０は、第２実施形態にかかる電子装置Ａ２を示している。図７は、電子装置Ａ２を示す平面図であって、放熱部材４を想像線で示している。図８は、電子装置Ａ２を示す正面図である。図９は、電子装置Ａ２を示す背面図である。図１０は、電子装置Ａ２を示す側面図（右側面図）である。

[0060] 電子装置Ａ２は、図７～図１０に示すように、第１本体部１０の第１裏面（第１封止材１１の裏面１１２）と実装面３１（実装基板３）との間にも隙間がある点で、電子装置Ａ１と異なる。

[0061] 電子装置Ａ２では、上述のとおり、図８～図１０に示すように、裏面１１２と実装面３１との間に隙間を設けている。つまり、電子装置Ａ２では、裏面１１２と実装面３１との離間距離Ｔ１を、第１実施形態における離間距離Ｔ１よりも大きくしている。この離間距離Ｔ１を大きくした分、裏面２１２と実装面３１との離間距離Ｔ２を、第１実施形態における離間距離Ｔ２よりも大きくしている。本実施形態においても、裏面２１２と実装面３１との離間距離Ｔ２は、裏面１１２と実装面３１との離間距離Ｔ１よりも大きい。

[0062] 電子装置Ａ２では、平面視四隅付近に配置される複数の第１端子１５には

、第１突起部１５３が形成されている。第１突起部１５３は、図７～図９に示すように、各第１端子１５において、ｘ方向に突き出た部分である。なお、第１突起部１５３は、ｘ方向に突き出たものに限定されず、ｚ方向に直交する方向に突き出ていればよい。第１突起部１５３は、第２突起部２５３と同様の形状である。第１突起部１５３は、図７～図９に示すように、裏面１１２と実装面３１との間に配置されている。第１突起部１５３は、複数の第１端子１５のうち１つ以上に形成されていればよく、たとえば複数の第１端子１５の全てに形成されていてもよい。また、いずれの第１端子１５にも第１突起部１５３が形成されていなくてもよい。ただし、第１電子部品１の姿勢を安定させるためには、複数の第１端子１５のうち、少なくとも平面視四隅付近に配置される複数の第１端子１５に、第１突起部１５３を設けるとよい。

[0063] 図８および図９に示すように、各スルーホール３３に各第１端子１５が挿通された状態において、各第１突起部１５３のｚ方向下方側の端縁は、実装面３１に当接している。つまり、各第１突起部１５３が実装基板３に引っ掛かることで、第１電子部品１は、第１封止材１１の裏面１１２と実装面３１との間に隙間が形成された状態で、実装基板３に搭載される。

[0064] 電子装置Ａ２においても、電子装置Ａ１と同様に、第１電子部品１および第２電子部品２に取り付けられた放熱部材４を備えている。したがって、電子装置Ａ２は、第１電子部品１および第２電子部品２の放熱性を高めることができる。また、電子装置Ａ２においても、第１本体部１０の第１主面（主に第１封止材１１の主面１１１）と第２本体部２０の 第２主面（主に第２封止材２１の主面２１１）との段差が解消されていることから、第１電子部品１と第２電子部品２とに、共通の放熱部材４を取り付けることができ、製造および管理を比較的容易にできる。

[0065] 電子装置Ａ２では、一部の第１端子１５（第１電子部品１）に、第１突起部１５３が形成されている。この構成によると、各第１突起部１５３が、実装面３１に引っ掛かり、それ以上、第１本体部１０が実装基板３に近づかな

い。つまり、第１本体部１０の第１裏面（第１封止材１１の裏面１１２）と実装面３１との離間距離Ｔ１を容易に確保できる。

[0066] 第１実施形態および第２実施形態において、各第１突起部１５３および各第２突起部２５３の形状は、上記した例に限定されず、スルーホール３３を通過しない形状つまり実装面３１に引っ掛かる形状であればよい。また、一部の第１端子１５において、第１突起部１５３が形成されておらず、実装面３１よりもｚ方向上方側の部分が相対的に太く、実装面３１よりもｚ方向下方側の部分が相対的に細くてもよい。この場合、相対的に太い部分を、スルーホール３３の孔径よりも太くする。これにより、第１端子１５の太い部分が実装面３１に引っ掛かり、離間距離Ｔ１を容易に確保することができる。一部の第２端子２５においても、同様に、第２突起部２５３が形成されておらず、実装面３１よりもｚ方向上方側の部分が相対的に太く、実装面３１よりもｚ方向下方側の部分が相対的に細くてもよい。この場合、相対的に太い部分をスルーホール３３の孔径よりも太くする。これにより、第２端子２５の太い部分が実装面３１に引っ掛かり、離間距離Ｔ２を容易に確保することができる。

[0067] ＜第３実施形態＞

図１１～図１４は、第３実施形態にかかる電子装置Ａ３を示している。図１１は、電子装置Ａ３を示す平面図である。図１２は、電子装置Ａ３を示す正面図である。図１３は、電子装置Ａ３を示す背面図である。図１４は、電子装置Ａ３を示す側面図（右側面図）である。

[0068] 電子装置Ａ３は、図１１～図１４に示すように、第１電子部品１の複数の第１端子１５および第２電子部品２の複数の第２端子２５が、表面実装型で構成されている点で、電子装置Ａ１と異なる。

[0069] 電子装置Ａ３の実装基板３において、図示しない配線パターンには、複数のランドパターン３４を含んでいる。複数のランドパターン３４は、図示しない配線パターンにより電気的に接続されている。

[0070] 上記するように、複数の第１端子１５および複数の第２端子２５はそれぞ

れ、表面実装型で構成されている。複数の第１端子１５および複数の第２端子２５は、平面視において、たとえば、帯状である。

[0071] 各第１端子１５は、図１４に示すように、部分的に屈曲しており、各側面１１４からｙ方向に沿って延びる基端部分と、ｚ方向下方向きに延びる中間部分と、ｙ方向に沿って延びる先端部分とを含む。この先端部分（各側面１１４から遠い側）は、各ランドパターン３４に接合されている。図示された例では、各第１端子１５と各ランドパターン３４とは、導電性接合材５（たとえばはんだ）で接合されている。また、図１４に示す例では、中間部分はｚ方向に対して傾斜しているが、ｚ方向に沿っていてもよい。

[0072] 各第２端子２５も同様に、図１４に示すように、部分的に屈曲しており、各側面２１４からｙ方向に沿って延びる基端部分と、ｚ方向下方向きに延びる中間部分と、ｙ方向に沿って延びる先端部分とを含む。この先端部分（各側面２１４から遠い側）は、各ランドパ ターン３４に接合されている。図示された例では、各第２端子２５と各ランドパターン３４とは、導電性接合材５（たとえばはんだ）で接合されている。また、図１４に示す例では、中間部分はｚ方向に対して傾斜しているが、ｚ方向に沿っていてもよい。

[0073] 電子装置Ａ３では、各第２端子２５のｚ方向寸法を各第１端子１５のｚ方向寸法よりも大きくしている。具体的には、各第２端子２５の中間部分のｚ方向寸法を、各第１端子１５の中間部分のｚ方向の寸法よりも大きくしている。これにより、裏面２１２と実装面３１とのｚ方向における離間距離Ｔ２が、裏面１１２と実装面３１とのｚ方向における離間距離Ｔ１よりも大きくなり、主面１１１（第１封止材１１）と主面２１１（第２端子２５）とが同じｘ－ｙ平面上に位置する。

[0074] 電子装置Ａ３においても、各電子装置Ａ１，Ａ２と同様に、第１電子部品１および第２電子部品２に取り付けられた放熱部材４を備えている。したがって、電子装置Ａ３は、第１電子部品１および第２電子部品２の放熱性を高めることができる。また、電子装置Ａ３においても、第１本体部１０の第１主面（主に第１封止材１１の主面１１１）と第２本体部２０の第２主面（主

に第２封止材２１の主面２１１）との段差が解消されていることから、第１電子部品１と第２電子部品２とに、共通の放熱部材４を取り付けることができ、製造および管理を比較的容易にできる。

[0075] ＜第４実施形態＞

図１５は、第４実施形態にかかる電子装置Ａ４を示している。図１５は、電子装置Ａ４を示す側面図（右側面図）である。

[0076] 電子装置Ａ４は、図１５に示すように、第１本体部１０の第１裏面（第１封止材１１の裏面１１２）と実装面３１（実装基板３）との間に隙間がある点で、電子装置Ａ３と異なる。

[0077] 電子装置Ａ４では、電子装置Ａ２と同様に、裏面１１２と実装面３１との間に隙間を設けている。つまり、電子装置Ａ４では、裏面１１２と実装面３１との離間距離Ｔ１を、第３実施形態における離間距離Ｔ１よりも大きくしている。この離間距離Ｔ１を大きくした分、裏面２１２と実装面３１との離間距離Ｔ２を、第３実施形態における離間距離Ｔ２よりも大きくしている。本実施形態においても、裏面２１２と実装面３１との離間距離Ｔ２は、裏面１１２と実装面３１との離間距離Ｔ１よりも大きい。

[0078] 電子装置Ａ４においても、各電子装置Ａ１～Ａ３と同様に、第１電子部品１および第２電子部品２に取り付けられた放熱部材４を備えている。したがって、電子装置Ａ４は、第１電子部品１および第２電子部品２の放熱性を高めることができる。また、電子装置Ａ４においても、第１本体部１０の第１主面（主に第１封止材１１の主面１１１）と第２本体部２０の第２主面（主に第２封止材２１の主面２１１）との段差が解消されていることから、第１電子部品１と第２電子部品２とに、共通の放熱部材４を取り付けることができ、製造および管理を比較的容易にできる。

[0079] 第１実施形態および第２実施形態においては、複数の第１端子１５（第１電子部品１）および複数の第２端子２５（第２電子部品２）がともに挿入実装型の構造であり、第３実施形態および第４実施形態においては、複数の第１端子１５（第１電子部品１）および複数の第２端子２５（第２電子部品２

）がともに表面実装型の構造である例を示したが、これに限定されない。複数の第１端子１５あるいは複数の第２端子２５の一方が、挿入実装型の構造であり、他方が表面実装型の構造であってもよい。

[0080] 第１実施形態ないし第４実施形態においては、第１電子部品１に内蔵される第１半導体 素子Ｑ１の数が、第２電子部品２に内蔵される第２半導体素子Ｑ２の数より多い場合を示したが、これに限定されず、第１半導体素子Ｑ１の数が、第２半導体素子Ｑ２の数よりも少なくてもよい。たとえば、第１半導体素子Ｑ１および第２半導体素子Ｑ２として用いる素子の性能や種類により、第１半導体素子Ｑ１が第２半導体素子Ｑ２よりも大きくなることがある。このとき、第１半導体素子Ｑ１の数が第２半導体素子Ｑ２の数よりも少なくても、第１封止材１１のｚ方向寸法が第２封止材２１のｚ方向寸法よりも大きくなることがある。この場合でも、第２封止材２１（裏面２１２）と実装基板３（実装面３１）とのｚ方向における離間距離Ｔ２を、第１封止材１１（裏面１１２）と実装基板３（実装面３１）とのｚ方向における離間距離Ｔ１よりも大きくすることで、第１本体部１０の第１主面（主に主面１１１）と第２本体部２０の第２主面（主に主面２１１）との段差を解消し、第１電子部品１と第２電子部品２とに共通の放熱部材４を取り付けることができる。

[0081] 第１実施形態ないし第４実施形態において、電子装置Ａ１～Ａ４は、２つの電子部品（第１電子部品１と第２電子部品２）を備える場合を示したが、これに限定されず、３つ以上の電子部品を備えていてもよい。

[0082] 本開示にかかる電子装置は、上記した実施形態に限定されるものではない。本開示の電子装置の各部の具体的な構成は、種々に設計変更自在である。たとえば、本開示の電子装置は、以下の付記に関する実施形態を含む。

［付記１］

第１本体部および前記第１本体部から露出する複数の第１端子を含む第１電子部品と、

第２本体部および前記第２本体部から露出する複数の第２端子を含む第２

電子部品と、

前記第１電子部品および前記第２電子部品が配置された実装面を有する実装基板と、

前記第１電子部品および前記第２電子部品が取り付けられた取付面を有する放熱部材と、

を備えており、

前記第１本体部および前記第２本体部は、厚さ方向において前記実装基板と前記放熱部材との間に配置され、かつ、前記厚さ方向に直交する第１方向に並んでおり、

前記実装面と前記取付面とは、前記厚さ方向に対向しており、

前記第１本体部は、前記取付面に対向する第１主面および前記実装面に対向する第１裏面を有し、

前記第２本体部は、前記取付面に対向する第２主面および前記実装面に対向する第２裏面を有し、

前記第２本体部の前記厚さ方向の寸法は、前記第１本体部の前記厚さ方向の寸法よりも小さく、

前記第１主面と前記第２主面とは、前記第１方向に見て重なり、

前記第２裏面と前記実装面との間には隙間がある、電子装置。

［付記２］

前記第１裏面と前記実装面とは、互いに接する、付記１に記載の電子装置。

［付記３］

前記第１裏面と前記実装面との間には、隙間があり、

前記第２裏面と前記実装面との前記厚さ方向における離間距離は、前記第１裏面と前記実装面との前記厚さ方向における離間距離よりも大きい、付記１に記載の電子装置。

［付記４］

前記実装基板には、前記実装面の上に複数のランドパターンが形成されて

おり、

前記複数の第１端子の各々および前記複数の第２端子の各々は、部分的に屈曲し、かつ、先端が前記複数のランドパターンの各々に接合される表面実装型である、付記１ないし付記３のいずれかに記載の電子装置。

［付記５］

前記実装基板には、前記実装基板を前記厚さ方向に貫通する複数のスルーホールが形成 されており、

前記複数の第１端子の各々および前記複数の第２端子の各々は、先端が前記厚さ方向に延びており、かつ、当該先端が前記複数のスルーホールの各々に挿通される挿入実装型である、付記１ないし付記３のいずれかに記載の電子装置。

［付記６］

前記複数の第２端子のうちの１つ以上は、前記第２裏面と前記実装面との間に配置され、前記厚さ方向に直交する方向に突き出た突起部を含む、付記５に記載の電子装置。

［付記７］

前記第１主面および前記第２主面は、接着材によって、前記放熱部材の前記取付面に接着されている、付記１ないし付記６のいずれかに記載の電子装置。

［付記８］

前記第１本体部は、複数の第１半導体素子および前記複数の第１半導体素子を覆う第１封止材を含んでおり、

前記複数の第１端子は、前記複数の第１半導体素子に導通する第１電力端子を含む、付記１ないし付記７のいずれかに記載の電子装置。

［付記９］

前記第１本体部は、前記第１封止材に覆われ、かつ、前記複数の第１半導体素子の各駆動を制御する第１制御素子をさらに含み、

前記複数の第１端子は、前記第１制御素子に導通する第１制御端子を含む

、付記８に記載の電子装置。

［付記１０］

前記第１電子部品は、パワーモジュールである、付記９に記載の電子装置。

［付記１１］

前記第１本体部は、少なくとも前記複数の第１半導体素子を支持する第１支持基板をさらに含み、

前記第１支持基板は、前記実装面に対向し、かつ、前記複数の第１半導体素子が搭載された第１支持面を有する、付記８ないし付記１０のいずれかに記載の電子装置。

［付記１２］

前記第１封止材は、前記取付面に対向する第１封止面を有し、

前記第１支持基板は、前記取付面に対向し、かつ、前記第１封止面から露出する第１露出面をさらに有し、

前記第１封止面と前記第１露出面とは、面一であり、前記第１主面を構成する、付記１１に記載の電子装置。

［付記１３］

前記第２本体部は、前記複数の第１半導体素子よりも少ない１以上の第２半導体素子および前記１以上の第２半導体素子を覆う第２封止材を含み、

前記複数の第２端子は、前記１以上の第２半導体素子に導通する第２電力端子を含む、付記８ないし付記１２のいずれかに記載の電子装置。

［付記１４］

前記第２本体部は、前記第２封止材に覆われ、かつ、前記１以上の第２半導体素子の各駆動を制御する第２制御素子をさらに含み、

前記第２制御素子は、前記第２封止材に覆われており、

前記複数の第２端子は、前記第２制御素子に導通する第２制御端子を含む、付記１３に記載の電子装置。

［付記１５］

前記第２電子部品は、パワーモジュールである、付記１４に記載の電子装置。

［付記１６］

前記第２本体部は、前記１以上の第２半導体素子を支持する第２支持基板をさらに含み、

前記第２支持基板は、前記実装面に対向し、かつ、前記１以上の第２半導体素子が搭載 された第２支持面を有する、付記１３ないし付記１５のいずれかに記載の電子装置。

［付記１７］

前記第２封止材は、前記取付面に対向する第２封止面を有し、

前記第２支持基板は、前記取付面に対向し、かつ、前記第２封止面から露出する第２露出面をさらに有し、

前記第２封止面と前記第２露出面とは、面一であり、前記第２主面を構成する、付記１６に記載の電子装置。

符号の説明

[0083] Ａ１～Ａ４：電子装置

１：第１電子部品

Ｍ１：第１制御素子

Ｑ１：第１半導体素子

Ｔ１１，Ｔ１２：第１端子

Ｔ１１ａ，Ｔ１１ｂ：入力端子

Ｔ１１ｃ：出力端子

Ｔ１１ｄ：検出端子

１０：第１本体部

１１：第１封止材

１１１：主面

１１２：裏面

１１３，１１４：側面

１２　　：第１支持基板
１２１　　：第１露出面
１２２　　：第１支持面
１５　　：第１端子
１５１　　：第１電力端子
１５２　　：第１制御端子
１５３　　：第１突起部
２　　：第２電子部品
Ｍ２　　：第２制御素子
Ｑ２　　：第２半導体素子
Ｔ２１，Ｔ２２：第２端子
Ｔ２１ａ，Ｔ２１ｂ：入力端子
Ｔ２１ｃ　：出力端子
Ｔ２１ｄ　：検出端子
２０　　：第２本体部
２１　　：第２封止材
２２　　：第２支持基板
２５　　：第２端子
２１１　　：主面
２１２　　：裏面
２１３　　：側面
２１４　　：側面
２２１　　：第２露出面
２２２　　：第２支持面
２５１　　：第２電力端子
２５２　　：第２制御端子
２５３　　：第２突起部
３　　：実装基板

３１　　：実装面

３３　　：スルーホール

３４　　：ランドパターン

４　　：放熱部材

４１　　：取付面

５　　：導電性接合材

請求の範囲

[請求項1] 第１本体部および前記第１本体部から露出する複数の第１端子を含む第１電子部品と、

第２本体部および前記第２本体部から露出する複数の第２端子を含む第２電子部品と、

前記第１電子部品および前記第２電子部品が配置された実装面を有する実装基板と、

前記第１電子部品および前記第２電子部品が取り付けられた取付面を有する放熱部材と、

を備えており、

前記第１本体部および前記第２本体部は、厚さ方向において前記実装基板と前記放熱部材との間に配置され、かつ、前記厚さ方向に直交する第１方向に並んでおり、

前記実装面と前記取付面とは、前記厚さ方向に対向しており、

前記第１本体部は、前記取付面に対向する第１主面および前記実装面に対向する第１裏面を有し、

前記第２本体部は、前記取付面に対向する第２主面および前記実装面に対向する第２裏面を有し、

前記第２本体部の前記厚さ方向の寸法は、前記第１本体部の前記厚さ方向の寸法よりも小さく、

前記第１主面と前記第２主面とは、前記第１方向に見て重なり、

前記第２裏面と前記実装面との間には隙間がある、電子装置。

[請求項2] 前記第１裏面と前記実装面とは、互いに接する、請求項１に記載の電子装置。

[請求項3] 前記第１裏面と前記実装面との間には、隙間があり、

前記第２裏面と前記実装面との前記厚さ方向における離間距離は、前記第１裏面と前記実装面との前記厚さ方向における離間距離よりも大きい、請求項１に記載の電子装置。

[請求項4] 前記実装基板には、前記実装面の上に複数のランドパターンが形成されており、

前記複数の第１端子の各々および前記複数の第２端子の各々は、部分的に屈曲し、かつ、先端が前記複数のランドパターンの各々に接合される表面実装型である、請求項１ないし請求項３のいずれか一項に記載の電子装置。

[請求項5] 前記実装基板には、前記実装基板を前記厚さ方向に貫通する複数のスルーホールが形成されており、

前記複数の第１端子の各々および前記複数の第２端子の各々は、先端が前記厚さ方向に延びており、かつ、当該先端が前記複数のスルーホールの各々に挿通される挿入実装型である、請求項１ないし請求項３のいずれか一項に記載の電子装置。

[請求項6] 前記複数の第２端子のうちの１つ以上は、前記第２裏面と前記実装面との間に配置され、前記厚さ方向に直交する方向に突き出た突起部を含む、請求項５に記載の電子装置。

[請求項7] 前記第１主面および前記第２主面は、接着材によって、前記放熱部材の前記取付面に接着されている、請求項１ないし請求項６のいずれか一項に記載の電子装置。

[請求項8] 前記第１本体部は、複数の第１半導体素子および前記複数の第１半導体素子を覆う第１　封止材を含んでおり、

前記複数の第１端子は、前記複数の第１半導体素子に導通する第１電力端子を含む、請求項１ないし請求項７のいずれか一項に記載の電子装置。

[請求項9] 前記第１本体部は、前記第１封止材に覆われ、かつ、前記複数の第１半導体素子の各駆動を制御する第１制御素子をさらに含み、

前記複数の第１端子は、前記第１制御素子に導通する第１制御端子を含む、請求項８に記載の電子装置。

[請求項10] 前記第１電子部品は、パワーモジュールである、請求項９に記載の

電子装置。

[請求項11] 前記第１本体部は、少なくとも前記複数の第１半導体素子を支持する第１支持基板をさらに含み、

前記第１支持基板は、前記実装面に対向し、かつ、前記複数の第１半導体素子が搭載された第１支持面を有する、請求項８ないし請求項１０のいずれか一項に記載の電子装置。

[請求項12] 前記第１封止材は、前記取付面に対向する第１封止面を有し、

前記第１支持基板は、前記取付面に対向し、かつ、前記第１封止面から露出する第１露出面をさらに有し、

前記第１封止面と前記第１露出面とは、面一であり、前記第１主面を構成する、請求項１１に記載の電子装置。

[請求項13] 前記第２本体部は、前記複数の第１半導体素子よりも少ない１以上の第２半導体素子および前記１以上の第２半導体素子を覆う第２封止材を含み、

前記複数の第２端子は、前記１以上の第２半導体素子に導通する第２電力端子を含む、請求項８ないし請求項１２のいずれか一項に記載の電子装置。

[請求項14] 前記第２本体部は、前記第２封止材に覆われ、かつ、前記１以上の第２半導体素子の各駆動を制御する第２制御素子をさらに含み、

前記第２制御素子は、前記第２封止材に覆われており、

前記複数の第２端子は、前記第２制御素子に導通する第２制御端子を含む、請求項１３に記載の電子装置。

[請求項15] 前記第２電子部品は、パワーモジュールである、請求項１４に記載の電子装置。

[請求項16] 前記第２本体部は、前記１以上の第２半導体素子を支持する第２支持基板をさらに含み、

前記第２支持基板は、前記実装面に対向し、かつ、前記１以上の第２半導体素子が搭載された第２支持面を有する、請求項１３ないし請

求項１５のいずれか一項に記載の電子装置。

[請求項17] 前記第２封止材は、前記取付面に対向する第２封止面を有し、

前記第２支持基板は、前記取付面に対向し、かつ、前記第２封止面から露出する第２露出面をさらに有し、

前記第２封止面と前記第２露出面とは、面一であり、前記第２主面を構成する、請求項１６に記載の電子装置。

[図1]

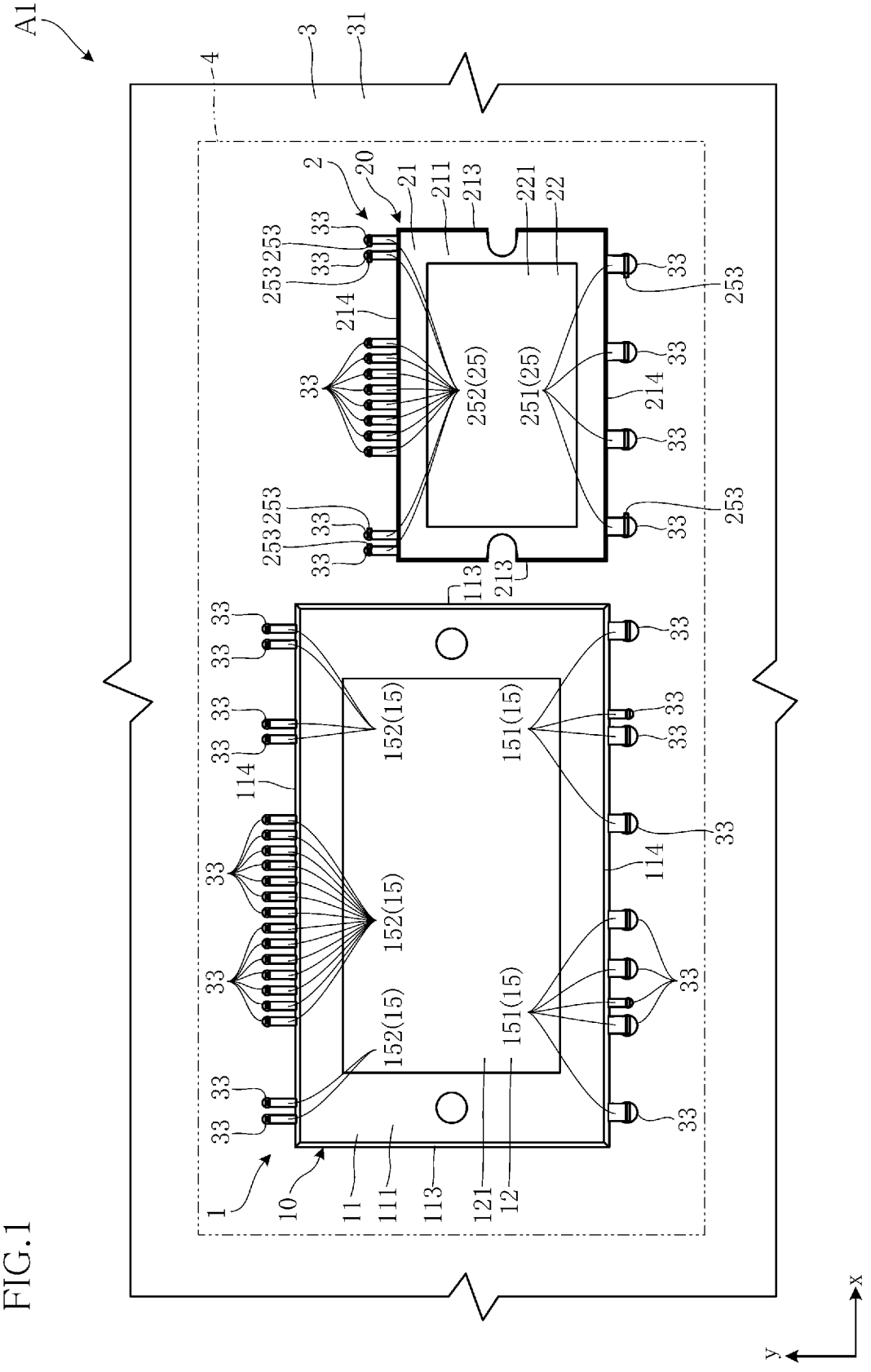

A1
4
3
31
2
20
21
211
213
221
22
253
33
214
252(25)
251(25)
113
213
152(15)
151(15)
114
1
10
11
111
113
121
12
y
x

FIG.1

[図2]

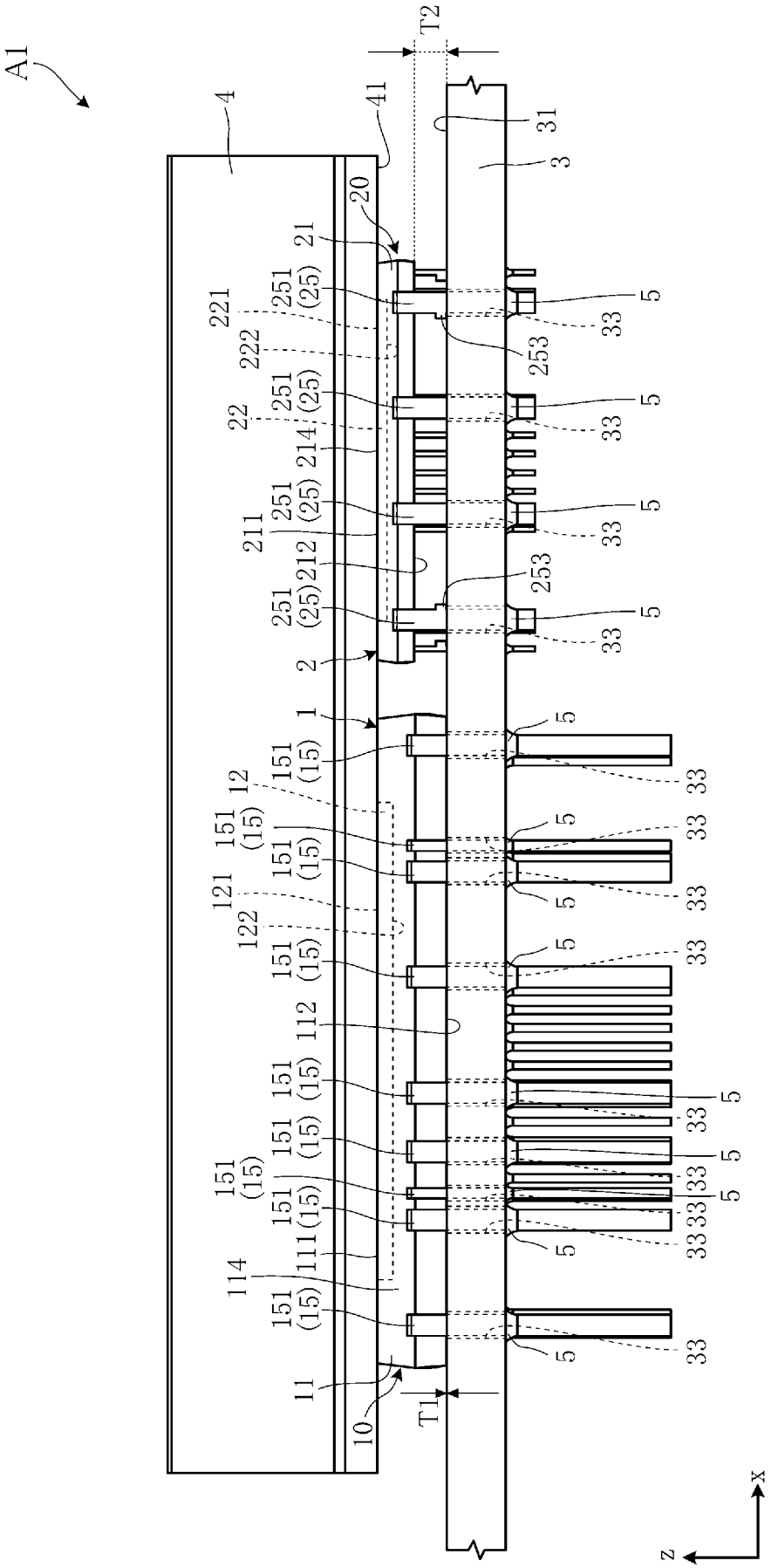

A1
T2
T1
4
41
31
3
20
21
221
251
(25)
222
22
214
211
212
253
2
1
151
(15)
12
121
122
112
111
114
11
10
5
33
x
z

FIG.2

[図3]

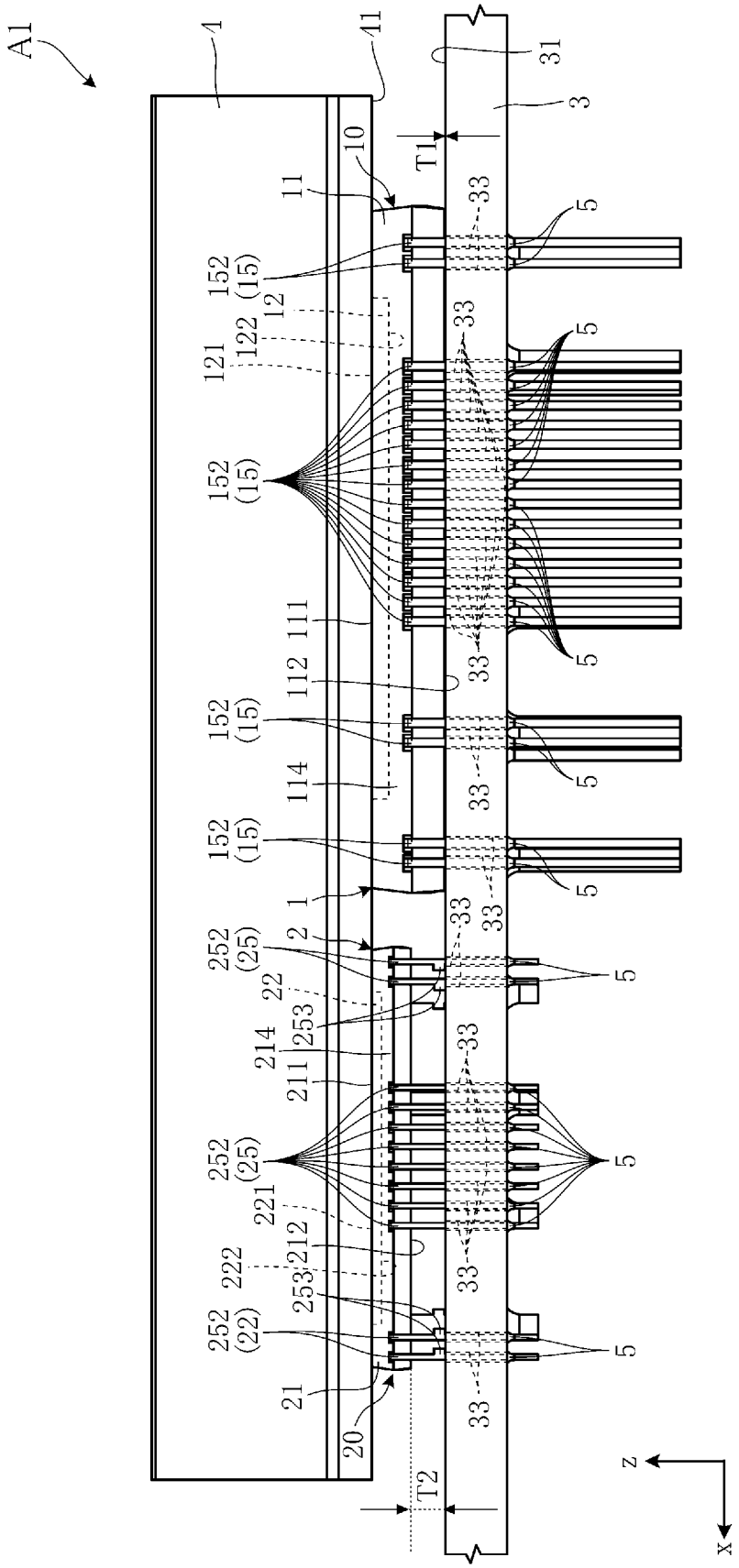
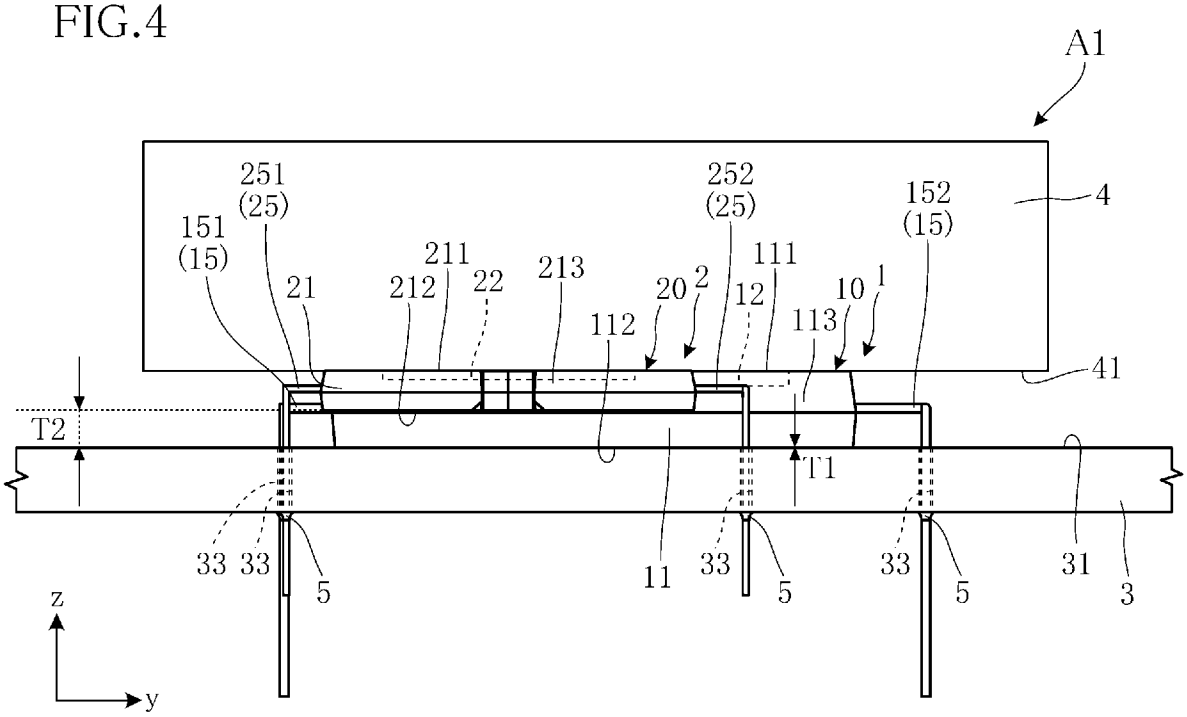

A1
1
11
31
3
T1
10
11
33
5
152
(15)
12
122
121
111
112
114
2
252
(25)
22
253
214
211
221
212
222
(22)
21
20
T2
z
x

FIG.3

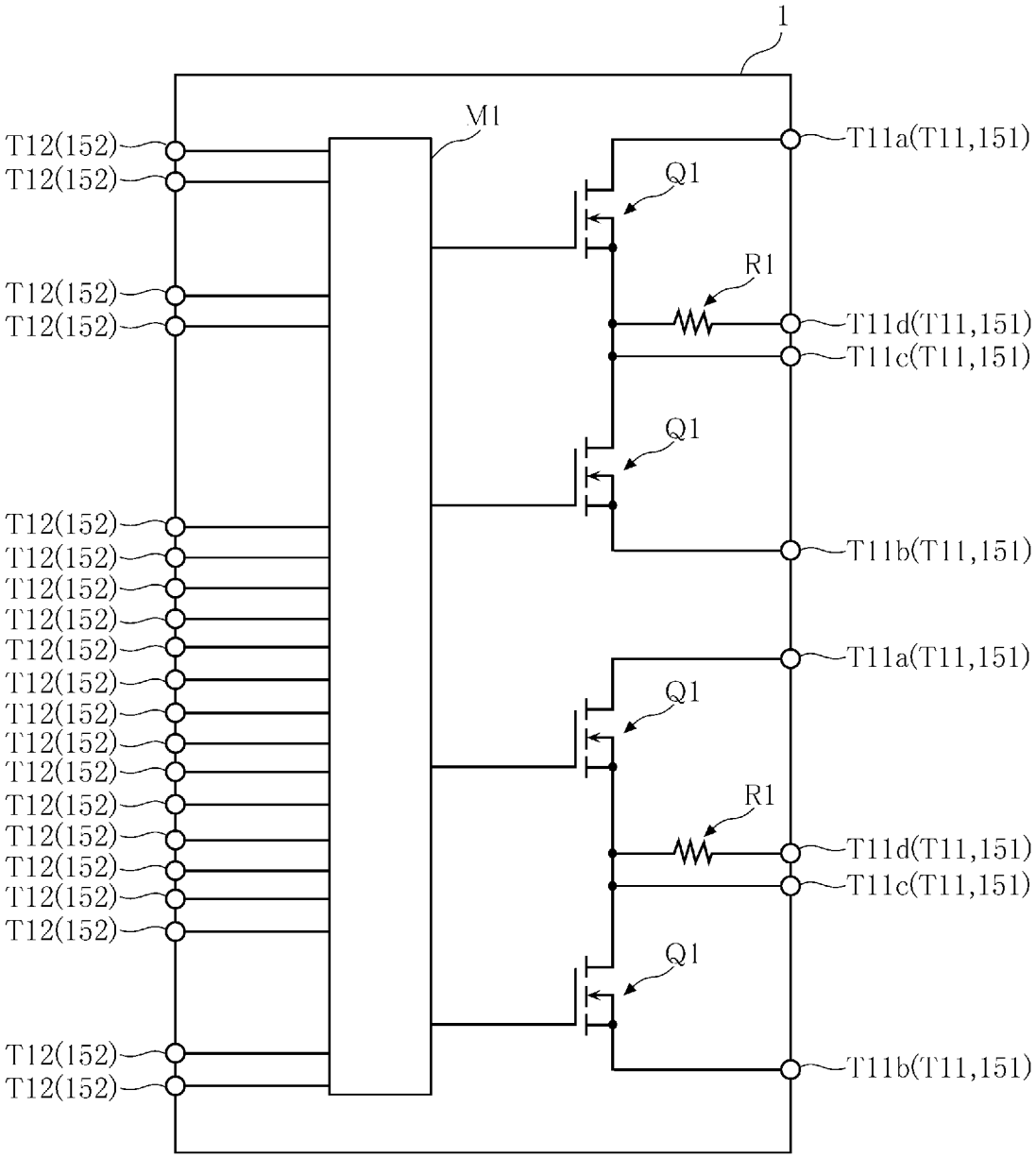
[図4]

FIG.4


A1
251
(25)
151
(15)
21
211
212
22
213
112
20
2
252
(25)
12
111
113
10
1
152
(15)
4
41
T2
T1
33
33
5
11
33
5
33
5
31
3
z
y

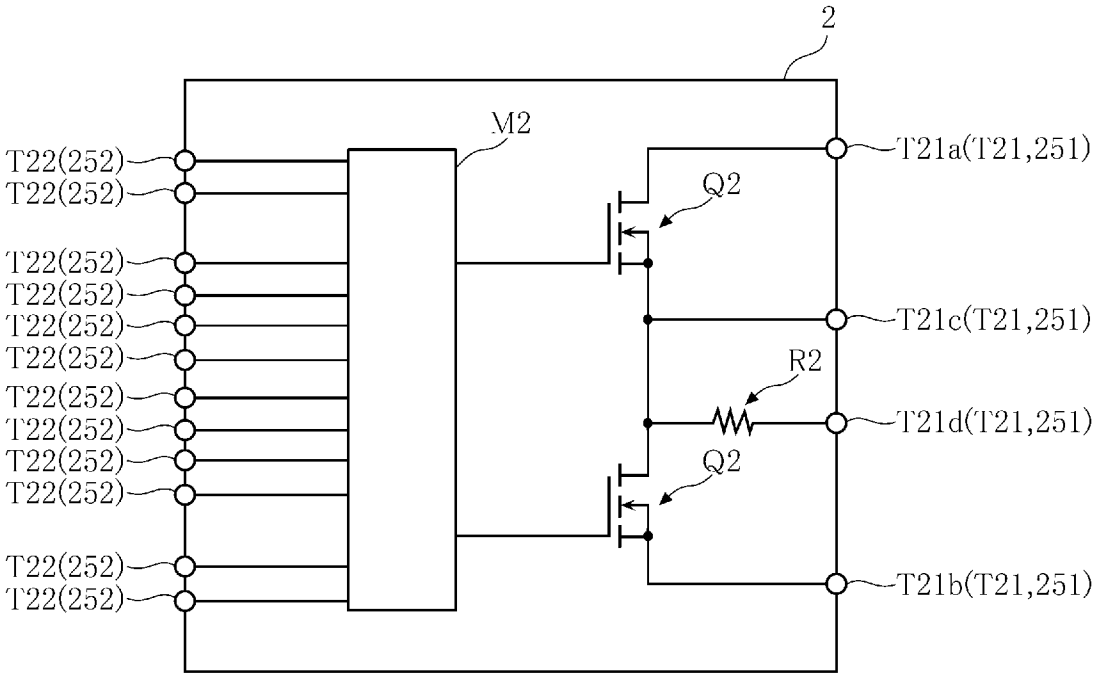
[図5]

FIG.5


1
M1
T12(152)
T11a(T11,151)
Q1
R1
T11d(T11,151)
T11c(T11,151)
T11b(T11,151)

[図6]

FIG.6


2
M2
T22(252)
T22(252)
T22(252)
T22(252)
T22(252)
T22(252)
T22(252)
T22(252)
T22(252)
T22(252)
T22(252)
T22(252)
Q2
Q2
R2
T21a(T21,251)
T21c(T21,251)
T21d(T21,251)
T21b(T21,251)

[図7]

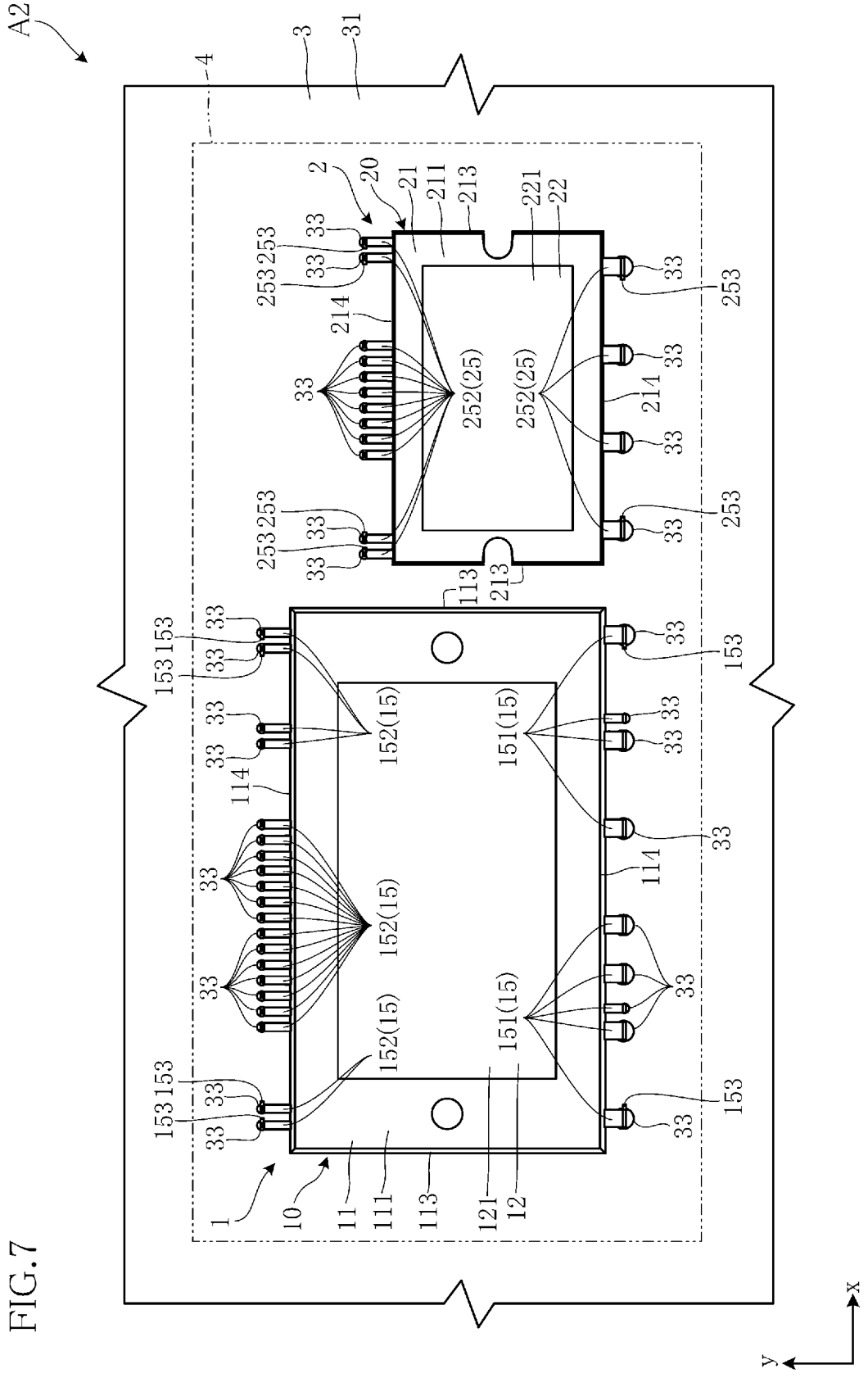

A2
4
3
31
2
20
21
211
213
221
22
253
33
214
252(25)
113
213
153
152(15)
151(15)
114
111
121
12
10
11
1
x
y

FIG.7

[図8]

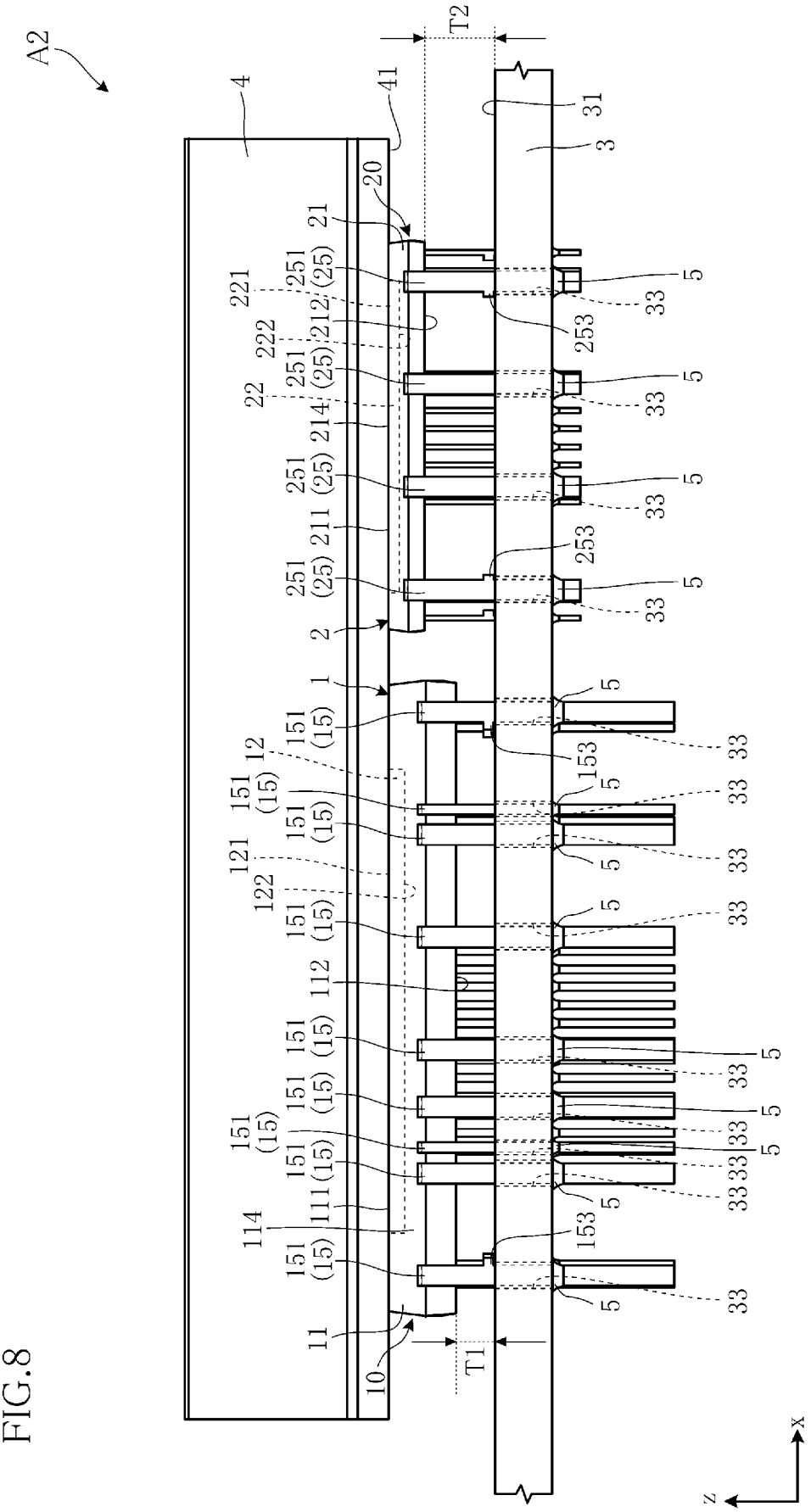

A2
T2
T1
4
41
31
3
20
21
221
251
(25)
212
222
214
22
211
253
2
1
151
(15)
12
121
122
112
111
114
11
10
5
33
153
Z
X

FIG.8

[図9]

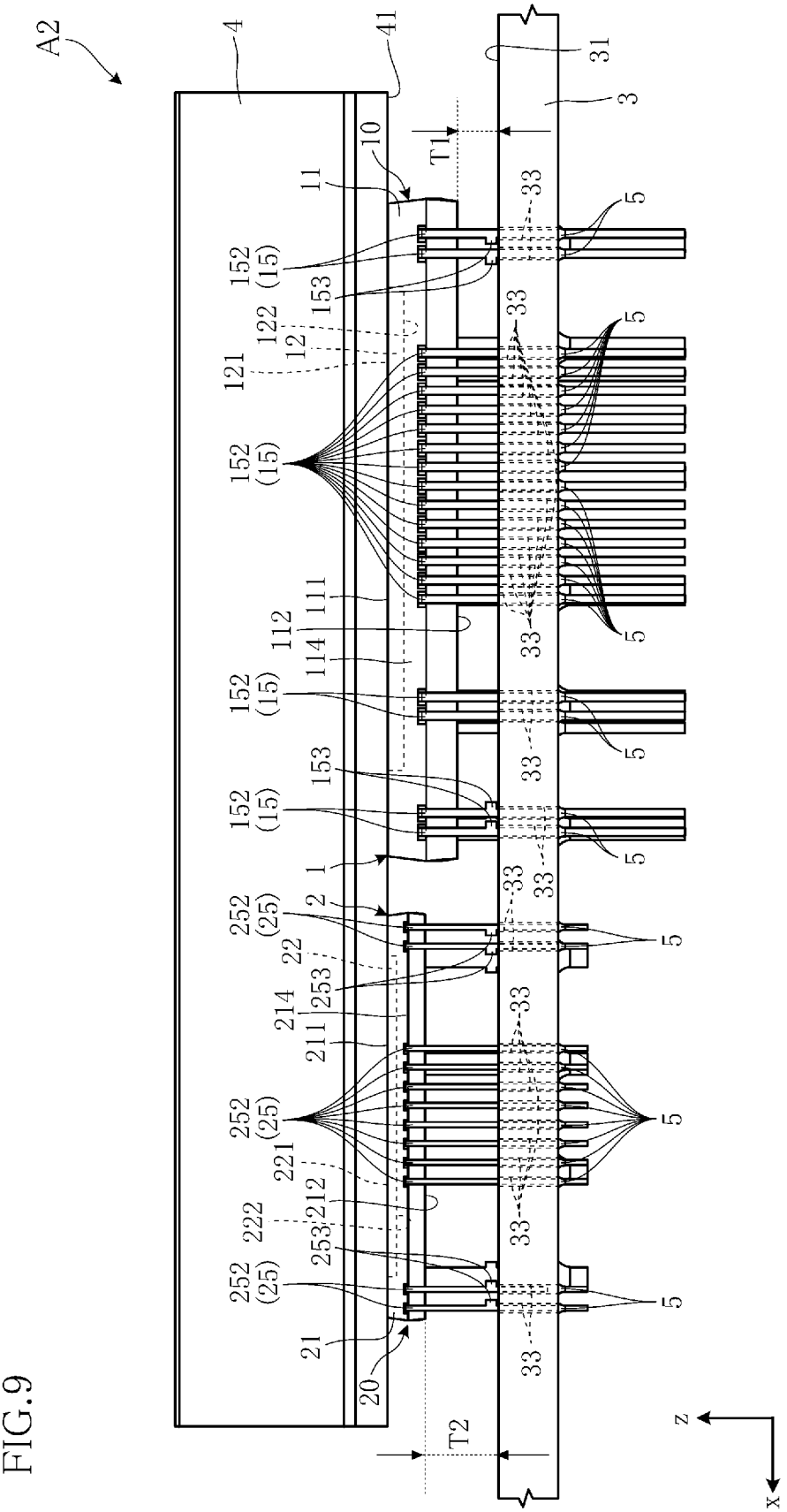
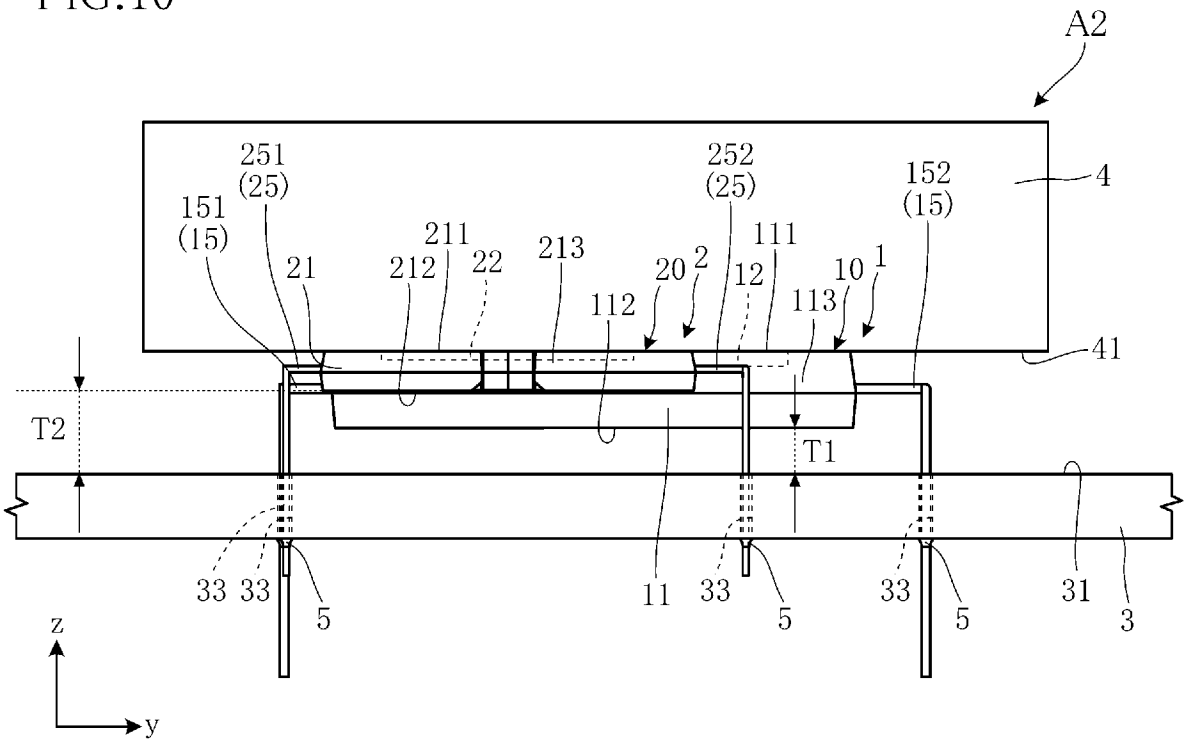

A2
4
41
31
3
10
T1
11
33
5
152
(15)
153
122
12
121
111
112
114
1
2
252
(25)
22
253
214
211
221
212
222
21
20
T2
z
x

FIG.9

[図10]

FIG.10


A2
251
(25)
151
(15)
21
211
212
22
213
112
20
2
252
(25)
12
111
113
10
1
152
(15)
4
41
T2
T1
33
33
5
11
33
5
33
5
31
3
z
y

[図11]

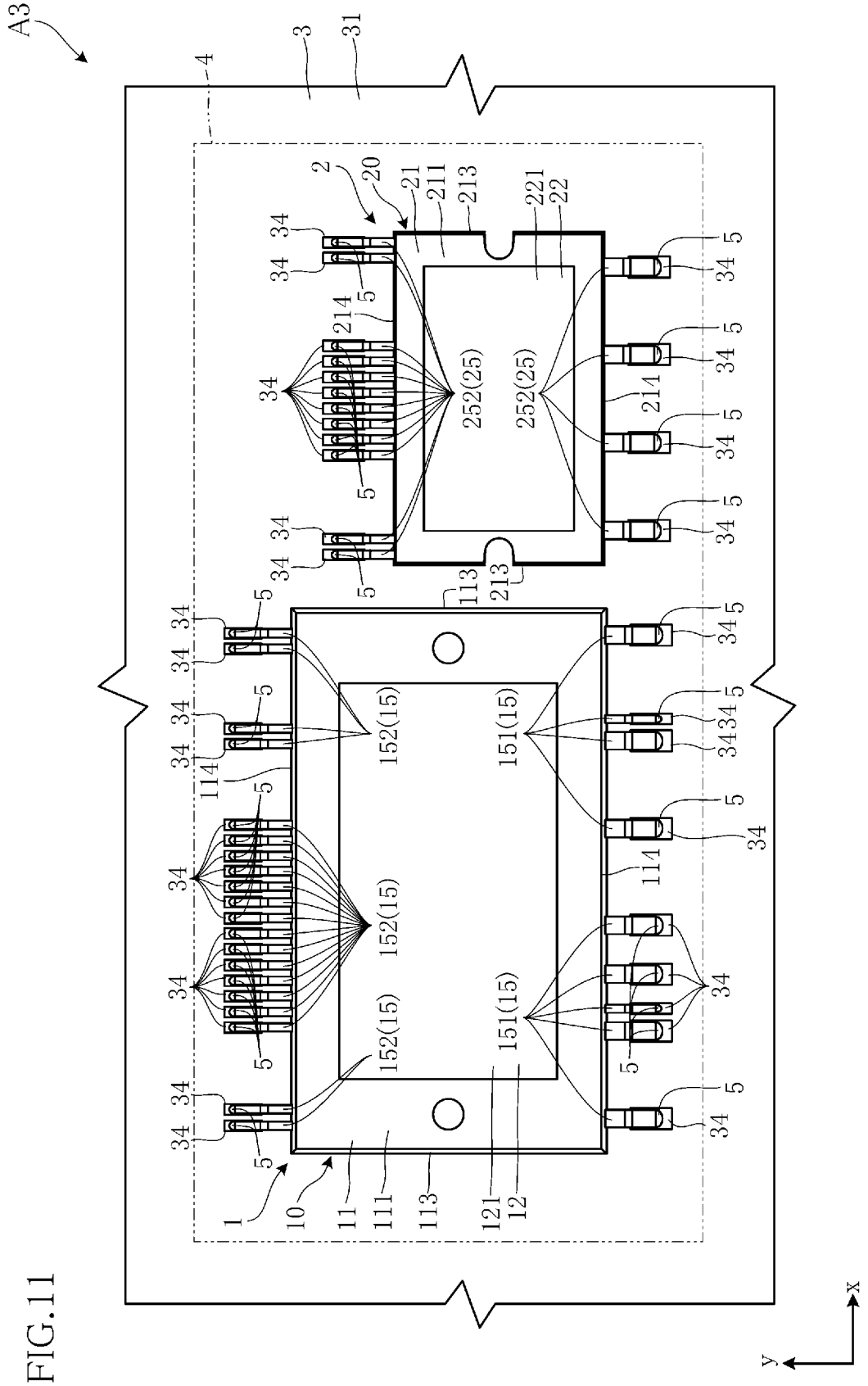

A3
4
3
31
2
20
21
211
213
221
22
34
5
214
252(25)
113
213
152(15)
151(15)
114
111
1
10
11
121
12
x
y

FIG.11

[図12]

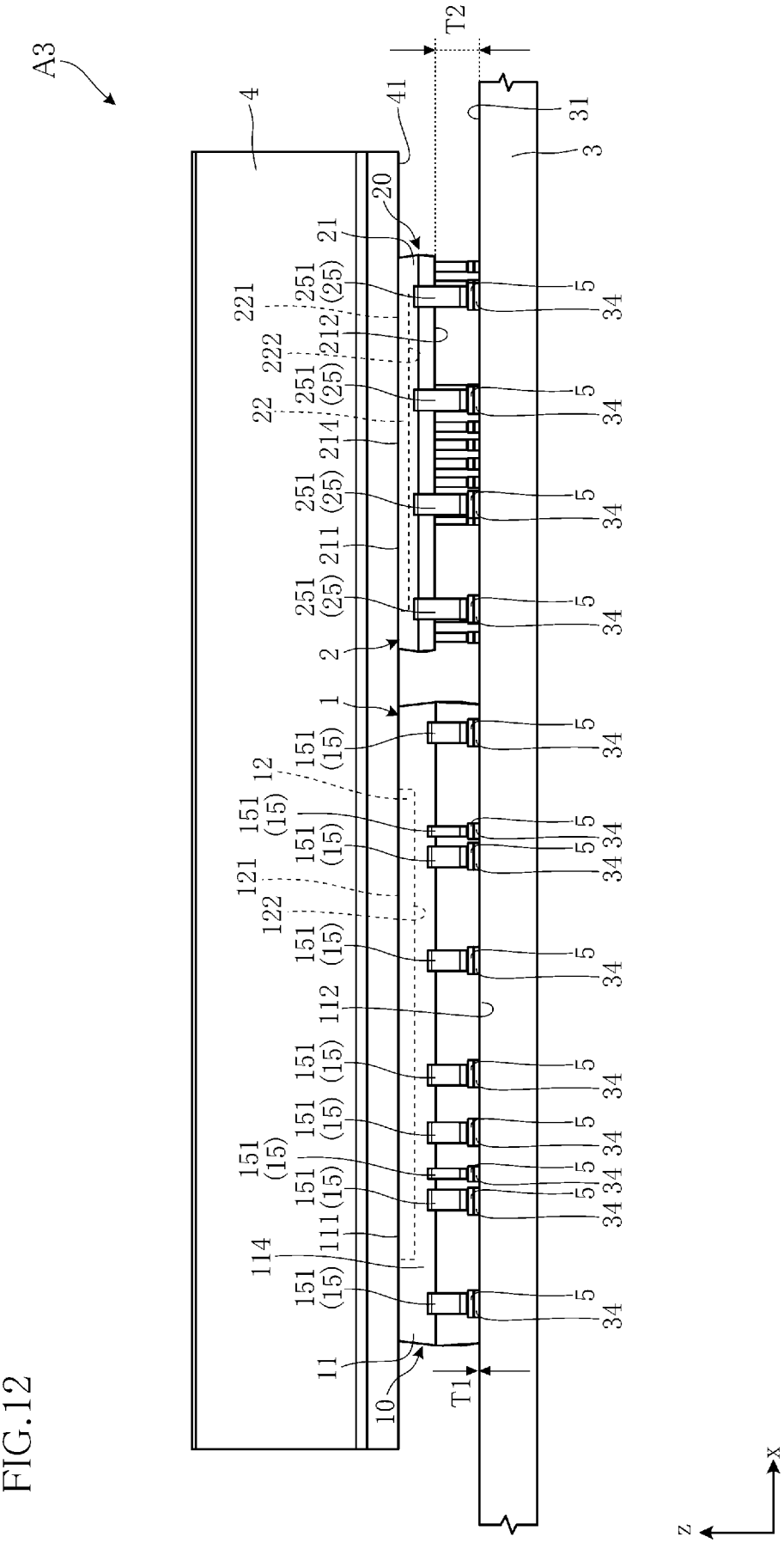

A3
T2
T1
4
41
31
3
20
21
221
251
(25)
212
222
22
214
211
2
1
12
151
(15)
121
122
112
111
114
11
10
5
34
Z
X

FIG.12

[図13]

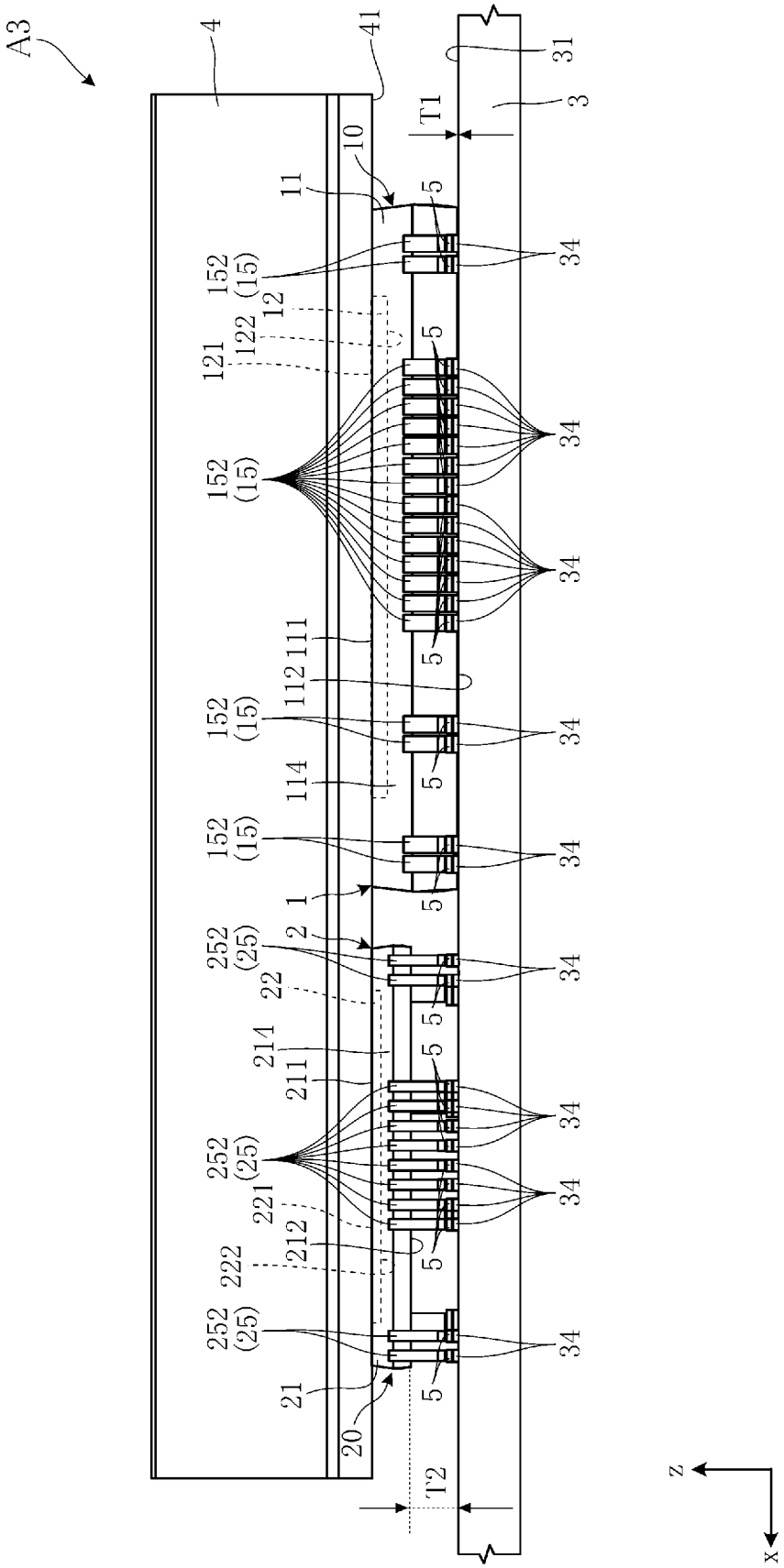
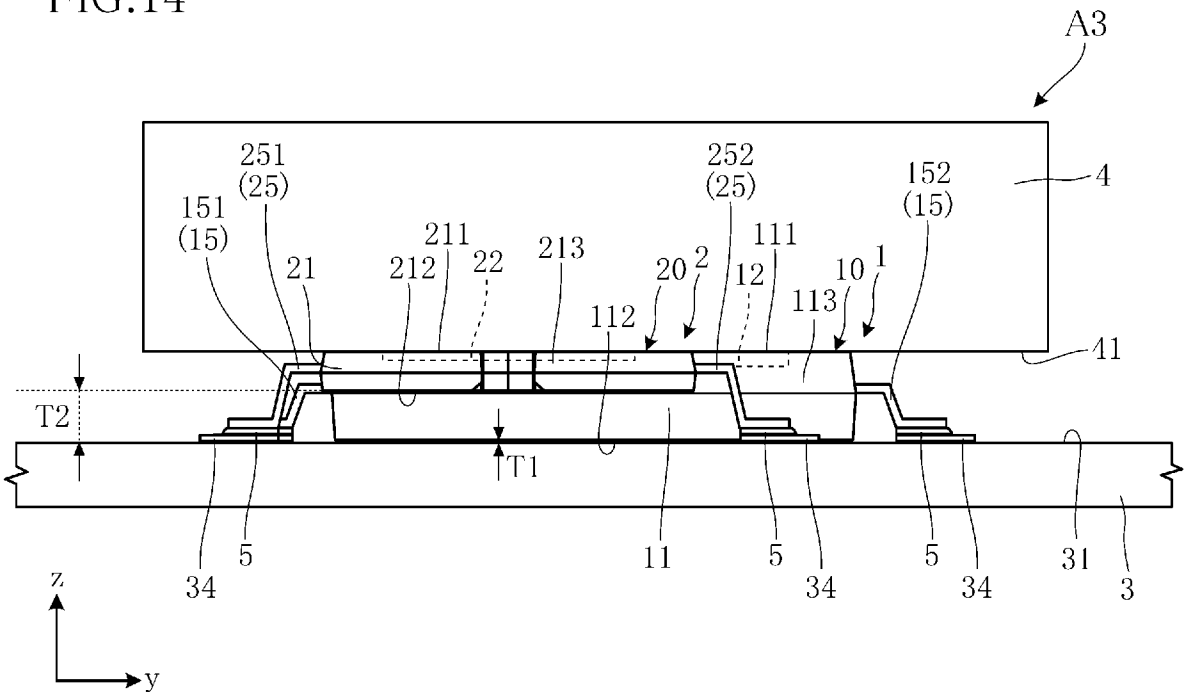

A3
4
41
31
3
T1
10
11
5
34
152
(15)
12
122
121
111
112
114
1
2
252
(25)
22
214
211
221
212
222
21
20
T2
Z
X

FIG.13

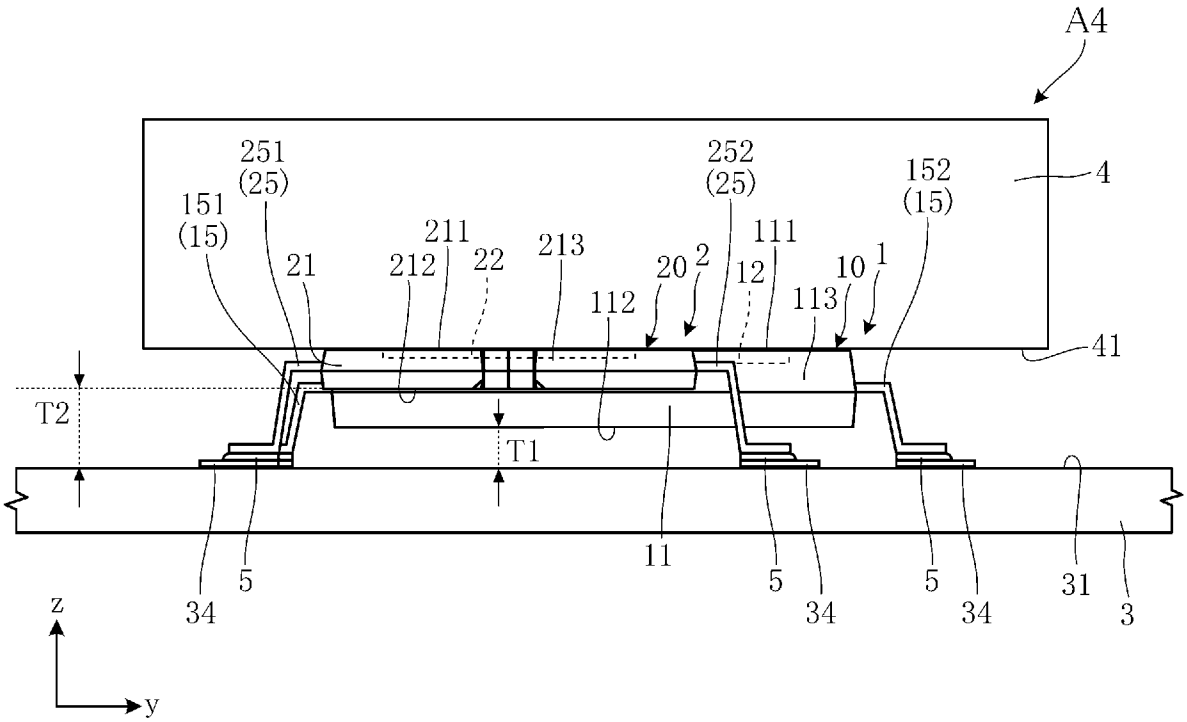
[図14]

FIG.14



[図15]

FIG.15



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/005493

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L23/29(2006.01)i, H01L23/36(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i
FI: H01L23/36Z, H01L25/04C, H01L23/36A
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L23/29, H01L23/36, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2020/017582 A1 (MURATA MANUFACTURING CO., LTD.) 23 January 2020 (2020-01-23), paragraphs [0004]-[0044], fig. 4	1, 3 2, 4-17
X Y	JP 2007-188934 A (FUJI XEROX CO., LTD.) 26 July 2007 (2007-07-26), paragraphs [0001]-[0042], fig. 1, 2	1, 3 2, 4-17
Y A	JP 2019-83349 A (ROHM CO., LTD.) 30 May 2019 (2019-05-30), paragraphs [0029], [0142]-[0156], fig. 1, 2, 13-15, entire text, all drawings	2, 4-17 1, 3

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
09 April 2021	20 April 2021

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/005493

WO 2020/017582 A1	23 January 2020	(Family: none)
JP 2007-188934 A	26 July 2007	(Family: none)
JP 2019-83349 A	30 May 2019	US 2013/0062745 A1 paragraphs [0029], [0200]-[0202], fig. 1, 2, 13-15

国際調査報告

国際出願番号
PCT/JP2021/005493

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 23/29(2006.01)i; H01L 23/36(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i
FI: H01L23/36 Z; H01L25/04 C; H01L23/36 A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L23/29; H01L23/36; H01L25/07; H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2020/017582 A1 (株式会社村田製作所) 23.01.2020 (2020-01-23) [0004]-[0044],図4	1,3
Y	[0004]-[0044],図4	2,4-17
X	JP 2007-188934 A (富士ゼロックス株式会社) 26.07.2007 (2007-07-26) [0001]-[0042],図1,2	1,3
Y	[0001]-[0042],図1,2	2,4-17
Y	JP 2019-83349 A (ローム株式会社) 30.05.2019 (2019-05-30) [0029],[0142]-[0156],図1,2,13-15	2,4-17
A	全文,全図	1,3

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
09.04.2021	20.04.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
庄司　一隆 5F 1215
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/005493

引用文献	公表日	パテントファミリー文献	公表日
WO 2020/017582 A1	23.01.2020	（ファミリーなし）	
JP 2007-188934 A	26.07.2007	（ファミリーなし）	
JP 2019-83349 A	30.05.2019	US 2013/0062745 A1 [0029],[0200]-[0202],図1, 2,13-15	