



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년01월22일
 (11) 등록번호 10-1353927
 (24) 등록일자 2014년01월15일

(51) 국제특허분류(Int. Cl.)
 H01L 23/48 (2006.01)
 (21) 출원번호 10-2008-7027052
 (22) 출원일자(국제) 2007년03월13일
 심사청구일자 2012년03월07일
 (85) 번역문제출일자 2008년11월04일
 (65) 공개번호 10-2009-0018043
 (43) 공개일자 2009년02월19일
 (86) 국제출원번호 PCT/US2007/063903
 (87) 국제공개번호 WO 2007/117844
 국제공개일자 2007년10월18일
 (30) 우선권주장
 11/400,729 2006년04월06일 미국(US)
 (56) 선행기술조사문헌
 US6392290 B1
 US20020185710 A1
 US20040169266 A1
 US20050161785 A1

(73) 특허권자
 페어차일드 세미컨덕터 코퍼레이션
 미합중국 메인 04106 사우스 포트랜드 엠에스
 35-4이 러닝 힐 로드 82
 (72) 발명자
 일마즈 함자
 미국 캘리포니아 95070 사라토가 트리티니 에비뉴
 20755
 셉 스티븐
 미국 캘리포니아 95018 펠튼 파인 드라이브 834
 (뒷면에 계속)
 (74) 대리인
 리앤목특허법인

전체 청구항 수 : 총 21 항

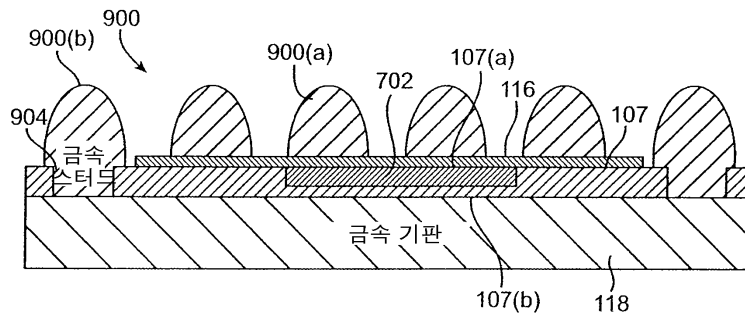
심사관 : 정구원

(54) 발명의 명칭 얇은 다이들 및 금속 기판들을 사용하는 반도체 다이 패키지들

(57) 요약

반도체 다이 패키지가 개시된다. 반도체 다이 패키지는 금속 기판, 그리고 제1 전기 단자를 포함하는 제1 면, 제2 전기 단자를 포함하는 제2 면, 및 적어도 하나의 어퍼처를 포함하는 반도체 다이를 포함한다. 금속 기판은 상기 제2 면에 부착된다. 복수개의 도전성 구조체들은 반도체 다이 상에 위치하며, 그리고 적어도 하나의 어퍼처 내에 배치되는 적어도 하나의 도전성 구조체를 포함한다. 다른 도전성 구조체들은 반도체 다이의 상기 제1 면 상에 배치될 수 있다.

대표도 - 도1c



(72) 발명자

왕 치

미국 유타 84092 샌디 스노우 아이리스 웨이 10237

리 민후아

미국 유타 84094 샌디 돌로마이트 레인 9828에스

머피 제임스 제이.

미국 유타 84095 사우스 조르단 더블유. 와사취 다
운스 드라이브 1108

디틀 존 로버트

미국 유타 84092 샌디 이. 에셀리 리드지 로드
1991

특허청구의 범위

청구항 1

금속 기관;

제1 전기 단자를 포함하는 제1 면, 제2 전기 단자를 포함하는 제2 면, 및 적어도 하나의 어퍼처(aperture)를 포함하는, 여기에서 상기 금속 기관은 상기 제2 면에 부착(attach)되는, 반도체 다이; 및

상기 반도체 다이 상의 복수개의 도전성 구조체들;을 포함하며, 여기에서 상기 복수개의 도전성 구조체들은 상기 반도체 다이의 상기 제1 면 상에 배치된 적어도 하나의 제1 도전성 구조체 및 상기 적어도 하나의 어퍼처 내에 배치되는 적어도 하나의 제2 도전성 구조체를 포함하며,

여기에서 상기 적어도 하나의 제2 도전성 구조체는 상기 반도체 다이의 상기 제2 면의 상기 제2 단자와 전기적으로 통신(electrical communication)할 수 있는 것을 특징으로 하는 반도체 다이 패키지.

청구항 2

제1항에 있어서, 상기 금속 기관에 부착되는 미캐니컬(mechanical) 층을 더 포함하며, 상기 금속 기관은 상기 미캐니컬 층과 상기 반도체 기관 사이에 존재하는 것을 특징으로 하는 반도체 다이 패키지.

청구항 3

제1항에 있어서, 상기 반도체 다이는 파워 트랜지스터를 포함하며, 상기 제1 전기 단자는 입력 단자이며 그리고 상기 제2 전기 단자는 출력 단자인 것을 특징으로 하는 반도체 다이 패키지.

청구항 4

제1항에 있어서, 상기 반도체 다이는 50 미크론 보다 더 작은 두께를 가지며 그리고 상기 금속 기관은 50 미크론 보다 더 큰 두께를 가지는 것을 특징으로 하는 반도체 다이 패키지.

청구항 5

제1항에 있어서, 상기 도전성 구조체들은 솔더 범프들인 것을 특징으로 하는 반도체 다이 패키지.

청구항 6

제1항에 있어서, 상기 도전성 구조체들은 도금된 금속 층들인 것을 특징으로 하는 반도체 다이 패키지.

청구항 7

제6항에 있어서, 상기 도금된 금속 층들 상의 솔더를 더 포함하는 것을 특징으로 하는 반도체 다이 패키지.

청구항 8

제1항에 있어서, 상기 반도체 다이는 제1 반도체 다이이며 그리고 상기 반도체 다이 패키지는 제2 반도체 다이를 포함하며, 여기에서 상기 제2 반도체 다이는 상기 금속 기관에 부착되는 것을 특징으로 하는 반도체 다이 패키지.

청구항 9

제1항에 있어서, 상기 반도체 다이의 상기 제1 면 상의 제1 금속 층, 및 상기 제1 금속 층과 오버랩(overlap)되는 제2 금속 층을 더 포함하고, 여기에서 상기 제2 금속 층 및 상기 제1 금속 층은 서로 전기적으로 절연되며 그리고 상기 제1 금속 층은 상기 적어도 하나의 제2 도전성 구조체와 전기적으로 연결(couple)되는 것을 특징으로 하는 반도체 다이 패키지.

청구항 10

제1항에 있어서, 상기 반도체 다이는 파워 MOSFET를 포함하며, 여기에서 상기 제1 단자는 상기 파워 MOSFET 내의 소스 단자이며, 그리고 상기 제2 단자는 상기 파워 MOSFET 내의 드레인 단자이며, 그리고 상기 반도체 다이의 상기 제1 면은 게이트 단자를 포함하는 것을 특징으로 하는 반도체 다이 패키지.

청구항 11

반도체 다이 패키지; 및

상기 반도체 다이 패키지가 회로 보드에 장착(mount)되는, 상기 회로 보드를 포함하는 전기적 어셈블리에서, 상기 반도체 다이 패키지는,

금속 기관;

제1 전기 단자를 포함하는 제1 면, 제2 전기 단자를 포함하는 제2 면, 및 적어도 하나의 어퍼처(aperture)를 포함하는, 여기에서 상기 금속 기관은 상기 제2 면에 부착(attach)되는, 반도체 다이; 및

상기 반도체 다이 상의 복수개의 도전성 구조체들;을 포함하며, 여기에서 상기 복수개의 도전성 구조체들은 상기 반도체 다이의 상기 제1 면 상에 배치된 적어도 하나의 제1 도전성 구조체 및 상기 적어도 하나의 어퍼처 내에 배치되는 적어도 하나의 제2 도전성 구조체를 포함하며,

여기에서 상기 적어도 하나의 제2 도전성 구조체는 상기 반도체 다이의 상기 제2 면의 상기 제2 단자와 전기적으로 통신(electrical communication)할 수 있는 것을 특징으로 하는 전기적 어셈블리.

청구항 12

제1 전기 단자를 포함하는 제1 면, 제2 전기 단자를 포함하는 제2 면을 포함하는 반도체 다이, 여기에서 금속 기관은 상기 반도체 다이의 상기 제2 면에 부착되는, 를 구현하는 단계;

상기 반도체 다이 내에 적어도 하나의 어퍼처를 형성하고, 상기 어퍼처를 형성함으로써 상기 금속 기관의 일면의 일부를 노출시키는 단계; 및

상기 적어도 하나의 어퍼처 내에 적어도 하나의 도전성 구조체를 증착하는, 여기에서 상기 적어도 하나의 도전성 구조체는 상기 금속 기관과 전기적으로 통신할 수 있는, 단계를 포함하는 방법.

청구항 13

제12항에 있어서, 상기 금속 기관에 기계적 층을 부착하는 단계를 더 포함하며, 여기에서 부착 이후에 상기 반도체 기관과 상기 기계적 층 사이에 상기 금속 기관이 존재하는 것을 특징으로 하는 방법.

청구항 14

제12항에 있어서, 상기 반도체 다이는 파워 트랜지스터를 포함하고, 상기 제1 단자는 입력 단자이며 그리고 상기 제2 단자는 출력 단자인 것을 특징으로 하는 방법.

청구항 15

제12항에 있어서, 상기 반도체 다이는 50 마이크로미터 보다 더 작은 두께를 가지며, 상기 금속 기관은 50 마이크로미터 보다 더 큰 두께를 가지는 것을 특징으로 하는 방법.

청구항 16

제12항에 있어서, 상기 도전성 구조체들은 솔더 범프들인 것을 특징으로 하는 방법.

청구항 17

제12항에 있어서, 상기 반도체 다이의 상기 제1 면 상에 적어도 하나의 도전성 구조체를 증착하는 단계를 더 포함하며, 상기 적어도 하나의 도전성 구조체는 상기 제1 단자와 전기적으로 통신할 수 있는 것을 특징으로 하는 방법.

청구항 18

제12항에 있어서, 상기 적어도 하나의 어퍼처를 형성하는 단계는 상기 반도체 다이를 식각하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 19

제12항에 있어서, 적어도 하나의 도전성 구조체를 증착하는 단계는 전기도금 하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 20

제12항에 있어서, 상기 증착하는 단계 이후에, 반도체 다이 패키지가 형성되며,

그리고 여기에서 상기 방법은:

상기 반도체 다이 패키지가 회로 보드에 장착되는 단계를 포함하는 방법.

청구항 21

소스 단자를 포함하는 제1 면, 드레인 단자를 포함하는 제2 면을 포함하는 반도체 다이를 구현하는, 여기에서 금속 기관은 상기 반도체 다이의 상기 제2 면에 부착되며 그리고 상기 반도체 다이는 50 마이크로미터보다 더 작은 두께를 가지는, 단계;

상기 반도체 다이 내에 적어도 하나의 어퍼처를 형성하고, 상기 어퍼처를 형성함으로써 상기 금속 기관의 일면의 일부를 노출시키는 단계; 및

상기 적어도 하나의 어퍼처 내에 적어도 하나의 도전성 구조체를 증착하는, 여기에서 적어도 하나의 도전성 구조체는 상기 금속 기관과 전기적으로 통신을 할 수 있는, 단계를 포함하는 방법.

명세서

기술분야

[0001] 본 발명의 실시예들은 반도체 다이 패키지들 및 그 제조방법들과 관련된다.

배경기술

[0002] 파워 반도체 소자들이 발전함에 따라 그리고 온-저항이 감소함에 따라, 반도체 다이 내의 기관 층의 전체 저항에 대한 기여가 증가된다. 파워 반도체 소자 내의 온-저항을 더욱 감소시키는 한 방법은 더 얇은 반도체 다이를 사용하는 것이다. 또한, 얇은 반도체 다이들은 더 두꺼운 반도체 다이들보다 열을 잘 방출시킨다.

[0003] Qi Wang 등이 발명하고 "Semiconductor Structures Formed On Substrates And Methods of Manufacturing The Same"의 명칭을 가지며, 2005년 6월 25일에 출원된 미국 특허 출원 번호 11/189,163은 얇은 반도체 다이의 제조 방법을 설명한다. 설명된 방법은 얇은 도핑된 기관 층을 산화 인터포저 층을 구비하는 핸들 웨이퍼로 전이하는 단계를 포함한다. 얇은 기관 층(1 내지 3 마이크로미터)은 에피(에피택셜) 증착을 포함하는 일반적인 방법들에 의해 가공될 수 있다. 결국 핸들 웨이퍼는 형성된 소자들의 온-상태 저항에 대한 일반적인 반도체 기관 기여를 제거하기 위하여 두꺼운 금속 기관에 의하여 대체된다. 결과적인 구조체는 그 다음에 통상적인 반도체 다이 패키지들로 통합될 수 있는 칩들로 분할될 수 있다.

[0004] 본 발명의 실시예들은 앞에서 설명된 반도체 다이들과 함께 사용하기에 특별히 적합한 반도체 다이 패키지들을 제공한다. 그러나, 본 발명의 실시예들은 앞에서 설명된 반도체 다이들과 함께 배타적으로 사용될 필요는 없다. 아래에서 더욱더 상세하게 설명되는 것처럼, 본 발명의 실시예들에 따른 반도체 다이 패키지들은 일반적인 반도체 다이 패키지들보다 더 낮은 온-저항 및 더 우수한 열 방출 특성들을 제공할 수 있다.

[0005] 본 발명의 실시예들은 앞에서의 문제점들 및 다른 문제점들을 개별적으로 그리고 집합적으로 해결한다.

발명의 상세한 설명

[0006] 본 발명의 일실시예들은 반도체 다이 패키지에 관한 것이다. 반도체 다이 패키지는 금속 기관, 및 제1 전기 단자를 포함하는 제1 면, 제2 전기 단자를 포함하는 제2 면, 그리고 적어도 하나의 어퍼처(aperture)를 포함하는 반도체 다이를 포함한다. 상기 금속 기관은 상기 제2 면에 부착된다. 복수개의 도전성 구조체들은 반도체 다이 상에 존재하며, 적어도 하나의 어퍼처 내에 배치되는 적어도 하나의 도전성 구조체를 포함한다. 다른 도전성 구조체들은 상기 반도체 다이의 상기 제1 면 상에 배치될 수 있다.

[0007] 본 발명의 또 다른 실시예는 반도체 다이 패키지를 제조하는 방법에 관한 것이다. 상기 방법은 제1 전기 단자를 포함하는 제1 면 및 제2 전기 단자를 포함하는 제2 면을 포함하는 반도체 다이를 구현하는 단계를 포함한다. 상

기 금속 기판은 상기 반도체 다이의 상기 제2 면에 부착되며, 그리고 적어도 하나의 어퍼쳐는 상기 반도체 다이 내에 형성되며, 그럼으로써 상기 금속 기판의 일면의 일부를 노출시킨다. 적어도 하나의 도전성 구조체는 적어도 하나의 어퍼쳐 내에 배치되는데, 여기에서 상기 적어도 하나의 도전성 구조체는 상기 금속 기판과 전기적으로 통신할 수 있다.

[0008] 본 발명의 다른 실시예들은 본 발명의 실시예들에 따른 반도체 다이 패키지들을 통합하는 전기적 어셈블리에 관한 것이며, 또한 그러한 전기적 어셈블리를 형성하는 방법들에 관한 것이다.

[0009] 본 발명의 이러한 그리고 다른 실시예들은 아래에서 더욱 상세하게 설명된다.

실시예

[0019] 본 발명의 실시예들은 반도체 다이 패키지들 및 반도체 다이 패키지들의 제조방법들에 관련된다. 어떠한 실시예에서, 본 발명의 실시예에 따른 반도체 다이 패키지는 금속 기판, 그리고 제1 전기 단자를 포함하는 제1 면, 제2 전기 단자를 포함하는 제2 면 및 적어도 하나의 어퍼쳐를 포함하는 반도체 다이를 포함한다. 제1 단자 및 제2 단자들은 각각 입력 단자(예를 들어, 소스 또는 게이트) 또는 출력 단자(예를 들어, 드레인)일 수 있다. 금속 기판은 반도체 기판의 제2 면에 부착될 수 있다. 제1 도전성 구조체 및 제2 도전성 구조체를 포함하는 도전성 구조체들은 반도체 다이 상에 존재한다. 적어도 하나의 제1 도전성 구조체는 반도체 다이 내의 적어도 하나의 어퍼쳐 내에 배치된다. 적어도 하나의 제2 도전성 구조체는 반도체 다이의 제1 면 상에 배치된다. 제1 도전성 구조체 및 제2 도전성 구조체는 동일한 타입의 도전성 물질 또는 다른 타입의 도전성 물질을 포함할 수 있다.

[0020] 도 1a 내지 도 1c를 참조하여 본 발명의 어떠한 실시예가 설명될 수 있다. 이러한 실시예들에서, 미국 특허 출원 번호 11/189,163에서 설명된 방법에 따라 완성된 매우 얇은 웨이퍼 소자(UTW)가 제조되는데, 상기 미국 특허 출원은 모든 목적을 위하여 전체로 인용되어 여기에서 통합된다. 프로세스 플로우에서 적절한 시기에, 반도체 다이 아래에 부착되는 상대적으로 두꺼운 금속 기판 위에 있는(overlie) 반도체 다이의 일부를 제거하기 위하여 반도체 다이의 상부에서 부가적인 공정이 일어난다. (일반적으로 반도체 다이는 다른 반도체 다이들과 반도체 웨이퍼 내에서 어레이로 존재한다.) 결국, 하나 또는 그 이상의 어퍼쳐들은 반도체 다이 내에서 형성된다. 가공 이후에, 금속 기판의 표면은 어퍼쳐들을 통하여 노출 될 수 있다.

[0021] 반도체 다이 내에 하나 또는 그 이상의 어퍼쳐들을 형성한 이후에, 솔더 볼들 또는 다른 도전성 구조체들(예를 들어, 구리 스티드들)이 반도체 다이의 표면 상에 그리고 하나 또는 그 이상의 어퍼쳐들 내에 증착된다. 이것은 도 1c에 도시된 것처럼 하부면 금속 기판에 상부면과의 연결(topside connection to the backside metal substrate)을 제공한다.

[0022] 결과적인 패키지는 완성된 파워 반도체 다이 패키지이며, MOSFET BGA 타입 반도체 다이 패키지에 유사한 형상을 가질 수 있다(예를 들어, 미국 특허 번호 6,133,634를 참조). 그러나, 통상적인 MOSFET BGA 타입 반도체 패키지와는 달리, 본 발명의 실시예에서의 금속 기판은 반도체 다이를 포함하는 웨이퍼의 프로세싱 동안 반도체 다이에 부착된다. 이것은 개별적인 반도체 다이들의 핸들링 및 그들의 패키징과 관련되는 비용을 줄일 수 있다. 더욱이, 반도체 기판 저항이 제거되어 성능이 개선되며, 그리고 형성된 패키지는 통상적인 MOSFET BGA 타입 반도체 패키지보다 훨씬 더 작다. 더욱 상세한 설명은 도 1a 내지 1c를 참조하여 아래에서 제공된다.

[0023] 도 1a는 반도체 다이(107)를 포함하는 중간 구조체(700)를 도시한다. 중간 구조체(700)는 미국 특허 출원 번호 11/189,163에서 설명되는 공정에 의해 형성될 수 있는데, 여기에서 상기 미국 특허 출원은 모든 목적을 위하여 전체로 인용되어 여기에서 통합된다. 하나의 중간 구조체(700)는 도해의 명확성을 위하여 도시된다. 도 1a에서 도시된 중간 구조체(700)는 공정이 진행되는 하나의 반도체 웨이퍼 내의 반도체 다이들의 어레이인 많은 중간 구조체들의 하나일 수 있다.

[0024] 반도체 다이(107)는 제1 면(107(a)) 및 제2 면(107(b))을 가진다. 반도체 다이(107)의 제2 면(107(b))은 금속 기판(118)에 부착된다. 금속 기판(118)은 반도체 다이(107)까지 미리 얇게 박판화(laminate)될 수 있다. 대신에, 금속 기판(118)은 어떠한 다른 공정(예를 들어, 기상 증착, 전기도금 및 저온 열적 본딩)을 통하여 반도체 다이 상에 증착될 수 있다.

[0025] 금속 층(116)은 반도체 다이(107)의 제1 면(107(a)) 상에 존재한다. 금속 층(116)은 임의의 적합한 물질을 포함할 수 있다. 예를 들어, 금속 층(116)은 언더범프(underbump) 야금 조합과 같은 솔더링 가능한 금속 물질을 포함할 수 있다. 언더범프 야금 조합은 솔더 범프 공정에서 사용되는 금속의 스택이다. 상기 스택은 접착층, 확산 배리어, 웨팅층(wetting layer), 및 산화 방지층 중의 적어도 두 층을 포함할 수 있다. 금속 층(116)은 임의의

적절한 두께를 또한 가질 수 있다. 금속 층(116)은 기상 증착, 전기도금 등을 포함하는 임의의 적합한 공정을 사용하여 형성될 수 있다.

- [0026] 반도체 다이(107)는 임의의 적합한 두께를 가질 수 있다. 예를 들어, 반도체 다이(107)는 약 50 마이크론보다 작은 두께를 가질 수 있으며, 그리고 본 발명의 어떠한 실시예들에서 바람직하게는 약 30 마이크론 보다 작은 두께를 가질 수 있다(예를 들어, 10 내지 30 마이크론 두께). 앞에서 설명된 것처럼, 더 얇은 반도체 다이들은 더 우수한 열적 방출 특성 뿐만 아니라 더 낮은 온-저항 특성들을 제공한다.
- [0027] 반도체 다이(107)의 제1 면(107(a))은 제1 전기 단자와 일치(coincide with)할 수 있으며, 그리고 반도체 다이(107)의 제2 면(107(b))은 제2 전기 단자와 일치할 수 있다. 제2 전기 단자는 출력 단자일 수 있는 반면에 제1 전기 단자는 입력 단자일 수 있다. 예를 들어, 제2 단자가 제2 면(107(b))에서 파워 MOSFET 내의 드레인 단자(D)일 수 있는 반면에, 제1 전기 단자는 제1 면(107(a))에서 파워 MOSFET 내의 소스 단자(S) 또는 게이트 단자(G)일 수 있다. 제1 단자 및 제2 단자에 추가하여 제1 면(107(a)) 및 제2 면(107(b))에 부가적인 단자들이 존재할 수 있다.
- [0028] 도 1a에서, 게이트 구조체(702)가 반도체 다이(107) 내에 도시된다. 게이트 구조체(702)는 채워진 트랜치의 형태일 수 있으며, 그리고 상기 트랜치는 도핑된 폴리실리콘 또는 금속과 같은 도전성 물질로 채워질 수 있으며, 그리고 반도체 다이(107)의 제1 면(107(a))과 일치하는 해당 게이트 단자(G)를 가질 수 있다.
- [0029] 제1 단자 및 제2 단자는 또한 작용하는 반도체 소자 내의 단자들을 형성할 수 있다. 적합한 반도체 소자들은 파워 MOSFET들, IGBT들, 바이폴라 파워 트랜지스터들 등을 포함하는 수직 소자들을 포함한다. 파워 RF LDMOS 소자들, MMIC, 및 (낮은 접지 루프 인덕턴스 및 저항에 의존하는) 다른 IC 소자들을 포함하는 다른 소자들이 접지면에 직접 연결하는 연결부(interconnects)를 제공함으로써 이러한 패키지 개념으로부터 이익을 얻을 수 있다. RF LDMOS 소자들은, 특히, 이러한 목적을 위하여 기판 연결부의 소스(source to substrate interconnects)를 사용한다. 이러한 연결부는 접지부로의 직접적인 연결부에 의해 대체될 수 있고, 따라서 RF 파워 전송 어플리케이션에서 이러한 부류의 소자들의 성능을 향상시킨다.
- [0030] 금속 기판(118)은 임의의 적합한 특성들을 가질 수 있으며 그리고 임의의 적합한 형태를 가질 수 있다. 예를 들어, 금속 기판(118)은 구리, 알루미늄, 귀금속들, 및 그들의 합금들과 같은 금속을 포함할 수 있다. 금속 기판(118)은 바람직하게는 반도체 다이(107)에 비하여 두껍다. 예를 들어, 금속 기판(118)의 두께는 약 5 마이크론 보다 클 수 있으며, 그리고 어떠한 실시예들에서 바람직하게는 약 100 마이크론 두께 보다 더 클 수 있다(예를 들어 100 내지 200 마이크론 두께). 이러한 예들에 의해 도해된 것처럼, 금속 기판은 반도체 다이(107)보다 바람직하게는 더 두껍다.
- [0031] 도 1b에서 도시된 것처럼, 도 1a에서 도시된 중간 구조체(700)를 구현한 이후에, 미리 선택된 위치들에 어퍼쳐들(904)을 형성하기 위하여 반도체 다이(107)가 식각된다. 어퍼쳐들(904)은 임의의 적합한 크기들 또는 형태를 가질 수 있으며, 그리고 식각(습식 또는 건식), 밀링 등을 포함하는 임의의 알려진 물질 제거 공정을 사용하여 형성될 수 있다. 반도체 다이(107) 내에 어퍼쳐들(904)을 형성한 이후에, 금속 기판(118)의 일면의 적어도 일부가 어퍼쳐들(904)들을 통하여 노출된다. 임의의 적합한 개수의 어퍼쳐들(904)은 반도체 다이(107) 내에 형성될 수 있다.
- [0032] 도 1c에서 도시된 것처럼, 도전성 구조체들(900)이 금속 기판(118) 및 반도체 다이(107) 상에 증착된다. 도전성 구조체들(900)은 적어도 하나의 제1 도전성 구조체들(900(a)) 및 적어도 하나의 제2 도전성 구조체들(900(b))을 포함한다.
- [0033] 도전성 구조체들(900)은 임의의 적합한 물질을 포함할 수 있으며, 그리고 임의의 적합한 형태(예를 들어, 기둥들, 볼들, 및 평평하며 그리고/또는 둥근 표면들을 가지는 구조체들)일 수 있다. 적합한 물질들은 솔더(납 계열 그리고 무연), 및 구리와 같은 도전성 금속들을 포함할 수 있다. 도전성 구조체들(900)이 솔더를 포함한다면, 그 다음에 해당 기술 분야에서 알려진 솔더 리플로우 공정들이 사용될 수 있다.
- [0034] 도전성 구조체들(900)은 또한 임의의 적합한 공정을 사용하여 형성될 수 있다. 예를 들어, 스크린 프린팅 공정들, 기상 증착 공정들, 전기도금 공정들, 픽앤플레이스(pick and place) 공정들 등이 도전성 구조체들(900)을 형성하기 위하여 사용될 수 있다.
- [0035] 도 1d에 도시된 것처럼, 도 1c에서 도시된 반도체 다이 패키지가 일단 형성되면, 전기적 어셈블리를 형성하기 위하여 반도체 다이 패키지는 뒤집어져 회로 보드(990)에 장착될 수 있다. 적합한 회로 보드들은 해당 기술 분야에서 알려져 있으며 그리고 임의의 개수의 도전성 패드들, 라인들 및 층들과 임의의 개수의 유전체 층들을 포

함할 수 있다.

- [0036] 제2 면(107(b))이 회로 보드에서 멀어지는 방향인 반면에 반도체 다이(107)의 제1 면(107(a))은 회로 보드(990)를 향하는 방향일 수 있다. 전기적 어셈블리에서, 제2 도전성 구조체들(900(b))은 반도체 소자를 위한 출력 연결부의 역할을 담당할 수 있는 반면에, 제1 도전성 구조체들(900(a))은 반도체 다이(107) 내에 반도체 소자(예를 들어 파워 MOSFET)를 위한 입력 연결부의 역할을 담당할 수 있다. 입력 전류는 회로 보드(990) 상의 도전성 패드(992(a))에서 제1 도전성 구조체들(900(a)) 및 다이(107)까지 흐를 수 있다. 출력 전류는 반도체 다이(107)의 제2 면(107(b))에서부터 금속 기관(118), 제2 도전성 구조체들(900(b)) 및 회로 보드(990) 상의 도전성 패드(992(b))까지 라우팅될 수 있다. 금속 기관(118) 및 더 얇은 반도체 다이(107)는 그에 따라 생성된 반도체 다이 패키지에 더 낮은 온-저항 및 더 우수한 열적 방출 특성들을 제공한다.
- [0037] 다른 실시예들에서, 도 1c에서 도시된 패키지는 뒤집어져 회로 보드에 장착될 필요가 없다. 예를 들어, 금속 기관(118)은 회로 보드(990)에 부착되며 그리고 회로 보드(990)를 대면하도록 패키지가 장착될 수 있다. 패키지의 다른 면 상의 도전성 구조체들(900)은 와이어들, 리드프레임들, 또는 다른 도전체들을 사용하여 회로 보드 상의 도전성 패드들에 전기적으로 연결될 수 있다.
- [0038] 도 2는 본 발명의 또 다른 실시예를 도시한다. 도 1c 및 도 2에서, 동일한 참조 번호들은 동일한 구성 요소들을 가리킨다. 도 2에서 도시된 구성은 도 1c에서의 구성과 유사하다. 그러나, 도 2에서, 금속 기관(118)은 도 1c에서 도시된 기관(118)보다 더 얇다(예를 들어 10 마이크로미터 두께보다 더 작거나 또는 5 내지 10 마이크로미터 사이이다). 추가하여, 부가적인 미캐니컬(mechanical) 층(119)은 금속 기관(118) 상에 존재한다. 미캐니컬 층(119)은 반도체 다이(107) 및 금속 기관(118)을 역학적으로 지지한다. 미캐니컬 층(119)의 열팽창 계수(CTE)는 반도체 다이(107)의 열팽창 계수와 실질적으로 맞추도록(match) 선택될 수 있다.
- [0039] 미캐니컬 층(119)은 임의의 적합한 소정의 열적, 전기적, 및 기계적 특성들을 가질 수 있다. 예를 들어, 미캐니컬 층(119)은 높은 열적 전도도를 가지는 절연 물질(예를 들어, 세라믹)을 포함할 수 있다. 원한다면 히트 싱크가 또한 미캐니컬 층(119)에 직접 부착될 수 있다.
- [0040] 도 2에서 도시된 반도체 다이 패키지는 많은 장점들을 가진다. 예를 들어, 패키지의 전체 두께가 감소될 수 있도록 반도체 다이 패키지는 단단하고 얇다. 또한, 도 1c에 도시된 실시예에 비하여 금속 기관(118)은 감소된 두께를 가지므로, 비용이 또한 감소될 수 있다.
- [0041] 도 3은 본 발명의 또 다른 실시예를 도시한다. 도 1c 및 도 3에서, 동일한 참조 번호들은 동일한 구성 요소들을 가리킨다. 도 3에서 도시된 패키지는 와이어 본드들, 클립들 또는 리본 연결부들로 외부 리드들에 연결될 수 있거나, 또는 그것은 뒤집어져 회로 보드 또는 그런 종류의 다른 것들에 장착될 수 있다.
- [0042] 도 3에서 도시된 실시예에서, 상부 금속(예를 들어, 알루미늄)층(116)이 반도체 다이(107) 상에 존재한다. 도 1c의 실시예에서 도시된 솔더 대신에 도금된 금속(910)이 어퍼쳐들(904)을 충전한다. 솔더링 가능한 상부면 오버 코팅들(Solderable top surface over coatings, 912(a)), 912(b))은 상부 금속 층(116) 및 도금된 금속(910) 위에 접촉하여 배치된다. 원한다면, 상부 솔더링 가능한 표면 오버 코팅들(912(a)), 912(b)) 및/또는 상부 금속 층(116) 및 도금된 금속(910)은 통상적인 기술들(예를 들어, CMP 즉 화학적 기계적 연마)를 사용하여 또한 평탄화될 수 있다. 도금된 금속(910)은 대신에 CVD, PVD등과 같은 다른 증착 공정들을 사용하여 형성될 수 있다. 도금된 금속(910)은 구리, 알루미늄, 텅스텐, 그들의 합금들 등을 포함하는 임의의 적합한 금속을 또한 포함할 수 있다. 부가적으로, 단지 두 개의 도금된 금속 비아(via)들이 도 3에서 도시되었지만, 본 발명의 실시예들은 원한다면 더 많은 비아들을 가질 수 있다.
- [0043] 도 3에서 도시된 실시예에서, 금속 기관(118)으로의 전기적 연결부들은 어퍼쳐들(904) 내에 도금 또는 다른 증착 금속들에 의해 형성될 수 있다. 패키지가 회로 보드에 장착될 때, 도금된 금속(910)은 회로 보드에 패키지를 결합하는 솔더 볼들 또는 금속 스타드들을 조합하여 사용될 수 있다.
- [0044] 도 4는 본 발명의 실시예에 따른 또 다른 반도체 다이 패키지를 도시한다. 반도체 다이 패키지는 동기 정류형 컨버터 어플리케이션 내의 단일 패키지 솔루션을 제공할 수 있다. 동기 정류형 컨버터 시스템들은 미국 특허 번호 6,806,580에서 설명되며, 상기 미국 특허는 모든 목적을 위하여 전체로 인용되어 여기에서 통합된다. 또한 반도체 다이 패키지는, 원한다면, 히트 싱크(미도시)에 부착될 수 있다. 도 4에서 도시된 패키지는 “H- 브릿지(bridge)” 형태를 가지는 것으로 특징될 수 있다.
- [0045] 도 4에서 도시된 반도체 다이 패키지 실시예에서, 금속 기관들(118(a), 118(b)) 상에 배치되는 제1 및 제2 반도체 다이들(177(a), 177(b))이 존재한다. 제1 및 제2 반도체 다이들(177(a), 177(b))은, 각각 제1 면들(177(a)-

1, 177(b)-1), 및 제2 면들(177(a)-2, 177(b)-2)을 가질 수 있다. 앞에서의 실시예들에서와 같이, 금속 층들(116(a), 116(b))은 제1 및 제2 반도체 다이들(177(a), 177(b))의 제1 면들(177(a)-1, 177(b)-1) 상에 배치될 수 있다. 금속 층들(116(a), 116(b))은 솔더링 가능한 금속들을 포함할 수 있다. 하나의 미캐니컬 층(119)은 금속 기판들(118(a), 118(b)) 모두를 지지할 수 있다.

[0046] 도 4에 도시된 반도체 다이 패키지는 제1 및 제2 반도체 다이들(177(a), 177(b)) 상의 복수개의 도전성 구조체들(940)을 포함한다. 복수개의 도전성 구조체들(940)은 제1 복수개의 도전성 구조체들(940(a)), 적어도 하나의 제2 도전성 구조체(940(b)), 복수개의 제3 도전성 구조체들(940(c)), 및 적어도 하나의 제4 도전성 구조체(940(d))를 포함한다. 제1, 제2, 제3 및 제4 도전성 구조체들(940(a) 내지 (d))은 임의의 적합한 물질을 포함할 수 있으며 그리고 임의의 적합한 공정을 사용하여 형성될 수 있다. 예시적인 물질들 및 공정들은 위에서 설명된다.

[0047] 도 4에서 도시된 반도체 다이 패키지는 또한 많은 유전체 층들(960(a), 960(b), 960(c))을 포함한다. 제1 유전체층(960(a))은 제1 복수개의 도전성 구조체들(940(a))이 존재하는 영역들을 인접한 도전체들과 분리할 수 있다. 제2 유전체 층(960(b))은 제2 도전성 구조체(940(b))를 제2 반도체 다이(177(b)) 및 제2 금속 기판(118(b)) 내에 흐르는 드레인 전류와 전기적으로 절연시킬 수 있다. 제3 유전체 층(960(c))은 제3 및 제4 도전성 구조체들(940(c), 940(d))을 각각 그리고 다른 도전체들과 분리시킬 수 있다.

[0048] 제1, 제2, 및 제3 유전체 층들(960(a), 960(b), 960(c))은 임의의 적합한 유전체 물질을 포함할 수 있고, 임의의 적합한 두께를 가질 수 있으며, 그리고 임의의 적합한 공정(예를 들어, 해당 기술 분야에서 알려진 적합한 리소그래피 공정들과 함께 화학적 기상 증착, 스핀 코팅 및 큐어링 등)을 사용하여 형성될 수 있다. 예를 들어, 유전체 층들(960(a), 960(b), 960(c))은 폴리이미드와 같은 절연성이며 패터닝 가능한 폴리머 물질을 포함할 수 있다.

[0049] 도 4에서 도시된 반도체 다이 패키지가 일단 형성되면, 전기적 어셈블리를 형성하기 위하여 반도체 다이 패키지는 뒤집어져 회로 보드 또는 그런 종류의 다른 것들에 장착될 수 있다. 전기적 어셈블리에서, 제1 복수개의 도전성 구조체들(940(a))은 제1 반도체 다이(177(a))의 제1 면(177(a)-1)에서 소스 단자들에 소스 입력들로서의 역할을 담당할 수 있다(게이트 입력은 도시되지 않음). 드레인 전류는 제1 반도체 다이(177(a))의 제2 면(177(a)-2)에서 제1 금속 기판(118(a))으로, 제2 도전성 구조체(940(b))로, 그리고 제2 도전성 구조체(940(b))를 제3 도전성 구조체들(940(c))에 전기적으로 연결하는 회로 보드 상의 패드(미도시)로 흐를 수 있다. 그 다음에 전류는 제3 도전성 구조체들(940(c))을 통하여 제2 반도체 다이(177(b))의 제1 면(177(b)-1)에서의 소스 단자들로 흐른다. 그 다음에 제2 반도체 다이 177(b)에서의 드레인 전류는 제2 금속 기판(118(b))으로, 제4 도전성 구조체(940(d))로, 그리고 회로 보드의 출력 도전성 패드(미도시)로 흐른다.

[0050] 제1 및 제2 반도체 다이들(177(a), 177(b))이 하이 사이드 및 로우 사이드 MOSFET들(일반적으로, 동기 정류형 컨버터 회로에서)을 포함한다면, 제2 도전성 구조체(940(b))는 하나의 MOSFET 내의 드레인과 다른 MOSFET 내의 소스까지의 사이에서 연결부로서 역할을 담당할 수 있다.(제1 and 제2 반도체 다이들(177(a), 177(b))로의 게이트 연결부는 도 4에서 도시되지 않음)

[0051] 도 5 및 도 6은 본 발명의 또 다른 실시예에 따른 또 다른 반도체 다이 패키지를 도시한다. 도 5 및 도 6에서 도시된 것처럼, 반도체 다이 패키지의 크기(횡 치수)는 후면 금속/미캐니컬 층으로의 상부 금속 연결부의 치수를 감소시키고 그리고 연결부의 개수를 증가시킴으로써 더욱 감소될 수 있다. “비아들” 이 이전 실시예들에서처럼 후면 금속/미캐니컬 층으로 생성된다. 후면으로의 연결부는 그 다음에 절연성의 유전체 막 위의 상부 금속 층 상에 형성될 수 있는데, 그것은 반도체 다이 상에 존재한다. 이것은 반도체 다이 패키지의 크기를 감소시킨다. 비아들의 크기 및 양이 또한 전기적 전류 요구를 충족하기 위하여 변경될 수 있다. 다중 연결부를 가짐으로써, 반도체 다이 패키지의 연결부의 신뢰성이 증가된다.

[0052] 도 5를 참조하면, 이전의 실시예들에서처럼, 반도체 다이(708)는 금속 기판(706)에 부착된다. 어퍼쳐(715)는 앞에서 설명된 것처럼 반도체 다이(708) 내에 형성된다. 제2 금속 층(718(a))은 반도체 다이(708) 상의 제1 금속 층(718(b)) 위에 형성되며, 그리고 제2 솔더링 가능한 금속 층(704(a))은 제2 금속 층(718(b)) 상에 형성된다. 유전체 층(710)은 또한 반도체 다이(708) 및 제1 금속 층(718(b)) 상에 형성된다. 유전체 층(710)은 폴리이미드 또는 그런 종류의 다른 것으로부터 형성될 수 있다. 도전성 비아(714)가 어퍼쳐(715) 내에 형성되며, 그리고 제2 상부 금속 층(718(a))을 금속 기판(706)으로 연결한다. 제1 솔더링 가능한 금속 층(704(b))은 또한 제1 금속 층(718(b)) 상에 형성될 수 있다.

- [0053] 앞에서 실시예들에서처럼, 복수개의 도전성 구조체들(702)은 반도체 다이(708) 상에 존재한다. 복수개의 도전성 구조체들(702)은 금속 기관(706)에 전기적으로 연결되는 제1 복수개의 도전성 구조체들(702(a)), 및 반도체 다이(708)의 상부에 전기적으로 연결되는 제2 복수개의 도전성 구조체들(702(b))을 포함한다. 제2 복수개의 도전성 구조체들(702(b))은 반도체 다이(702) 내의 MOSFET를 위한 소스 입력을 제공할 수 있는 반면에, 제1 복수개의 도전성 구조체들(702(a))은 반도체 다이(708) 내의 MOSFET를 위한 드레인 출력을 제공할 수 있다.
- [0054] 도시된 것처럼, 제1 복수개의 도전성 구조체들(702(a))은 반도체 다이(708)의 일부와 오버랩되며, 그럼으로써 형성된 패키지의 횡 치수를 감소시키며 그리고 반도체 패키지를 위한 더 많은 개수의 입력 및/또는 출력 단자들을 제공할 수 있다.
- [0055] 도 6은 도 6에서 도시된 반도체 다이 패키지의 상면도를 도시한다.비아들(714)이 도시된다. 도시된 것처럼, 제 2 솔더링 가능한 금속 층(704(a))은 제1 솔더링 가능한 금속 층(704(b))을 덮는다(overlie). 도 6에서는, 도 5에서처럼, 제1 금속 층(718(a))이 비아들(714)을 통하여 금속 미캐니컬 층(706)에 연결된다. 도 6에서, 제1 금속 층(718(a)) 및 금속 미캐니컬 층(706)은 도시되지 않는다.
- [0056] 바람직한 실시예들에서, 임의의 솔더링 가능한 층들의 적용은 임의의 베이스 도전성(알루미늄) 층들이 사용되기까지는 연기될 수 있다.
- [0057] 도 7은 본 발명의 또 다른 실시예를 도시한다. 도 7에서, 형태는 도 1c에서 도시된 형태와 유사하지만, 도 7에서, 후면 금속 기관(504)은 공통의(common) 드레인 듀얼 다이 어플리케이션을 위한 공통의 콘duit(duct)으로 사용될 수 있다. 도시된 것처럼, 두 개의 반도체 다이들(502(a), 502(b))은 금속 기관(504) 상에 장착된다. 기관(504)은 반도체 다이들(502(a), 502(b)) 내의 반도체 소자들을 위한 공통의 출력 단자(예를 들어, 공통의 드레인)를 형성할 수 있다. 반도체 다이들(502(a), 502(b))은 앞에서 설명된 것처럼 가공될 수 있으며 그리고 도전성 구조체들(505)은 앞에서 설명된 것처럼 반도체 다이들(502(a), 502(b)) 상에 형성될 수 있다. 그러나, 웨이퍼 다이싱 공정 동안 다이들을 서로 분리하기 위하여 다이들을 각각 소잉하는 대신에, 공통의 금속 층에 의해 연결되는 쌍들의 다이들 도출하기 위하여 소잉 공정이 변경될 수 있다. 다른 실시예들에서, 다이싱 공정은 대신에 그라인딩 공정을 사용할 수 있다.
- [0058] 본 발명의 실시예들은 많은 장점들을 가진다. 첫째, 본 발명의 실시예에 따른 반도체 다이 패키지들은 작으며 그리고 칩 스케일 패키지들(CSPs) 내에 사용될 수 있다. 둘째, 패키지들이 얇은 반도체 다이들을 사용하여 형성될 수 있기 때문에, 패키지들은 낮은 온 저항 및 인덕턴스 특성들을 가지며 그리고 우수한 열적 방출 특성들을 가진다. 셋째, 다이가 반도체 웨이퍼 내에 존재할 때 패키지 형성 공정이 발생하기 때문에, 패키징을 위하여 각각의 다이가 개별적으로 취급될 필요가 없어서 비용이 감소된다.
- [0059] 앞에서의 설명은 도해적이며 그리고 비제한적이다. 본 발명의 많은 변형들이 상세한 설명을 고찰할 때 해당 기술 분야의 당업자들에게 명백해질 것이다. 따라서, 본 발명의 범위는 앞에서의 설명을 참조하여 결정되어서는 안 되고, 대신에 계류중인 청구항들과 그들의 전체적인 범위 또는 등가물과 함께 참조하여 결정되어야 한다.
- [0060] 임의의 실시예로부터 하나 또는 그 이상의 특징들은 본 발명의 범위를 벗어나지 않으면서 임의의 다른 실시예의 하나 또는 그 이상의 특징들과 결합될 수 있다. 예를 들어, 미캐니컬층 및 금속 기관 조합은 도 2에서 도시된다. 이러한 조합은 본 출원에서 다른 도면들에서 도시된 임의의 실시예들에서 사용될 수 있다.
- [0061] 단수 표현의 설명은 특별히 반대로 언급하지 않는 한 “하나 또는 그 이상의” 의미로 의도된다. 부가적으로, “위에”, “아래에” 등과 같은 단어들은 도면들에서 도시된 것처럼 특징들을 기술하기 위하여 사용되며 그리고 본 발명의 실시예들에 따른 반도체 다이 패키지들이 제조되거나 또는 사용될 때 절대적인 위치들을 언급할 수 있거나 또는 언급하지 않을 수 있다.
- [0062] 모든 특허들, 특허 출원들, 공개들, 및 앞에서 언급된 상세한 설명들은 모든 목적들을 위하여 전체로 인용되어 여기에서 통합된다. 어떠한 것도 종래 기술로 허용될 수 없다.

산업상 이용 가능성

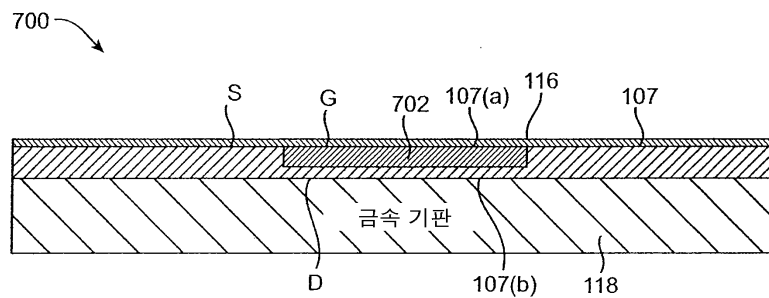
- [0063] 본 발명의 실시예들에 따른 반도체 다이 패키지들은 일반적인 반도체 다이 패키지들보다 더 낮은 온-저항 및 더 우수한 열 방출 특성들을 제공할 수 있다.

도면의 간단한 설명

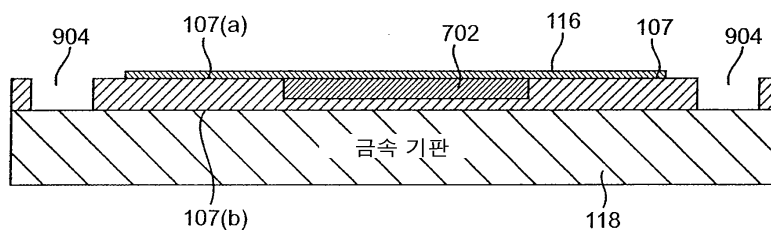
- [0010] 도 1a-1c는 형성되고 있는 본 발명의 실시예에 따른 반도체 다이 패키지의 단면도를 도시한다. 도 1c는 솔더 범프들을 포함하는 특정한 반도체 다이 패키지 실시예를 특히 도시한다.
- [0011] 도 1d는 도 1c에 도시된 패키지가 인쇄 회로 보드에 장착된 것을 도시한다.
- [0012] 도 2는 강화 기계니컬 층을 구비하는 본 발명의 또 다른 실시예에 따른 또 다른 반도체 다이 패키지의 측단면도를 도시한다.
- [0013] 도 3은 도금된 금속 층들을 구비하는 본 발명의 또 다른 실시예에 따른 또 다른 반도체 다이 패키지의 측단면도를 도시한다.
- [0014] 도 4는 두 개의 반도체 다이들을 포함하는 본 발명의 또 다른 실시예에 따른 또 다른 반도체 다이 패키지의 측단면도를 도시한다. 반도체 다이 패키지는 동기 정류형 컨버터(synchronous buck converter) 회로 내에 사용될 수 있다.
- [0015] 도 5는 본 발명의 실시예에 따른 반도체 다이 패키지의 측단면도를 도시한다. 이러한 예에서, 패키지는 반도체 다이 내에서 소자의 입력 단자 및 출력 단자에 각각 연결되는 제1 금속층 및 제2 금속층을 포함한다. 제1 금속층 및 제2 금속층은 오버랩(overlap)된다.
- [0016] 도 6은 도 5에 도시된 반도체 다이 패키지의 상면도를 도시한다.
- [0017] 도 7은 또 다른 반도체 다이 패키지 실시예의 측단면도를 도시한다. 반도체 다이 패키지 실시예는 금속 기판에 부착되는 두 개의 반도체 다이들을 위한 통상적인 출력의 역할을 하는 금속 기판을 가진다. 두 개의 반도체 다이들은 동일한 타입일 수 있거나 또는 동일한 타입이 아닐 수 있다. 그들은 다른 동작 특성들을 가질 수 있는데, 여기에서 그들의 조합은 가장 바람직한 효과를 제공할 수 있다.
- [0018] 본 발명의 이러한 그리고 다른 실시예들은 아래에서 상세한 설명을 참고하여 더욱 상세하게 설명된다. 또한, 도해의 명확성을 위하여, 도면들에서 어떤 형상들은 축척에 맞게 도시되지 않을 수 있다.

도면

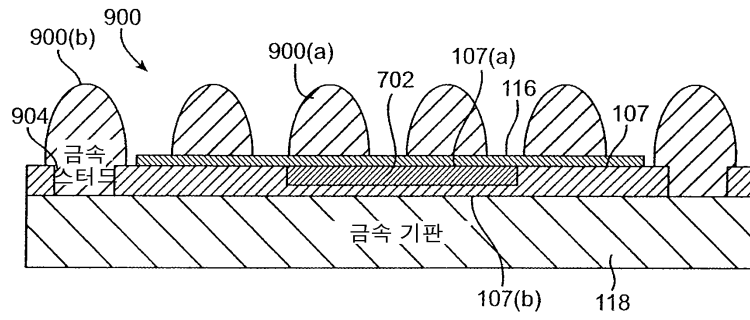
도면1a



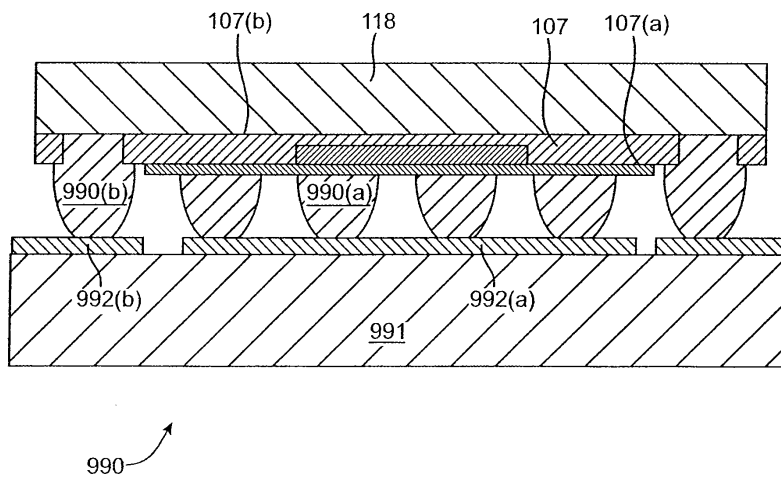
도면1b



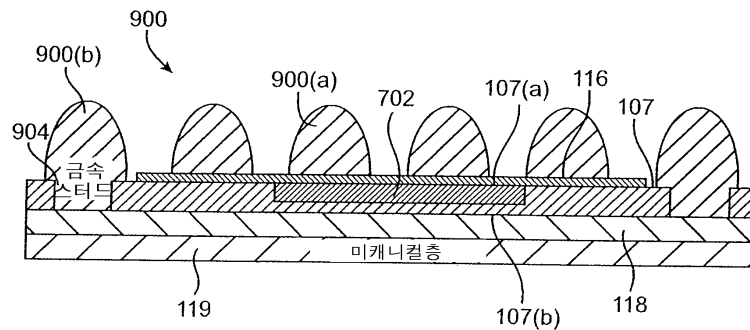
도면1c



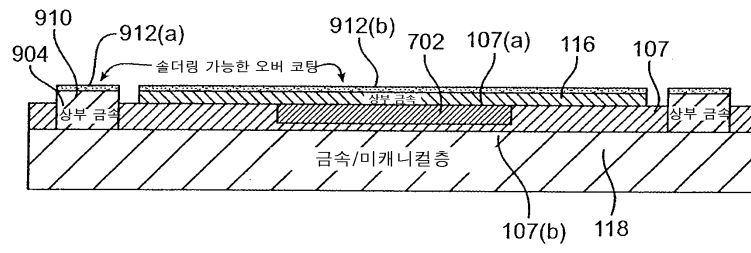
도면1d



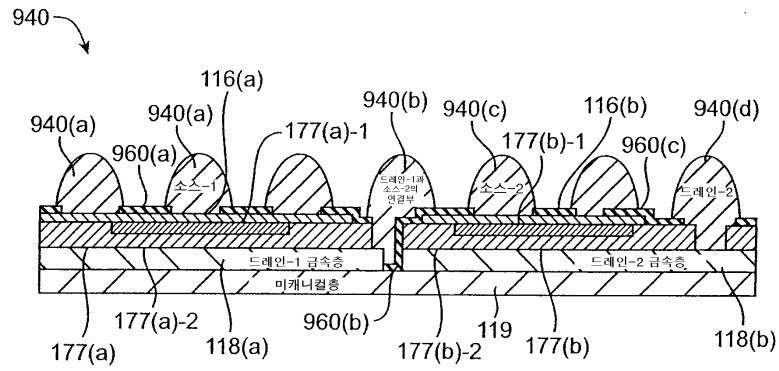
도면2



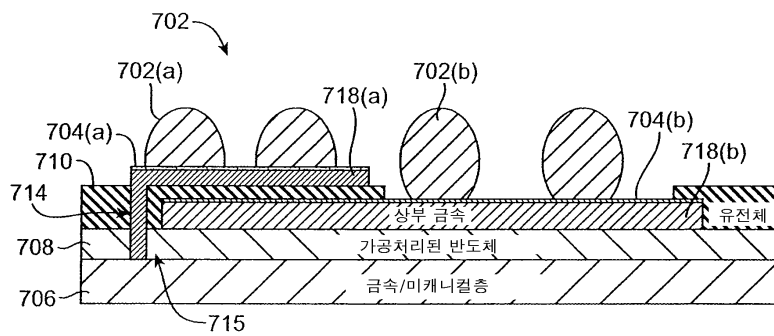
도면3



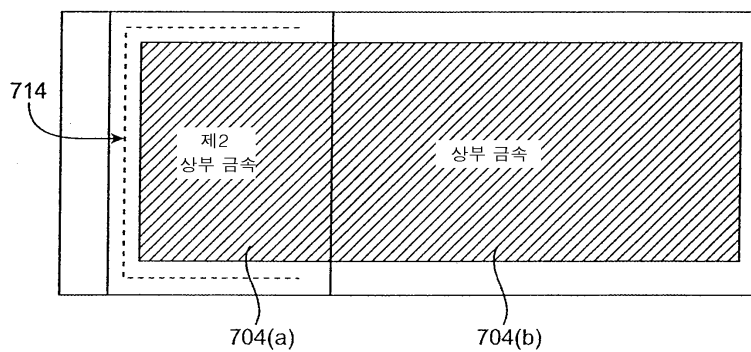
도면4



도면5



도면6



도면7

