

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2024년 3월 7일 (07.03.2024)



(10) 국제공개번호
WO 2024/049072 A1

(51) 국제특허분류:

H01F 17/00 (2006.01)

H04L 25/02 (2006.01)

H01F 10/08 (2006.01)

H01F 27/28 (2006.01)

(21) 국제출원번호:

PCT/KR2023/012322

(22) 국제출원일:

2023년 8월 21일 (21.08.2023)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2022-0109050 2022년 8월 30일 (30.08.2022) KR

(71) 출원인: 주식회사 아모텍 (AMOTECH CO., LTD.) [KR/KR]; 21629 인천광역시 남동구 남동서로 380, 남동공단 5블록 1롯데, Incheon (KR).

(72) 발명자: 임병국 (LIM, Byungguk); 21629 인천광역시 남동구 남동서로 380, 남동공단 5블록 1롯데, Incheon (KR). 박규환 (PARK, Kyuhwan); 21629 인천광역시 남동구 남동서로 380, 남동공단 5블록 1롯데, Incheon (KR). 김희황 (KIM, Hechwang); 21629 인천광역시 남동구 남동서로 380, 남동공단 5블록 1롯데, Incheon (KR). 김동기 (KIM, Tonggi); 21629 인천광역시 남동구 남동서로 380, 남동공단 5블록 1롯데, Incheon (KR).

(74) 대리인: 김철진 (KIM, Churchill); 06527 서울특별시 서초구 강남대로97길 37 티엔티빌딩 4층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

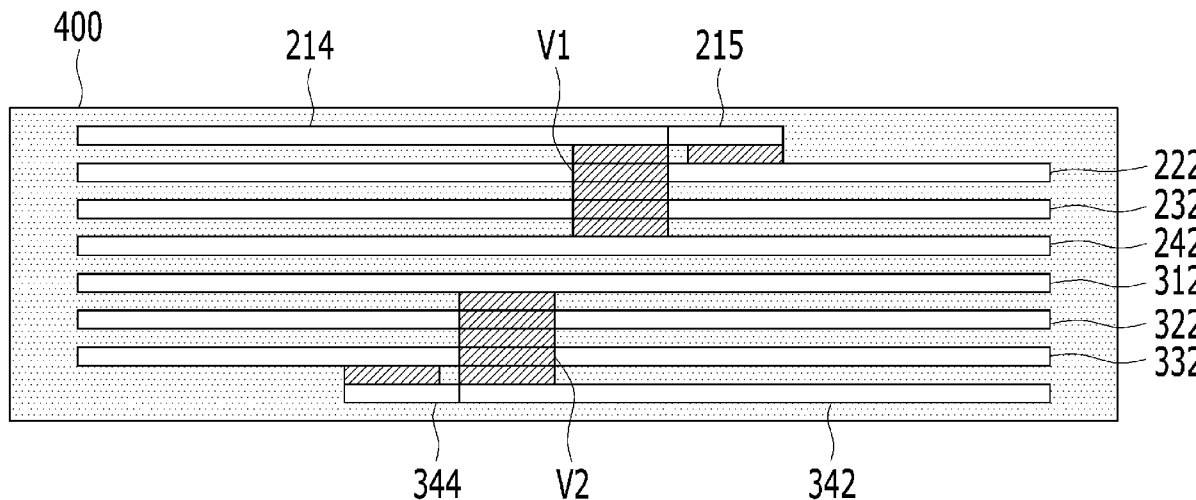
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: MULTILAYER COMMON MODE FILTER

(54) 발명의 명칭: 적층형 공통 모드 필터



(57) Abstract: A multilayer common mode filter of the present disclosure is a filter comprising a plurality of coils configuring mutually different channels, wherein a plurality of coil patterns, and a plurality of via conductors connecting the coil patterns are provided inside a coil stack, and the plurality of via conductors are arranged, on a floor plan of the coil stack, in positions where same do not overlap with each other.

(57) 요약서: 본 개시의 적층형 공통 모드 필터는 서로 다른 채널을 구성하는 복수의 코일을 포함한 필터로, 코일 적층체의 내부에 복수의 코일 패턴과 코일 패턴을 연결하는 복수의 비아 도체가 구비되고, 코일 적층체의 평면도 상에서 복수의 비아 도체가 서로 중첩되지 않는 위치에 배치된다.



WO 2024/049072 A1

명세서

발명의 명칭: 적층형 공통 모드 필터

기술분야

- [1] 본 발명은 고속 신호 라인이 적용된 전자 기기에서 차동 모드(Differential Mode)의 신호 전류를 통과시키고, 공통 모드(Common mode)의 노이즈 전류를 제거하는 적층형 공통 모드 필터에 관한 것이다.

배경기술

- [2] 일반적으로 휴대 단말은 디지털 데이터 전송 규격으로서 MIPI(Mobile Industry Processor Interface) D-PHY 규격이 채용하고 있다. MIPI D-PHY 규격은 휴대 단말의 메인 회로와 디스플레이 또는 카메라를 연결하는 디지털 데이터 전송 규격으로, 2개의 전송 라인을 이용한 차동 신호로 데이터를 전송하는 방식이다.
- [3] 휴대 단말 내에서 송수신되는 데이터가 급속히 커짐에 따라, 휴대 단말은 MIPI D-PHY보다 고속으로 데이터를 송수신할 수 있는 전송 방식을 필요로 하고 있다.
- [4] 이에, 최근 휴대 단말 업계에서는 MIPI C-PHY 규격을 휴대 단말에 적용하는 연구가 진행되고 있다. MIPI C-PHY 규격은 3개의 전송 라인을 이용하여, 송신측으로부터 각 전송 라인에 상이한 전압을 보내고, 수신측에서 각 라인간의 차분을 취함으로써 차동 출력하는 방식이다.
- [5] 이상의 배경기술에 기재된 사항은 발명의 배경에 대한 이해를 돕기 위한 것으로서, 공개된 종래 기술이 아닌 사항을 포함할 수 있다.

발명의 상세한 설명

기술적 과제

- [6] 본 발명은 상기한 사정을 감안하여 제안된 것으로 필터 적층체의 하부에 커패시터 패턴, 플로팅 패턴, 인덕터 패턴 및 접지 패턴을 포함한 적층체를 배치하여 공진점(공진 주파수), 컷오프(Cutoff) 등의 특성을 제어하도록 한 적층형 공통 모드 필터를 제공하는 것을 목적으로 한다.
- [7] 또한, 본 발명은 코일 패턴을 연결하는 비아 홀들로 구성되는 복수의 비아 도체들을 서로 중첩되지 않고 배치하여 적층 공정시에 발생하는 불량을 방지하면서 필터 특성을 조절할 수 있도록 한 적층형 공통 모드 필터를 제공하는 것을 다른 목적으로 한다.

과제 해결 수단

- [8] 상기한 목적을 달성하기 위하여 본 발명의 실시 예에 따른 적층형 공통 모드 필터는 제1 코일 패턴, 제2 코일 패턴 및 제3 코일 패턴을 구비한 제1 적층체 및 제4 코일 패턴, 제5 코일 패턴 및 제6 코일 패턴을 구비하고, 제1 적층체의 하부에 배치되어 제1 적층체와 코일 적층체를 구성하는 제2 적층체를 포함하고, 코일 적층체는 제1 적층체 내에서 제1 코일 패턴과 연결된 제1 비아 도체, 제2 적층체 내에서 제6 코일 패턴과 연결된 제2 비아 도체, 제1 적층체 내에서 제2 코일 패턴 및

제3 코일 패턴과 연결된 제3 비아 도체 및 제2 적층체 내에서 제4 코일 패턴 및 제5 코일 패턴과 연결된 제4 비아 도체를 포함하고, 코일 적층체의 평면도(top view)에서, 제4 비아 도체는 제1 비아 도체, 제2 비아 도체 및 제3 비아 도체와 중첩되지 않는 위치에 배치된다.

- [9] 제1 적층체는 제1 단자 패턴 및 제2 단자 패턴을 더 구비하고, 제2 적층체는 제3 단자 패턴 및 제4 단자 패턴을 더 구비하고, 제1 비아 도체는 제1 적층체 내에서 제1 코일 패턴을 제1 단자 패턴과 연결하고, 제2 비아 도체는 제2 적층체 내에서 제6 코일 패턴을 제4 단자 패턴과 연결하고, 제3 비아 도체는 제1 적층체 내에서 제2 코일 패턴 및 제3 코일 패턴을 제2 단자 패턴과 연결하고, 제4 비아 도체는 제2 적층체 내에서 제4 코일 패턴 및 제5 코일 패턴을 제3 단자 패턴과 연결할 수 있다.
- [10] 코일 적층체의 평면도(top view)에서, 제3 비아 도체는 제1 비아 도체 및 제2 비아 도체와 중첩되지 않는 위치에 배치되고, 제1 비아 도체는 제2 비아 도체와 중첩되지 않는 위치에 배치될 수 있다. 이때, 제1 비아 도체는 제2 비아 도체와 중첩되는 위치에 배치될 수도 있다.
- [11] 코일 적층체의 수직 단면도에서, 제1 비아 도체는 제2 비아 도체와 이격되도록 배치되고, 제3 비아 도체 및 제4 비아 도체는 제1 비아 도체 및 제2 비아 도체 사이에서 서로 이격되도록 배치되고, 제3 비아 도체는 제1 비아 도체 및 제4 비아 도체 사이에 개재될 수 있다.
- [12] 코일 적층체의 수직 단면도에서, 제3 비아 도체는 제4 비아 도체와 이격되도록 배치되고, 제1 비아 도체 및 제2 비아 도체는 제3 비아 도체 및 제4 비아 도체 사이에서 서로 이격되도록 배치되고, 제1 비아 도체는 제2 비아 도체 및 제3 비아 도체 사이에 개재될 수 있다.
- [13] 코일 적층체의 수직 단면도에서, 제3 비아 도체는 제4 비아 도체와 이격되도록 배치되고, 제1 비아 도체 및 제2 비아 도체는 제3 비아 도체 및 제4 비아 도체 사이에 개재되고, 코일 적층체의 평면도에서 중첩되도록 배치될 수 있다.

발명의 효과

- [14] 본 발명에 의하면, 적층형 공통 모드 필터는 각 채널을 구성하는 코일 패턴들 사이의 거리(간격)가 일정하게 할 수 있어, 각 채널을 구성하는 코일 패턴들의 저항 및 인덕턴스를 균일하게 유지할 수 있는 효과가 있다.
- [15] 또한, 적층형 공통 모드 필터는 필터 적층체의 최상부 및 최하부에 외부 전극과의 연결을 위한 단자 패턴들을 배치함으로써, 코일 패턴들의 인덕턴스 특성 및 공통 모드 감쇠(Common mode Attenuation) 특성의 변화를 최소화할 수 있는 효과가 있다.
- [16] 또한, 적층형 공통 모드 필터는 코일 적층체의 하부에 커패시터 패턴 및 플로팅 패턴을 배치함으로써, 공통 모드 감쇠(Common mode Attenuation) 특성에 추가적

인 노치(Notch)를 형성하여 감쇠(Attenuation) 대역을 확장할 수 있는 효과가 있다.

- [17] 또한, 적층형 공통 모드 필터는 전극 적층체의 코일 패턴들이 형성하는 폴(Pole)과 함께 커패시터 패턴과 플로팅 패턴에 의한 추가 폴(Pole, 즉, 추가 커패시턴스)이 형성되어 광대역 특성을 구현할 수 있는 효과가 있다.
- [18] 또한, 적층형 공통 모드 필터는 각 채널 간의 거리(간격)를 일정하게 구성하여 코일 패턴들의 인덕턴스 특성 변화를 최소화할 수 있는 효과가 있다.
- [19] 또한, 적층형 공통 모드 필터는 제1 코일 내지 제3 코일 간의 자기 결합(즉, 전자기적 커플링)을 향상시키고, 차동 신호의 열화를 최소화할 수 있는 효과가 있다.
- [20] 또한, 적층형 공통 모드 필터는 2개 이하의 비아 홀이 형성된 시트들을 적층하여 전극 적층체를 구성할 수 있어 제조 공정을 단순화할 수 있는 효과가 있다.
- [21] 즉, 적층형 공통 모드 필터는 전극 적층체의 최상부 및 최하부에 단자 패턴을 배치하고, 제1 채널의 제1 코일 패턴 및 제6 코일 패턴 사이에 제2 채널의 제2 코일 패턴 및 제3 코일 패턴을 배치하고, 제3 코일 패턴과 제6 코일 패턴 사이에 제3 채널의 제4 코일 패턴 및 제5 코일 패턴을 배치함으로써, 코일 패턴들을 연결하기 위한 비아 홀의 개수를 최소화할 수 있으며, 각 시트에 2개 이하의 비아 홀이 형성된다.
- [22] 또한, 적층형 공통 모드 필터는 코일 패턴을 포함한 전극층을 추가하거나, 코일 패턴의 면적을 증가시키지 않고도 정전 용량을 증가시킬 수 있어 동일한 사이즈에서 종래의 적층형 공통 모드 필터보다 더 큰 정전 용량을 구현할 수 있는 효과가 있다.
- [23] 또한, 적층형 공통 모드 필터는 인덕터 패턴의 길이를 조정하여 제2 공진 주파수 특성을 변경할 수 있는 효과가 있다.
- [24] 또한, 적층형 공통 모드 필터는 코일 적층체의 하부에 배치되는 제3 적층체를 통해 플로팅 패턴, 인덕터 패턴 및 접지 패턴으로 구성된 쇼트 회로를 구성함으로써, 제2 공진 주파수를 자유롭게 조정/제어할 수 있는 효과가 있다.
- [25] 또한, 적층형 공통 모드 필터는 필터 적층체의 최하부에 자성 시트를 배치 또는 제거하여 제1 공진 주파수와 제2 공진 주파수 사이의 간격을 조정할 수 있는 효과가 있다.
- [26] 또한, 본 발명의 실시 예에 따른 적층형 공통 모드 필터는 비아 도체들이 서로 겹치지 않도록 분산 배치함으로써, 적층 공정시 압력이 분산되어 비아 도체가 위치한 영역으로 압력이 집중되는 것을 방지할 수 있는 효과가 있다.
- [27] 또한, 본 발명의 실시 예에 따른 적층형 공통 모드 필터는 비아 도체들을 분산 배치하여 적층 공정시 적층체에 가해지는 압력을 분산함으로써, 적층 공정에서 발생하는 적층체의 크랙을 방지할 수 있는 효과가 있다.
- [28] 또한, 본 발명의 실시 예에 따른 적층형 공통 모드 필터는 비아 도체들을 분산 배치하여 적층 공정시 적층체에 가해지는 압력을 분산함으로써, 압력 집중에 의한 전극 늘림 현상을 방지하여 쇼트 발생을 방지할 수 있는 효과가 있다.

- [29] 또한, 본 발명의 실시 예에 따른 적층형 공통 모드 필터는 비아 도체들을 분산 배치함으로써, 적층 공정시 비아 도체 영역과 주변 영역 사이에 요철이 형성되는 것을 방지하여 적층체 표면을 평탄하게 할 수 있는 효과가 있다.
- [30] 또한, 본 발명의 실시 예에 따른 적층형 공통 모드 필터는 상대적으로 얇은 제1 두께를 갖는 비아 도체들을 중첩시키고, 상대적으로 두꺼운 제2 두께를 갖는 비아 도체들을 분산 배치함으로써, 적층 공정시 압력이 고르게 분산되어 적층체의 크랙을 방지하면서 적층체의 표면을 평탄하게 할 수 있는 효과가 있다.
- [31] 또한, 본 발명의 실시 예에 따른 적층형 공통 모드 필터는 비아 도체들 사이의 간격을 조절하여 필터의 특성을 조절(튜닝)할 수 있는 효과가 있다. 이때, 본 발명의 실시 예에 따른 적층형 공통 모드 필터는 제1 간격 및/또는 제2 간격을 좁혀 노이즈 감쇄 성능을 강화하고, 제1 간격 및/또는 제2 간격을 넓혀 컷오프 주파수(Cut-off frequency)를 증가시켜 고속 신호 전송 특성을 강화할 수 있는 효과가 있다.

도면의 간단한 설명

- [32] 도 1은 본 발명의 실시 예에 따른 적층형 공통 모드 필터의 사시도.
- [33] 도 2는 도 1의 필터 적층체를 설명하기 위한 분해 사시도.
- [34] 도 3은 도 2의 제1 적층체를 설명하기 위한 분해 사시도.
- [35] 도 4는 도 3의 제1 시트를 설명하기 위한 도면.
- [36] 도 5는 도 3의 제2 시트를 설명하기 위한 도면.
- [37] 도 6은 도 3의 제3 시트를 설명하기 위한 도면.
- [38] 도 7은 도 3의 제4 시트를 설명하기 위한 도면.
- [39] 도 8은 도 2의 제2 적층체를 설명하기 위한 분해 사시도.
- [40] 도 9는 도 8의 제5 시트를 설명하기 위한 도면.
- [41] 도 10은 도 8의 제6 시트를 설명하기 위한 도면.
- [42] 도 11은 도 8의 제7 시트를 설명하기 위한 도면.
- [43] 도 12는 도 8의 제8 시트를 설명하기 위한 도면.
- [44] 도 13 내지 도 16은 도 2의 코일 적층체의 수직 단면을 도시한 단면도.
- [45] 도 17은 도 2의 제3 적층체를 설명하기 위한 분해 사시도.
- [46] 도 18은 도 17의 제9 시트를 설명하기 위한 도면.
- [47] 도 19는 도 17의 제10 시트를 설명하기 위한 도면.
- [48] 도 20은 도 17의 제11 시트를 설명하기 위한 도면.
- [49] 도 21 및 도 22는 도 17의 제12 시트를 설명하기 위한 도면.
- [50] 도 23은 도 17의 제13 시트를 설명하기 위한 도면.
- [51] 도 24는 본 발명의 실시 예에 따른 적층형 공통 모드 필터의 등가 회로를 표시한 도면.
- [52] 도 25 내지 도 27은 인덕터 패턴의 길이(면적) 변경에 따른 적층형 공통 모드 필터의 특성을 비교 설명하기 위한 도면.

- [53] 도 28 및 도 29는 본 발명의 실시 예에 따른 적층형 공통 모드 필터의 변형 예를 설명하기 위한 분해 사시도.
- [54] 도 30 및 도 31은 도 29에 도시된 제3 자성 시트 포함 여부에 따른 적층형 공통 모드 필터의 특성을 비교 설명하기 위한 도면.
- [55] 도 32 내지 도 34는 본 발명의 실시 예에 따른 적층형 공통 모드 필터 및 종래의 적층형 공통 모드 필터의 특성을 비교 설명하기 위한 도면.

발명의 실시를 위한 형태

- [56] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [57] 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이고, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [58] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 또한, 본 명세서에서 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다.
- [59] 실시예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "위(on)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "위(on)"와 "아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여(indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 위 또는 아래에 대한 기준은 도면을 기준으로 하는 것을 원칙으로 한다.
- [60] 도면은 본 발명의 사상을 이해할 수 있도록 하기 위한 것일 뿐, 도면에 의해서 본 발명의 범위가 제한되는 것으로 해석되지 않아야 한다. 또한 도면에서 상대적인 두께, 길이나 상대적인 크기는 설명의 편의 및 명확성을 위해 과장될 수 있다.
- [61] 도 1을 참조하면, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 필터 적층체(110), 제1 외부 전극(120), 제2 외부 전극(130), 제3 외부 전극(140), 제4 외부 전극(150), 제5 외부 전극(160), 제6 외부 전극(170), 제7 외부 전극(180), 제8 외부 전극(190)을 포함하여 구성된다. 이하에서는 적층형 공통 모드 필터(100)가 3 채널의 C-PHY 공통 모드 필터(Common Mode Filter)로 동작하는 것을 예로 들어 설명한다.
- [62] 필터 적층체(110)는 3 채널을 구성하는 6개의 코일 패턴, 공진 주파수 등의 특성을 조절하기 위한 커패시터 패턴, 플로팅 패턴(522), 인덕터 패턴(532, 542) 및 접지 패턴(555)이 배치된 시트들이 적층된 적층체이다. 이때, 적층형 공통 모드 필터(100)는 커패시턴스를 형성하는 커패시터 패턴 및 플로팅 패턴(522), 인덕턴스를 구성하는 인덕터 패턴(532, 542) 및 접지를 구성하는 접지 패턴(555)을 통해 공진점(공진 주파수) 이동, 컷오프(Cutoff) 특성 등을 조절한다.

- [63] 도 2를 참조하면, 필터 적층체(110)는 제1 적층체(200), 제1 적층체(200)의 하부에 배치된 제2 적층체(300) 및 제2 적층체(300)의 하부에 배치된 제3 적층체(500)를 포함하여 구성된다.
- [64] 제1 적층체(200)는 금속 패턴이 형성된 복수의 시트를 적층하여 형성된다. 일례로, 도 3을 참조하면, 제1 적층체(200)는 제1 시트(210), 제1 시트(210)의 하부에 배치된 제2 시트(220), 제2 시트(220)의 하부에 배치된 제3 시트(230), 제3 시트(230)의 하부에 배치된 제4 시트(240)를 포함하여 구성된다.
- [65] 이때, 제1 시트(210)에는 단자 패턴(212, 214)에 해당하는 금속 패턴이 형성되고, 제2 시트(220) 내지 제4 시트(240)에는 코일 패턴(222, 232, 242)에 해당하는 금속 패턴이 형성된다.
- [66] 도 4를 참조하면, 제1 시트(210)에는 제1 전극층의 코일 패턴들을 외부 전극과 연결하기 위한 제1 단자 패턴(212) 및 제2 단자 패턴(214)이 형성된다.
- [67] 제1 단자 패턴(212)은 제1 시트(210)의 상면에 배치된다. 제1 단자 패턴(212)의 제1 단부(212a)는 제1 시트(210)의 중심에 인접하도록 배치된다.
- [68] 제1 단자 패턴(212)의 제2 단부(212b)는 제1 시트(210)의 제1 변과 동일선상에 위치하도록 배치된다. 이에, 제1 단자 패턴(212)의 제2 단부(212b)는 필터 적층체(110)의 제1 측면으로 노출되어 제1 외부 전극(120)과 연결된다.
- [69] 제2 단자 패턴(214)은 제1 단자 패턴(212)과 이격되도록 제1 시트(210)의 상면에 배치된다. 제2 단자 패턴(214)의 제1 단부(214a)는 제1 시트(210)의 중심에 인접하도록 배치된다. 제2 단자 패턴(214)의 제1 단부(214a)는 제1 단자 패턴(212)의 제1 단부(212a)와 소정 간격 이격된다.
- [70] 제2 단자 패턴(214)의 제2 단부(214b)는 제1 시트(210)의 제1 변과 동일선상에 위치하도록 배치된다. 이에, 제2 단자 패턴(214)의 제2 단부(214b)는 제1 단자 패턴(212)의 제2 단부(212b)와 소정 간격 이격되고, 필터 적층체(110)의 제1 측면으로 노출되어 제3 외부 전극(140)과 연결된다.
- [71] 도 5를 참조하면, 제2 시트(220)는 제1 시트(210)의 하부에 배치된다. 제2 시트(220)에는 제1 채널을 구성하는 제1 코일 패턴(222)과 제1 비아 홀(V1)이 형성된다.
- [72] 제1 코일 패턴(222)은 제2 시트(220)의 상면에 배치된다. 제1 코일 패턴(222)은 제2 시트(220)의 상면에서 복수 회 권회하여 제1 루프를 형성한다. 제1 코일 패턴(222)은 제2 시트(220)의 중심을 관통하는 가상의 권취축을 복수 회 권회하여 제1 루프를 형성한다.
- [73] 제1 코일 패턴(222)의 제1 단부(222a)는 제1 루프의 내주 영역에 배치되고, 제2 시트(220)의 중심에 인접하도록 배치된다. 제1 코일 패턴(222)의 제1 단부(222a)는 제2 비아 홀을 통해 제1 단자 패턴(212)의 제1 단부(212a)와 연결된다.
- [74] 제1 코일 패턴(222)의 제2 단부(222b)는 제1 루프의 외주 영역에 배치되고, 제2 시트(220)의 제2 변과 동일선상에 위치하도록 배치된다. 이에, 제1 코일 패턴

(222)의 제2 단부(222b)는 필터 적층체(110)의 제2 측면으로 노출되어 제4 외부 전극(150)과 연결된다.

- [75] 제1 비아 홀(V1)은 제2 시트(220)의 중심에 인접하고, 제1 코일 패턴(222)의 제1 단부(222a)와 이격되도록 배치된다. 제1 비아 홀(V1)은 제2 시트(220)를 관통하도록 형성된다. 제1 비아 홀(V1)의 상부는 제2 단자 패턴(214)과 연결된다. 제1 비아 홀의 하부는 후술할 제3 시트(230)에 형성된 코일 패턴과 연결된다.
- [76] 도 6을 참조하면, 제3 시트(230)는 제2 시트(220)의 하부에 배치된다. 제3 시트(230)에는 제2 채널을 구성하는 제2 코일 패턴(232)이 배치된다.
- [77] 제2 코일 패턴(232)은 제3 시트(230)의 상면에 배치된다. 제2 코일 패턴(232)은 제3 시트(230)의 상면에서 복수 회 권회하여 제2 루프를 형성한다. 제2 코일 패턴(232)은 제3 시트(230)의 중심을 관통하는 가상의 권취축을 복수 회 권회하여 제2 루프를 형성한다.
- [78] 제2 코일 패턴(232)의 제1 단부(232a)는 제2 루프의 내주 영역에 배치되고, 제3 시트(230)의 중심에 인접하도록 배치된다. 제2 코일 패턴(232)의 제1 단부(232a)는 제2 시트(220)의 제1 비아 홀(V1)을 통해 제2 단자 패턴(214)의 제1 단부(214a)와 연결된다.
- [79] 제2 코일 패턴(232)의 제2 단부(232b)는 제2 루프의 외주 영역에 배치되고, 제3 시트(230)의 제2 변과 동일선상에 위치하도록 배치된다. 제2 코일 패턴(232)의 제2 단부(232b)는 제1 코일 패턴(222)의 제2 단부(222b)와 소정 간격 이격되도록 배치되고, 필터 적층체(110)의 제2 측면으로 노출되어 제5 외부 전극(160)과 연결된다.
- [80] 도 7을 참조하면, 제4 시트(240)는 제3 시트(230)의 하부에 배치된다. 제4 시트(240)에는 제2 코일 패턴(232)과 함께 제2 채널을 구성하는 제3 코일 패턴(242)이 배치된다.
- [81] 제3 코일 패턴(242)은 제4 시트(240)의 상면에 배치된다. 제3 코일 패턴(242)은 제4 시트(240)의 상면에서 복수 회 권회하여 제3 루프를 형성한다. 제3 코일 패턴(242)은 제4 시트(240)의 중심을 관통하는 가상의 권취축을 복수 회 권회하여 제3 루프를 형성한다.
- [82] 제3 코일 패턴(242)의 제1 단부(242a)는 제3 루프의 내주 영역에 배치되고, 제4 시트(240)의 중심에 인접하도록 배치된다. 제3 코일 패턴(242)의 제1 단부(242a)는 비아 홀을 통해 제2 코일 패턴(232)의 제1 단부(232a)와 연결되고, 제2 시트(220)의 제1 비아 홀(V1)을 통해 제2 단자 패턴(214)의 제1 단부(214a)와 연결된다.
- [83] 제3 코일 패턴(242)의 제2 단부(242b)는 제3 루프의 외주 영역에 배치되고, 제4 시트(240)의 제2 변과 동일선상에 위치하도록 배치된다. 이에, 제3 코일 패턴(242)의 제2 단부(242b)는 제1 코일 패턴(222)의 제2 단부(222b)와 소정 간격 이격되도록 배치된다.

- [84] 제3 코일 패턴(242)의 제2 단부(242b)는 제2 코일 패턴(232)의 제2 단부(232b)와 동일 선상에 배치되고, 필터 적층체(110)의 제2 측면으로 노출되어 제2 코일 패턴(232)의 제2 단부(232b)와 함께 제5 외부 전극(160)과 연결된다.
- [85] 제2 적층체(300)는 제1 적층체(200)의 하부에 배치되며, 금속 패턴이 형성된 복수의 시트를 적층하여 형성된다. 일례로, 도 8을 참조하면, 제2 적층체(300)는 제5 시트(310), 제5 시트(310)의 하부에 배치된 제6 시트(320), 제6 시트(320)의 하부에 배치된 제7 시트(330), 제7 시트(330)의 하부에 배치된 제8 시트(340)를 포함하여 구성된다. 이때, 제5 시트(310) 내지 제7 시트(330)에는 코일 패턴(312, 322, 332)에 해당하는 금속 패턴이 형성되고, 제8 시트(340)에는 단자 패턴(342, 344)에 해당하는 금속 패턴이 형성된다.
- [86] 도 9를 참조하면, 제5 시트(310)는 제4 시트(240)의 하부에 배치되며, 제3 채널을 구성하는 제4 코일 패턴(312)이 배치된다.
- [87] 제4 코일 패턴(312)은 제5 시트(310)의 상면에 배치된다. 제4 코일 패턴(312)은 제5 시트(310)의 상면에서 복수 회 권회하여 제4 루프를 형성한다. 제4 코일 패턴(312)은 제5 시트(310)의 중심을 관통하는 가상의 권취축을 복수 회 권회하여 제4 루프를 형성한다.
- [88] 제4 코일 패턴(312)의 제1 단부(312a)는 제4 루프의 내주 영역에 배치되고, 제5 시트(310)의 중심에 인접하도록 배치된다. 제4 코일 패턴(312)의 제1 단부(312a)는 비아 홀을 통해 후술할 제5 코일 패턴(322)의 제1 단부(322a)와 연결된다.
- [89] 제4 코일 패턴(312)의 제2 단부(312b)는 제4 루프의 외주 영역에 배치되고, 제5 시트(310)의 제2 변과 동일선상에 위치하도록 배치된다. 제4 코일 패턴(312)의 제2 단부(312b)는 필터 적층체(110)의 제2 측면으로 노출되어 제6 외부 전극(170)과 연결된다.
- [90] 도 10을 참조하면, 제6 시트(320)는 제5 시트(310)의 하부에 배치된다. 제6 시트(320)에는 제4 코일 패턴(312)과 함께 제3 채널을 구성하는 제5 코일 패턴(322)이 배치된다.
- [91] 제5 코일 패턴(322)은 제6 시트(320)의 상면에 배치된다. 제5 코일 패턴(322)은 제6 시트(320)의 상면에서 복수 회 권회하여 제5 루프를 형성한다. 제5 코일 패턴(322)은 제6 시트(320)의 중심을 관통하는 가상의 권취축을 복수 회 권회하여 제5 루프를 형성한다.
- [92] 제5 코일 패턴(322)의 제1 단부(322a)는 제5 루프의 내주 영역에 배치되고, 제6 시트(320)의 중심에 인접하도록 배치된다. 제5 코일 패턴(322)의 제1 단부(322a)는 비아 홀을 통해 제4 코일 패턴(312)의 제1 단부(312a)와 연결된다.
- [93] 제5 코일 패턴(322)의 제2 단부(322b)는 제5 루프의 외주 영역에 배치되고, 제6 시트(320)의 제2 변과 동일선상에 위치하도록 배치된다. 제5 코일 패턴(322)의 제2 단부(322b)는 제4 코일 패턴(312)의 제2 단부(312b)와 동일 선상에 배치되고, 필터 적층체(110)의 제2 측면으로 노출되어 제4 코일 패턴(312)의 제2 단부(312b)와 함께 제6 외부 전극(170)과 연결된다.

- [94] 도 11를 참조하면, 제7 시트(330)는 제6 시트(320)의 하부에 배치된다. 제7 시트(330)에는 제1 적층체(200)의 제1 코일 패턴(222)과 함께 제1 채널을 구성하는 제6 코일 패턴(332)과 제2 비아 홀(V2)이 형성된다.
- [95] 제6 코일 패턴(332)은 제7 시트(330)의 상면에 배치된다. 제6 코일 패턴(332)은 제7 시트(330)의 상면에서 복수 회 권회하여 제6 루프를 형성한다. 제6 코일 패턴(332)은 제7 시트(330)의 중심을 관통하는 가상의 권취축을 복수 회 권회하여 제6 루프를 형성한다.
- [96] 제6 코일 패턴(332)의 제1 단부(332a)는 제6 루프의 내주 영역에 배치되고, 제7 시트(330)의 중심에 인접하도록 배치된다.
- [97] 제6 코일 패턴(332)의 제2 단부(332b)는 제6 루프의 외주 영역에 배치되고, 제7 시트(330)의 제2 변과 동일선상에 위치하도록 배치된다. 제6 코일 패턴(332)의 제2 단부(332b)는 제4 코일 패턴(312)의 제2 단부(312b) 및 제5 코일 패턴(322)의 제2 단부(322b)와 소정 간격 이격되도록 배치되고, 필터 적층체(110)의 제2 측면으로 노출되어 제4 외부 전극(150)과 연결된다.
- [98] 제2 비아 홀(V2)은 제7 시트(330)의 중심에 인접하고, 제6 코일 패턴(332)의 제1 단부(332a)와 이격되도록 배치된다. 제2 비아 홀(V2)은 제7 시트(330)를 관통하도록 형성된다. 제2 비아 홀(V2)의 상부는 제4 코일 패턴(312)의 제1 단부(312a) 및 제5 코일 패턴(322)의 제1 단부(322a)와 연결된다. 제2 비아 홀(V2)의 하부는 후술할 제8 시트(340)에 형성된 제3 단자 패턴(342)과 연결된다.
- [99] 도 12를 참조하면, 제8 시트(340)에는 제2 전극층의 코일 패턴들을 외부 전극과 연결하기 위한 제3 단자 패턴(342) 및 제4 단자 패턴(344)이 형성된다.
- [100] 제3 단자 패턴(342)은 제8 시트(340)의 상면에 배치된다. 제3 단자 패턴(342)의 제1 단부(342a)는 제8 시트(340)의 중심에 인접하도록 배치된다. 제3 단자 패턴(342)의 제1 단부(342a)는 제2 비아 홀(V2)을 통해 제4 코일 패턴(312)의 제1 단부(312a) 및 제5 코일 패턴(322)의 제1 단부(322a)와 연결된다.
- [101] 제3 단자 패턴(342)의 제2 단부(342b)는 제8 시트(340)의 제1 변과 동일선상에 위치하도록 배치된다. 이에, 제3 단자 패턴(342)의 제2 단부(342b)는 필터 적층체(110)의 제1 측면으로 노출되어 제2 외부 전극(130)과 연결된다.
- [102] 제4 단자 패턴(344)은 제3 단자 패턴(342)과 이격되도록 제8 시트(340)의 상면에 배치된다. 제4 단자 패턴(344)의 제1 단부(344a)는 비아 홀을 통해 제6 코일 패턴(332)의 제1 단부(332a)와 연결된다. 제4 단자 패턴(344)의 제1 단부(344a)는 제8 시트(340)의 중심에 인접하도록 배치된다. 제4 단자 패턴(344)의 제1 단부(344a)는 제3 단자 패턴(342)의 제1 단부(342a)와 소정 간격 이격된다.
- [103] 제4 단자 패턴(344)의 제2 단부(344b)는 제8 시트(340)의 제1 변과 동일선상에 위치하도록 배치된다. 이에, 제4 단자 패턴(344)의 제2 단부(344b)는 제3 단자 패턴(342)의 제2 단부(342b)와 소정 간격 이격되고, 필터 적층체(110)의 제1 측면으로 노출되어 제1 단자 패턴(212)의 제2 단부(212b)와 함께 제1 외부 전극(120)과 연결된다.

- [104] 제1 적층체(200) 및 제2 적층체(300)는 3 채널을 구성하는 코일들을 포함한 코일 적층체(400)를 구성한다.
- [105] 코일 적층체(400)는 제1 코일 패턴(222), 제2 코일 패턴(232), 제3 코일 패턴(242), 제4 코일 패턴(312), 제5 코일 패턴(322) 및 제6 코일 패턴(332)이 순차적으로 적층되도록 구성된다.
- [106] 이때, 제1 코일 패턴(222)과 제6 코일 패턴(332)은 제1 채널을 구성하는 직렬 인덕터인 제1 코일을 형성하고, 제2 코일 패턴(232) 및 제3 코일 패턴(242)은 제2 채널을 구성하는 직렬 인덕터인 제2 코일을 형성하고, 제4 코일 패턴(312) 및 제5 코일 패턴(322)은 제3 채널을 구성하는 직렬 인덕터인 제3 코일을 형성한다.
- [107] 이에, 코일 적층체(400)는 제1 채널의 코일 패턴, 제2 채널의 코일 패턴, 제2 채널의 코일 패턴, 제3 채널의 코일 패턴, 제3 채널의 코일 패턴 및 제1 채널의 코일 패턴이 순차적으로 배치(적층)된 적층체를 구성한다.
- [108] 이를 통해, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 각 채널을 구성하는 코일 패턴들 사이의 거리(간격)가 일정하게 할 수 있어, 각 채널을 구성하는 코일 패턴들의 저항 및 인덕턴스를 균일하게 유지할 수 있다.
- [109] 또한, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 코일 적층체(400)의 최상부 및 최하부에 외부 전극과의 연결을 위한 단자 패턴들을 배치함으로써, 코일 패턴들의 인덕턴스 특성 및 공통 모드 감쇠(Common mode Attenuation) 특성의 변화를 최소화할 수 있다. 이때, 최상부 및 최하부 중에서 한 곳에만 단자 패턴을 배치하는 경우, 각 채널의 인덕턴스 특성이 변화되거나, 각 코일 패턴의 인덕턴스 특성이 변화하여 공통 모드 감쇠 특성이 변화된다.
- [110] 한편, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 코일 적층체(400)의 최상부 및 최하부에 단자 패턴을 배치하고, 제1 채널의 제1 코일 패턴(222) 및 제6 코일 패턴(332) 사이에 제2 채널의 제2 코일 패턴(232) 및 제3 코일 패턴(242)을 배치하고, 제3 코일 패턴(242)과 제6 코일 패턴(332) 사이에 제3 채널의 제4 코일 패턴(312) 및 제5 코일 패턴(322)을 배치함으로써, 코일 패턴들을 연결하기 위한 비아 홀의 개수를 최소화할 수 있다. 이때, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 각 시트에 2개 이하의 비아 홀이 형성된다.
- [111] 도 13을 참조하면, 제1 코일 패턴(222) 및 제6 코일 패턴(332)은 필터 적층체(110)의 상부 및 하부에 각각 배치되어 제1 채널을 구성한다. 제2 코일 패턴(232) 및 제3 코일 패턴(242)은 제1 코일 패턴(222)과 제6 코일 패턴(332) 사이에 나란히 배치(적층)되어 제2 채널을 구성한다. 제4 코일 패턴(312) 및 제5 코일 패턴(322)은 제3 코일과 제6 코일 사이에 나란히 배치(적층)되어 제3 채널을 구성한다.
- [112] 이에, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 제1 채널과 제2 채널, 제2 채널과 제3 채널, 제3 채널과 제1 채널 사이의 거리(간격)를 일정하게 구성할 수 있다.

- [113] 또한, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 채널 간의 거리(간격)를 일정하게 구성함으로써, 코일 패턴들의 인덕턴스 특성 변화를 최소화할 수 있다.
- [114] 또한, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 코일 패턴들을 외부 전극과 연결하는 단자 패턴들을 필터 적층체(110)의 최상부 및 최하부에 배치하기 때문에, 코일 패턴과 단자 패턴 사이의 거리가 채널별로 모두 동일하게 구성할 수 있어 각 채널을 구성하는 코일 패턴들의 저항 및 인덕턴스를 균일하게 형성할 수 있다.
- [115] 또한, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 제1 코일 내지 제3 코일 간의 자기 결합(즉, 전자기적 커플링)을 향상시키고, 차동 신호의 열화를 최소화할 수 있다.
- [116] 코일 적층체(110)는 코일 패턴과 단자 패턴을 연결하는 비아 홀들이 형성하는 복수의 비아 도체들이 서로 중첩되지 않도록 구성된다.
- [117] 일례로, 도 14를 참조하면, 제1 비아 도체(710)는 제1 단자 패턴(212)과 제1 코일 패턴(222)을 연결하는 비아 홀로 구성된다.
- [118] 제2 비아 도체(720)는 제4 단자 패턴(344) 및 제6 코일 패턴(332)을 연결하는 비아 홀로 구성되며, 코일 적층체(400)의 상면 또는 하면에서 바라봤을 때(즉, 코일 적층체(400)의 평면도에서) 제1 비아 도체(720)와 중첩되지 않고 이격된다.
- [119] 제3 비아 도체(730)는 제2 단자 패턴(214), 제2 코일 패턴(232) 및 제3 코일 패턴(242)을 연결하는 비아 홀들로 구성되며, 코일 적층체(400)의 평면도에서 제1 비아 도체(710) 및 제2 비아 도체(720)와 중첩되지 않고 이격된다.
- [120] 제4 비아 도체(740)는 제3 단자 패턴(342), 제4 코일 패턴(312) 및 제5 코일 패턴(322)을 연결하는 비아 홀들로 구성되며, 코일 적층체(400)의 평면도에서 제1 비아 도체(710) 내지 제3 비아 도체(730)와 중첩되지 않고 이격된다.
- [121] 다르게 설명하면, 제1 가상 직선(L1)은 코일 적층체(400)의 상면과 하면을 관통하되, 코일 적층체(400)의 수직 단면도에서 제1 비아 도체(710)의 중심을 지나는 직선으로 정의된다.
- [122] 제2 가상 직선(L2)은 도면 상에서 코일 적층체(400)의 상면과 하면을 관통하되, 코일 적층체(400)의 수직 단면도에서 제2 비아 도체(720)의 중심을 지나는 직선으로 정의된다. 이때, 제2 가상 직선(L2)은 제1 가상 직선(L1)과 소정 간격 이격되어 제1 가상 직선(L1)과 평행하다.
- [123] 제3 가상 직선(L3)은 도면 상에서 코일 적층체(400)의 상면과 하면을 관통하되, 코일 적층체(400)의 수직 단면도에서 제3 비아 도체(730)의 중심을 지나는 직선으로 정의된다. 이때, 제3 가상 직선(L3)은 제1 가상 직선(L1) 및 제2 가상 직선(L2) 사이에서 위치하되, 제1 가상 직선(L1) 및 제2 가상 직선(L2)과 소정 간격 이격되고, 제1 가상 직선(L1) 및 제2 가상 직선(L2)과 평행하다.
- [124] 제4 가상 직선(L4)은 코일 적층체(400)의 상면과 하면을 관통하되, 도면 상에서 제4 비아 도체(740)의 중심을 지나는 직선으로 정의된다. 이때, 제4 가상 직선(L4)

은 제2 가상 직선(L2) 및 제3 가상 직선(L3) 사이에 위치하되, 제2 가상 직선(L2) 및 제3 가상 직선(L3)과 소정 간격 이격되고, 제1 가상 직선(L1) 내지 제3 가상 직선(L3)과 평행하다.

- [125] 다른 일례로, 도 15를 참조하면, 코일 적층체(400)는 제3 비아 도체(730) 및 제4 비아 도체(740) 사이에 제1 비아 도체(710) 및 제2 비아 도체(720)가 배치되도록 구성될 수도 있다. 즉, 제3 가상 직선(L3)과 제4 가상 직선(L4) 사이에 제1 가상 직선(L1)이 배치되고, 제1 가상 직선(L1)과 제4 가상 직선(L4) 사이에 제2 가상 직선(L2)이 배치된다. 이때, 제1 가상 직선(L1)은 제2 가상 직선(L2)과 중첩되지 않고 평행하다.
- [126] 이처럼, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 비아 도체들이 서로 겹치지 않도록 분산 배치함으로써, 적층 공정시 압력이 분산되어 비아 도체가 위치한 영역으로 압력이 집중되는 것을 방지할 수 있다.
- [127] 또한, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 비아 도체들을 분산 배치하여 적층 공정시 적층체에 가해지는 압력을 분산함으로써, 적층 공정에서 발생하는 적층체의 크랙을 방지할 수 있다.
- [128] 또한, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 비아 도체들을 분산 배치하여 적층 공정시 적층체에 가해지는 압력을 분산함으로써, 압력 집중에 의한 전극 늘림 현상을 방지하여 쇼트 발생을 방지할 수 있다.
- [129] 또한, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 비아 도체들을 분산 배치함으로써, 적층 공정시 비아 도체 영역과 주변 영역 사이에 요철이 형성되는 것을 방지하여 적층체 표면을 평탄하게 할 수 있다.
- [130] 또 다른 일례로, 도 16을 참조하면, 코일 적층체(400)는 제1 비아 도체(710) 및 제2 비아 도체(720)가 중첩되도록 구성될 수도 있다. 제3 가상 직선(L3) 및 제4 가상 직선(L4)은 서로 이격되고, 제1 가상 직선(L1) 및 제2 가상 직선(L2)은 제3 가상 직선(L3) 및 제4 가상 직선(L4) 사이에 개재되도록 구성된다. 이때, 제1 가상 직선(L1) 및 제2 가상 직선(L2)은 제3 가상 직선(L3) 및 제4 가상 직선(L4) 사이에서 겹쳐지도록 배치된다.
- [131] 이처럼, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 상대적으로 얇은 제1 두께를 갖는 제1 비아 도체(710)와 제2 비아 도체(720)를 중첩시키고, 상대적으로 두꺼운 제2 두께를 갖는 제3 비아 도체(730)와 제4 비아 도체(740)를 분산 배치함으로써, 적층 공정시 압력이 고르게 분산되어 적층체의 크랙을 방지하면서 적층체의 표면을 평탄하게 할 수 있다.
- [132] 한편, 코일 적층체(400)는 인접한 두 비아 도체가 커플링되어 추가 정전 용량이 형성된다. 즉, 코일 적층체(400)는 제1 채널(즉, 제1 코일)에 연결된 제1 비아 도체(710)와 제2 채널(즉, 제2 코일)에 연결된 제3 비아 도체(730) 사이에서 제1 정전 용량이 추가로 형성되고, 제1 채널(즉, 제1 코일)에 연결된 제2 비아 도체(720)와 제3 채널(즉, 제3 코일)에 연결된 제4 비아 도체(730) 사이에서 제2 정전 용량이 추가로 형성된다.

- [133] 이에, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 비아 도체들 사이의 간격을 조절하여 필터의 특성을 조절(튜닝)할 수 있다. 적층형 공통 모드 필터(100)는 제1 비아 도체(710)와 제3 비아 도체(7310) 사이의 간격인 제1 간격, 제2 비아 도체(720)와 제4 비아 도체(740) 사이의 간격인 제2 간격 중에서 하나 이상의 간격을 조절하여 필터의 특성을 조절할 수 있다.
- [134] 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 제1 간격 및/또는 제2 간격을 좁혀 노이즈 감쇄 성능을 강화하고, 제1 간격 및/또는 제2 간격을 넓혀 컷오프 주파수(Cut-off frequency)를 증가시켜 고속 신호 전송 특성을 강화할 수 있다.
- [135] 제3 적층체(500)는 제2 적층체(300)의 하부에 배치된다. 제3 적층체(500)는 금속 패턴이 형성된 복수의 시트를 적층하여 형성된다.
- [136] 일례로, 도 17을 참조하면, 제3 적층체(500)는 제9 시트(510), 제9 시트(510)의 하부에 배치된 제10 시트(520), 제10 시트(520)의 하부에 배치된 제11 시트(530), 제11 시트(530)의 하부에 배치된 제12 시트(540), 제12 시트(540)의 하부에 배치된 제13 시트(510)를 포함하여 구성된다. 이때, 제9 시트(510) 및 제10 시트(520)에는 커패시터를 형성하기 위한 금속 패턴(411~416, 422)이 형성된다. 제11 시트(530) 및 제12 시트(540)에는 인덕터를 형성하기 위한 금속 패턴(432, 442)이 형성된다. 제13 시트(510)에는 접지를 형성하기 위한 금속 패턴(452)이 형성된다.
- [137] 제9 시트(510)는 제8 시트(340)의 하부에 배치된다. 제9 시트(510)의 상면에는 복수의 커패시터 패턴이 배치된다. 커패시터 패턴은 적층형 공통 모드 필터(100)의 입력단 및 출력단에 배치되는 복수의 패턴으로 구성될 수도 있다.
- [138] 일례로, 도 18을 참조하면, 커패시터 패턴은 제1 커패시터 패턴(511), 제2 커패시터 패턴(512), 제3 커패시터 패턴(513), 제4 커패시터 패턴(514), 제5 커패시터 패턴(515), 제6 커패시터 패턴(516)을 포함하여 구성된다.
- [139] 제1 커패시터 패턴(511)은 제9 시트(510)의 상면에 배치된다.
- [140] 제1 커패시터 패턴(511)의 제1 단부(511a)는 제9 시트(510)의 중심에 인접하도록 배치된다.
- [141] 제1 커패시터 패턴(511)의 제2 단부(511b)는 제9 시트(510)의 제1 변과 동일선상에 위치하도록 배치된다. 제1 커패시터 패턴(511)은 필터 적층체(110)의 제1 측면으로 노출되어 제1 외부 전극(120)과 연결된다.
- [142] 제2 커패시터 패턴(512)은 제1 커패시터 패턴(511)과 이격되도록 제9 시트(510)의 상면에 배치된다. 제2 커패시터 패턴(512)은 제1 커패시터 패턴(511)과 이격되어 제9 시트(510)의 제4 변으로 치우쳐지도록 배치된다.
- [143] 제2 커패시터 패턴(512)의 제1 단부(512a)는 제9 시트(510)의 중심에 인접하도록 배치된다. 제2 커패시터 패턴(512)의 제2 단부(512b)는 제9 시트(510)의 제1 변과 동일선상에 위치하도록 배치된다. 제2 커패시터 패턴(512)은 필터 적층체(110)의 제1 측면으로 노출되어 제2 외부 전극(130)과 연결된다.

- [144] 제3 커패시터 패턴(513)은 제9 시트(510)의 상면에 배치된다. 제3 커패시터 패턴(513)은 제1 커패시터 패턴(511) 및 제2 커패시터 패턴(512)과 이격되어 제9 시트(510)의 제3 변으로 치우쳐지도록 배치된다. 제3 커패시터 패턴(513)은 제1 커패시터 패턴(511)을 사이에 두고 제2 커패시터 패턴(512)과 대향되도록 배치된다.
- [145] 제3 커패시터 패턴(513)의 제1 단부(513a)는 제9 시트(510)의 중심에 인접하도록 배치된다. 제3 커패시터 패턴(513)의 제2 단부(513b)는 제9 시트(510)의 제1 변과 동일선상에 위치하도록 배치된다. 제3 커패시터 패턴(513)은 필터 적층체(110)의 제1 측면으로 노출되어 제3 외부 전극(140)과 연결된다.
- [146] 제4 커패시터 패턴(514)은 제9 시트(510)의 상면에 배치된다.
- [147] 제4 커패시터 패턴(514)의 제1 단부(514a)는 제9 시트(510)의 중심에 인접하도록 배치된다. 제4 커패시터 패턴(514)의 제1 단부(514a)는 제1 커패시터 패턴(511)의 제1 단부(511a)와 마주한다.
- [148] 제4 커패시터 패턴(514)의 제2 단부(514b)는 제9 시트(510)의 제2 변과 동일선상에 위치하도록 배치된다. 제4 커패시터 패턴(514)은 필터 적층체(110)의 제2 측면으로 노출되어 제4 외부 전극(150)과 연결된다.
- [149] 제5 커패시터 패턴(515)은 제9 시트(510)의 상면에 배치된다. 제5 커패시터 패턴(515)은 제4 커패시터 패턴(514)과 이격되어 제9 시트(510)의 제3 변으로 치우쳐지도록 배치된다.
- [150] 제5 커패시터 패턴(515)의 제1 단부(515a)는 제9 시트(510)의 중심에 인접하도록 배치된다. 제5 커패시터 패턴(515)의 제1 단부(515a)는 제3 커패시터 패턴(513)의 제1 단부(513a)와 마주한다.
- [151] 제5 커패시터 패턴(515)의 제2 단부(515b)는 제9 시트(510)의 제2 변과 동일선상에 위치하도록 배치된다. 제5 커패시터 패턴(515)은 필터 적층체(110)의 제2 측면으로 노출되어 제5 외부 전극(160)과 연결된다.
- [152] 제6 커패시터 패턴(516)은 제9 시트(510)의 상면에 배치된다. 제6 커패시터 패턴(516)은 제4 커패시터 패턴(514) 및 제5 커패시터 패턴(515)과 이격되어 제9 시트(510)의 제4 변으로 치우쳐지도록 배치된다. 제6 커패시터 패턴(516)은 제4 커패시터 패턴(514)을 사이에 두고 제5 커패시터 패턴(515)과 대향되도록 배치된다.
- [153] 제6 커패시터 패턴(516)의 제1 단부(516a)는 제9 시트(510)의 중심에 인접하도록 배치된다. 제6 커패시터 패턴(516)의 제1 단부(516a)는 제2 커패시터 패턴(512)의 제1 단부(512a)와 마주한다.
- [154] 제6 커패시터 패턴(516)의 제2 단부(516b)는 제9 시트(510)의 제2 변과 동일선상에 위치하도록 배치된다. 제6 커패시터 패턴(516)은 필터 적층체(110)의 제2 측면으로 노출되어 제6 외부 전극(170)과 연결된다.
- [155] 필터 적층체(110)의 제1 측면에 배치된 제1 외부 전극(120) 내지 제3 외부 전극(140)이 적층형 공통 모드 필터(100)의 입력단이고, 필터 적층체(110)의 제2 측면

에 배치된 제3 외부 전극(140) 내지 제6 외부 전극(170)이 적층형 공통 모드 필터(100)의 출력단이라 가정한다.

- [156] 제1 커패시터 패턴(511) 내지 제3 커패시터 패턴(513)은 필터 적층체(110)의 제1 측면에 배치되어 제1 외부 전극(120) 내지 제3 외부 전극(140)과 각각 일대일로 연결되고, 제4 커패시터 패턴(514) 내지 제6 커패시터 패턴(516)은 필터 적층체(110)의 제2 측면에 배치되어 제4 외부 전극(150) 내지 제5 외부 전극(160)과 각각 일대일로 연결된다.
- [157] 한편, 필터 적층체(110)는 커패시턴스 특성의 조정/제어를 위해 입력단에 연결된 제1 커패시터 패턴(511) 내지 제3 커패시터 패턴(513)이 형성된 제9 시트(510)를 포함하거나, 출력단에 연결된 제4 커패시터 패턴(514) 내지 제6 커패시터 패턴(516)이 형성된 제9 시트(510)를 포함하여 구성될 수 있다.
- [158] 제10 시트(520)는 제9 시트(510)의 하부에 배치된다. 제10 시트(520)의 상면에는 제9 시트(510)의 커패시터 패턴들과 커패시턴스를 형성하는 플로팅 패턴(522)이 배치된다.
- [159] 도 19를 참조하면, 플로팅 패턴(522)은 판상으로 형성되어 제10 시트(520)의 상면에 배치된다. 플로팅 패턴(522)은 제10 시트(520)의 면적보다 좁은 면적을 갖고, 플로팅 패턴(522)의 외주는 제10 시트(520)의 네 변들과 이격되도록 배치된다. 플로팅 패턴(522)의 면적은 후술할 제1 인덕터 패턴(532) 및 제2 인덕터 패턴(542)의 면적보다 넓고 제10 시트(520)의 면적의 90% 이하로 형성된다.
- [160] 플로팅 패턴(522)은 제9 시트(510)의 커패시터 패턴들과 중첩되어 중첩 영역을 형성하고, 중첩 영역에서 커패시턴스를 형성한다.
- [161] 플로팅 패턴(522)은 제1 커패시터 패턴(511)과 제1 중첩 영역(522a)을 형성하고, 제1 중첩 영역(522a)에서 제1 커패시턴스를 형성한다. 플로팅 패턴(522)은 제2 커패시터 패턴(512)과 제2 중첩 영역(522b)을 형성하고, 제1 중첩 영역(522a)에서 제2 커패시턴스를 형성한다. 플로팅 패턴(522)은 제3 커패시터 패턴(513)과 제3 중첩 영역(522c)을 형성하고, 제1 중첩 영역(522a)에서 제3 커패시턴스를 형성한다. 플로팅 패턴(522)은 제4 커패시터 패턴(514)과 제4 중첩 영역(522d)을 형성하고, 제1 중첩 영역(522a)에서 제4 커패시턴스를 형성한다. 플로팅 패턴(522)은 제5 커패시터 패턴(515)과 제5 중첩 영역(522e)을 형성하고, 제1 중첩 영역(522a)에서 제5 커패시턴스를 형성한다. 플로팅 패턴(522)은 제6 커패시터 패턴(516)과 제6 중첩 영역(522f)을 형성하고, 제1 중첩 영역(522a)에서 제6 커패시턴스를 형성한다.
- [162] 이처럼, 플로팅 패턴(522)은 커패시터 패턴들과 커패시턴스를 형성한다. 이에, 적층형 공통 모드 필터(100)는 공통 모드 감쇠(Common mode Attenuation) 특성에 추가적인 노치(Notch)를 형성하여 감쇠(Attenuation) 대역을 확장할 수 있다. 즉, 적층형 공통 모드 필터(100)는 필터 적층체(110)의 코일 패턴들이 형성하는 폴(Pole)과 함께 플로팅 패턴(522)과 커패시터 패턴에 의한 추가 폴(Pole)이 형성되어 광대역 특성을 구현할 수 있다.

- [163] 제11 시트(530)는 제10 시트(520)의 하부에 배치된다. 제11 시트(530)의 상면에는 제1 인덕터 패턴(532)이 배치된다.
- [164] 일례로, 도 20을 참조하면, 제1 인덕터 패턴(532)은 제11 시트(530)의 상면에 권회하여 제7 루프를 형성한다. 제1 인덕터 패턴(532)은 제11 시트(530)의 중심을 관통하는 가상의 권취축을 권회하여 제7 루프를 형성한다.
- [165] 제1 인덕터 패턴(532)의 제1 단부(532a)는 제7 루프의 내주 영역에 배치되어 제11 시트(530)의 중심에 배치된다. 제1 인덕터 패턴(532)의 제1 단부(532a)는 비아 홀을 통해 제10 시트의 플로팅 패턴(522)과 연결된다.
- [166] 제1 인덕터 패턴(532)의 제2 단부(532b)는 제7 루프의 외주 영역에 배치된다.
- [167] 제12 시트(540)는 제11 시트(530)의 하부에 배치된다. 제12 시트(540)의 상면에는 제2 인덕터 패턴(542)이 배치된다.
- [168] 일례로, 도 21을 참조하면, 제2 인덕터 패턴(542)은 제12 시트(540)의 상면에 권회하여 제8 루프를 형성한다. 제2 인덕터 패턴(542)은 제12 시트(540)의 중심을 관통하는 가상의 권취축을 권회하여 제8 루프를 형성한다.
- [169] 제2 인덕터 패턴(542)의 제1 단부(542a)는 제8 루프의 내주 영역에 배치되어 제12 시트(540)의 중심에 배치된다. 이때, 제2 인덕터 패턴(542)의 제1 단부(542a)는 제12 시트(540)를 관통하는 비아 홀을 통해 제13 시트(510)의 접지 패턴(555)과 연결된다.
- [170] 제2 인덕터 패턴(542)의 제2 단부(542b)는 제8 루프의 외주 영역에 배치된다. 제2 인덕터 패턴(542)의 제2 단부(542b)는 비아 홀을 통해 제11 시트(530)의 제1 인덕터 패턴(532)과 연결된다. 이때, 제2 인덕터 패턴(542)의 제2 단부(542b)는 비아 홀을 통해 제1 인덕터 패턴(532)의 제2 단부(532b)와 연결된다.
- [171] 제1 인덕터 패턴(532)의 제2 단부(532b)와 제2 인덕터 패턴(542)의 제2 단부(542b)가 비아 홀을 통해 연결됨에 따라, 제1 인덕터 패턴(532) 및 제2 인덕터 패턴(542)은 소정의 인덕턴스를 형성하는 병렬 공통 인덕터를 구성한다.
- [172] 도 22를 참조하면, 제1 인덕터 패턴(532) 및 제2 인덕터 패턴(542)의 길이(면적)는 요구되는 2차 공진 주파수에 따라 달라질 수 있다.
- [173] 제1 인덕터 패턴(532) 및 제2 인덕터 패턴(542)의 길이가 길어지면 인덕턴스의 값이 증가하고, 2차 공진 주파수는 저 주파수로 이동한다. 제1 인덕터 패턴(532) 및 제2 인덕터 패턴(542)의 길이가 짧아지면 인덕턴스의 값이 감소하고, 2차 공진 주파수는 고 주파수로 이동한다.
- [174] 이에, 제1 인덕터 패턴(532) 및 제2 인덕터 패턴(542)의 길이는 요구되는 2차 공진 주파수에 따라 결정된다. 이때, 제1 인덕터 패턴(532) 및 제2 인덕터 패턴(542)은 동일한 길이로 형성되거나, 서로 다른 길이로 형성될 수 있다.
- [175] 제13 시트(510)는 제12 시트(540)의 하부에 배치되며, 제13 시트(510)에는 접지 패턴(555)이 형성된다.
- [176]

- [177] *접지 패턴(555)은 인덕터 패턴(532, 542)와 연결되고, 적층형 공통 모드 필터(100)와 인쇄회로기판 사이에서 형성되는 부유 용량에 의한 영향 감소시킨다.
- [178] 일례로, 도 23를 참조하면, 제13 시트(510)의 상면에는 접지 패턴(555)이 형성된다. 접지 패턴(555)은 제1 접지 패턴(555a), 제2 접지 패턴(555b), 제3 접지 패턴(555c)을 포함하여 구성될 수 있다.
- [179] 제1 접지 패턴(555a)은 판상으로 형성되어 제13 시트(510)의 상면 중앙에 배치된다. 제1 접지 패턴(555a)은 제13 시트(510)의 면적보다 좁은 면적을 갖고, 제1 접지 패턴(555a)의 외주는 제13 시트(510)의 네 변들과 이격되도록 배치된다. 제1 접지 패턴(555a)은 제12 시트(540)를 관통하는 비아 홀을 통해 제2 인덕터 패턴(542)의 제1 단부(542a)와 연결된다.
- [180] 제2 접지 패턴(555b)은 제1 접지 패턴(555a)의 제3 변으로부터 연장되어 제13 시트(510)의 제3 변과 동일선상에 위치하도록 배치된다. 제2 접지 패턴(555b)의 제1 단부는 제1 접지 패턴(555a)의 제3 변과 연결된다. 제2 접지 패턴(555b)의 제2 단부는 제13 시트(510)의 제3 변과 동일 선상에 위치하도록 배치되어 제7 외부 전극(180)과 연결된다.
- [181] 제3 접지 패턴(555c)은 제1 접지 패턴(555a)의 제4 변으로부터 연장되어 제13 시트(510)의 제4 변과 동일선상에 위치하도록 배치된다. 제3 접지 패턴(555c)의 제1 단부는 제1 접지 패턴(555a)의 제4 변과 연결된다. 제3 접지 패턴(555c)의 제2 단부는 제13 시트(510)의 제4 변과 동일 선상에 위치하도록 배치되어 제8 외부 전극(190)과 연결된다.
- [182] 그에 따라, 접지 패턴(555)은 필터 적층체(110)의 제3 측면 및 제4 측면으로 노출되어, 제7 외부 전극(180) 및 제8 외부 전극(190)과 연결된 접지를 형성한다.
- [183] 제1 외부 전극(120)은 필터 적층체(110)의 제1 측면에 배치된다. 제1 외부 전극(120)의 양단부는 필터 적층체(110)의 상면 및 하면으로 연장되도록 형성될 수도 있다.
- [184] 제1 외부 전극(120)은 필터 적층체(110)의 제1 측면으로 노출된 제1 단자 패턴(212), 제4 단자 패턴(344) 및 제1 커패시터 패턴(511)과 연결된다. 이때, 제1 외부 전극(120)은 제1 단자 패턴(212)의 제2 단부(212b), 제4 단자 패턴(344)의 제2 단부(344b) 및 제1 커패시터 패턴(511a)의 제2 단부(511b)와 연결된다.
- [185] 제2 외부 전극(130)은 필터 적층체(110)의 제1 측면에 배치된다. 제2 외부 전극(130)은 필터 적층체(110)의 제4 측면 방향으로 치우쳐지도록 배치되어 제1 외부 전극(120)과 이격된다. 제2 외부 전극(130)의 양단부는 필터 적층체(110)의 상면 및 하면으로 연장되도록 형성될 수도 있다.
- [186] 제2 외부 전극(130)은 필터 적층체(110)의 제1 측면으로 노출된 제3 단자 패턴(342) 및 제2 커패시터 패턴(512)과 연결된다. 제2 외부 전극(130)은 제3 단자 패턴(342)의 제2 단부(342b) 및 제2 커패시터 패턴(512)의 제2 단부(512b)와 연결된다.

- [187] 제3 외부 전극(140)은 필터 적층체(110)의 제1 측면에 배치된다. 제3 외부 전극(140)은 필터 적층체(110)의 제3 측면 방향으로 치우쳐지도록 배치되어 제1 외부 전극(120)과 이격된다. 제3 외부 전극(140)은 제1 외부 전극(120)을 사이에 두고 제2 외부 전극(130)과 대향된다. 제3 외부 전극(140)의 양단부는 필터 적층체(110)의 상면 및 하면으로 연장되도록 형성될 수도 있다.
- [188] 제3 외부 전극(140)은 필터 적층체(110)의 제1 측면으로 노출된 제2 단자 패턴(214) 및 제3 커패시터 패턴(513)과 연결된다. 제3 외부 전극(140)은 제2 단자 패턴(214)의 제2 단부(214b) 및 제3 커패시터 패턴(513)의 제2 단부(513b)와 연결된다.
- [189] 제4 외부 전극(150)은 필터 적층체(110)의 제2 측면에 배치된다. 제4 외부 전극(150)은 필터 적층체(110)를 사이에 두고 제1 외부 전극(120)과 대향되고, 제1 외부 전극(120)과 마주보도록 배치된다. 제4 외부 전극(150)의 양단부는 필터 적층체(110)의 상면 및 하면으로 연장되도록 형성될 수도 있다.
- [190] 제4 외부 전극(150)은 필터 적층체(110)의 제2 측면으로 노출된 제1 코일 패턴(222), 제6 코일 패턴(332) 및 제4 커패시터 패턴(514)과 연결된다. 제4 외부 전극(150)은 제1 코일 패턴(222)의 제2 단부(222b), 제6 코일 패턴(332)의 제2 단부(332b) 및 제4 커패시터 패턴(514)의 제2 단부(514b)와 연결된다.
- [191] 제5 외부 전극(160)은 필터 적층체(110)의 제2 측면에 배치된다. 제5 외부 전극(160)은 필터 적층체(110)를 사이에 두고 제3 외부 전극(140)과 대향되고, 제3 외부 전극(140)과 마주보도록 배치된다. 제5 외부 전극(160)은 필터 적층체(110)의 제3 측면 방향으로 치우쳐지도록 배치되어 제4 외부 전극(150)과 이격된다. 제5 외부 전극(160)의 양단부는 필터 적층체(110)의 상면 및 하면으로 연장되도록 형성될 수도 있다.
- [192] 제5 외부 전극(160)은 필터 적층체(110)의 제2 측면으로 노출된 제2 코일 패턴(232), 제3 코일 패턴(242) 및 제5 커패시터 패턴(515)과 연결된다. 제5 외부 전극(160)은 제2 코일 패턴(232)의 제2 단부(232b), 제3 코일 패턴(242)의 제2 단부(242b) 및 제5 커패시터 패턴(515)의 제2 단부(515b)와 연결된다.
- [193] 제6 외부 전극(170)은 필터 적층체(110)의 제2 측면에 배치된다. 제6 외부 전극(170)은 필터 적층체(110)를 사이에 두고 제2 외부 전극(130)과 대향되고, 제2 외부 전극(130)과 마주보도록 배치된다. 제6 외부 전극(170)은 필터 적층체(110)의 제4 측면 방향으로 치우쳐지도록 배치되어 제4 외부 전극(150)과 이격된다. 제6 외부 전극(170)은 제4 외부 전극(150)을 사이에 두고 제5 외부 전극(160)과 대향된다. 제6 외부 전극(170)의 양단부는 필터 적층체(110)의 상면 및 하면으로 연장되도록 형성될 수도 있다.
- [194] 제6 외부 전극(170)은 필터 적층체(110)의 제2 측면으로 노출된 제4 코일 패턴(312), 제5 코일 패턴(322) 및 제6 커패시터 패턴(516)과 연결된다. 제6 외부 전극(170)은 제4 코일 패턴(312)의 제2 단부(312b), 제5 코일 패턴(322)의 제2 단부(322b) 및 제6 커패시터 패턴(516)의 제2 단부(516b)와 연결된다.

- [195] 제7 외부 전극(180)은 필터 적층체(110)의 제3 측면에 배치된다. 제7 외부 전극(180)은 필터 적층체(110)의 제3 측면으로 노출된 접지 패턴(555)과 연결된다. 제7 외부 전극(180)은 필터 적층체(110)의 제3 측면으로 노출된 제2 접지 패턴(555b)의 제2 단부와 연결된다. 제7 외부 전극(180)의 양단부는 필터 적층체(110)의 상면 및 하면으로 연장되도록 형성될 수 있다.
- [196] 제8 외부 전극(190)은 필터 적층체(110)의 제4 측면에 배치된다. 제8 외부 전극(190)은 필터 적층체(110)를 사이에 두고 제8 외부 전극(190)과 대향된다. 제8 외부 전극(190)은 필터 적층체(110)의 제3 측면으로 노출된 접지 패턴(555)과 연결된다. 제8 외부 전극(190)은 필터 적층체(110)의 제4 측면으로 노출된 제3 접지 패턴(555c)의 제2 단부와 연결된다. 제8 외부 전극(190)의 양단부는 필터 적층체(110)의 상면 및 하면으로 연장되도록 형성될 수 있다.
- [197] 제1 외부 전극(120) 및 제4 외부 전극(150)은 제1 코일 패턴(222) 및 제6 코일 패턴(332)이 구성하는 제1 채널의 입력단 및 출력단으로 동작한다. 제3 외부 전극(140) 및 제5 외부 전극(160)은 제2 코일 패턴(232) 및 제3 코일 패턴(242)이 구성하는 제2 채널의 입력단 및 출력단으로 동작한다. 제2 외부 전극(130) 및 제6 외부 전극(170)은 제4 코일 패턴(312) 및 제5 코일 패턴(322)이 구성하는 제3 채널의 입력단 및 출력단으로 동작한다. 제7 외부 전극(180) 및 제7 외부 전극(180)은 접지 패턴(555)과 연결되어 접지단으로 동작한다.
- [198] 도 24에 도시된 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)의 동작 회로를 참조하면, 제1 코일과 제2 코일 사이, 제2 코일과 제3 코일 사이, 제1 코일과 제3 코일 사이에 정전 용량이 형성된다.
- [199] 필터 적층체(110)는 코일 패턴이 형성된 제1 적층체(200) 및 제2 적층체(300)를 적층하여 코일 적층체(400)를 형성하고, 코일 적층체(400)의 하부에 커패시터 패턴, 플로팅 패턴(522) 및 인덕터 패턴(532, 542)을 포함한 제3 적층체(500)를 적층하여 형성된다. 그에 따라, 각 채널의 코일과 외부 전극 사이에 연결된 커패시터 패턴들이 연결되고, 커패시터 패턴들과 플로팅 패턴(522) 사이에 커플링 효과(Coupling effect)가 유도되고, 이로 인해 각 채널의 코일과 외부 전극 사이에는 커패시터 패턴과 플로팅 패턴(522)에 의해 추가 정전 용량 C1 내지 C6이 형성된다.
- [200] 이에, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 코일 패턴을 포함한 전극층을 추가하거나, 코일 패턴의 면적을 증가시키지 않고도 정전 용량을 증가시킬 수 있어 동일한 사이즈에서 종래의 적층형 공통 모드 필터(10)보다 더 큰 정전 용량을 구현할 수 있다.
- [201]
- [202] *또한, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 커패시터 패턴과 플로팅 패턴(522)에 의해 추가 정전 용량이 형성됨에 따라, 공통 모드 감소(Common mode Attenuation) 특성에 추가적인 노치(Notch)를 형성하여 감소(Attenuation) 대역을 확장할 수 있다.

- [203] 한편, 제1 인덕터 패턴(532) 및 제2 인덕터 패턴(542)은 하나의 인덕터를 형성한다. 제1 인덕터 패턴(532) 및 제2 인덕터 패턴(542)에 의해 형성된 인덕터 패턴(532, 542)의 양단은 플로팅 패턴(522)과 접지 패턴(555)에 각각 연결되고, 플로팅 패턴(522)과 접지 패턴(555) 사이에 쇼트 회로를 구성한다.
- [204] 제1 인덕터 패턴(532) 및 제2 인덕터 패턴(542)에 의해 형성된 인덕터 패턴(532, 542)의 인덕턴스는 제1 인덕터 패턴(532)의 길이 및 제2 인덕터 패턴(542)의 길이에 의해 정의될 수 있다. 제1 인덕터 패턴(532) 및 제2 인덕터 패턴(542)에 의해 형성된 인덕터 패턴(532, 542)의 인덕턴스는 적층형 공통 모드 필터(100)의 2차 공진 주파수를 조정/제어하는 주요 인자(dominant factor)이다.
- [205] 1차 공진 주파수는 제1 코일, 제2 코일 및 제3 코일 사이에 형성되는 정전 용량에 의해 형성된다. 2차 공진 주파수는 커패시터 패턴(511~516), 플로팅 패턴(522), 인덕터 패턴(532, 542)에 의해 형성된다.
- [206] 이때, 인덕터 패턴(532, 542)은 커패시터 패턴(511~516)과 플로팅 패턴(522) 사이에 형성된 정전 용량에 비해 상대적으로 큰 값을 가지므로 2차 공진 주파수를 결정하는 주요 인자이다.
- [207] 인덕터 패턴(532, 542)은 동일 면적에서 값 조정폭이 2차 공진 주파수를 다양하게 조정할 수 있도록 하며, 커패시터 패턴(511~516)에 비해 면적이 작기 때문에 설계 자유도를 향상시킬 수 있다. 이때, 커패시터 패턴(511~516)과 플로팅 패턴(522)은 인덕터 패턴(532, 542)에 비해 상대적으로 작은 정전 용량을 형성하며, 이를 통해 신호 전송시 손실을 감소시킬 수 있다.
- [208] 이처럼, 인덕터 패턴(532, 542)은 2차 공진 주파수를 형성하는 주요 인자로 칩의 실장 방향에 따른 기생 인덕터(parasitic L)의 영향을 감소시켜 실장 방향에 따라 특성 편차가 발생하는 것을 방지할 수 있다.
- [209] 도 25를 참조하면, 제1 적층형 공통 모드 필터(100a)는 제1 인덕터 패턴(532) 및 제2 인덕터 패턴(542)이 제1 길이로 형성되고, 제2 적층형 공통 모드 필터(100b)는 제1 인덕터 패턴(532) 및 제2 인덕터 패턴(542)이 제2 길이로 형성되고, 제3 적층형 공통 모드 필터(100c)는 제1 인덕터 패턴(532) 및 제2 인덕터 패턴(542)이 제3 길이로 형성된 것으로 가정한다. 이때, 제1 길이는 제2 길이보다 짧고, 제2 길이는 제3 길이보다 짧다.
- [210] 도 26을 참조하면, 공통 모드(Common mode)를 기준으로, 제1 적층형 공통 모드 필터(100a, A), 제2 적층형 공통 모드 필터(100b, B) 및 제3 적층형 공통 모드 필터(100c, C)는 대략 2.45 GHz 정도에서 제1 공진 주파수(RF1)가 형성되고, 제1 적층형 공통 모드 필터(100a, A) 내지 제3 적층형 공통 모드 필터(100c, C)의 제1 공진 주파수(RF1)는 오차 범위 내에서 동일한 값으로 볼 수 있다.
- [211] 반면, 제1 적층형 공통 모드 필터(100a) 내지 제3 적층형 공통 모드 필터(100c)는 공통 모드(Common mode)에서 서로 다른 제2 공진 주파수(RF2-1~ RF2-3)가 형성된다. 즉, 제1 적층형 공통 모드 필터(100a, A)는 대략 4.8 GHz 정도에서 제2 공진 주파수(RF2-1)가 형성되고, 제2 적층형 공통 모드 필터(100b, B)는 대략 4.5 GHz

정도에서 제2 공진 주파수(RF2-2)가 형성되고, 제3 적층형 공통 모드 필터(100c, C)는 대략 4.2 GHz 정도에서 제2 공진 주파수(RF2-3)가 형성된다.

- [212] 즉, 인덕터 패턴(즉, 제1 인덕터 패턴(532) 및 제2 인덕터 패턴(542))은 길이가 길어지면 인덕턴스가 증가하고, 적층형 공통 모드 필터(100)의 제2 공진 주파수가 저 주파수 방향으로 이동한다. 인덕터 패턴(즉, 제1 인덕터 패턴(532) 및 제2 인덕터 패턴(542))은 길이가 짧아지면 인덕턴스가 감소하고, 적층형 공통 모드 필터(100)의 제2 공진 주파수가 고 주파수 방향으로 이동한다.
- [213] 도 27을 참조하면, 차동 모드(Differential Mode)를 기준으로, 제1 적층형 공통 모드 필터(100a) 내지 제3 적층형 공통 모드 필터(100c)는 대략 7.1 GHz, 7.2 GHz, 7.37 GHz, 7.53 GHz 정도에서 컷오프(cutoff)가 발생하고, 1 적층형 공통 모드 필터(100) 내지 제3 적층형 공통 모드 필터(100c)의 컷오프 주파수는 오차 범위 내에서 동일한 값으로 볼 수 있다.
- [214] 이를 통해, 인덕터 패턴(532, 542)의 길이는 적층형 공통 모드 필터(100)의 제2 공진 주파수를 조정(제어)하는 주요 인자(dominant factor)임을 알 수 있고, 제1 인덕터 패턴(532)의 길이 및/또는 제2 인덕터 패턴(542)의 길이를 조정하여 적층형 공통 모드 필터(100)의 제2 공진 주파수 특성을 변경할 수 있다.
- [215] 또한, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 인덕터 패턴(532, 542)을 포함하는 제3 적층체(500)를 코일 적층체(400)의 하부에 적층(배치)하여 쇼트 회로를 구성함으로써, 인덕터 패턴(532, 542)의 길이 조정을 통해 제2 공진 주파수를 자유롭게 조정/제어할 수 있다.
- [216] 도 28을 참조하면, 필터 적층체(110)는 제1 적층체(200)의 상부에 배치되는 제1 자성 시트(620), 제2 적층체(300) 및 제3 적층체(500) 사이에 개재된 제2 자성 시트(640)를 더 포함하여 구성될 수 있다. 이때, 제1 자성 시트(620) 및 제2 자성 시트(640)는 페라이트(ferrite) 등의 자성 재질로 형성된 시트인 것을 일례로 한다.
- [217] 도 29를 참조하면, 필터 적층체(110)는 제3 적층체(500)의 하부에 배치되는 제3 자성 시트(660)를 더 포함하여 구성될 수 있다. 이때, 제3 자성 시트(660)는 페라이트(ferrite) 등의 자성 재질로 형성된 시트인 것을 일례로 한다. 여기서 페라이트는 Ni-Zn 또는 Mn-Zn을 포함할 수 있다.
- [218] 제3 자성 시트(660)는 인덕터 패턴(532, 542)에 의한 병렬 인덕터를 증가시킬 수 있으며, 동일한 적층 구조에서 제3 자성 시트(660)를 최하부에 추가하여 적층형 공통 모드 필터(100)가 더 낮은 2차 공진 주파수를 갖도록 할 수 있다.
- [219] 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 필터 적층체(110)의 최하부에 배치되는 제3 자성 시트(660)의 유무를 통해 제1 공진 주파수와 제2 공진 주파수 사이의 간격을 조정할 수 있다. 이때, 적층형 공통 모드 필터(100)는 제3 자성 시트(660)를 배치하여 제1 공진 주파수와 제2 공진 주파수 사이의 간격을 좁게(가깝게)할 수 있다.
- [220] 도 30을 참조하면, 제1 적층형 공통 모드 필터(100a)는 제3 자성 시트(660)를 포함하지 않고, 인덕터 패턴(532, 542)의 길이가 제1 길이로 형성되고, 제2 적층형

공통 모드 필터(100b)는 제3 자성 시트(660)를 포함하지 않고, 인덕터 패턴(532, 542)의 길이가 제1 길이보다 긴 제2 길이로 형성되고, 제3 적층형 공통 모드 필터(100c)는 제3 자성 시트(660)를 포함하고, 인덕터 패턴(532, 542)의 길이가 제1 길이로 형성되고, 제4 적층형 공통 모드 필터(100)는 제3 자성 시트(660)를 포함하고, 인덕터 패턴(532, 542)의 길이가 제1 길이보다 긴 제2 길이로 형성된다.

- [221] 도 31을 참조하면, 제1 적층형 공통 모드 필터(100a)는 대략 2.35 GHz 정도의 제1 공진 주파수와 대략 4.97 GHz 정도의 제2 공진 주파수를 갖는다. 제2 적층형 공통 모드 필터(100b)는 대략 2.38 GHz 정도의 제1 공진 주파수와 대략 4.37 GHz 정도의 제2 공진 주파수를 갖는다. 제3 적층형 공통 모드 필터(100c)는 대략 2.45 GHz 정도의 제1 공진 주파수와 대략 4.8 GHz 정도의 제2 공진 주파수를 갖는다. 제4 적층형 공통 모드 필터(100)는 대략 2.50 GHz 정도의 제1 공진 주파수와 대략 4.21 GHz 정도의 제2 공진 주파수를 갖는다.
- [222] 제1 적층형 공통 모드 필터(100a)의 제1 공진 주파수 및 제2 공진 주파수 사이의 간격 G1은 대략 2.62 GHz 정도이고, 제2 적층형 공통 모드 필터(100b)의 제1 공진 주파수 및 제2 공진 주파수 사이의 간격 G2는 대략 1.99 GHz 정도이고, 제3 적층형 공통 모드 필터(100c)의 제1 공진 주파수 및 제2 공진 주파수 사이의 간격 G3은 대략 2.35 GHz 정도이고, 제4 적층형 공통 모드 필터(100)의 제1 공진 주파수 및 제2 공진 주파수 사이의 간격 G4는 대략 1.71 GHz 정도이다.
- [223] 인덕터 패턴(532, 542)의 길이가 동일한 제1 적층형 공통 모드 필터(100a)와 제3 적층형 공통 모드 필터(100c)를 비교하면, 제3 자성 시트(660)를 포함한 제3 적층형 공통 모드 필터(100c)의 간격 G3은 제3 자성 시트(660)를 포함하지 않은 제1 적층형 공통 모드 필터(100a)의 간격 G1보다 대략 0.27 GHz 정도 감소한다.
- [224] 인덕터 패턴(532, 542)의 길이가 동일한 제2 적층형 공통 모드 필터(100b)와 제4 적층형 공통 모드 필터(100)를 비교하면, 제3 자성 시트(660)를 포함한 제4 적층형 공통 모드 필터(100)의 간격 G4는 제3 자성 시트(660)를 포함하지 않은 제2 적층형 공통 모드 필터(100b)의 간격 G2보다 대략 0.28 GHz 정도 감소한다.
- [225] 이를 통해, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 필터 적층체(110)의 최하부에 배치되는 제3 자성 시트(660)를 이용하여 제1 공진 주파수와 제2 공진 주파수 사이의 간격을 조정(제어)할 수 있다.
- [226] 도 32를 참조하면, 종래의 적층형 공통 모드 필터는 코일 적층체(12)와 커패시터 적층체(13)가 적층된 구조(즉, LC 필터 구조)를 갖는데 비해, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 코일 적층체(400)의 하부에 커패시터 및 인덕터가 적층된 제3 적층체(500)가 적층된 구조(즉, LPF 필터 구조)를 갖는 차이가 있다. 이로 인해, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 공통 모드(Common mode)에서의 감쇠 특성 및 차동 모드(Differential Mode)에서의 삽입 손실 및 컷오프(Cutoff) 특성이 종래의 적층형 공통 모드 필터(10)에 비해 향상된다.

- [227] 도 33을 참조하면, 종래의 적층형 공통 모드 필터(C)는 3개의 공진 주파수가 형성되며, 대략 2.5 GHz 정도에서 제1 공진 주파수가 형성되고, 대략 5.2 GHz 정도에서 제2 공진 주파수가 형성되고, 대략 7.3 GHz 정도에서 제3 공진 주파수가 형성된다.
- [228] 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100, D)는 2개의 공진 주파수가 형성되며, 대략 2.5 GHz 정도에서 제1 공진 주파수가 형성되고, 대략 5.5 GHz 정도에서 제2 공진 주파수가 형성된다.
- [229] 이처럼, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100)는 공통 모드 감쇠 대역(즉, 타겟(Target) 대역)에만 감쇠 성능이 집중되어, 공통 모드에서의 감쇠 특성이 종래의 적층형 공통 모드 필터(10)에 비해 향상됨을 알 수 있다.
- [230] 도 34를 참조하면, 본 발명의 실시 예에 따른 적층형 공통 모드 필터(100, E)는 차동 모드에서 종래의 적층형 공통 모드 필터(F)에 비해 저주파 Cutoff 특성이 향상되고, 리플(Ripple) 감소하는 것을 알 수 있다.
- [231] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

청구범위

- [청구항 1] 제1 코일 패턴, 제2 코일 패턴 및 제3 코일 패턴을 구비한 제1 적층체; 및 제4 코일 패턴, 제5 코일 패턴 및 제6 코일 패턴을 구비하고, 상기 제1 적층체의 하부에 배치되어 상기 제1 적층체와 코일 적층체를 구성하는 제2 적층체를 포함하고,
상기 코일 적층체는,
상기 제1 적층체 내에서 상기 제1 코일 패턴과 연결된 제1 비아 도체;
상기 제2 적층체 내에서 상기 제6 코일 패턴과 연결된 제2 비아 도체;
상기 제1 적층체 내에서 상기 제2 코일 패턴 및 상기 제3 코일 패턴과 연결된 제3 비아 도체; 및
상기 제2 적층체 내에서 상기 제4 코일 패턴 및 상기 제5 코일 패턴과 연결된 제4 비아 도체를 포함하고,
상기 코일 적층체의 평면도(top view)에서, 상기 제4 비아 도체는 상기 제1 비아 도체, 상기 제2 비아 도체 및 상기 제3 비아 도체와 중첩되지 않는 위치에 배치된 적층형 공통 모드 필터.
- [청구항 2] 제1항에 있어서,
상기 제1 적층체는 제1 단자 패턴 및 제2 단자 패턴을 더 구비하고,
상기 제2 적층체는 제3 단자 패턴 및 제4 단자 패턴을 더 구비하고,
상기 제1 비아 도체는 상기 제1 적층체 내에서 상기 제1 코일 패턴을 제1 단자 패턴과 연결하고,
상기 제2 비아 도체는 상기 제2 적층체 내에서 상기 제6 코일 패턴을 상기 제4 단자 패턴과 연결하고,
상기 제3 비아 도체는 상기 제1 적층체 내에서 상기 제2 코일 패턴 및 상기 제3 코일 패턴을 상기 제2 단자 패턴과 연결하고,
상기 제4 비아 도체는 상기 제2 적층체 내에서 상기 제4 코일 패턴 및 상기 제5 코일 패턴을 상기 제3 단자 패턴과 연결하는 적층형 공통 모드 필터.
- [청구항 3] 제1항에 있어서,
상기 코일 적층체의 평면도(top view)에서, 상기 제3 비아 도체는 상기 제1 비아 도체 및 상기 제2 비아 도체와 중첩되지 않는 위치에 배치된 적층형 공통 모드 필터.
- [청구항 4] 제3항에 있어서,
상기 코일 적층체의 평면도(top view)에서, 상기 제1 비아 도체는 상기 제2 비아 도체와 중첩되지 않는 위치에 배치된 적층형 공통 모드 필터.
- [청구항 5] 제3항에 있어서,
상기 코일 적층체의 평면도(top view)에서, 상기 제1 비아 도체는 상기 제2 비아 도체와 중첩되는 위치에 배치된 적층형 공통 모드 필터.
- [청구항 6] 제1항에 있어서,

상기 코일 적층체의 수직 단면도에서,
 상기 제1 비아 도체는 상기 제2 비아 도체와 이격되도록 배치되고,
 상기 제3 비아 도체 및 상기 제4 비아 도체는 상기 제1 비아 도체 및 상기 제2 비아 도체 사이에서 서로 이격되도록 배치되고,
 상기 제3 비아 도체는 상기 제1 비아 도체 및 상기 제4 비아 도체 사이에 개재된 적층형 공통 모드 필터.

[청구항 7] 제1항에 있어서,
 상기 코일 적층체의 수직 단면도에서,
 상기 제3 비아 도체는 상기 제4 비아 도체와 이격되도록 배치되고,
 상기 제1 비아 도체 및 상기 제2 비아 도체는 상기 제3 비아 도체 및 상기 제4 비아 도체 사이에서 서로 이격되도록 배치되고,
 상기 제1 비아 도체는 상기 제2 비아 도체 및 상기 제3 비아 도체 사이에 개재된 적층형 공통 모드 필터.

[청구항 8] 제1항에 있어서,
 상기 코일 적층체의 수직 단면도에서,
 상기 제3 비아 도체는 상기 제4 비아 도체와 이격되도록 배치되고,
 상기 제1 비아 도체 및 상기 제2 비아 도체는 상기 제3 비아 도체 및 상기 제4 비아 도체 사이에 개재되고, 상기 코일 적층체의 평면도에서 중첩되도록 배치된 적층형 공통 모드 필터.

[청구항 9] 제1항에 있어서,
 복수의 커패시터 패턴, 플로팅 패턴, 인덕터 패턴 및 접지 패턴을 구비하고, 상기 제2 적층체의 하부에 배치된 제3 적층체를 더 포함하는 적층형 공통 모드 필터.

[청구항 10] 제9항에 있어서,
 상기 제3 적층체는,
 상기 제2 적층체의 하부에 배치된 복수의 커패시터 패턴;
 상기 복수의 커패시터 패턴의 하부에 배치되고, 상기 복수의 커패시터 패턴과 중첩되어 추가 정전 용량을 형성하도록 구성된 플로팅 패턴;
 상기 플로팅 패턴의 하부에 배치된 접지 패턴; 및
 상기 플로팅 패턴과 상기 접지 패턴 사이에 배치된 인덕터 패턴을 포함하고,
 상기 인덕터 패턴의 제1 단부는 상기 플로팅 패턴과 연결되고, 상기 인덕터 패턴의 제2 단부는 상기 접지 패턴과 연결된 적층형 공통 모드 필터.

[청구항 11] 제9항에 있어서,
 상기 제3 적층체는,
 제9 시트;
 상기 제9 시트의 제1 면에 배치되되 서로 이격된 복수의 커패시터 패턴;
 상기 제9 시트의 하부에 배치된 제10 시트; 및

상기 제10 시트의 제1 면에 배치되고, 상기 복수의 커패시터 패턴과 중첩되어 복수의 중첩 영역을 형성하고, 상기 복수의 중첩 영역에서 추가 정전 용량을 형성하도록 구성된 플로팅 패턴을 포함하는 적층형 공통 모드 필터.

[청구항 12] 제11항에 있어서,
상기 제3 적층체는,
상기 제10 시트의 하부에 배치된 접지 패턴; 및
상기 제10 시트 및 상기 접지 패턴 사이에 개재되고, 상기 플로팅 패턴과 연결된 제1 단부와 상기 접지 패턴과 연결된 제2 단부를 갖는 인덕터 패턴을 더 포함하는 적층형 공통 모드 필터.

[청구항 13] 제12항에 있어서,
상기 제3 적층체는,
상기 제10 시트 및 상기 접지 패턴 사이에 개재된 제11 시트; 및
상기 제11 시트와 상기 접지 패턴 사이에 개재된 제12 시트를 더 포함하고,
상기 인덕터 패턴은,
상기 제11 시트의 제1 면에 배치되고, 상기 제10 시트를 관통하는 비아 홀을 통해 상기 플로팅 패턴과 연결된 제1 단부와 상기 제1 단부와 이격된 제2 단부를 갖는 제1 인덕터 패턴; 및
상기 제12 시트의 제1 면에 배치되고, 상기 접지 패턴과 연결된 제1 단부와 상기 제11 시트를 관통하는 비아 홀을 통해 상기 제1 인덕터 패턴의 제2 단부와 연결된 제2 단부를 갖는 제2 인덕터 패턴을 포함하는 적층형 공통 모드 필터.

[청구항 14] 제9항에 있어서,
상기 제1 적층체의 상부에 배치된 제1 자성 시트; 및
상기 제2 적층체와 상기 제3 적층체 사이에 개재된 제2 자성 시트를 더 포함하는 적층형 공통 모드 필터.

[청구항 15] 제14항에 있어서,
상기 제3 적층체의 하부에 배치된 제3 자성 시트를 더 포함하는 적층형 공통 모드 필터.

[청구항 16] 제9항에 있어서,
상기 제1 적층체, 상기 제2 적층체 및 상기 제3 적층체가 적층된 필터 적층체는 제1 공진 주파수 및 상기 제1 공진 주파수 보다 높은 제2 공진 주파수를 갖고,
상기 제2 공진 주파수는 상기 인덕터 패턴의 길이가 증가하면 더 높은 주파수로 이동하는 적층형 공통 모드 필터.

[청구항 17] 제9항에 있어서,

상기 제1 적층체, 상기 제2 적층체 및 상기 제3 적층체가 적층된 필터 적층체는 제1 공진 주파수 및 상기 제1 공진 주파수 보다 높은 제2 공진 주파수를 갖고,

상기 제2 공진 주파수는 상기 인덕터 패턴의 길이가 감소하면 더 낮은 주파수로 이동하는 적층형 공통 모드 필터.

[청구항 18]

제9항에 있어서,

상기 제1 적층체, 상기 제2 적층체 및 상기 제3 적층체가 적층된 필터 적층체는 제1 측면, 상기 제1 측면과 대향되는 제2 측면, 제3 측면 및 상기 제3 측면과 대향되는 제4 측면을 갖고,

상기 제1 측면에 배치되고, 상기 제1 측면으로 노출된 제1 단자 패턴의 제2 단부, 제4 단자 패턴의 제2 단부 및 제1 커패시터 패턴의 제2 단부와 연결된 제1 외부 전극;

상기 제1 측면에 배치되고, 상기 제1 측면으로 노출된 제3 단자 패턴의 제2 단부 및 제2 커패시터 패턴의 제2 단부와 연결된 제2 외부 전극;

상기 제1 측면에 배치되고, 상기 제1 측면으로 노출된 제2 단자 패턴의 제2 단부 및 제3 커패시터 패턴의 제2 단부와 연결된 제3 외부 전극;

상기 제2 측면에 배치되고, 상기 제2 측면으로 노출된 제1 코일 패턴의 제2 단부, 제6 코일 패턴의 제2 단부 및 제4 커패시터 패턴의 제2 단부와 연결된 제4 외부 전극;

상기 제2 측면에 배치되고, 상기 제2 측면으로 노출된 제2 코일 패턴의 제2 단부, 제3 코일 패턴의 제2 단부 및 제5 커패시터 패턴의 제2 단부와 연결된 제5 외부 전극; 및

상기 제2 측면에 배치되고, 상기 제2 측면으로 노출된 제4 코일 패턴의 제2 단부, 제5 코일 패턴의 제2 단부 및 제6 커패시터 패턴의 제2 단부와 연결된 제6 외부 전극을 더 포함하는 적층형 공통 모드 필터.

[청구항 19]

제18항에 있어서,

상기 제3 측면에 배치되고, 상기 제3 측면으로 노출된 접지 패턴의 제1 단부와 연결된 제7 외부 전극; 및

상기 제4 측면에 배치되고, 상기 제4 측면으로 노출된 상기 접지 패턴의 제21 단부와 연결된 제8 외부 전극을 더 포함하는 적층형 공통 모드 필터.

[청구항 20]

제1항에 있어서,

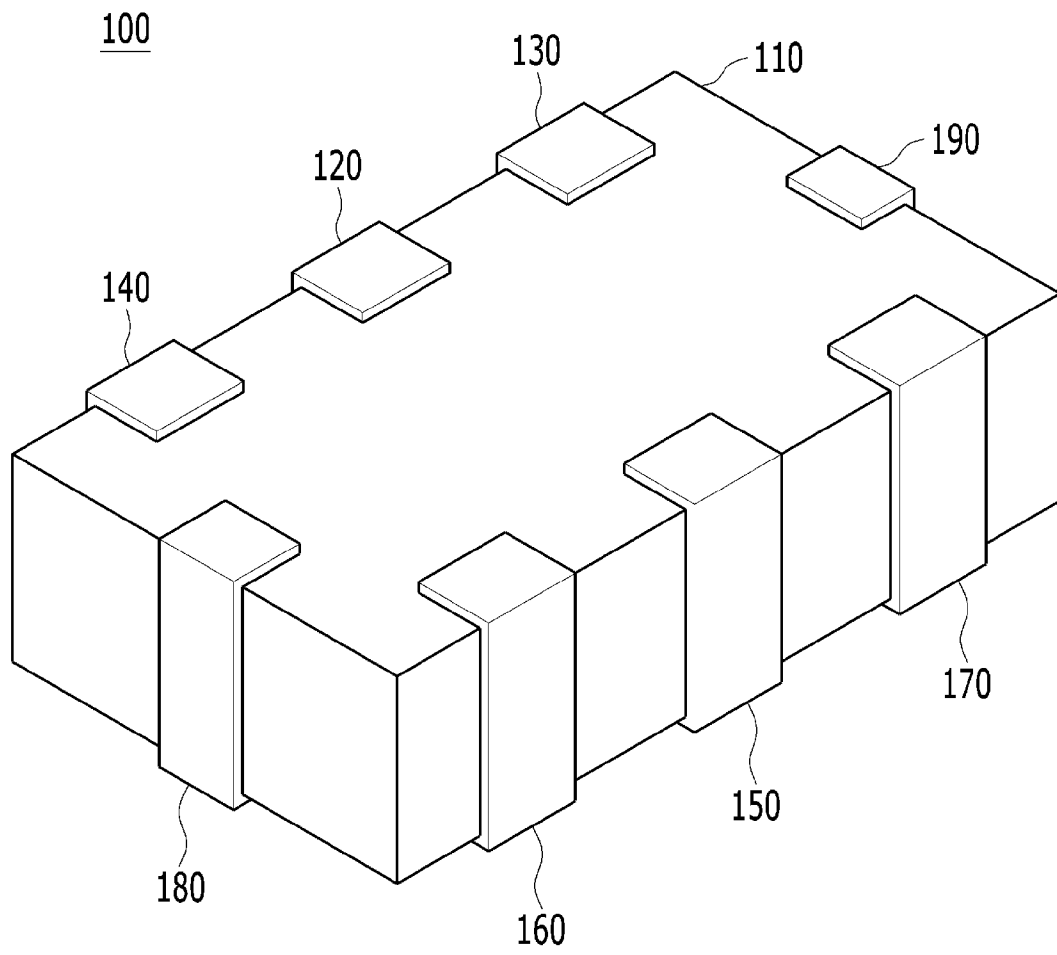
상기 코일 적층체는 상기 제1 코일 패턴, 상기 제2 코일 패턴, 상기 제3 코일 패턴, 상기 제4 코일 패턴, 상기 제5 코일 패턴 및 상기 제6 코일 패턴이 순차적으로 적층되도록 구성되고,

상기 제1 코일 패턴과 상기 제6 코일 패턴은 제1 채널을 구성하는 제1 코일을 형성하고,

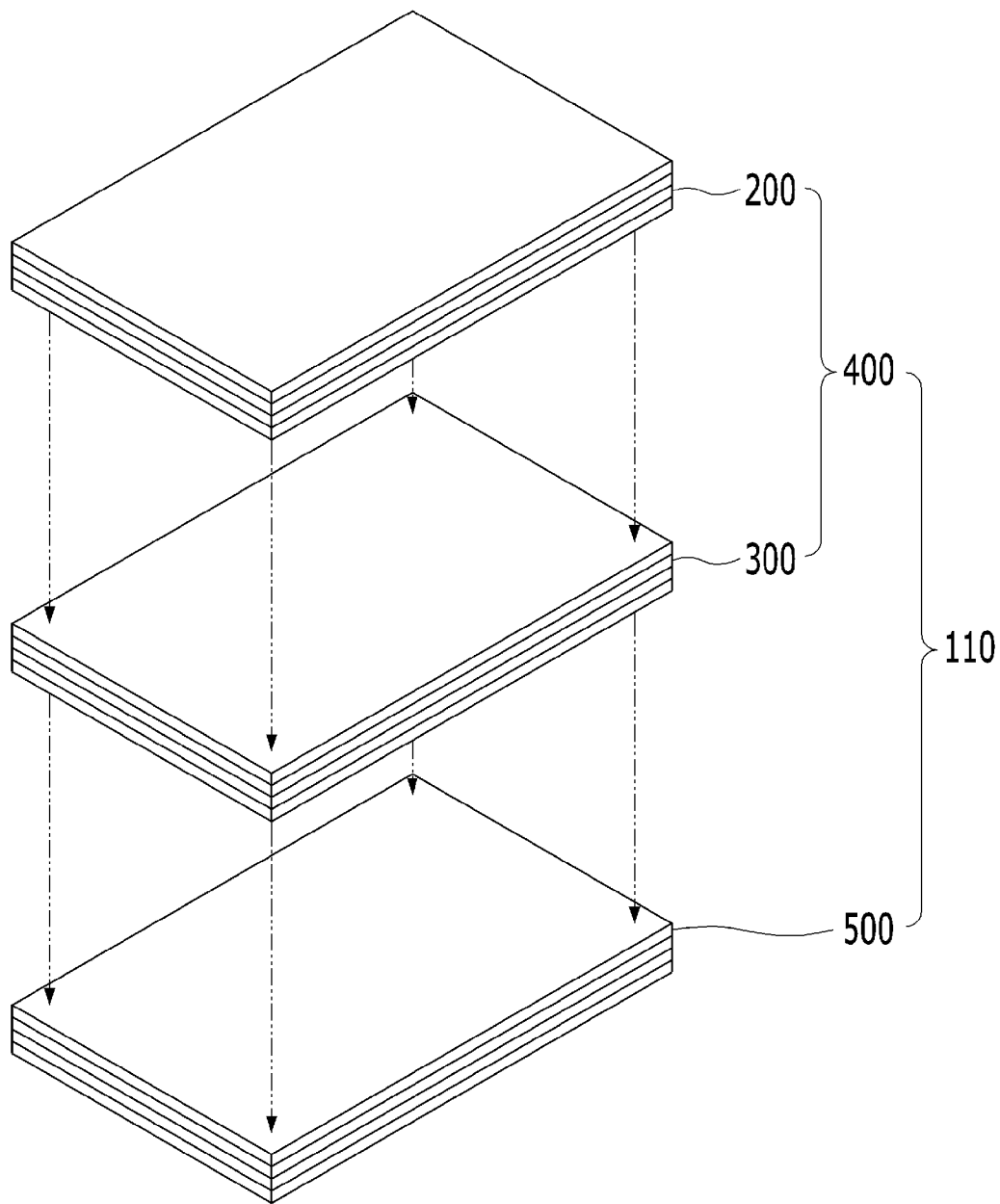
상기 제2 코일 패턴과 상기 제3 코일 패턴은 상기 제1 코일 패턴과 상기 제6 코일 패턴 사이에 개재되어 제2 채널을 구성하는 제2 코일을 형성하고,

상기 제4 코일 패턴 및 상기 제5 코일 패턴은 상기 제3 코일 패턴과 상기 제6 코일 패턴 사이에 개재되어 제3 채널을 구성하는 제3 코일을 형성하는 적층형 공통 모드 필터.

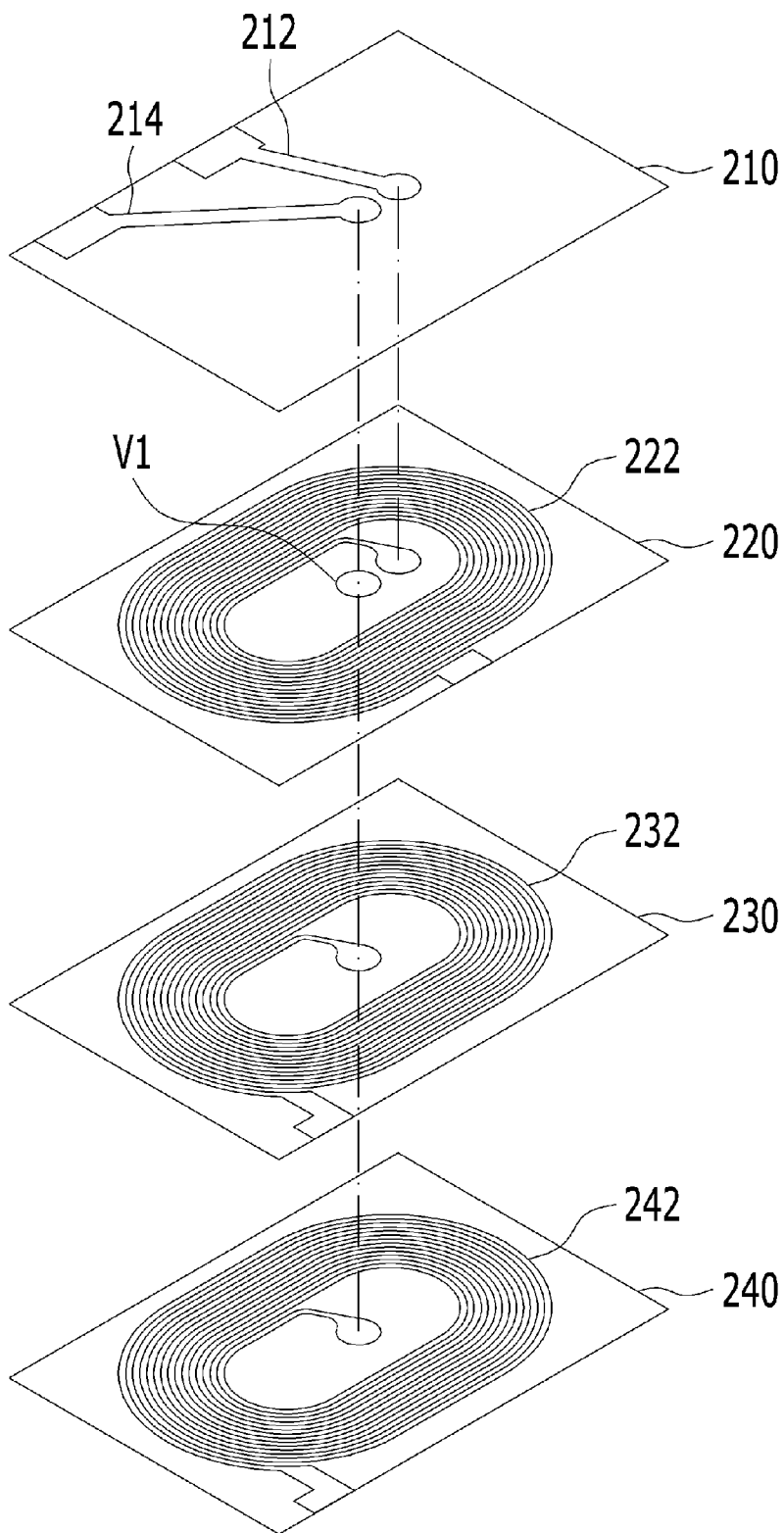
[도 1]



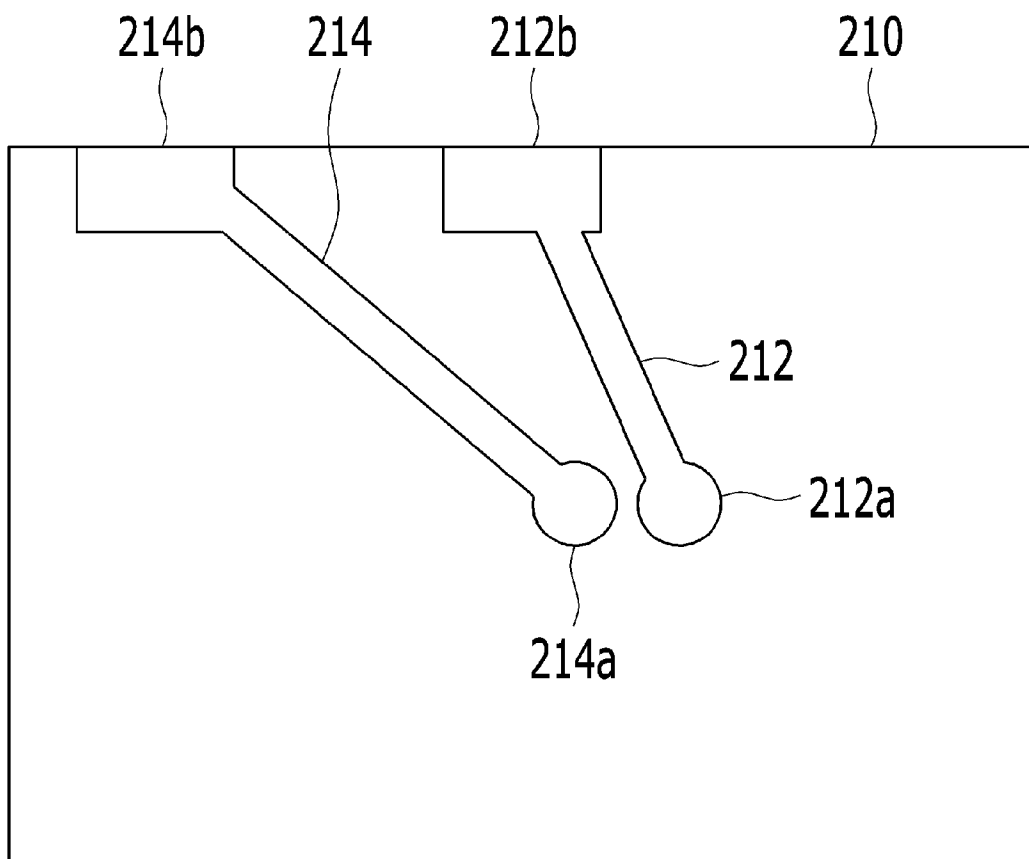
[도2]



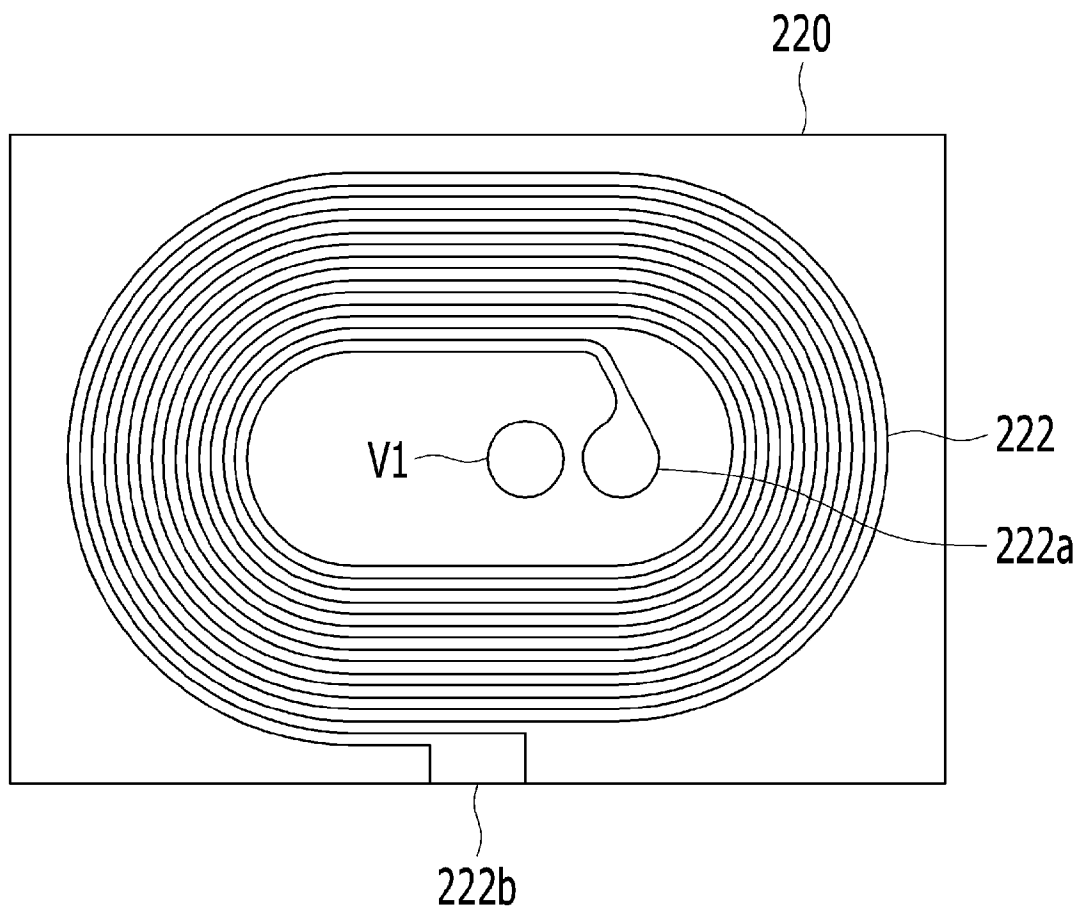
[도3]

200

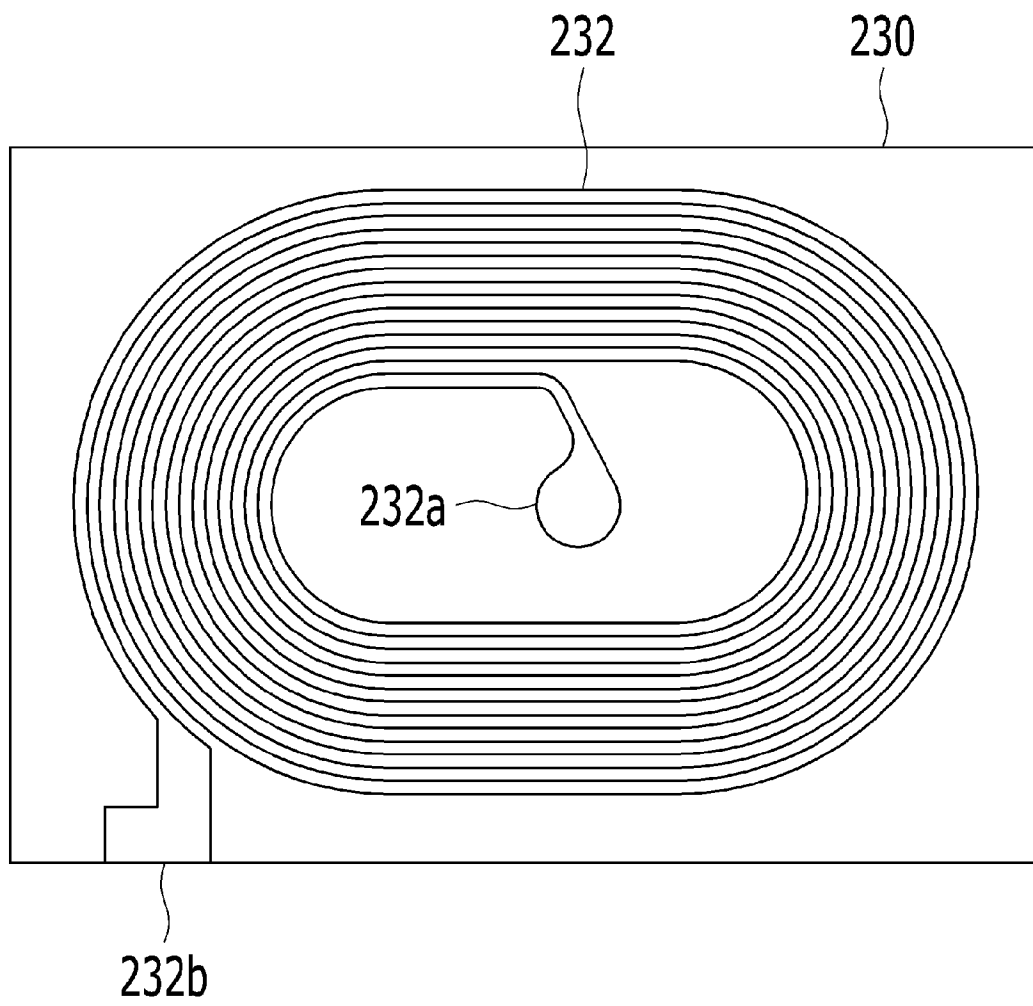
[도4]



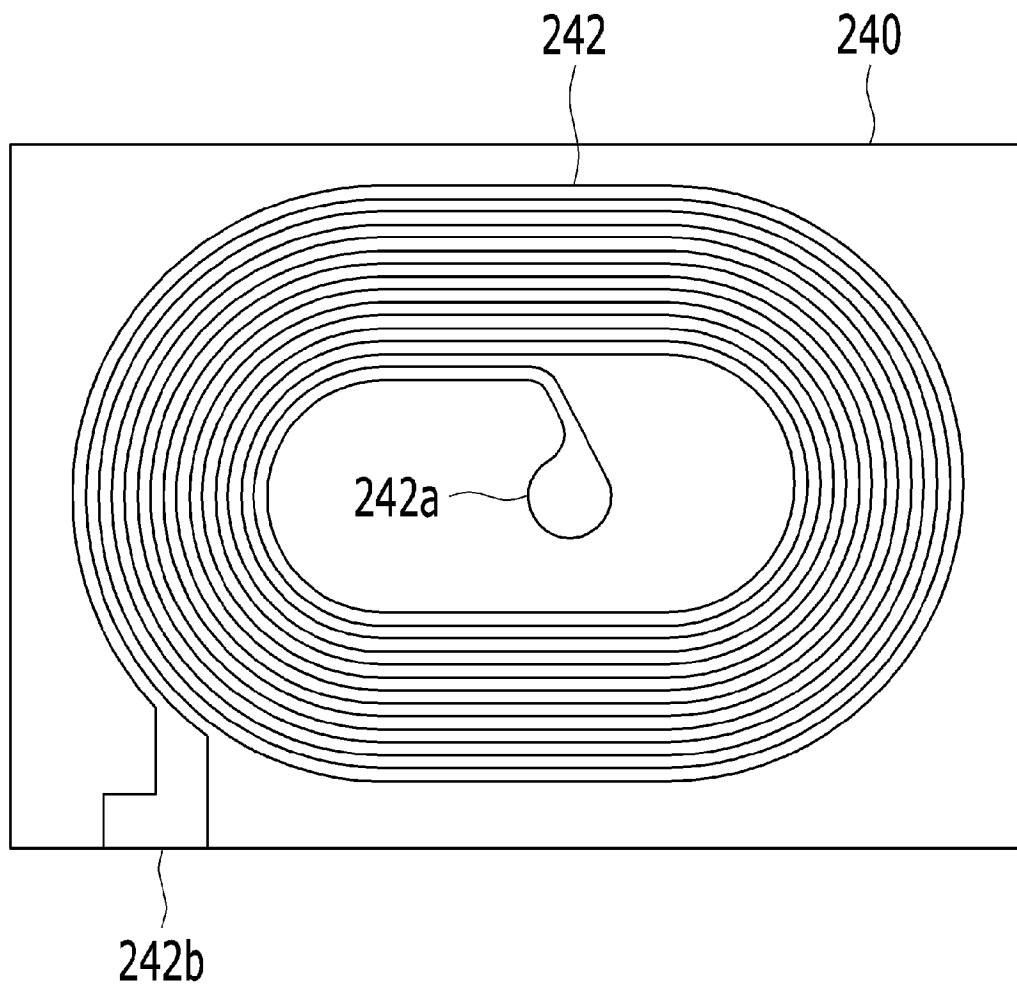
[도5]



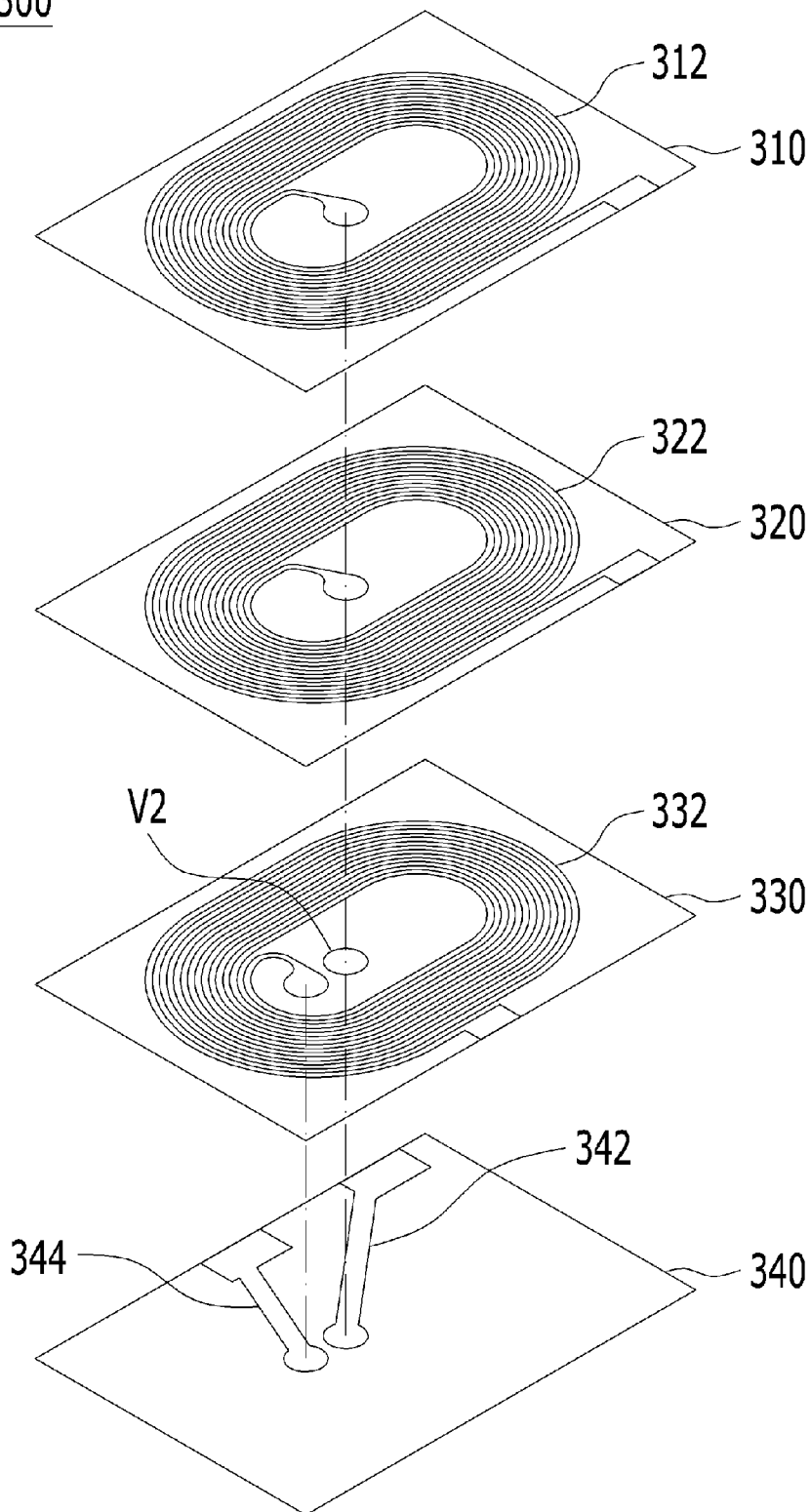
[도6]



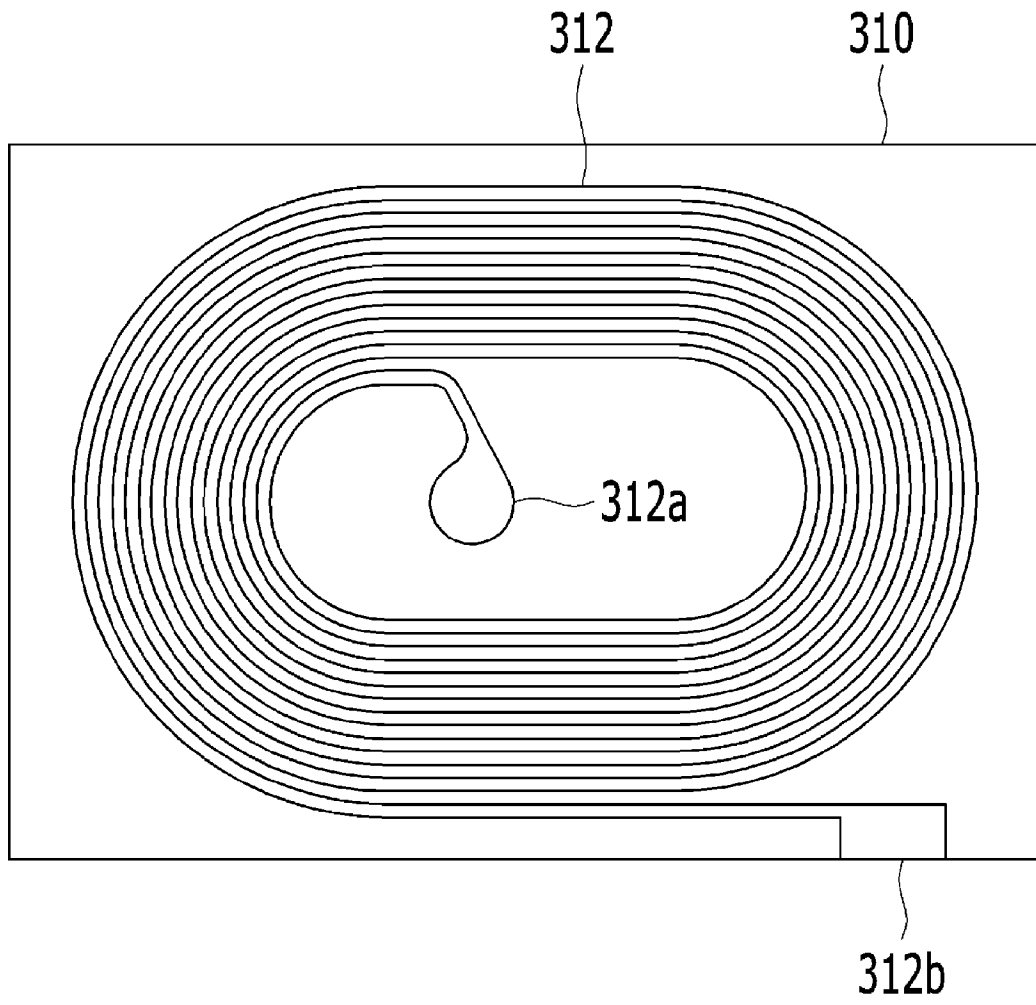
[도7]



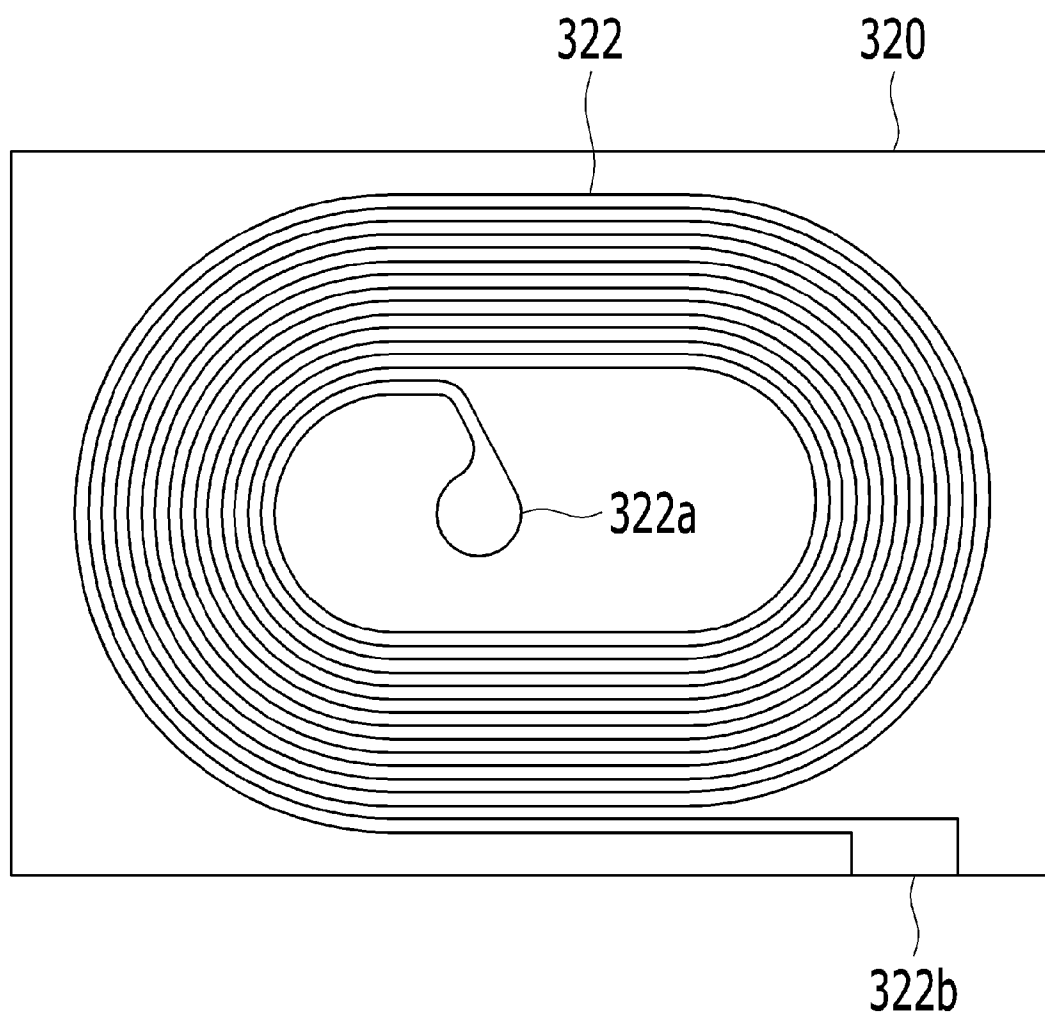
[도8]

300

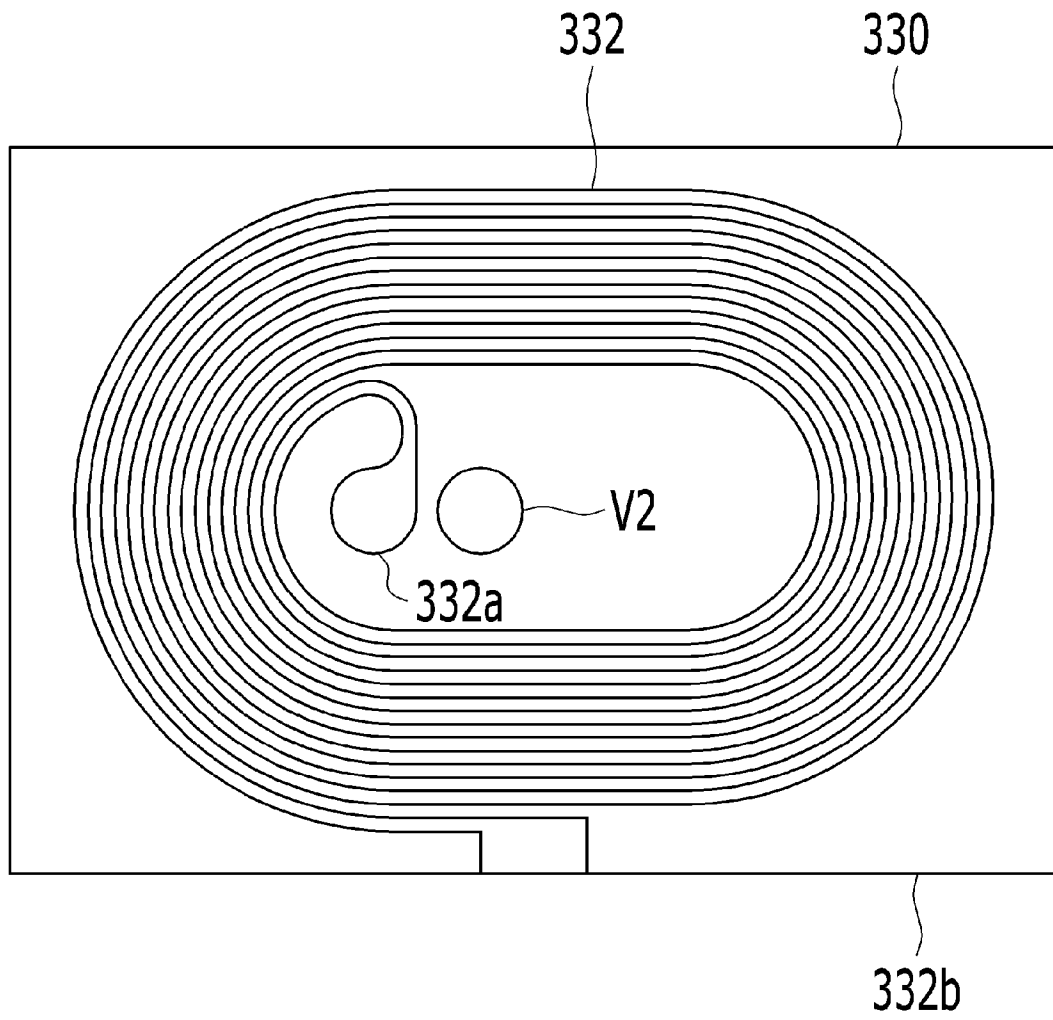
[도9]



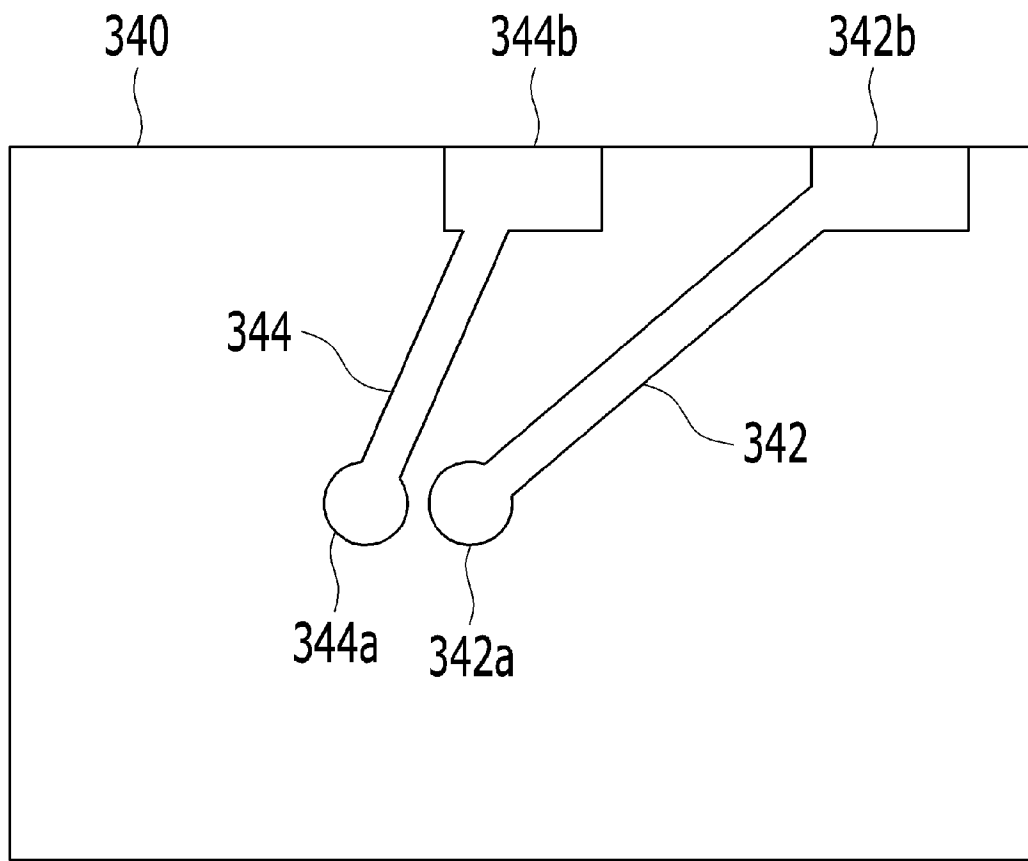
[도10]



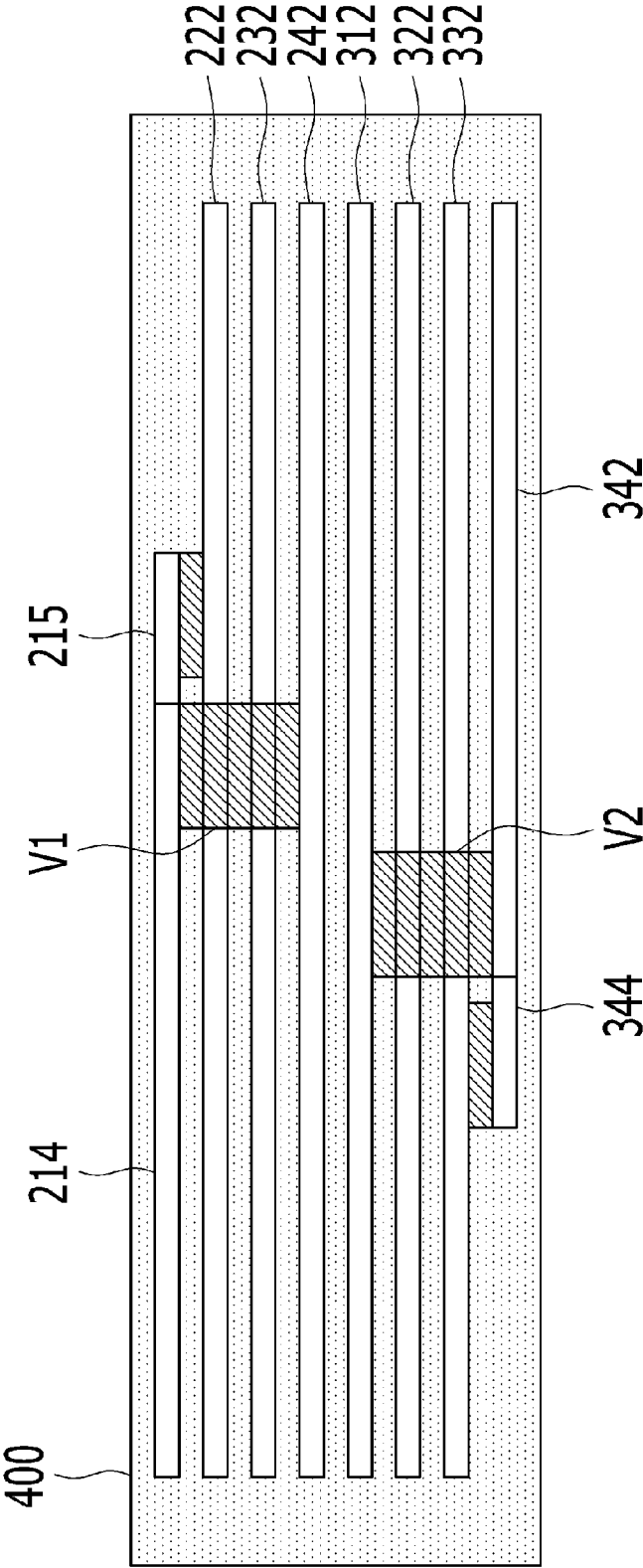
[도11]



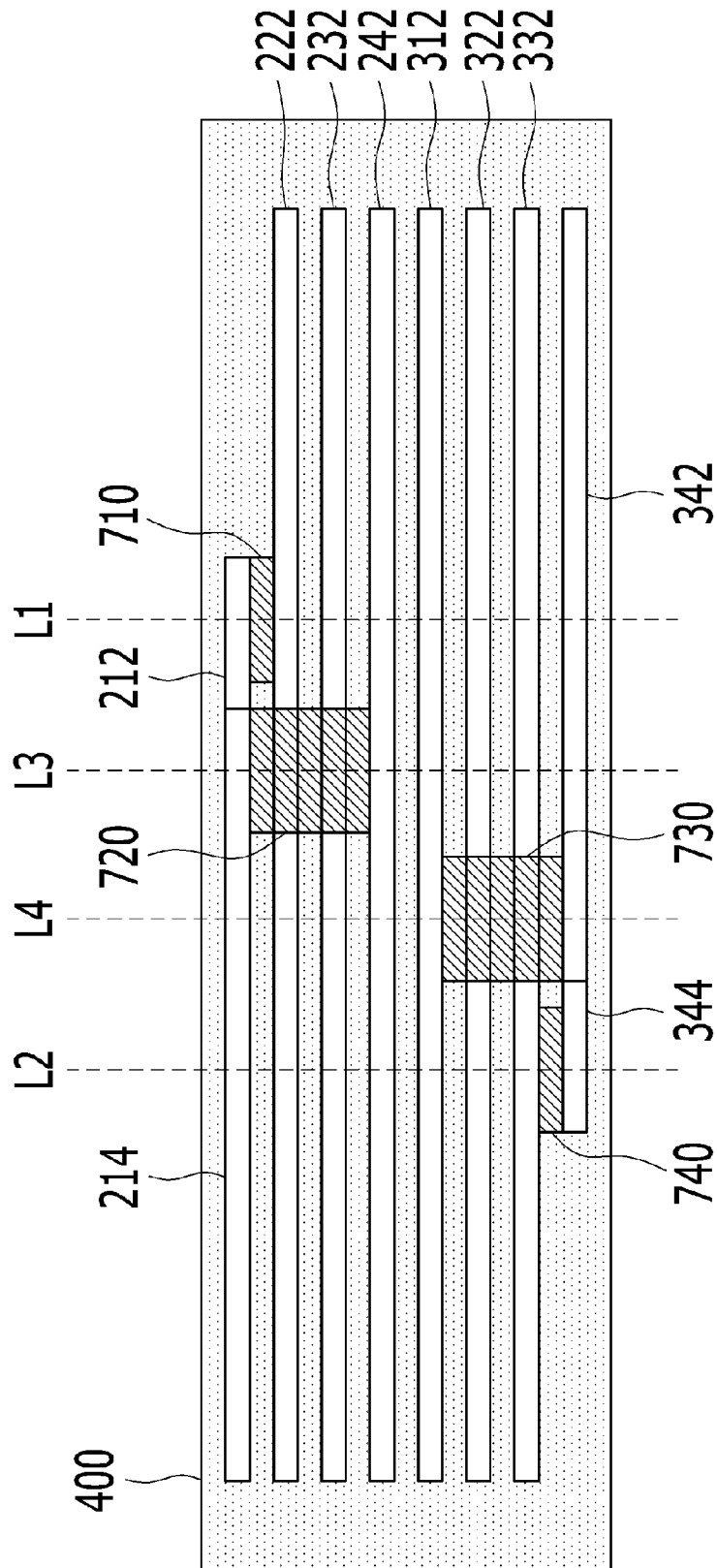
[도 12]



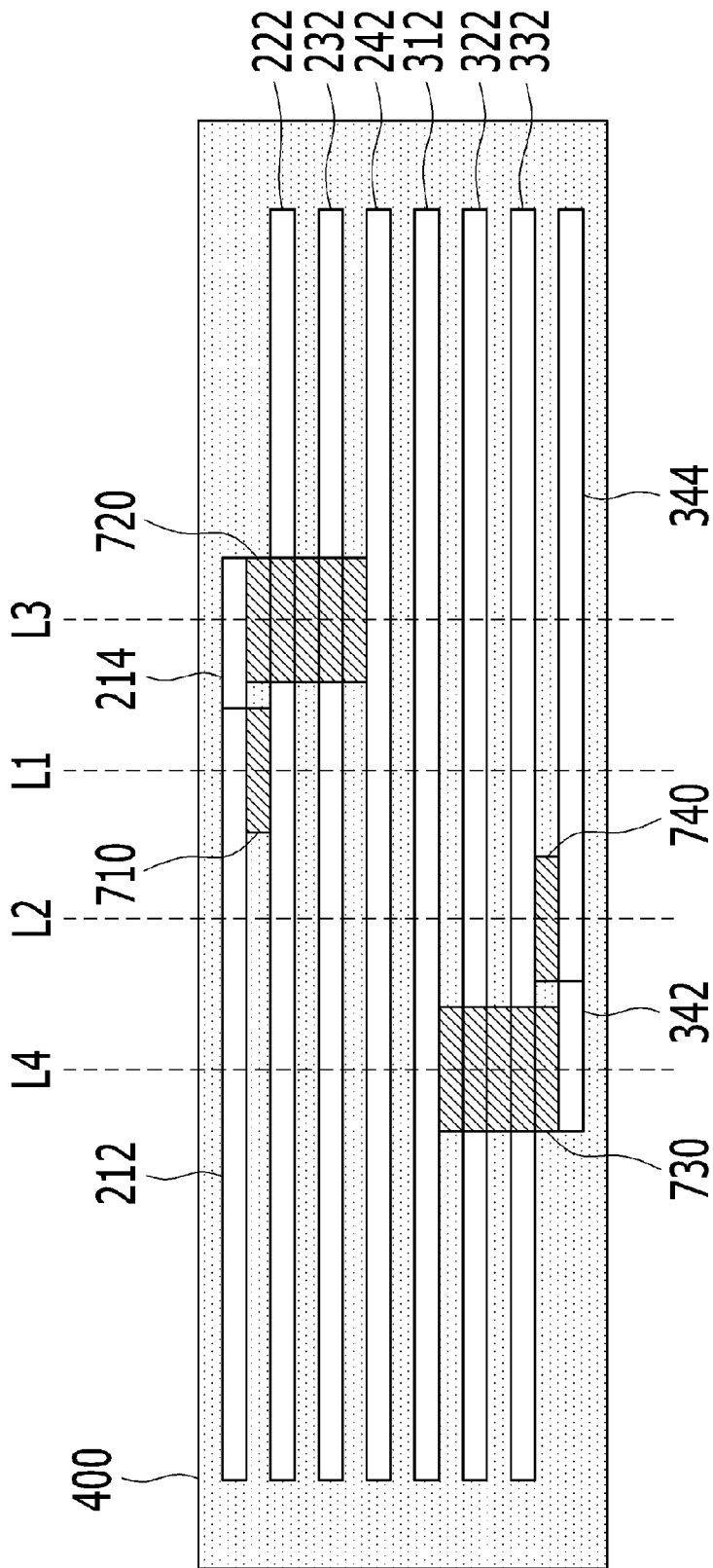
[도13]



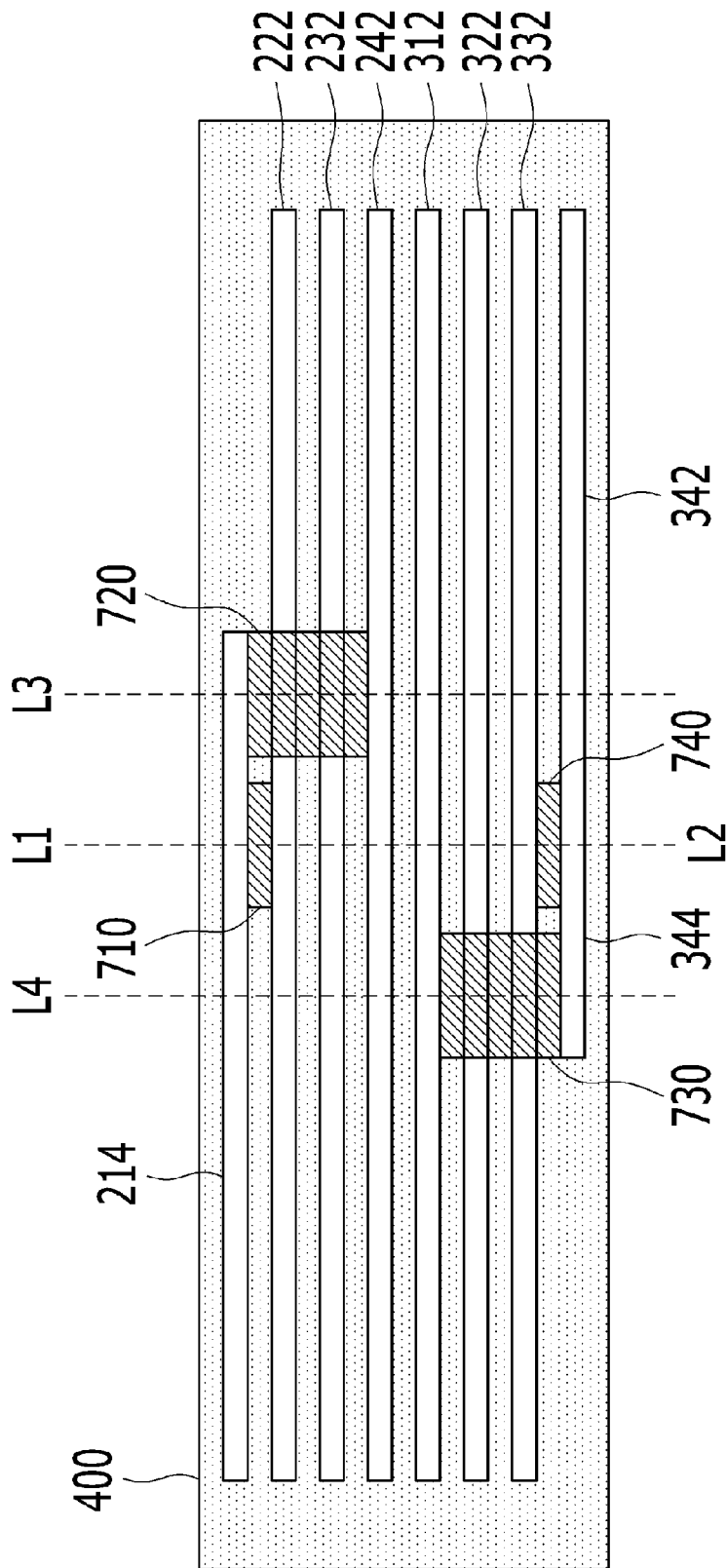
[도14]



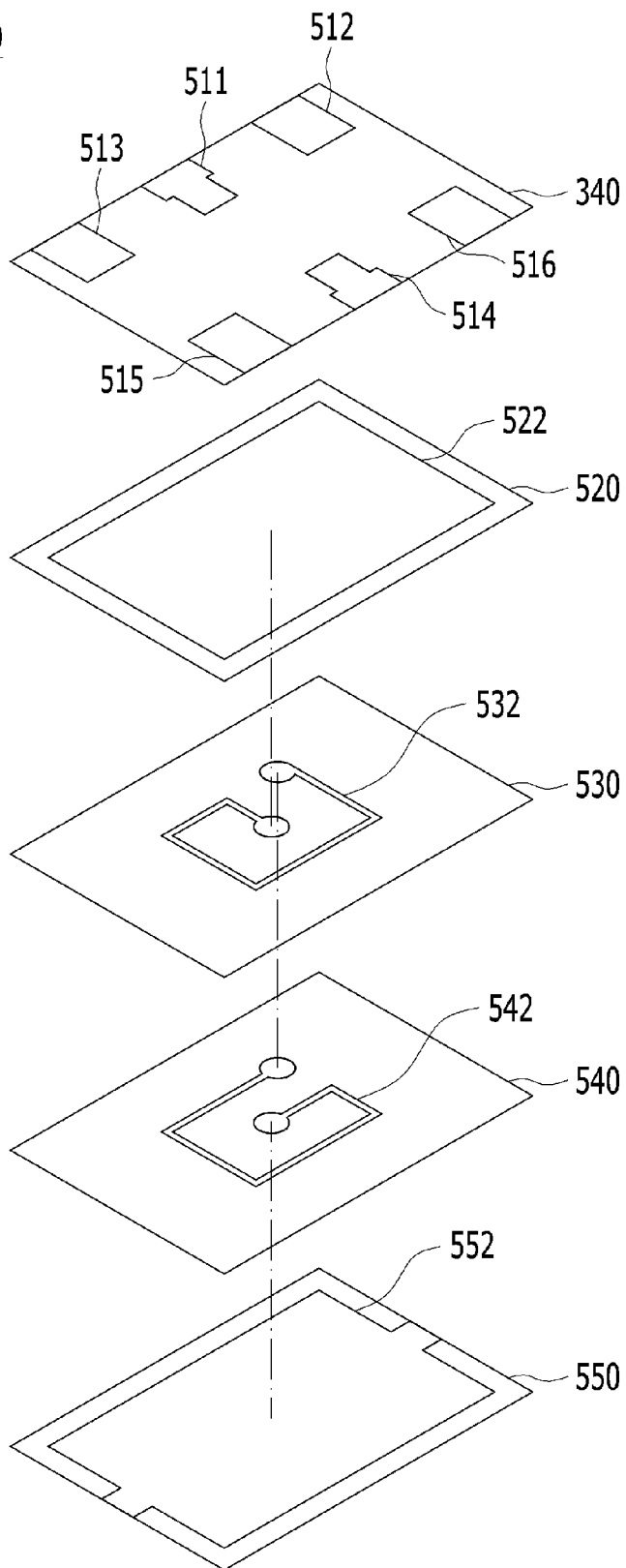
[도15]



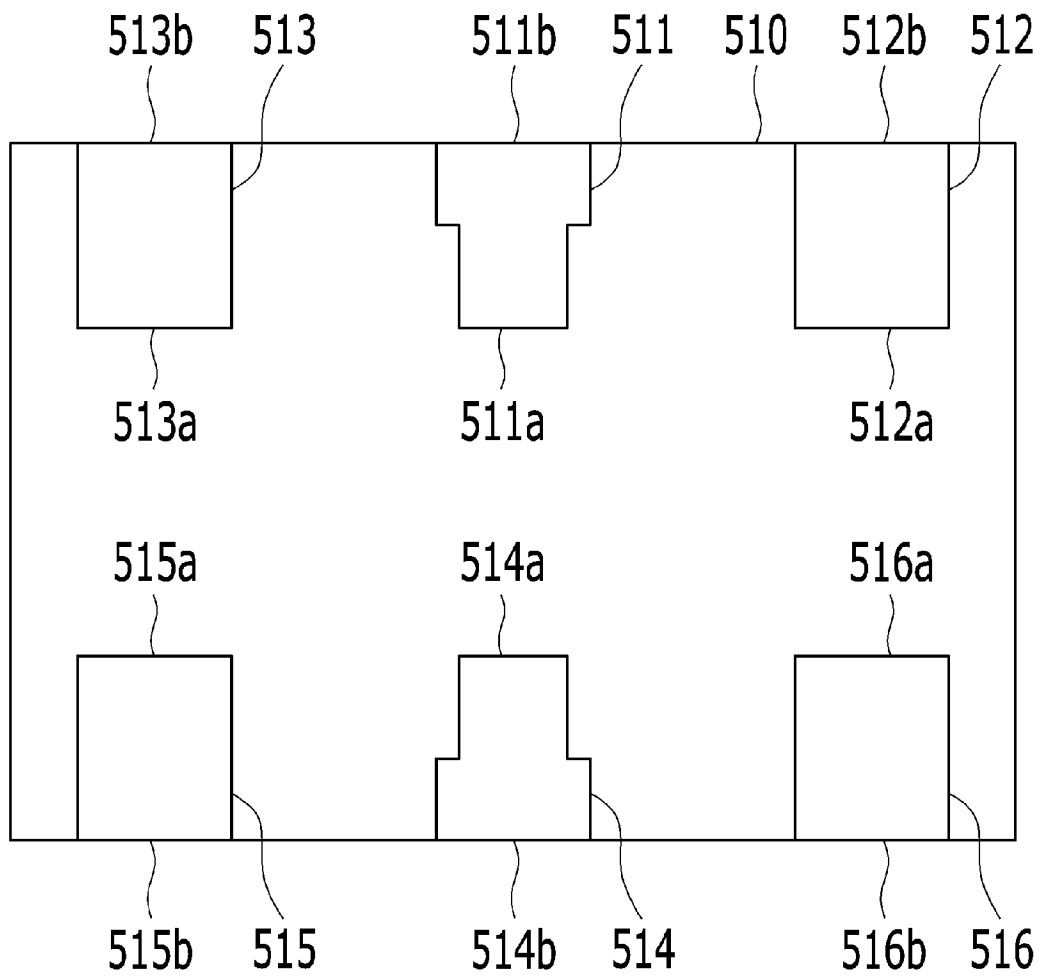
[도16]



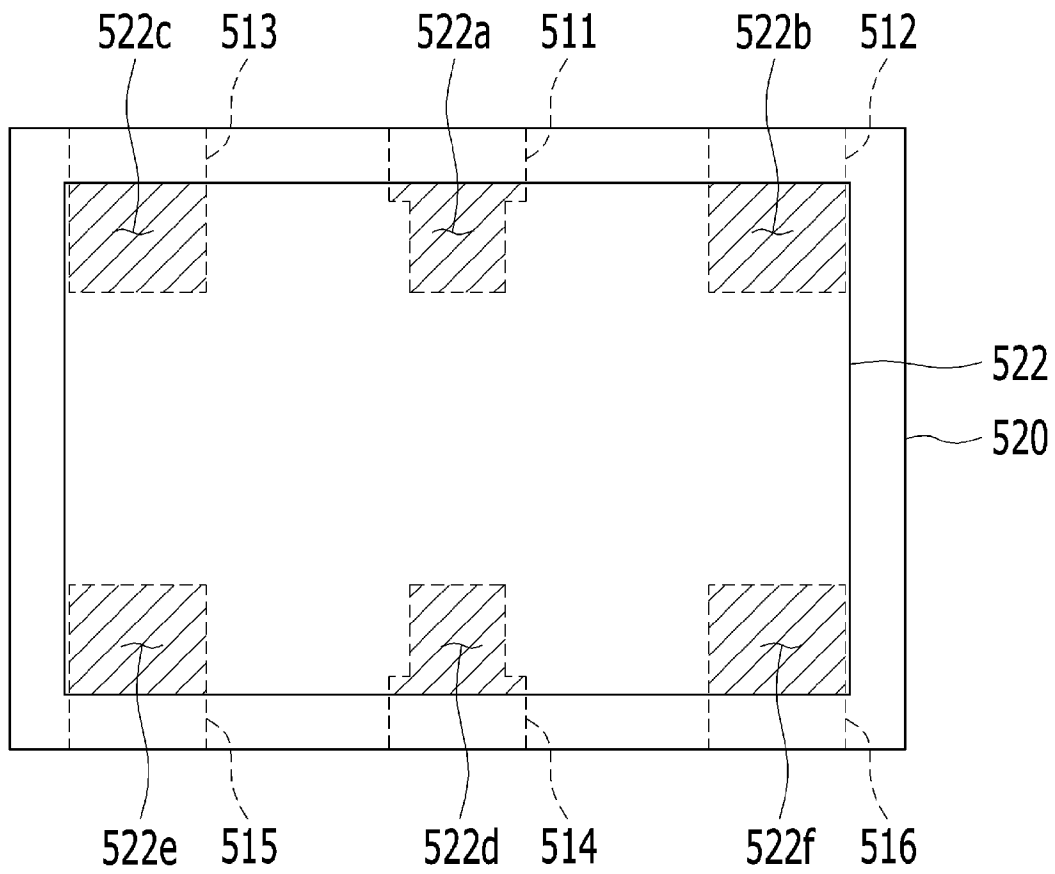
[도17]

500

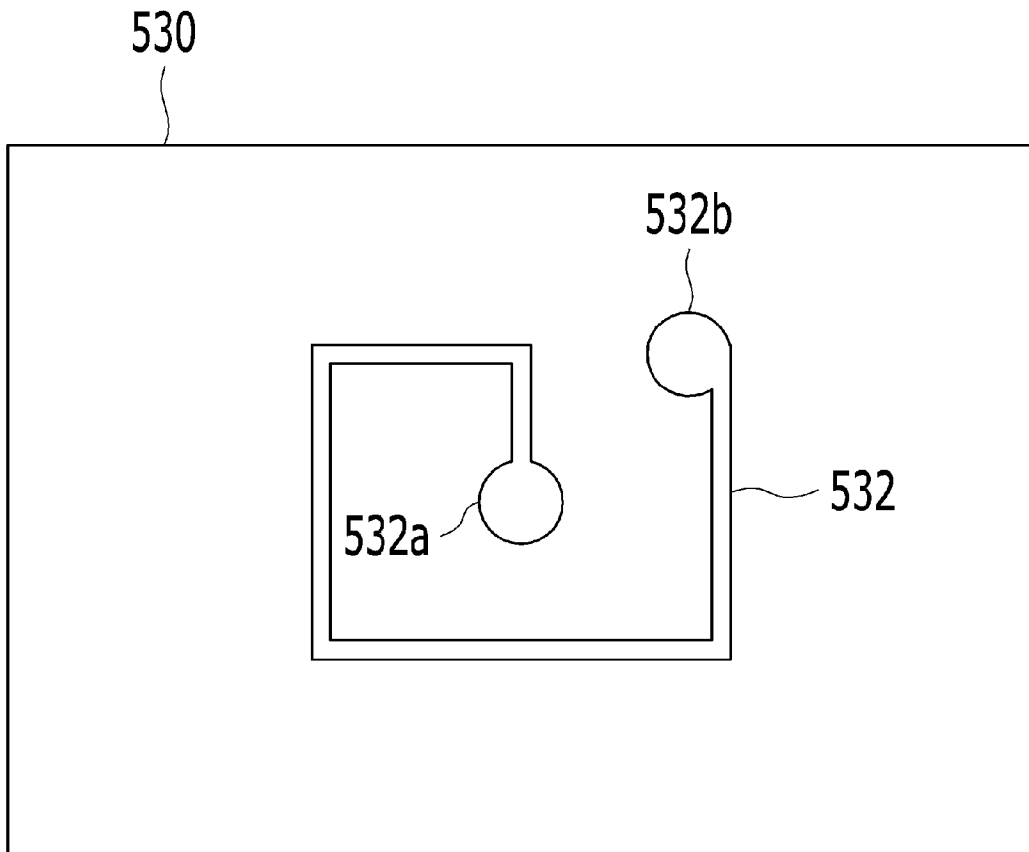
[도18]



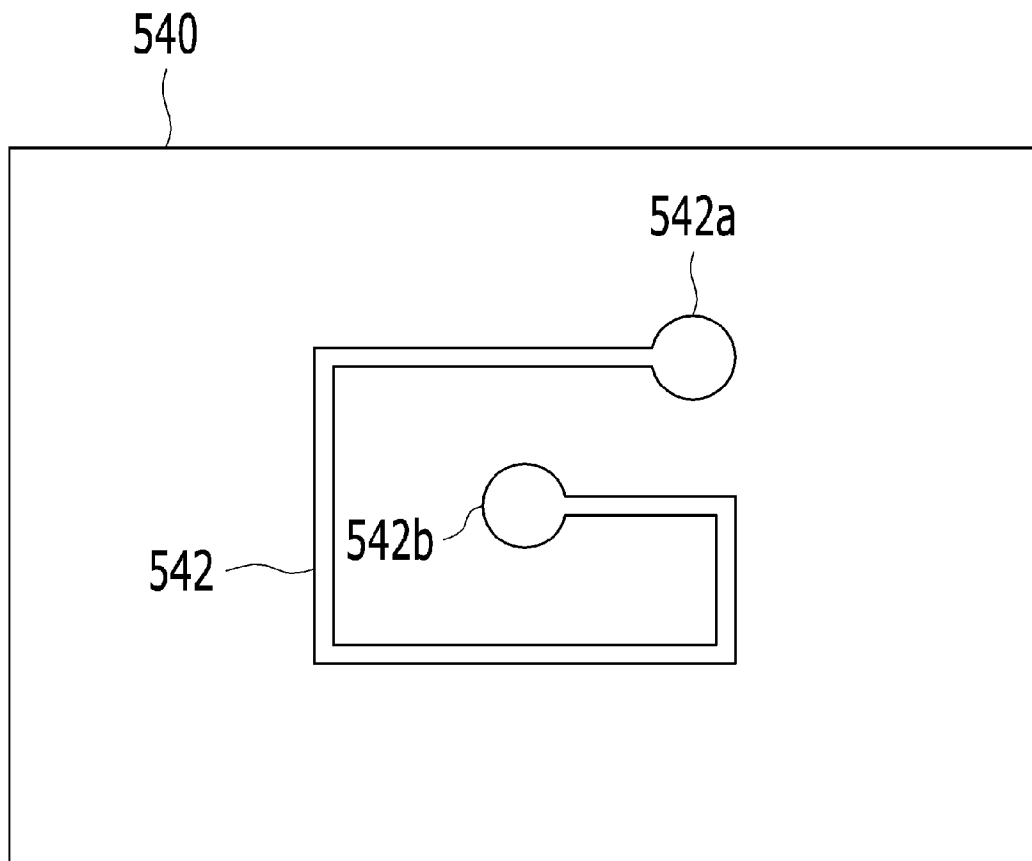
[도19]



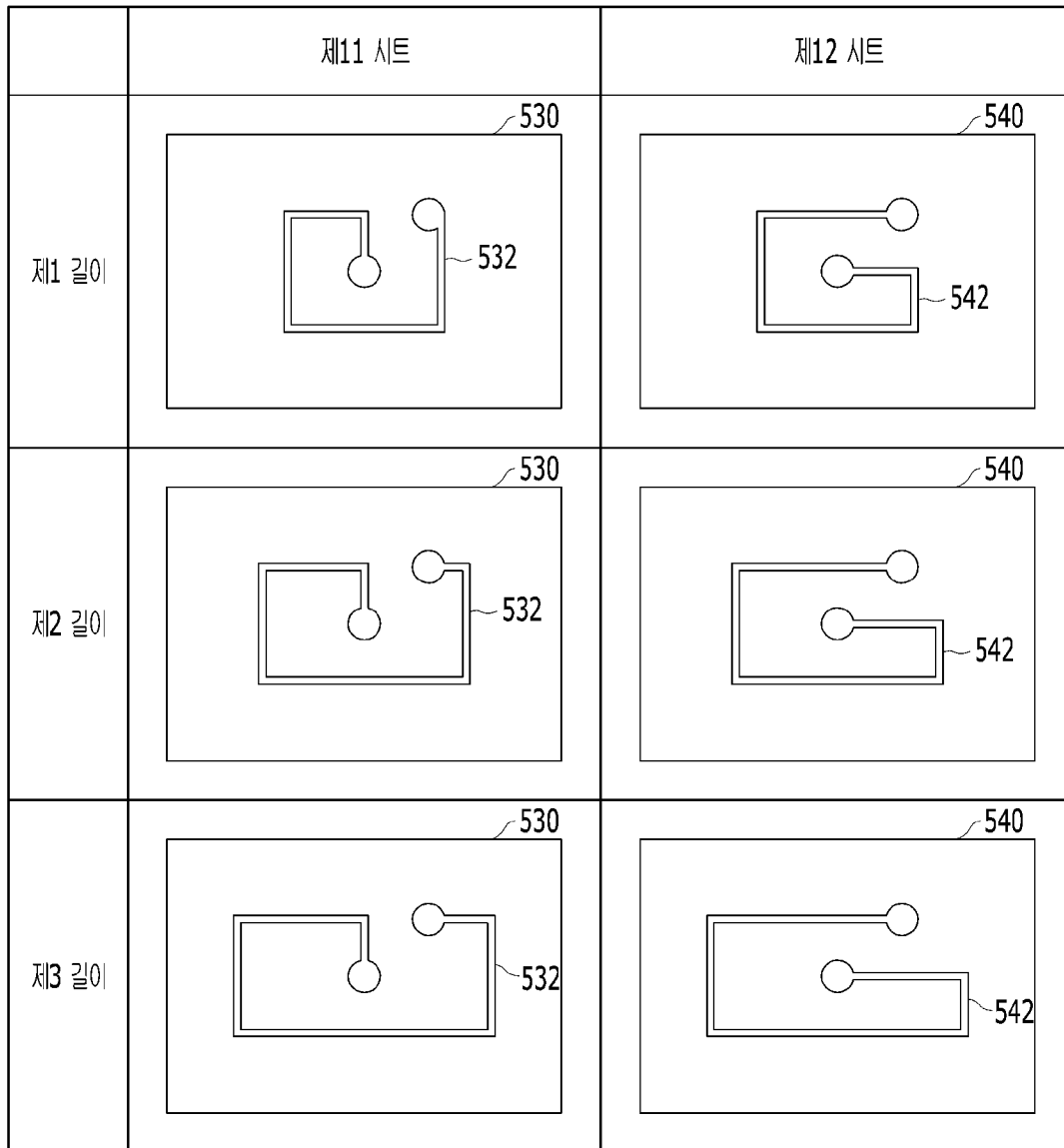
[도20]



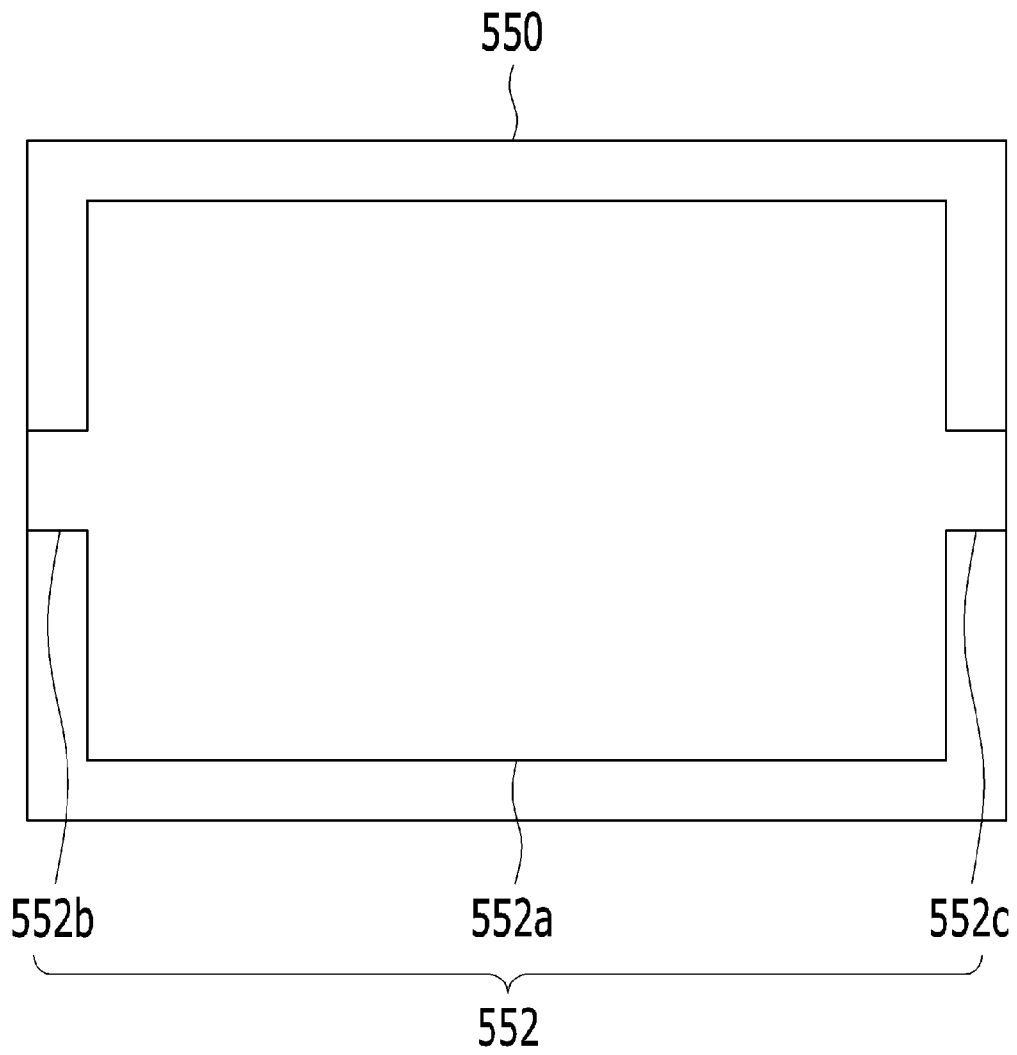
[도21]



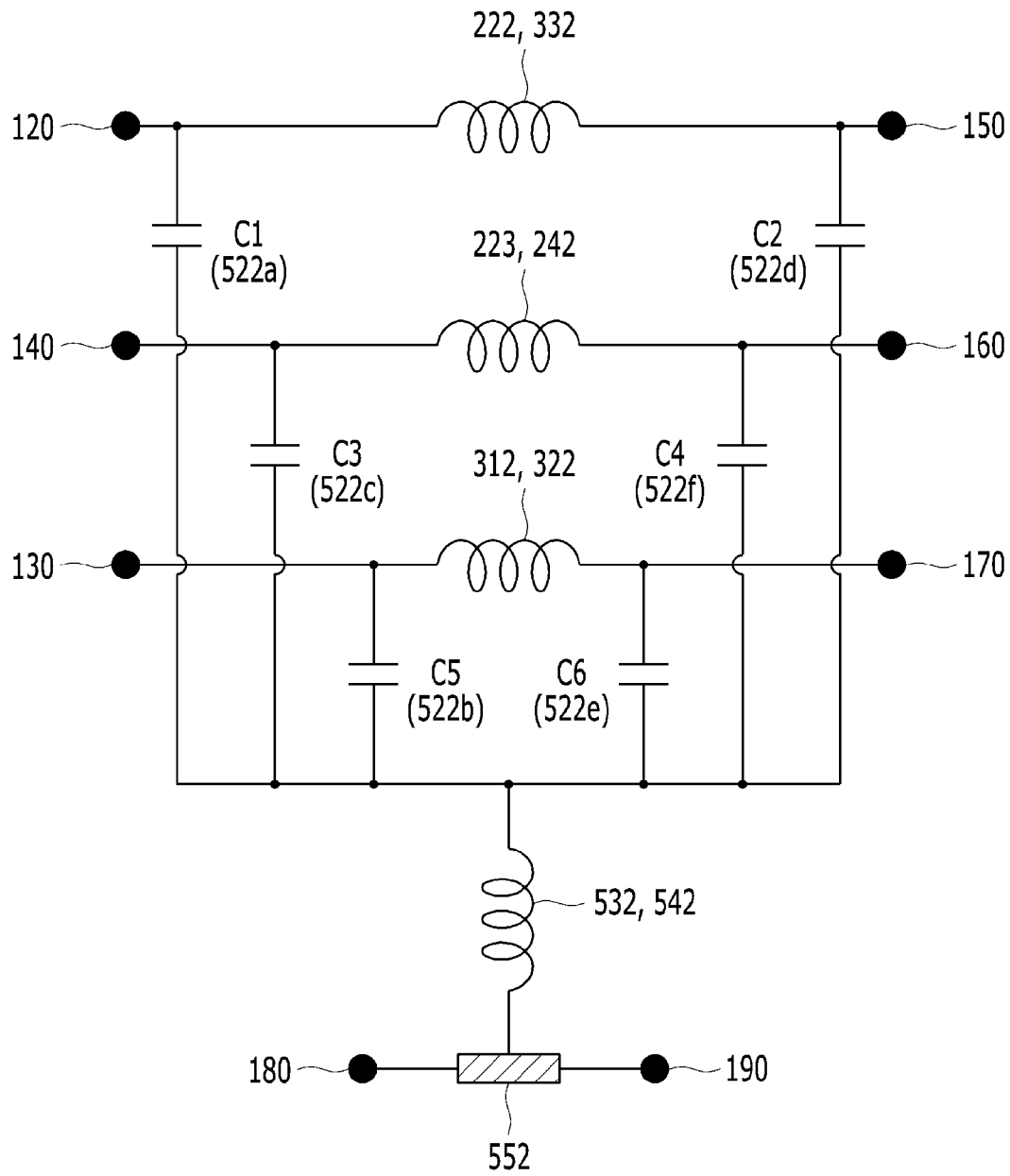
[도22]



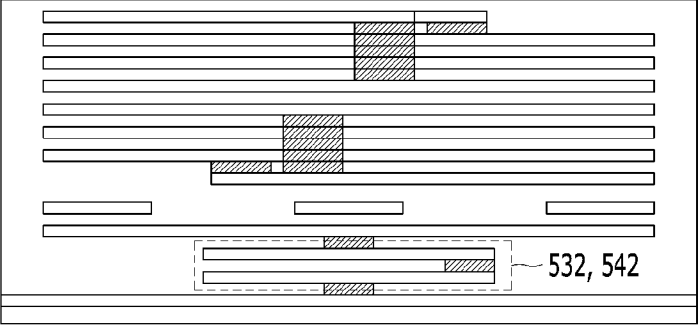
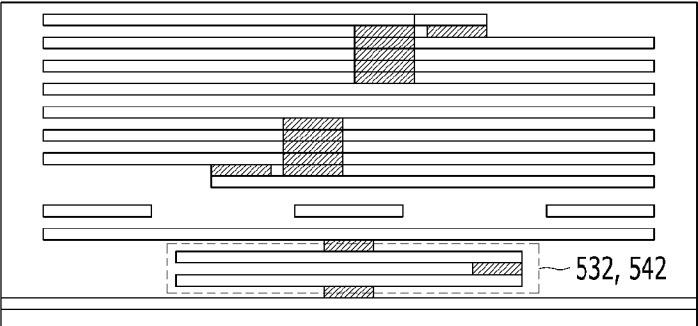
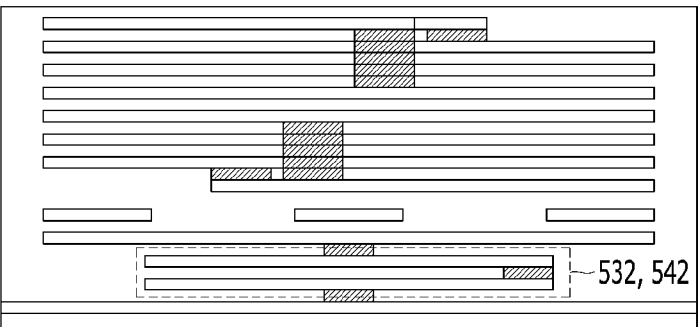
[도23]



[도24]

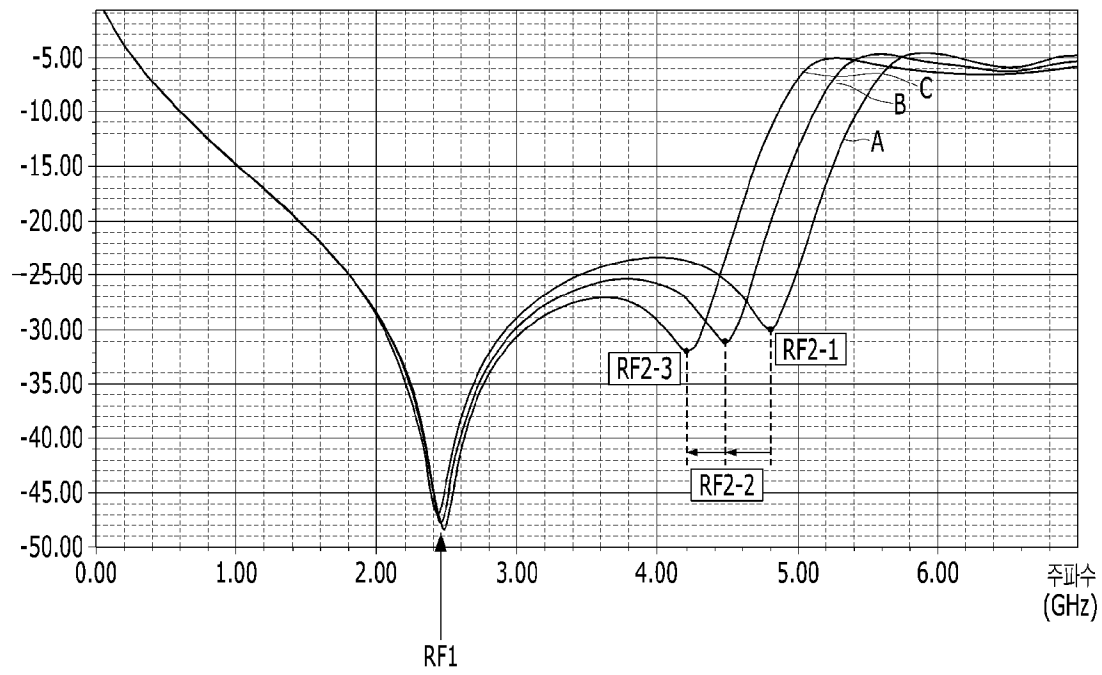


[도25]

구분	필터 적층체의 수직 단면
제1 적층형 공통 모드 필터	 100a 532, 542
제2 적층형 공통 모드 필터	 100b 532, 542
제3 적층형 공통 모드 필터	 100c 532, 542

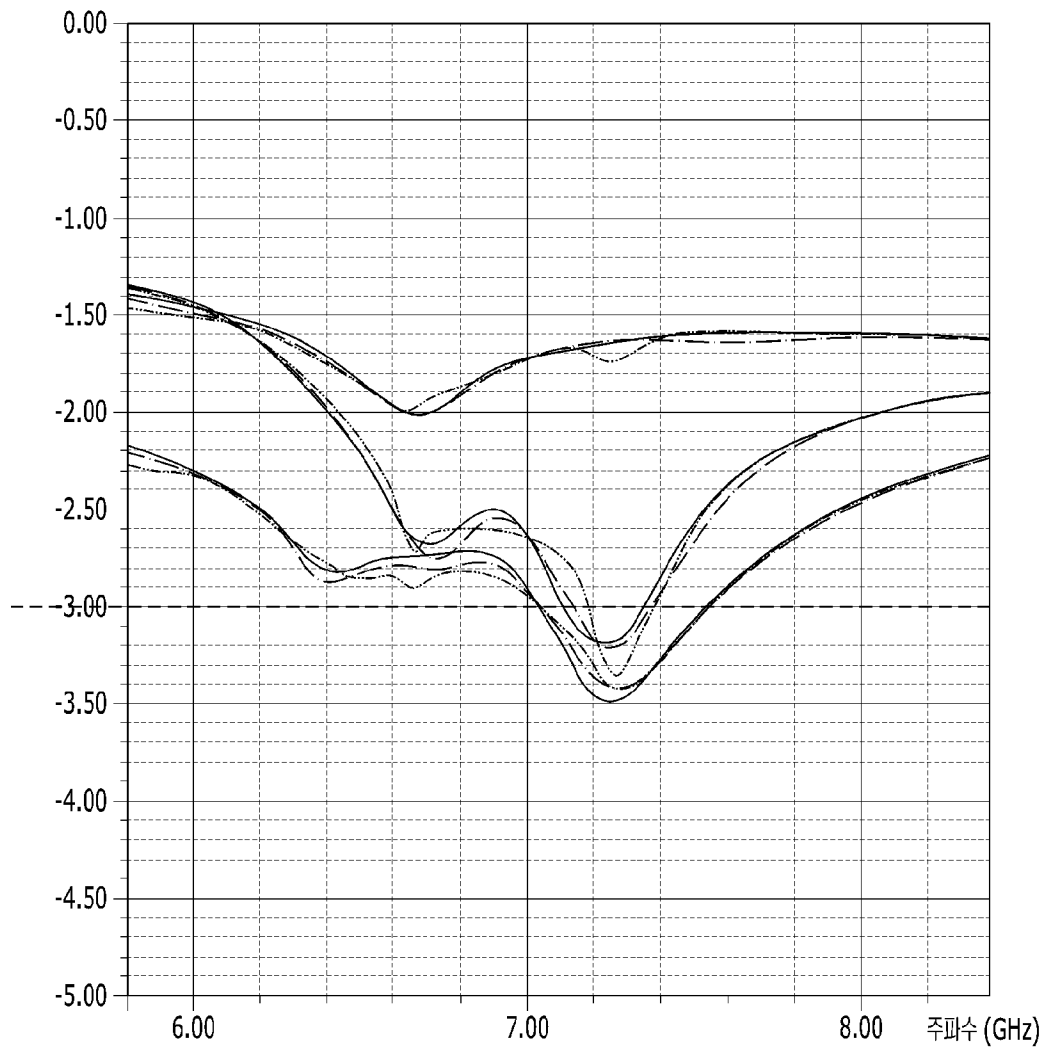
[도26]

공통모드 감쇠 (Common
mode Attenuation)
(dB)

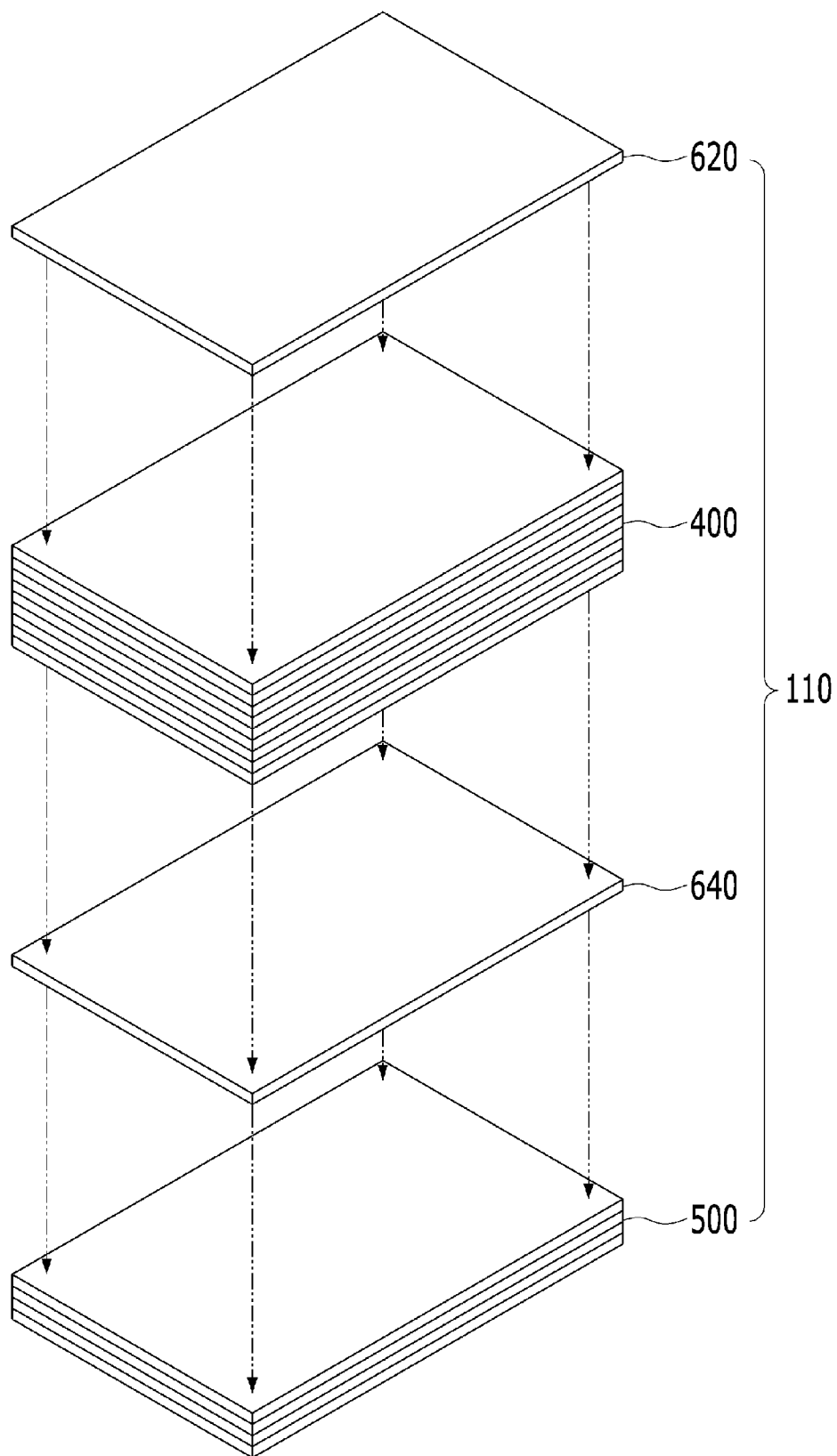


[도27]

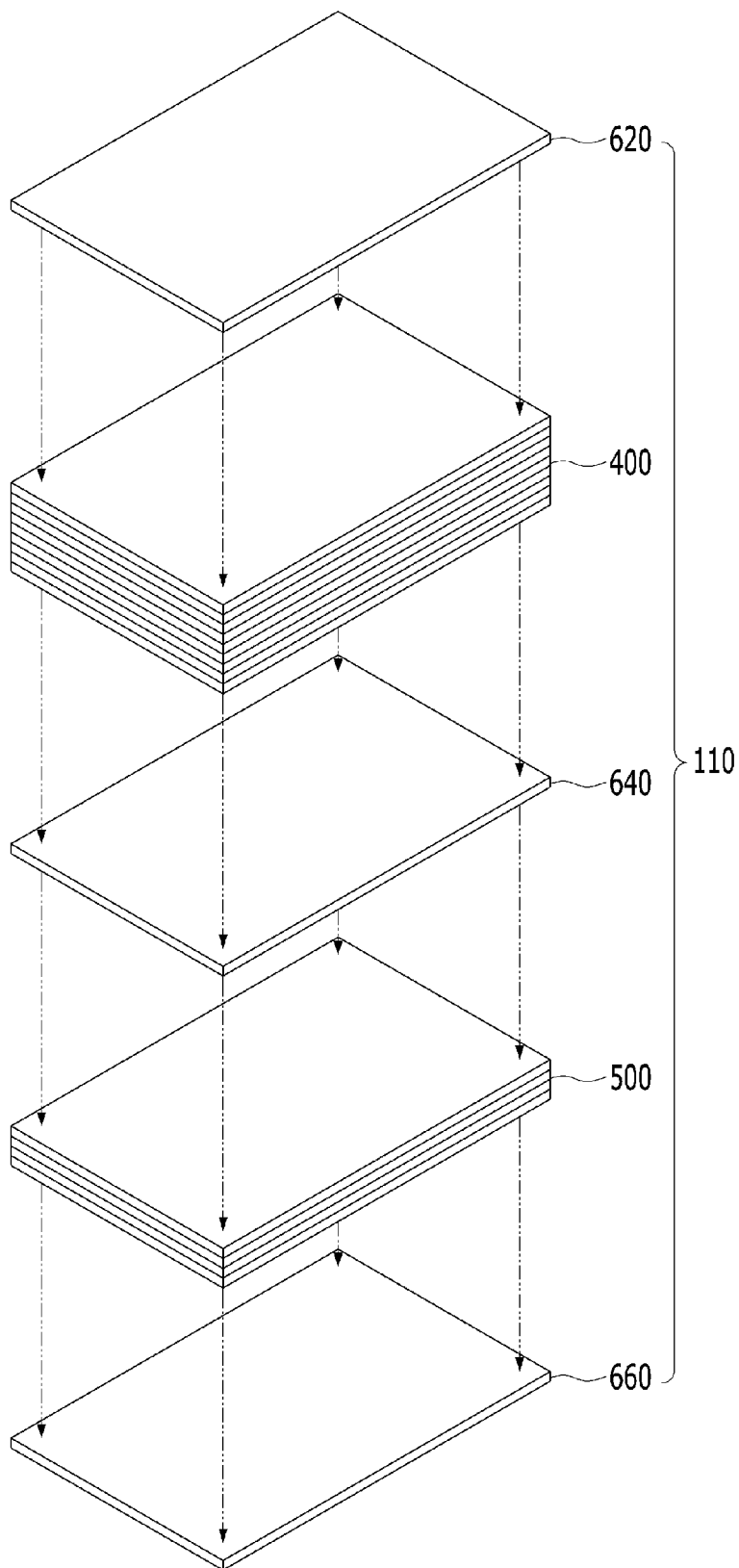
차동모드 삽입손실 (insertion loss)(dB)



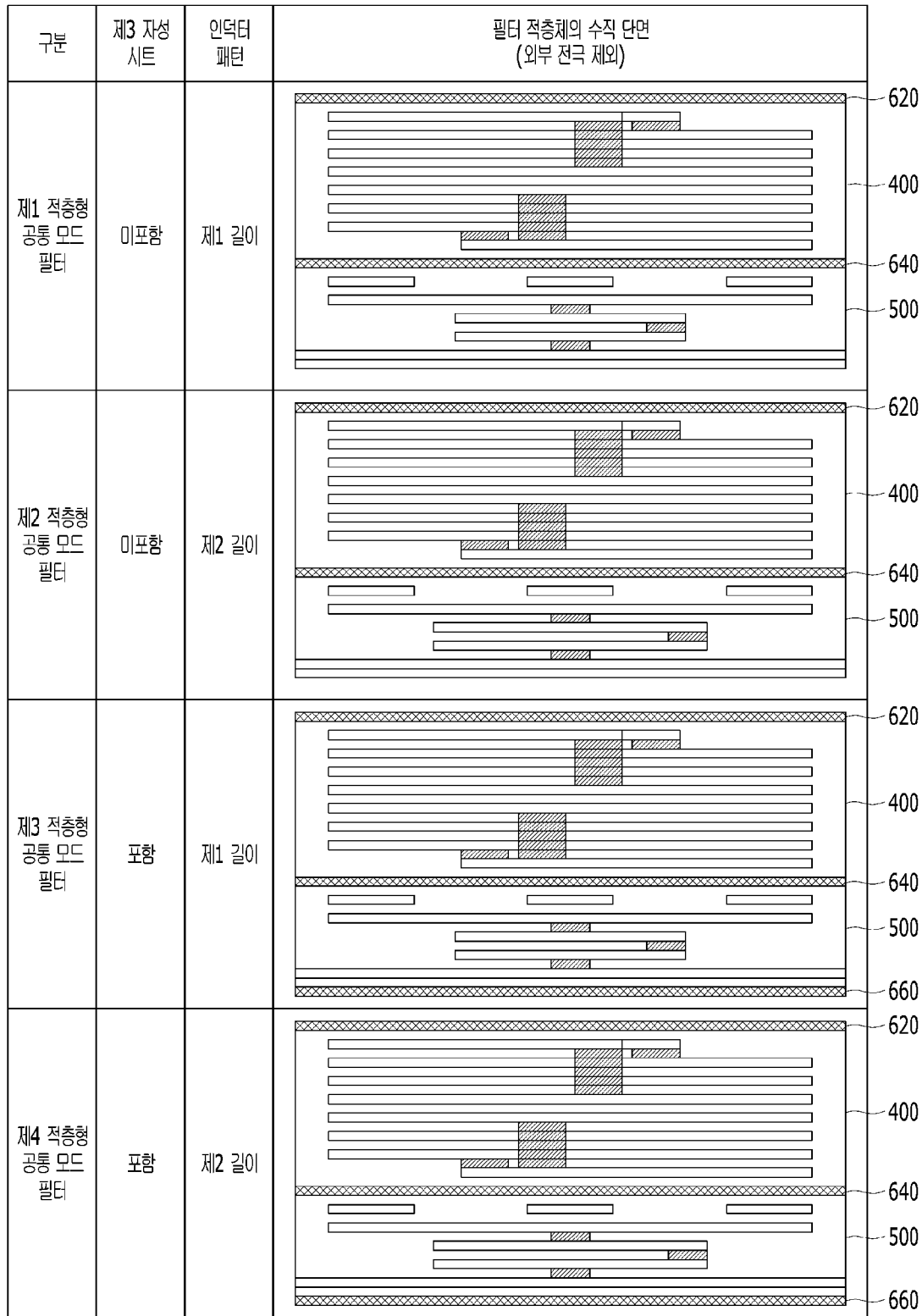
[도28]



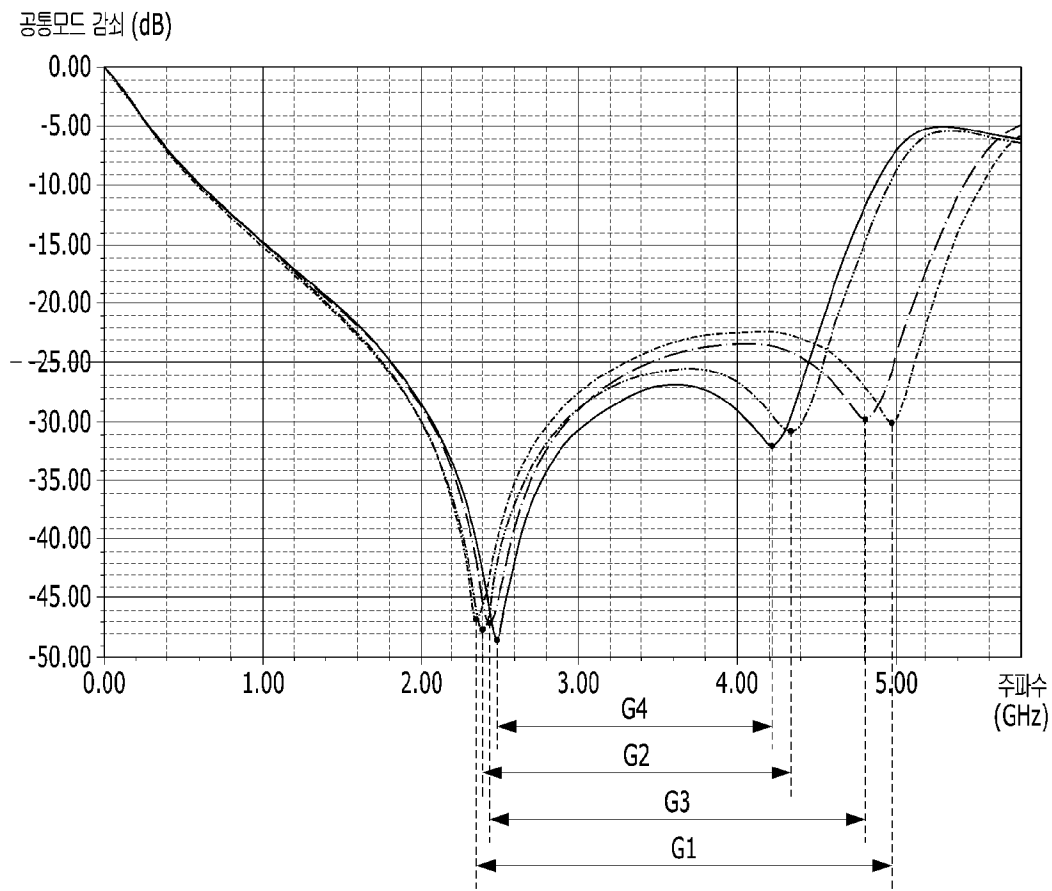
[도29]



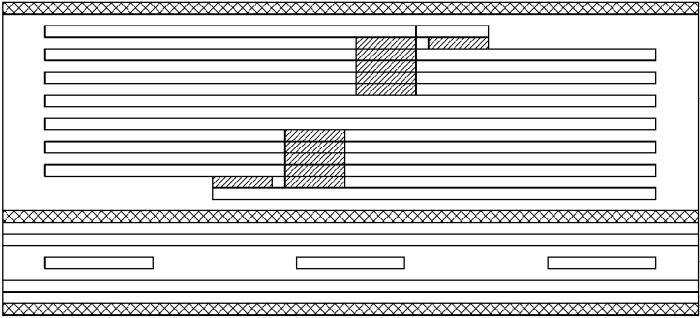
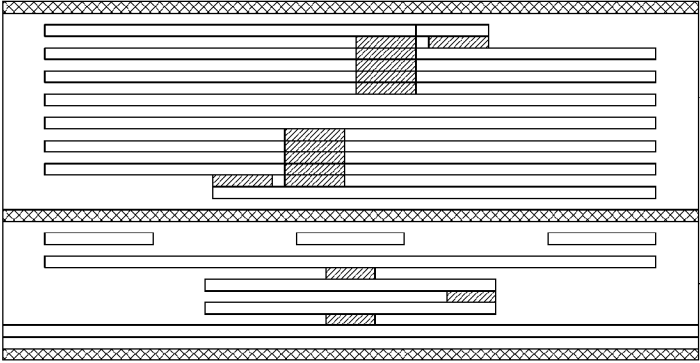
[도30]



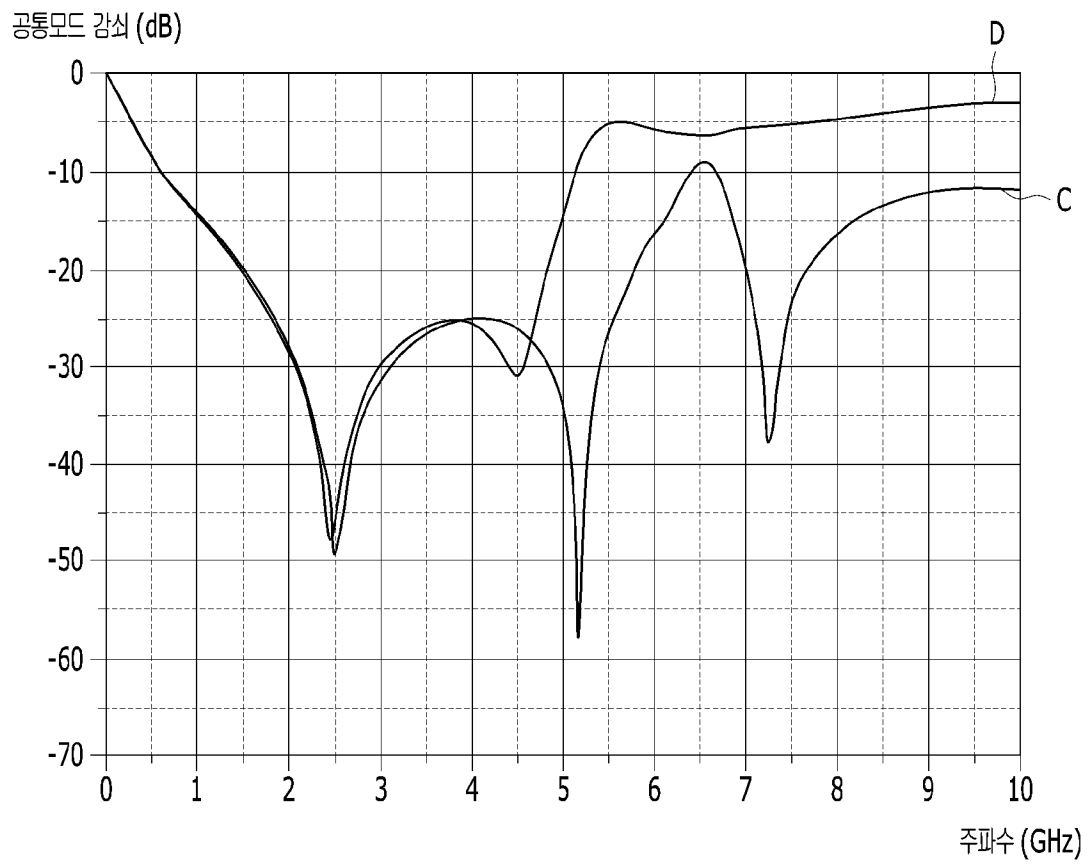
[도31]



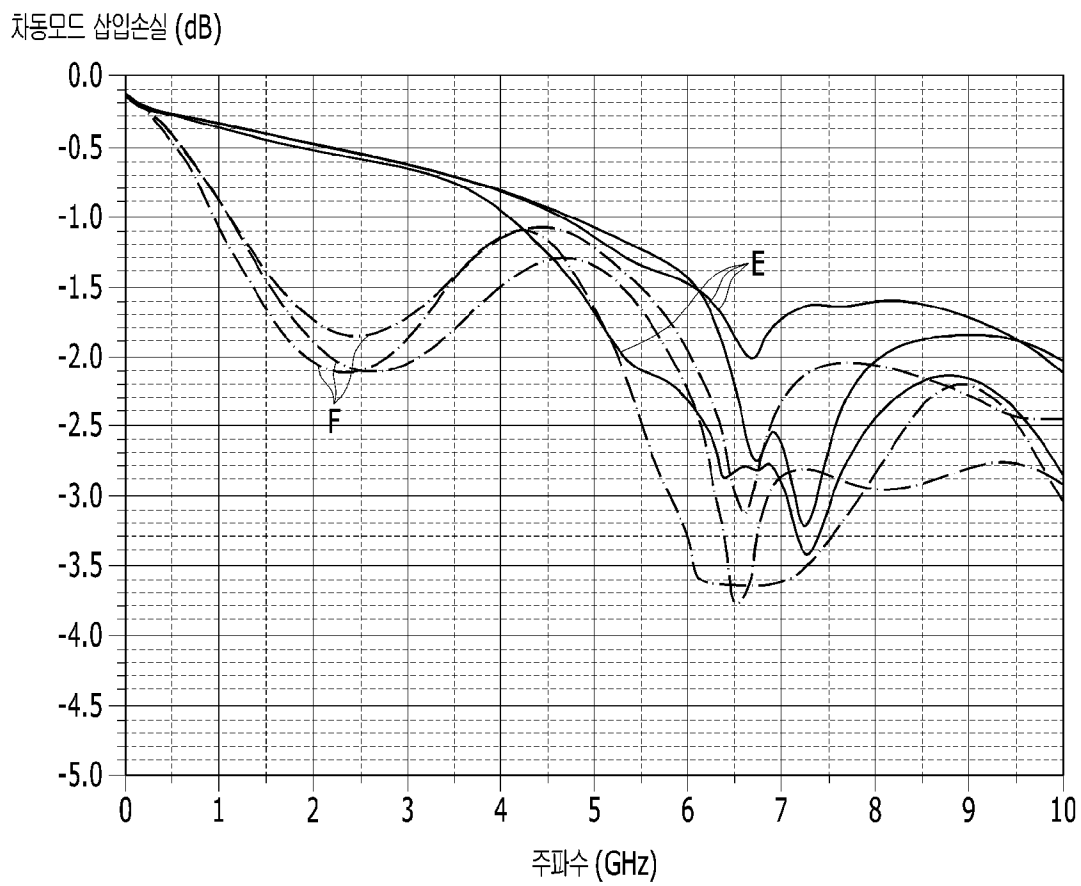
[도32]

구분	필터 적층체의 수직 단면
종래	 12 13
본 발명	 400 500

[도33]



[도34]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/012322

A. CLASSIFICATION OF SUBJECT MATTER H01F 17/00(2006.01)i; H01F 10/08(2006.01)i; H04L 25/02(2006.01)i; H01F 27/28(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01F 17/00(2006.01); H01C 13/00(2006.01); H01F 17/04(2006.01); H01F 27/00(2006.01); H01L 27/02(2006.01); H01L 27/06(2006.01); H03H 7/075(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 적층형 공통 모드 필터(multi-layer common mode filter), 코일 패턴(coil pattern), 비아 도체(via conductor), 커패시터 패턴(capacitor pattern), 플로팅 패턴(floating pattern), 접지 패턴(ground pattern)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2019-102792 A (MURATA MFG CO., LTD.) 24 June 2019 (2019-06-24) See paragraphs [0029]-[0057] and figure 4.	1-4,7,20
Y		5-6,8
A		9-19
Y	KR 10-2020-0033616 A (AMOTECH CO., LTD.) 30 March 2020 (2020-03-30) See paragraphs [0037] and [0042] and figures 2-3.	5,8
Y	KR 10-2216555 B1 (MODA-INNOCHIPS CO., LTD.) 17 February 2021 (2021-02-17) See paragraph [0051] and figures 7-9.	6
A	JP 2019-140170 A (MURATA MFG CO., LTD.) 22 August 2019 (2019-08-22) See paragraphs [0012]-[0051] and figures 1-6.	1-20
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 07 December 2023		Date of mailing of the international search report 07 December 2023
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/012322

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-203552 A (MURATA MFG CO., LTD.) 27 July 2001 (2001-07-27) See paragraphs [0011]-[0015] and figures 2-3.	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2023/012322

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2019-102792	A	24 June 2019	CN	109887708	A	14 June 2019
				CN	109887708	B	09 April 2021
				JP	6879275	B2	02 June 2021
				TW	201926373	A	01 July 2019
				TW	I669726	B	21 August 2019
				US	11309116	B2	19 April 2022
				US	2019-0164677	A1	30 May 2019
KR	10-2020-0033616	A	30 March 2020	KR	10-2154237	B1	09 September 2020
				WO	2020-060152	A1	26 March 2020
KR	10-2216555	B1	17 February 2021	CN	108780795	A	09 November 2018
				CN	108780795	B	20 June 2023
				JP	2019-514196	A	30 May 2019
				KR	10-2017-0104366	A	15 September 2017
				KR	10-2018-0088611	A	06 August 2018
				TW	201803083	A	16 January 2018
				TW	I655747	B	01 April 2019
				WO	2017-155250	A1	14 September 2017
JP	2019-140170	A	22 August 2019	CN	110120291	A	13 August 2019
				CN	110120291	B	28 September 2021
				JP	6743836	B2	19 August 2020
				US	11264159	B2	01 March 2022
				US	2019-0244741	A1	08 August 2019
JP	2001-203552	A	27 July 2001	None			

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01F 17/00(2006.01)i; H01F 10/08(2006.01)i; H04L 25/02(2006.01)i; H01F 27/28(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01F 17/00(2006.01); H01C 13/00(2006.01); H01F 17/04(2006.01); H01F 27/00(2006.01); H01L 27/02(2006.01); H01L 27/06(2006.01); H03H 7/075(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 적층형 공통 모드 필터(multilayer common mode filter), 코일 패턴(coil pattern), 비아 도체(via conductor), 커패시터 패턴(capacitor pattern), 플로팅 패턴(floating pattern), 접지 패턴(ground pattern)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	JP 2019-102792 A (MURATA MFG CO., LTD.) 2019.06.24 단락 [0029]-[0057] 및 도면 4 참조.	1-4,7,20
Y		5-6,8
A		9-19
Y	KR 10-2020-0033616 A (주식회사 아모텍) 2020.03.30 단락 [0037], [0042] 및 도면 2-3 참조.	5,8
Y	KR 10-2216555 B1 (주식회사 모다이노칩) 2021.02.17 단락 [0051] 및 도면 7-9 참조.	6
A	JP 2019-140170 A (MURATA MFG CO., LTD.) 2019.08.22 단락 [0012]-[0051] 및 도면 1-6 참조.	1-20
A	JP 2001-203552 A (MURATA MFG CO., LTD.) 2001.07.27 단락 [0011]-[0015] 및 도면 2-3 참조.	1-20
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2023년12월07일(07.12.2023)		국제조사보고서 발송일 2023년12월07일(07.12.2023)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 이강하 전화번호 +82-42-481-5003

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2019-102792 A	2019/06/24	CN 109887708 A	2019/06/14
		CN 109887708 B	2021/04/09
		JP 6879275 B2	2021/06/02
		TW 201926373 A	2019/07/01
		TW I669726 B	2019/08/21
		US 11309116 B2	2022/04/19
		US 2019-0164677 A1	2019/05/30
KR 10-2020-0033616 A	2020/03/30	KR 10-2154237 B1	2020/09/09
		WO 2020-060152 A1	2020/03/26
KR 10-2216555 B1	2021/02/17	CN 108780795 A	2018/11/09
		CN 108780795 B	2023/06/20
		JP 2019-514196 A	2019/05/30
		KR 10-2017-0104366 A	2017/09/15
		KR 10-2018-0088611 A	2018/08/06
		TW 201803083 A	2018/01/16
		TW I655747 B	2019/04/01
		WO 2017-155250 A1	2017/09/14
JP 2019-140170 A	2019/08/22	CN 110120291 A	2019/08/13
		CN 110120291 B	2021/09/28
		JP 6743836 B2	2020/08/19
		US 11264159 B2	2022/03/01
		US 2019-0244741 A1	2019/08/08
JP 2001-203552 A	2001/07/27	없음	