(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2024 年 3 月 7 日 (07.03.2024)

WIPO | PCT

(10) 国际公布号
WO 2024/045290 A1

(51) 国际专利分类号:
H01L 27/02 (2006.01)

(21) 国际申请号: PCT/CN2022/126213

(22) 国际申请日: 2022 年 10 月 19 日 (19.10.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202211073818.7 2022年9月2日 (02.09.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 吕庆 (**LV, Qing**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。 姜伟 (**JIANG, Wei**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (**CHINA PAT INTELLECTUAL PROPERTY OFFICE**); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,

(54) **Title:** LAYOUT STRUCTURE, SEMICONDUCTOR STRUCTURE, AND MEMORY

(54) 发明名称: 版图结构、半导体结构以及存储器

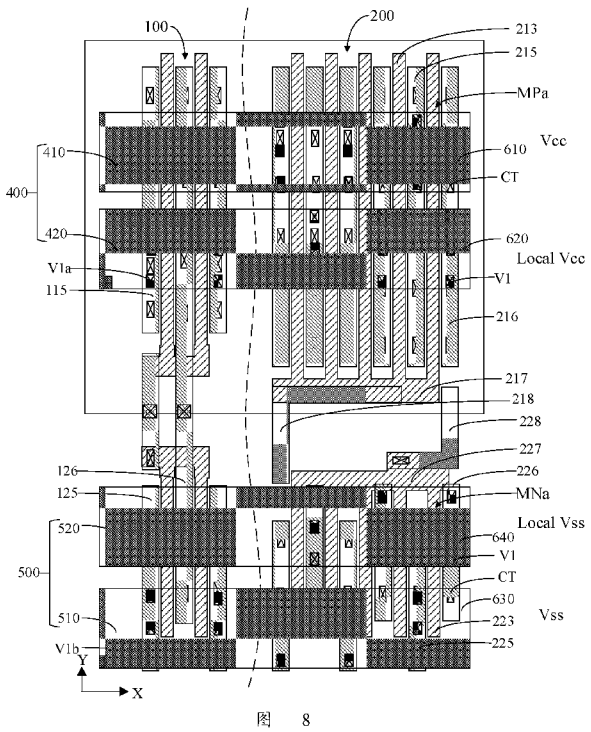


图 8

(57) **Abstract:** Embodiments of the present disclosure provide a layout structure, a semiconductor structure, and a memory. The semiconductor structure comprises: a logic device, comprising a first power line and a second power line located on the same wiring layer, both the first power line and the second power line extending in a first direction and being arranged in parallel in a second direction, and the first direction and the second direction intersecting and being both parallel to a plane where the wiring layer is located; and a switch driving device, arranged in parallel with the logic device in the first direction, the switch driving device comprising a first input line and a first output line, the first input line and the first output line being located on the same wiring layer as the first power line, and both the first input line and the first output line extending in the first direction and being arranged in parallel in the second direction, wherein the first output line is connected to the first power line or the second power line.

WO 2024/045290 A1

[见续页]

HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开实施例提供了一种版图结构、半导体结构以及存储器，该半导体结构包括：逻辑器件，包括位于同一布线层的第一电源线和第二电源线，所述第一电源线和所述第二电源线均沿第一方向延伸，且沿第二方向并列排布，所述第一方向和所述第二方向相交且均平行于所述布线层所在平面；开关驱动器件，与所述逻辑器件沿所述第一方向并列排布，所述开关驱动器件包括第一输入线和第一输出线，所述第一输入线和所述第一输出线与所述第一电源线位于同一布线层，所述第一输入线和所述第一输出线均沿所述第一方向延伸，且沿所述第二方向并列排布，其中，所述第一输出线与所述第一电源线或者所述第二电源线连接。

版图结构、半导体结构以及存储器

相关申请的交叉引用

本公开基于申请号为202211073818.7、申请日为2022年09月02日、发明名称为"版图结构、半导体结构以及存储器"的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，特别是涉及一种版图结构、半导体结构以及存储器。

背景技术

标准单元是集成电路设计的基础，标准单元可包括反相器、逻辑门电路、寄存器、缓冲器等集成电路中常使用的逻辑器件。在进行集成电路设计时，可根据设计需要，调用标准单元库中的标准单元版图来完成集成电路的版图布局设计，能够提高电路的设计效率。随着半导体器件的高集成度和高性能，优化标准单元是一种既能提高设计效率，又能提高半导体器件集成度和性能的可行手段。

发明内容

根据本公开的第一个方面，提供了一种半导体结构，包括:

逻辑器件，包括位于同一布线层的第一电源线和第二电源线，所述第一电源线和所述第二电源线均沿第一方向延伸，且沿第二方向并列排布，所述第一方向和所述第二方向相交且均平行于所述布线层所在平面;

开关驱动器件，与所述逻辑器件沿所述第一方向并列排布，所述开关驱动器件包括第一输入线和第一输出线，所述第一输入线和所述第一输出线与所述第一电源线位于同一布线层，所述第一输入线和所述第一输出线均沿所述第一方向延伸，且沿所述第二方向并列排布，其中，所述第一输出线与所述第一电源线或者所述第二电源线连接。

上述方案中，所述第一电源线包括第一主体线和第一本地线，所述第一主体线和所述第一本地线沿所述第二方向并列排布;

所述第一输出线与所述第一本地线连接，所述第一输入线与所述第一主体线连接。

上述方案中，所述第二电源线包括第二主体线和第二本地线，所述第二主体线和所述第二本地线沿所述第二方向并列排布;

所述开关驱动器件还包括: 第二输入线和第二输出线，与所述第二电源线位于同一布线层，所述第二输入线和所述第二输出线均沿所述第一方向延伸，且沿所述第二方向并列排布，其中，所述第二输入线与所述第二主体线连接，所述第二输出线与所述第二本地线连接。

上述方案中，所述第一输出线沿所述第二方向的线宽，等于所述第一本地线沿所述第二方向的线宽;

所述第一输入线沿所述第二方向的线宽，等于所述第一主体线沿所述第二方向的线宽;

所述第二输出线沿所述第二方向的线宽，等于所述第二本地线沿所述第二方向的线宽;

所述第二输入线沿所述第二方向的线宽，等于所述第二主体线沿所述第二方向的线宽。

上述方案中，所述逻辑器件还包括: 在所述第二方向并列设置的第一部件和第二部件，所述第一部件具有位于第一布线层的第一电源引出线，所述第二部件具有位于所述第一布线层的第二电源引出线，所述第一电源引出线和所述第二电源引出线均沿所述第二方向延伸;

所述第一主体线、所述第一本地线、所述第二主体线和所述第二本地线位于第二布线层，所述第二布线层位于所述第一布线层上;

其中，所述第一本地线通过第一互连孔与所述第一电源引出线电连接，所述第二主体线通过第二互连孔与所述第二电源引出线电连接；或者，所述第一主体线通过第三互连孔与所述第一电源引出线电连接，所述第二本地线通过第四互连孔与所述第二电源引出线电连接。

上述方案中，所述开关驱动器件还包括：

第一阱区，包括沿所述第一方向并列排布的第一源极区、第一沟道和第一漏极区；

第一栅极，位于所述第一沟道上且沿所述第二方向延伸；

第一源极线，位于所述第一布线层，所述第一源极线、所述第一源极区和所述第一输入线电连接，所述第一源极线沿所述第二方向延伸；

第一漏极线，位于所述第一布线层，所述第一漏极线、所述第一漏极区和所述第一输出线电连接，所述第一漏极线沿所述第二方向延伸。

上述方案中，所述第一阱区包括多个所述第一源极区和多个所述第一漏极区，所述第一源极区和所述第一漏极区沿所述第一方向交替排布，相邻所述第一源极区和所述第一漏极区之间设置有所述第一沟道，每一所述第一沟道上设置有所述第一栅极；

所述第一栅极的数量为多个，多个所述第一栅极沿所述第一方向并列排布且相连接。

上述方案中，所述开关驱动器件还包括：

第二阱区，与所述第一阱区沿所述第二方向并列排布，所述第二阱区包括沿所述第一方向并列排布的第二源极区、第二沟道和第二漏极区；

第二栅极，位于所述第二沟道上且沿所述第二方向延伸；

第二源极线，位于所述第一布线层，所述第二源极线、所述第二源极区和所述第二输入线电连接，所述第二源极线沿所述第二方向延伸；

第二漏极线，位于所述第一布线层，所述第二漏极线、所述第二漏极区和所述第二输出线电连接，所述第二漏极线沿所述第二方向延伸。

上述方案中，所述第二阱区包括多个所述第二源极区和多个所述第二漏极区，所述第二源极区和所述第二漏极区沿所述第一方向交替排布，相邻所述第二源极区和所述第二漏极区之间设置有所述第二沟道，每一所述第二沟道上设置有所述第二栅极；

所述第二栅极的数量为多个，多个所述第二栅极沿所述第一方向并列排布且相连接。

上述方案中，所述开关驱动器件还包括：

第一栅极连接线，与所述第一栅极位于同一布线层，所述第一栅极连接线沿所述第一方向延伸，且连接多个所述第一栅极相对靠近所述第二栅极的端部；

第二栅极连接线，与所述第二栅极位于同一布线层，所述第二栅极连接线沿所述第一方向延伸，且连接多个所述第二栅极相对靠近所述第一栅极的端部；

第一辅助连接线，位于所述第一布线层，所述第一辅助连接线包括沿所述第一方向延伸的第一部分和沿所述第二方向延伸的第二部分，所述第一部分与所述第一栅极连接线电连接；

第二辅助连接线，位于所述第一布线层，所述第二辅助连接线包括沿所述第一方向延伸的第三部分和沿所述第二方向延伸的第四部分，所述第三部分与所述第二栅极连接线电连接；在垂直于所述第一方向的平面内，所述第二部分的正投影和所述第四部分的正投影至少部分重叠；

栅极控制线，沿所述第一方向延伸，且与所述第二部分和所述第四部分电连接。

上述方案中，所述半导体结构包括多个标准单元，所述标准单元包括所述逻辑器件和所述开关驱动器件，多个所述标准单元呈阵列排布；

其中，所述标准单元的所述第一输入线、第一输出线、第二输入线和第二输出线分别与沿所述第一方向上相邻的所述标准单元的第一主体线、第一本地线、第二主体线和第二本地线连接；

所述半导体结构还包括：电源连接线，位于第三布线层，所述第三布线层位于所述第二布线层上，所述电源连接线沿所述第二方向延伸，且与沿所述第二方向并列排布的多个所述标准单元的所述第一本地线或所述第一输出线连接。

上述方案中，所述逻辑器件包括反相器、逻辑门电路、缓冲器或锁存器中的至少一种。

根据本公开的第二个方面，提供了一种存储器，包括如本公开第一个方面所述的半导体结构。

根据本公开的第三个方面，提供了一种版图结构，包括：

逻辑器件版图，包括位于同一版图布线层的第一电源线图形和第二电源线图形，所述第一电源线图形和所述第二电源线图形均沿第一方向延伸，且沿第二方向并列排布，所述第一方向和所述第二方向相交，所述逻辑器件版图用于定义逻辑器件，所述第一电源线图形用于定义第一电源线，所述第二电源线图形用于定义第二电源线；

开关驱动器件版图，与所述逻辑器件版图沿所述第一方向并列排布，所述开关驱动器件版图包括第一输入线图形和第一输出线图形，所述第一输入线图形和所述第一输出线图形与所述第一电源线图形位于同一版图布线层，所述第一输入线图形和所述第一输出线图形均沿所述第一方向延伸，且沿所述第二方向并列排布，其中，所述第一输出线图形沿所述第一方向延伸，且与所述第一电源线图形或者所述第二电源线图形连接；所述开关驱动器件版图用于定义开关驱动器件，所述第一输入线图形用于定义第一输入线，所述第一输出线图形用于定义第一输出线。

上述方案中，所述版图结构包括标准单元版图，所述标准单元版图包括所述逻辑器件版图和所述开关驱动器件版图，所述标准单元版图用于定义所述标准单元。

本公开实施例提供的半导体结构中，逻辑器件和开关驱动器件沿第一方向并列排布，逻辑器件的第一电源线和第二电源线沿第一方向延伸，开关驱动器件的第一输出线、第一电源线和第二电源线位于同一布线层，其中，第一输出线与第一电源线连接，或者第一输出线或第二电源线连接。当开关驱动器件向逻辑器件提供本地电源时，电流从开关驱动器件的第一输出线直接流入逻辑器件的第一电源线或第二电源线，不会经过互连孔，因此可以大大减小本地电源网络的电阻值，减少电流传递过程中的损失，从而提高逻辑器件的本地电源的稳定性，进而提高逻辑器件的延迟时间的稳定性。

进一步地，第一电源线（或第二电源线）和第一输出线均是沿第一方向延伸至二者相互连接，因此，第一电源线（或第二电源线）和第一输出线的线路较短，可进一步减小本地网络的电阻值，减小电流传递过程中的损耗，提高逻辑器件的延迟时间的稳定性。

附图说明

图 1 为本公开实施例提供的一种半导体结构的版图布局示意图；

图 2a 为本公开实施例提供的逻辑器件和开关驱动器件的一种电路连接示意图；

图 2b 为本公开实施例提供的逻辑器件和开关驱动器件的又一种电路连接示意图；

图 3 为图 1 所示的半导体结构中逻辑器件和开关驱动器件的放大示意图；

图 4 为图 3 所示的逻辑器件和开关驱动器件的电路图；

图 5 为图 3 中逻辑器件的放大示意图；

图 6 为图 5 所示的逻辑器件沿 A-A 线的剖视图；

图 7 为本公开实施例提供的又一种半导体结构的版图布局示意图；

图 8 为图 7 所示的半导体结构中一种标准单元的放大示意图；

图 9 为图 8 所示的标准单元中开关驱动器件的电路图；

图 10 为图 1 所示的半导体结构在工作状态的电流路径示意图；

图 11 为图 7 所示的半导体结构在工作状态的电流路径示意图。

具体实施方式

以下结合说明书附图及具体实施例对本公开的技术方案做详细阐述。

在本公开的描述中，需要理解的是，术语“长度”、“宽度”、“深度”、“上”、“下”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。

图 1 为本公开实施例提供的一种半导体结构的版图布局示意图。该半导体结构包括标准单元阵列 10，标准单元阵列 10 包括多个标准单元。示例地，如图 1 所示，标准单元阵列包括 4 × 12 个标准单元。

标准单元可包括不同类型的逻辑器件。逻辑器件可以是缓冲器（buffer，简写为 buf）、寄存器（Register）、反相器（inverter，简写为 inv）以及逻辑门电路等。逻辑门电路包括但不限于或非门电路（nor）、与非门电路（nand）等。需要说明的是，图中存在 nand3PF×2 类似的表述，在此进行统一的定义说明，其中 nand 表征任意逻辑门电路，“3”表征逻辑门电路的输入端数量，PF 表征不限制电源端，将接地端限定为主接地端 Vss，并列的还包括 GF，表征不限制接地端，将电源端限定为主电源端 Vcc，“×2”表征逻辑门电路中 MOS 管的宽长比。

该半导体结构还包括两个开关驱动器件阵列 20，沿 Y 方向分设于标准单元阵列 10 的两侧。开关驱动器件阵列 20 包括多个开关驱动器件（Switch CMOS Driver Cell，简写为 Scmos Drv cell）。示例地，如图 1 所示，开关驱动器件阵列可包括 10×1 个开关驱动器件，其中，“10”表征开关驱动器件的数量，“×1”表征开关驱动器件中 MOS 管的宽长比。

该半导体结构还包括多条沿 Y 方向延伸的本地电源总线 30（local power bus），本地电源总线 30 将开关驱动器件和逻辑器件电连接。开关驱动器件用来控制逻辑器件（也即标准单元阵列）的电源的开关。示例地，开关驱动器件包括 PMOS 晶体管（P 沟道增强型场效应管）、NMOS 晶体管（N 沟道增强型场效应管）、或者由 PMOS 晶体管和 NMOS 晶体管组成的 CMOS 电路。

开关驱动器件与逻辑器件的电路连接方式有两种，一种是通过关断逻辑器件的电源信号来关断逻辑器件，另一种是通过断开逻辑器件的接地信号来关断逻辑器件。

图 2a 和图 2b 示出了开关驱动器件和逻辑器件的两种连接方式。如图 2a 所示，开关驱动器件为 PMOS 晶体管 MPa，PMOS 晶体管 MPa 的漏极与电源 Vcc 连接，源极与逻辑器件的电源端连接，逻辑器件的接地端与公共接地 Vss 连接。当 PMOS 晶体管 MPa 开启时，开关驱动器件向逻辑器件提供电源。示例地，将由开关驱动器件提供的电源，称为本地电源 local Vcc。当 PMOS 晶体管 MPa 关闭时，则可关断逻辑器件的电源。

如图 2b 所示，开关驱动器件为 NMOS 晶体管 MNa，NMOS 晶体管 MNa 的漏极与公共接地 Vss 连接，源极与逻辑器件的接地端连接，逻辑器件的电源端与电源 Vcc 连接。当 NMOS 晶体管 MNa 开启时，开关驱动器件用于向逻辑器件提供接地信号。示例地，将由开关驱动器件提供的接地信号，称为本地接地信号 local Vss。当 NMOS 晶体管 MNa 关闭时，则可关断逻辑器件的电源。

结合上述分析，需说明的是，逻辑器件有三种电源提供方式，第一种是电源端连接电源 Vcc，接地端连接公共接地 Vss；第二种是电源端连接开关驱动器件，接收本地电源 local Vcc，接地端连接公共接地 Vss；第三种是电源端连接电源 Vcc，接地端连接开关驱动器件，接收本地接地信号 local Vss。

图 3 为图 1 所示的半导体结构中逻辑器件和开关驱动器件的放大示意图，也即图 1 中虚线框所示的区域的放大示意图。这里，逻辑器件 100 为 invPF×4，本实施例以逻辑器件为 invPF×4 为例，说明逻辑器件 100 与开关驱动器件 200 的布局和连接方式。

图 4 为图 3 所示的逻辑器件和开关驱动器件的电路图。如图 4 所示，开关驱动器件 200 包括多个并联的 PMOS 晶体管 Mpa。示例地，本实施例中，开关驱动器件 200 包括 5 个并联的 PMOS 晶体管 Mpa。因此，图 1 中开关驱动器件阵列 20 通过多条本地电源总线 30 向标准单元阵列 10 提供本地电源 local Vcc。应当理解，在另一些实施例中，开关驱动器件阵列也可通过多条本地电源总线向标准单元阵列提供本地接地信号 local Vss。

参见图 4，该逻辑器件 100 包括第一负载管 MP1、第一驱动管 MN1、第二负载管 MP2 以及第二驱动管 MN2，其中，第一负载管 MP1 和第二负载管 MP2 为 PMOS 晶体管，第一驱动管 MN1 和第二驱动管 MN2 为 NMOS 晶体管。

第一负载管 MP1 的源极连接开关驱动器件的输出端，用于接收本地电源 local Vcc，第一负载管 MP1 的漏极和第一驱动管 MN1 的漏极均连接至节点 b1，第一驱动管 MN1 的源极连接公共接地 Vss，第一负载管 MP1 栅极和第一驱动管 MN1 的栅极均连接至节点 a1。第二负载管 MP2 的源极也连接开关驱动器件的输出端，用于接收本地电源 local Vcc，第二负载管 MP2 的漏极和第二驱动管 MN2 的漏极均连接至节点 b2，第二驱动管 MN2 的源极连接公共接地 Vss，第二负载管 MP2 的栅极和第二驱动管 MN2 的栅极均连接至节点 a2。其中，节点 a1 和节点 a2 连接，节点 b1 和节点 b2 连接。

该逻辑器件 100 包括两个并联的反相器，其中，第一负载管 MP1 和第一驱动管 MN1 构成

第一反相器，节点 a1 为第一反相器的输入端，节点 b1 为第一反相器的输出端；第二负载管 MP2 和第二驱动管 MN2 构成第二反相器，节点 a2 为第二反相器的输入端，节点 b2 为第二反相器的输出端。节点 a1 和节点 a2 连接，节点 b1 和节点 b2 连接，也即第一反相器的输入端和第二反相器的输入端连接，第一反相器的输出端和第二反相器的输出端连接，第一反相器和第二反相器并联。

图 5 为图 3 中逻辑器件的放大示意图，图 6 为图 5 所示的逻辑器件沿 A-A 线的剖视图。参见图 4 至图 6，在衬底内形成 n 型阱区和 p 型阱区，在 n 型阱区形成第一负载管 MP1 和第二负载管 MP2，第一负载管 MP1 和第二负载管 MP2 沿 X 方向并列排布，在 p 型阱区形成第一驱动管 MN1 和第二驱动管 MN2，第一驱动管 MN1 和第二驱动管 MN2 沿 X 方向并列排布。第一负载管 MP1 和第一驱动管 MN1 沿 Y 方向并列排布，第二负载管 MP2 和第二驱动管 MN2 沿 Y 方向并列排布。

如图 6 所示，第一负载管 MP1 和第二负载管 MP2 均包括位于 n 型阱区内的源极区 111 和漏极区 112，源极区 111 和漏极区 112 均为 p 型掺杂区域。源极区 111 和漏极区 112 沿 X 方向排布且相互隔离，源极区 111 和漏极区 112 之间形成沟道。本实施例中，第一负载管和第二负载管共用漏极区 112。

两个负载管（指第一负载管 MP1 和第二负载管 MP2）还包括覆盖沟道的栅极结构，栅极结构包括沿 Y 方向延伸的栅极 113，以及位于栅极 113 和沟道之间的栅极介质层。两个负载管的栅极 113 沿 X 方向并列排布，并且通过沿 X 方向延伸的子连接线 114 电连接。子连接线 114 与栅极 113 位于同一布线层。

同理，第一驱动管 MN1 和第二驱动管 MN2 均包括位于 p 型阱区内的源极区（图中未示出）、沟道和漏极区（图中未示出），以及覆盖沟道的栅极结构，其中，源极区、沟道和漏极区沿 X 方向并列排布，源极区和漏极区均为 n 型掺杂区域，第一驱动管 MN1 和第二驱动管 MN2 共用漏极区。如图 5 所示，栅极结构包括沿 Y 方向延伸的栅极 123，以及位于栅极 123 和沟道之间的栅极介质层。两个驱动管（指第一驱动管 MN1 和第二驱动管 MN2）的栅极 123 沿 X 方向并列排布，并且通过沿 X 方向延伸的子连接线 124 电连接。子连接线 124 与栅极 123 位于同一布线层。

这里，两个负载管的栅极 113 和两个驱动管的栅极 123 位于同一布线层，但是相互隔离，也即未在该布线层进行电连接。

继续参见图 5 和图 6，该逻辑器件 100 还包括两个负载管的源极线 115 和漏极线 116，两个负载管的源极线 115 和漏极线 116 均沿 Y 方向延伸，且通过接触插塞 CT 与其源极区和漏极区电连接。这里，定义两个负载管的源极线 115 和漏极线 116 位于第一布线层 M0，第一布线层 M0 位于栅极所在的布线层之上。接触插塞 CT 位于第一布线层 M0 和衬底之间，或者接触插塞 CT 位于第一布线层 M0 和有源区之间。

示例地，每个负载管的源极线 115 可通过对应的接触插塞 CT 与其源极区 111 电连接，每个负载管的漏极线 116 可通过对应的接触插塞 CT 与其漏极区 112 电连接。

同理，该逻辑器件还包括两个驱动管的源极线 125 和漏极线 126，两个驱动管的源极线 125 和漏极线 126 均沿 Y 方向延伸，且通过接触插塞 CT 分别与其源极区和漏极区电连接。这里，两个驱动管的源极线 125 和漏极线 126 均位于第一布线层 M0。

这里，在第一布线层 M0 中，两个负载管共用的漏极线 116 与两个驱动管共用的漏极线 126 彼此连接，换言之，漏极线 116 和漏极线 126 为一条导电线。漏极线 116 和漏极线 126 彼此连接，对应电路中节点 b1 和 b2 连接。

第一布线层 M0 中还包括总连接线 118，沿 Y 方向延伸，总连接线 118 通过接触插塞 CT 与子连接线 114、子连接线 124 电连接，对应电路中节点 a1 和节点 a2 连接。

继续参见图 5 和图 6，该逻辑器件还包括第一本地线 420 和第二主体线 510，这里，第一本地线 420 用于向逻辑器件提供本地电源 local Vcc，第二主体线 510 用于向逻辑器件提供公共接地信号 Vss。第一本地线 420 和第二主体线 510 均沿 X 方向延伸，且两者沿 Y 方向并列排布。其中，第一本地线 420 通过互连孔 V1 与两个负载管的源极线 115 电连接，第二主体线 510 通过接触孔 V1 与两个驱动管的源极线 125 电连接。这里，第一本地线 420 和第二主体线 510 位于第二布线层 M1，第二布线层 M1 位于第一布线层 M0 至上。互连孔 V1 位于第二布线层 M1 和第

一布线层 M0 之间。

示例地，第一本地线 420 通过多个互连孔 V1 与两个负载管的源极线 115 电连接，第二主体线 510 通过多个互连孔 V1 与两个驱动管的源极线 125 电连接。

继续参见图 5 和图 6，本地电源总线 30 位于第三布线层 M2，第三布线层 M2 位于第二布线层 M1 之上。本地电源总线 30 通过互连孔 V2 与逻辑器件的第一本地线 420 电连接。互连孔 V2 位于第三布线层 M2 和第二布线层 M1 之间。

该逻辑器件还包括互连孔 V3 和互连孔 V4，其中，互连孔 V3 位于漏极线 116 和/或漏极线 126 上，用作该逻辑器件的输出端，互连孔 V4 位于总连接线 118 上，用作该逻辑器件的输入端。

参见图 3，开关驱动器件 200 包括多个并联的 PMOS 晶体管 MPa，其结构和布局方式与逻辑器件中的第一负载管 MP1 和第二负载管 MP2 的结构和布局方式基本相同。PMOS 晶体管 Mpa 包括：位于衬底的第一阱区内的第一源极区、第一沟道和第一漏极区（图中未示出）、以及第一栅极 213、第一源极线 215、第一漏极线 216、第一输入线 610 和第一输出线 620。其中，第一阱区为 n 型阱区，第一源极区、第一沟道和第一漏极区沿 X 方向并列排布，第一源极区和第一漏极区为 p 型掺杂区域。

第一栅极 213 覆盖第一沟道，且沿 Y 方向延伸。第一源极线 215 和第一漏极线 216 位于第一布线层 M0，第一源极线 215 和第一漏极线 216 均沿 Y 方向延伸，且二者沿 X 方向并列排布。其中，第一源极线 215 通过接触插塞 CT 与第一源极区电连接，第一漏极线 216 通过接触插塞 CT 与第一漏极区电连接。

第一输入线 610 和第一输出线 620 位于第二布线层 M1，第一输入线 610 和第一输出线 620 均沿 X 方向延伸，且二者沿 Y 方向并列排布。其中，第一输入线 610 通过互连孔 V1 与第一源极线 215 电连接，第一输出线 620 通过互连孔 V1 与第一漏极线 216 电连接。

本地电源总线 30 通过互连孔 V2 与第一输出线 620 电连接，以使开关驱动器件向逻辑器件的第一本地线 420 提供本地电源 local VCC。

当图 1 所示的半导体结构应用至 LPDDR（Low Power Double Data Rate SDRAM）的电路中时，部分逻辑器件（例如图 1 中实线框所包括的 invPF×4、nor3PF×2、nand3PF×2、nor2PF×2、nand2PF×2）可由多个高速晶体管（简称 Lvt 管，Low V_{th}）组成。高速晶体管的阈值电压（V_{th}）低，延迟时间短，开启速度快。但是高速晶体管的晶体管噪声容易叠加，导致高速晶体管的延迟时间的稳定性差。一种可行的方法是提高高速晶体管的电源稳定性，也即提高本地电源的稳定性。

在一些实施例中，可通过增加本地电源总线 30 的条数，或者增大本地电源总线 30 的线宽，来减小本地电源网络的电阻值，从而提高本地电源的稳定性。

但是这种方式有两个缺点，第一是当对本地电源要求极其严苛的情况下（比如双沿握手信号），即使通过所有本地电源总线 30 向标准单元阵列提供电源，也无法保证本地电源网络的阻值达到要求。这是因为当开关驱动器件向逻辑器件提供本地电源时，电流的流经路径为：开关驱动器件的第一漏极线 216→互连孔 V1→开关驱动器件的第一输出线 620→互连孔 V2→本地电源总线 30→互连孔 V2→逻辑器件的第一本地线 420→互连孔 V1→逻辑器件的源极线 115，也即电流依次流经：M0→V1→M1→V2→M2→V2→M1→V1→M0。传输过程中两次经过互连孔 V1，两次经过互连孔 V2，由于互连孔的电阻值较大，导致本地电源网络的电阻值较大，传输过程损耗较大，本地信号的稳定性较差。

第二是，即使通过增加本地电源总线 30 的数量，增大本地电源总线 30 的线宽来减小电源网络的电阻值至达到需要，但是这样占用了第三布线层 M2 较多的线道（track），导致后续的版图设置没有足够的线道。

鉴于此，本公开实施例提供了一种半导体结构。图 7 为本公开实施例提供的一种半导体结构的示意图，图 8 为图 7 所示的半导体结构中一种标准单元的放大示意图。参见图 7 和图 8，该半导体结构包括新标准单元阵列 10′，新标准单元阵列 10′ 包括多个标准单元，其中，至少部分标准单元包括逻辑器件 100 和开关驱动器件 200。换言之，本公开实施例中，将开关驱动器件 200 和逻辑器件 100 设置在一个标准单元中，形成带开关驱动器件的逻辑器件标准单元。

图7所示的半导体结构包括带开关驱动器件的反相器标准单元invPF×4 _new、带开关驱动器件的或非门标准单元nor3PF×2_new、带开关驱动器件的或非门标准单元nor2PF×2_new、带开关驱动器件的与非门标准单元nand3PF×2_new和带开关驱动器件的与非门标准单元nand2PF×2_new。

图 8 示出的是带开关驱动器件的反相器标准单元 invPF×4_new。本实施例以 invPF×4_new 为例，说明每个标准单元中逻辑器件 100 与开关驱动器件 200 的布局和连接方式。

参见图 8，逻辑器件 100 包括位于同一布线层的第一电源线 400 和第二电源线 500，第一电源线 400 和第二电源线 500 均沿第一方向（例如 X 方向）延伸，且沿第二方向（例如 Y 方向）并列排布，第一方向和第二方向相交且均平行于布线层所在平面。

开关驱动器件 200 与逻辑器件 100 沿 X 方向并列排布，开关驱动器件 200 包括第一输入线 610 和第一输出线 620，第一输入线 610 和第一输出线 620 与第一电源线 400 位于同一布线层，第一输入线 610 和第一输出线 620 均沿 X 方向延伸，且沿 Y 方向并列排布，其中，第一输出线 620 与第一电源线 400 连接。

示例地，第一电源线 400 用于接收电源 Vcc 或者本地电源 local Vcc，第二电源线 500 用于接收公共接地信号 Vss 或者本地接地信号 local Vss。

示例地，开关驱动器件 200 包括 PMOS 晶体管 MPa，PMOS 晶体管 MPa 包括第一输入线 610 和第一输出线 620，第一输出线 620 与逻辑器件 100 的第一电源线 400 连接，开关驱动器件 200 向逻辑器件 100 的第一电源线 400 提供本地电源 local Vcc。逻辑器件 100 的第二电源线 500 用于接收公共接地信号 Vss。

以图 8 所示的标准单元为例，本公开实施例中，逻辑器件 100 和开关驱动器件 200 沿第一方向并列排布，逻辑器件 100 的第一电源线 400 和第二电源线 500 沿第一方向延伸，开关驱动器件 200 的第一输出线 620、第一电源线 400 和第二电源线 500 均位于同一布线层（也即第二布线层 M1），其中，第一输出线 620 与第一电源线 400 连接。当开关驱动器件 200 向逻辑器件 100 提供本地电源时，电流的流经路径为：开关驱动器件 200 的第一漏极线 216→互连孔 V1→开关驱动器件 200 的第一输出线 620→逻辑器件 100 的第一电源线 400→互连孔 V1→逻辑器件 100 的源极线 115，也即电流依次流经：M0→V1→M1→V1→M0。传输过程中未经过互连孔 V2，因此可以减小本地电源网络的电阻值，减少电流传递过程中的损失，从而提高逻辑器件 100 的本地电源的稳定性，进而提高逻辑器件 100 的延迟时间的稳定性。

进一步地，第一电源线400和第一输出线620均是沿X方向延伸至二者相互连接，因此，第一电源线400和第一输出线620的线路较短，可进一步减小本地网络的电阻值，减小电流传递过程中的损耗。

在一些实施例中，第一电源线400包括第一主体线410和第一本地线420，第一主体线410和第一本地线420沿Y方向并列排布，其中，第一输出线620与第一本地线420连接，第一输入线610与第一主体线410连接。

示例地，第一主体线 410 用于连接电源 Vcc，第一本地线 420 用于连接本地电源 local Vcc。

应当理解，PMOS 晶体管 MPa 的第一输入线 610 用于连接电源 Vcc，逻辑器件 100 的第一主体线 410 用于连接电源 Vcc，因此，可以将第一输入线 610 和第一主体线 410 连接，用于向 PMOS 晶体管 MPa 或者逻辑器件 100 提供电源 Vcc。PMOS 晶体管 MPa 的第一输出线 620 与逻辑器件 100 的第一本地线 420 连接，以使 PMOS 晶体管 MPa 向逻辑器件 100 提供本地电源 local Vcc。

在一些实施例中，第二电源线 500 包括第二主体线 510 和第二本地线 520，第二主体线 510 和第二本地线 520 沿 Y 方向并列排布。

开关驱动器件 200 还包括 NMOS 晶体管 MNa，NMOS 晶体管 MNa 包括第二输入线 630 和第二输出线 640，第二输入线 630、第二输出线 640 与第二电源线 500 位于同一布线层，也即位于第二布线层 M1。第二输入线 630 和第二输出线 640 均沿 X 方向延伸，且沿 Y 方向并列排布，其中，第二输入线 630 与第二主体线 510 连接，第二输出线 640 与第二本地线 520 连接。

示例地，第二主体线510用于连接公共接地Vss，第二本地线520用于连接本地接地local Vss。

应当理解，NMOS 晶体管 MNa 的第二输入线 630 用于连接公共接地 Vss，逻辑器件 100 的第二主体线 510 用于连接公共接地 Vss，因此，可以将第二输入线 630 和第二主体线 510 连

接，用于向NMOS晶体管MNa或者逻辑器件100提供公共接地Vss。NMOS晶体管MNa的第二输出线640与逻辑器件100的第二本地线520连接，以使NMOS晶体管MNa向逻辑器件100提供本地接地信号local Vss。

总言之，本实施例中，逻辑器件100包括沿Y方向并列排布的第一主体线410、第一本地线420、第二主体线510和第二本地线520，开关驱动器件200包括沿Y方向并列排布的第一输入线610、第一输出线620、第二输入线630和第二输出线640，其中，第一主体线410和第一输入线610彼此连接，第一本地线420和第一输出线620彼此连接，第二主体线510和第二输入线630彼此连接，第二本地线520和第二输出线640彼此连接。

根据上文所述的逻辑器件100的电路提供方式可知，在一些实施例中，可通过第一互连孔V1a将第一本地线420与两个负载管的源极线115电连接，通过第二互连孔V1b将第二主体线510与两个驱动管的源极线125电连接，用于向两个负载管的源极提供本地电源local Vcc，向两个驱动管的源极提供的公共接地信号Vss。

在另一些实施例中，可通过第三互连孔（图中未示出）将第一主体线410与两个负载管源极线115电连接，通过第四互连孔（图中未示出）将第二本地线520与两个驱动管的源极线125电连接，用于向两个负载管的源极提供电源Vcc，向两个驱动管的源极提供的本地接地信号local Vss。

在另一些实施例中，还可通过第三互连孔将第一主体线410与两个负载管源极线115电连接，通过第二互连孔V1b将第二主体线510与两个驱动管的源极线125电连接，用于向两个负载管的源极提供电源Vcc，向两个驱动管的源极提供的公共接地信号Vss。

这里，互连孔V1包括第一互连孔V1a、第二互连孔V1b、第三互连孔和第四互连孔，也即第一互连孔V1a、第二互连孔V1b、第三互连孔和第四互连孔均位于第二布线层M1和第一布线层M0之间。

应当理解，第一主体线410和第一本地线420不能同时与两个负载管的源极线115电连接，只能择其一与源极线115连接。第二主体线510和第二本地线520不能同时与两个驱动管的源极线125电连接，只能择其一与源极线125连接。

综上所述，本公开实施例提供的标准单元，可根据需要设置第一互连孔V1a和第二互连孔V1b、或者第三互连孔和第四互连孔、或者第三互连孔和第二互连孔V1b，向逻辑器件100提供三种电源。该标准单元的适用范围广，能向多种逻辑器件100提供不同的电源。

需要说明的是，图8所示的实施例中，开关驱动器件200包括PMOS晶体管和NMOS晶体管。在另一些实施例中，开关驱动器件也可只包括PMOS晶体管，用于向逻辑器件提供本地电源local Vcc。在另一些实施例中，开关驱动器件也可只包括NMOS晶体管，开关驱动器件的第一输出线可与第二电源线连接，开关驱动器件向逻辑器件的第二电源线提供本地接地信号local Vss，逻辑器件的第一电源线用于接收电源Vcc。

在一些实施例中，第一输出线620沿Y方向的线宽等于第一本地线420沿Y方向的线宽，第一输入线610沿Y方向的线宽等于第一主体线410沿Y方向的线宽，第二输出线640沿Y方向的线宽等于第二本地线520沿Y方向的线宽，第二输入线630沿Y方向的线宽等于第二主体线510沿Y方向的线宽。

换言之，第一输出线620和第一本地线420其实是一条导电线，第二输出线640和第二本地线520也是一条导电线，第二输入线630和第二主体线510也是一条导电线，第二输出线640和第二本地线520也是一条导电线。第二布线层包括沿Y方向并列排布的四条导电线。这样设置，能使标准单元更加规整，利于提高半导体结构的布局效率。

图9为图8所示的标准单元中开关驱动器件的电路图。参见图8和图9，本实施例中，开关驱动器件200包括多个并联的PMOS晶体管MPa和多个并列的NMOS晶体管MNa。多个并联的PMOS晶体管MPa中，每个PMOS晶体管MPa的源极连接至电源Vcc；漏极相互连接，用于输出本地电源local Vcc；栅极相互连接，以使多个并联的PMOS晶体管MPa同时开启。多个并列的NMOS晶体管MNa中，每个NMOS晶体管MNa的源极连接至公共接地Vss；漏极相互连接，用于输出本地公共接地信号local Vss；栅极相互连接，以使多个并列的NMOS晶体管MNa同时开启。

本实施例中，多个并联的PMOS晶体管MPa和多个并联的NMOS晶体管MNa能够提高开

关驱动器件200的驱动能力，以满足逻辑器件100的功耗要求。

如上文所示，PMOS 晶体管 MPa 的结构和逻辑器件 100 中的第一负载管 MP1 和第二负载管 MP2 的结构基本相同，故不赘述。

需要说明的是，当多个 PMOS 晶体管 MPa 并联时，如图 8 所示，第一阱区包括多个第一源极区和多个第一漏极区，第一源极区和第一漏极区沿 X 方向交替排布，每个第一有源区上设置有第一源极线 215，每个第一漏极区上设置有第一漏极线 216，多个第一源极线 215 和多个第一漏极线 216 在第一布线层 M0 沿 X 方向交替排布。

第一阱区内相邻第一源极区和第一漏极区之间设置有第一沟道，每个第一沟道上设置有第一栅极 213，多个第一栅极 213 沿 X 方向并列排布且相连接。

这里，每个 PMOS 晶体管 MPa 包括一个第一栅极 213，以及位于第一栅极 213 两侧的第一源极区和第一漏极区。相邻两个 PMOS 晶体管 MPa 共用第一源极区或者共用第一漏极区。

第一输入线 610 通过互连孔 V1 与多个第一源极线 215 电连接，对应电路中多个 PMOS 晶体管 MPa 的源极均连接至 Vcc。第一输出线 620 通过互连孔 V1 与多个第一漏极线 216 电连接，对应电路中多个 PMOS 晶体管 MPa 的漏极相互连接，用于输出本地电源 local Vcc。

此外，NMOS 晶体管 MNa 的结构和逻辑器件 100 中的第一驱动管 MN1 和第二驱动管 MN2 的结构也基本相同。如图 8 所示，每个 NMOS 晶体管 MNa 还包括：位于衬底的第二阱区内的第二源极区、第二沟道和第二漏极区（图中未示出）、以及第二栅极 223、第二源极线 225 和第二漏极线 226。其中，第二阱区为 p 型阱区，第二源极区、第二沟道和第二漏极区沿 X 方向并列排布，第二源极区和第二漏极区为 n 型掺杂区域。

第二栅极 223 覆盖第二沟道，且沿 Y 方向延伸。第二源极线 225 和第二漏极线 226 位于第一布线层 M0，第二源极线 225 和第二漏极线 226 均沿 Y 方向延伸，且二者沿 X 方向并列排布。其中，第二源极线 225 通过接触插塞 CT 与第二源极区电连接，第二漏极线 226 通过接触插塞 CT 与第二漏极区电连接。

第二输入线 630 和第二输出线 640 位于第二布线层 M1，第二输入线 630 通过互连孔 V1 与第二源极线 225 电连接，第二输出线 640 通过互连孔 V1 与第二漏极线 226 电连接。

当多个NMOS晶体管MNa并联时，如图8所示，第二阱区包括多个第二源极区和多个第二漏极区，第二源极区和第二漏极区沿X方向交替排布，每个第二有源区上设置有第二源极线225，每个第二漏极区上设置有第二漏极线226，多个第二源极线225和多个第二漏极线226在第一布线层M0沿X方向交替排布。

第二阱区内相邻第二源极区和第二漏极区之间设置有第二沟道，每个第二沟道上设置有第二栅极223，多个第二栅极223沿X方向并列排布且相连接。

这里，每个NMOS晶体管MNa包括一个第二栅极223，以及位于第二栅极223两侧的第二源极区和第二漏极区。相邻两个NMOS晶体管MNa共用第二源极区或者共用第二漏极区。

第二输入线630通过互连孔V1与多个第二源极线225电连接，对应电路中多个NMOS晶体管MNa的源极均连接至Vss。第二输出线640通过互连孔V1与多个第二漏极线226电连接，对应电路中多个NMOS晶体管MNa的漏极相互连接，用于输出本地接地信号local Vss。

进一步地，参见图11，PMOS晶体管MPa的第一栅极213和NMOS晶体管MNa的第二栅极223相连接。应当理解，PMOS晶体管MPa为低电平导通，高电平截止，而NMOS晶体管MNa为高电平导通，低电平截止。本实施例中，将PMOS晶体管MPa的第一栅极213和NMOS晶体管MNa的第二栅极223连接，当向二者的栅极施加高电平时，NMOS晶体管MNa开启而PMOS晶体管MPa关闭，如此，可向逻辑器件100提供本地接地信号local Vss，当施加低电平时，PMOS晶体管MPa开启而NMOS晶体管MNa关闭，如此，可向逻辑器件100提供本地电源local Vss。

需要说明的是，在其它一些实施例中，PMOS晶体管MPa的第一栅极213和NMOS晶体管MNa的第二栅极223可互不连接，单独控制。而本实施例中，将PMOS晶体管MPa的第一栅极213和NMOS晶体管MNa的第二栅极223连接，一方面可避免出现同时向逻辑器件100提供本地电源local Vcc和本地接地信号local Vss的情况，另一方面，操作上更为简单，只需要改变电平，既能实现输出本地电源local Vcc或者本地接地信号local Vss。

为实现PMOS晶体管MPa的第一栅极213和NMOS晶体管MNa的第二栅极223相连接，在

布局上，开关驱动器件200还包括：

第一栅极连接线217，与第一栅极213位于同一布线层，第一栅极连接线217沿X方向延伸，且连接多个第一栅极213相对靠近第二栅极223的端部；

第二栅极连接线227，与第二栅极223位于同一布线层，第二栅极连接线227沿X方向延伸，且连接多个第二栅极223相对靠近第一栅极213的端部；

第一辅助连接线218，位于第一布线层M0，第一辅助连接线218包括沿X方向延伸的第一部分和沿Y方向延伸的第二部分，第一部分与第一栅极连接线217通过接触插塞CT电连接；

第二辅助连接线228，位于第一布线层M0，第二辅助连接线228包括沿X方向延伸的第三部分和沿Y方向延伸的第四部分，第三部分与第二栅极连接线227通过接触插塞CT电连接；在垂直于X方向的平面内，第二部分的正投影和第四部分的正投影至少部分重叠；

栅极控制线（图中未示出），沿X方向延伸，且与第二部分和第四部分电连接。在一些实施例中，栅极控制线位于第一布线层M0。由于在垂直于X方向的平面内，第二部分的正投影和第四部分的正投影至少部分重叠，因此，可通过在第二布线层内设置沿X方向延伸的栅极控制线，将第二部分和第四部分连接，以通过向栅极控制线输入低电平或高电平，控制PMOS晶体管MPa或NMOS晶体管MNa的开启，实现输出本地电源local Vcc或者本地接地信号local Vss。

在另一些实施例中，栅极控制线也可位于第二布线层M1，通过互连孔V1与第二部分和第四部分电连接。

应当理解，图7所述的nor3PF×2_new、nor2PF×2_new、nand3PF×2_new和nand2PF×2_new，分别由nor3PF×2、nor2PF×2、nand3PF×2、nand2PF×2与开关驱动器件组合而成。Nor3PF×2、nor2PF×2、nand3PF×2、nand2PF×2基本由PMOS晶体管和NMOS晶体管组合而成。因此由本实施例提供的反相器invPF×4的布局方式，可合理地推出或非门电路Nor3PF×2、nor2PF×2和与非门电路nand3PF×2、nand2PF×2的布局方式，进而可合理地推出nor2PF×2_new、nor2PF×2_new、nand3PF×2_new和nand2PF×2_new的布局方式，故本公开不做赘述。

需要说明的是，上述逻辑器件通常包括在Y方向并列设置的第一部件和第二部件，示例地，第一部件包括多个PMOS晶体管，第二部件包括多个NMOS晶体管。第一部件具有位于第一布线层的第一电源引出线，示例地，第一电源引出线为PMOS晶体管的源极线（例如第一负载管MP1和第二负载管MP2的源极线115）。第二部件具有位于第一布线层的第二电源引出线，示例地，第二电源引出线为NMOS晶体管的源极线（例如第一驱动管MN1和第二驱动管MN2的源极线125）。第一本地线通过第一互连孔与第一电源引出线电连接，第二主体线通过第二互连孔与第二电源引出线电连接；或者，第一主体线通过第三互连孔与第一电源引出线电连接，第二本地线通过第四互连孔与第二电源引出线电连接。

需要说明的是，不同逻辑器件的开关驱动器件可以不同。在一些实施例中，可以根据逻辑器件的驱动需求，得到对应的开关驱动器件的尺寸（例如，开关驱动器件中PMOS晶体管和NMOS管的数量），进而把逻辑器件和其对应的开关驱动器件集成整合成一个标准单元。

在标准单元阵列10′中，标准单元的第一输入线、第一输出线、第二输入线和第二输出线分别与沿X方向上相邻的标准单元的第一主体线、第一本地线、第二主体线和第二本地线连接，图7示出了其中的第一本地线420和第二主体线510。换言之，沿X方向并列排布的多个标准单元共用四条沿Y方向并列排布的导电线，每条导电线沿X方向延伸，四条导电线分别用于输出电源Vcc、本地电源local Vcc、公共接地信号Vss和本地接地信号Local Vss。

半导体结构还包括电源连接线 700，位于第三布线层 M2，电源连接线 700 沿 Y 方向延伸，且与沿 Y 方向并列排布的多个标准单元的第一本地线 420 或第一输出线连接。

电源连接线 700 将沿 Y 方向并列排布的多个标准单元的第一本地线 420 并联，形成并联支路，用于均衡各个标准单元的驱动能力。虽然电源连接线 700 和图 1 中的本地电源总线 30 都位于第三布线层 M2，但是二者的作用不同，本地电源总线 30 用于向标准单元阵列提供本地电源，驱动能力大，功耗较大，线宽较大，而图 7 所示的电源连接线 700，只起到并联支路的作用，因此线宽较小，数量也可较少，从而节省了第三布线层 M2 的线道。

对比图 1 和图 7 可知，图 7 所示的第三布线层 M2 中的相邻电源连接线 700 沿 X 方向

的间距L2，远大于图1所示的第三布线层M2中相邻本地电源总线30沿X方向的间距L1。间距L2几乎等于间距L1的二倍，如此节省了第三布线层M2的线道。并且新标准单元阵列更加规整，布局更容易。

图10为图1所示的半导体结构在工作状态的电流路径示意图，图11为图7所示的半导体结构在工作状态的电流路径示意图。图中灰色区域为开关驱动器件200所在位置。对比图11和图10可知，本公开实施例提供的半导体结构中开关驱动器件200与逻辑器件100沿X方向交替排布，开关驱动器件200和逻辑器件100的距离更近，电流的传输路径更短，几乎是最短，因此可大大降低本地电源网络的电阻，提高本地电源的稳定性。

此外，根据实测数据，图10所示的本地电源网络中第二布线层M1和第三布线层M2的阻值大部分为2ohm至4ohm，部分区域甚至在4ohm至5ohm。图11所示的本地电源网络中第二布线层M1和第三布线层M2的阻值大部分为1.3ohm至2ohm，部分在2ohm至3.3ohm。可见，图7所示的半导体结构的本地电源网络的电阻值明显优于图1所示的半导体结构，本公开实施例提供的半导体结构能降低本地电源网络的电阻，提高本地电源的稳定性。

本公开还提供了一种存储器，包括如上所述的半导体结构。

示例地，该存储器可以是动态随机存取存储器（DRAM）、静态随机存取存储器（SRAM）、三维NAND闪存存储器、二维NAND闪存存储器、相变存储器等。

本公开实施例还提供了一种版图结构，用于制备如上所述的半导体结构，该版图结构包括：

逻辑器件版图，包括位于同一版图布线层的第一电源线图形和第二电源线图形，第一电源线图形和所述第二电源线图形均沿第一方向延伸，且沿第二方向并列排布，第一方向和第二方向相交，逻辑器件版图用于定义逻辑器件，第一电源线图形用于定义第一电源线，第二电源线图形用于定义第二电源线；

开关驱动器件版图，与逻辑器件版图沿第一方向并列排布，开关驱动器件版图包括第一输入线图形和第一输出线图形，第一输入线图形和第一输出线图形与第一电源线图形位于同一版图布线层，第一输入线图形和第一输出线图形均沿第一方向延伸，且沿第二方向并列排布，其中，第一输出线图形沿第一方向延伸，且与第一电源线图形或者第二电源线图形连接；开关驱动器件版图用于定义开关驱动器件，第一输入线图形用于定义第一输入线，所第一输出线图形用于定义第一输出线。

在一些实施例中，版图结构包括标准单元版图，标准单元版图包括逻辑器件版图和开关驱动器件版图，标准单元版图用于定义上述标准单元。

在一些实施例中，第一电源线图形包括第一主体线图形和第一本地线图形，第一主体线图形和第一本地线图形沿第二方向并列排布；第一主体线图形用于定义第一主体线，第一本地线图形用于定义第一本地线；

第一输出线图形与第一本地线图形连接，第一输入线图形与第一主体线图形连接。

在一些实施例中，第二电源线图形包括第二主体线图形和第二本地线图形，第二主体线图形和第二本地线图形沿第二方向并列排布；第二主体线图形用于定义第二主体线，第二本地线图形用于定义第二本地线；

开关驱动器件版图还包括：第二输入线图形和第二输出线图形，与第二电源线图形位于同一版图布线层，第二输入线图形和第二输出线图形均沿第一方向延伸，且沿第二方向并列排布，其中，第二输出线图形与第二本地线图形连接，第二输入线图形与第二主体线图形连接；第二输入线图形用于定义第二输入线，第二输出线图形用于定义第二输出线。

在一些实施例中，逻辑器件版图还包括：在第二方向并列设置的第一部件版图和第二部件版图，第一部件版图具有位于第一版图布线层的第一电源引出线图形，第二部件版图具有位于第一版图布线层的第二电源引出线图形，第一电源引出线图形和第二电源引出线图形均沿第二方向延伸；第一部件版图用于定义第一部件，第二部件版图用于定义第二部件，第一电源引出线图形用于定义第一电源引出线，第二电源引出线图形用于定义第二电源引出线；

第一主体线图形、第一本地线图形、第二主体线图形和第二本地线图形位于第二版图

布线层，第二版图布线层位于第一版图布线层上；其中，第一本地线图形通过第一插塞图形与第一电源引出线图形连接，第二主体线图形通过第二插塞图形与第二电源引出线图形连接；或者，第一主体线图形通过第三插塞图形与第一电源引出线图形连接，第二本地线通过第四插塞图形与第二电源引出线图形连接，第一插塞图形、第二插塞图形、第三插塞图形和第四插塞图形分别用于定义第一插塞、第二插塞、第三插塞和第四插塞。

在一些实施例中，多个标准单元版图的数量为多个，多个标准单元版图呈阵列排布，其中，沿第一方向上，标准单元版图的第一输入线图形、第一输出线图形、第二输入线图形和第二输出线图形分别与相邻标准单元版图的第一主体线图形、第一本地线图形、第二主体线图形和第二本地线图形连接；

版图结构还包括：电源连接线图形，位于第三版图布线层，所述第三版图布线层位于第二版图布线层上，电源连接线图形沿第二方向延伸，且与沿第二方向并列排布的多个标准单元版图的第一本地线图形或第一输出线图形连接；电源连接线图形用于定义电源连接线。

在一些实施例中，逻辑器件版图包括反相器版图、逻辑门电路版图、缓冲器版图或锁存器版图中的至少一种，反相器版图、逻辑门电路版图、缓冲器版图和锁存器版图分别用于定义反相器、逻辑门电路、所述缓冲器和锁存器。

上述实施例仅例示性说明本公开的原理及其功效，而非用于限制本公开。任何熟悉此技术的人士皆可在不违背本公开的精神及范畴下，对上述实施例进行修饰或改变。因此，举凡所属技术领域中具有通常知识者在未脱离本公开所揭示的精神与技术思想下所完成的一切等效修饰或改变，仍应由本公开的权利要求所涵盖。

工业实用性

本公开实施例提供的半导体结构中，逻辑器件和开关驱动器件沿第一方向并列排布，逻辑器件的第一电源线和第二电源线沿第一方向延伸，开关驱动器件的第一输出线、第一电源线和第二电源线位于同一布线层，其中，第一输出线与第一电源线连接，或者第一输出线或第二电源线连接。当开关驱动器件向逻辑器件提供本地电源时，电流从开关驱动器件的第一输出线直接流入逻辑器件的第一电源线或第二电源线，不会经过互连孔，因此可以大大减小本地电源网络的电阻值，减少电流传递过程中的损失，从而提高逻辑器件的本地电源的稳定性，进而提高逻辑器件的延迟时间的稳定性。

进一步地，第一电源线（或第二电源线）和第一输出线均是沿第一方向延伸至二者相互连接，因此，第一电源线（或第二电源线）和第一输出线的线路较短，可进一步减小本地网络的电阻值，减小电流传递过程中的损耗，提高逻辑器件的延迟时间的稳定性。

权利要求书

1. 一种半导体结构，包括:

逻辑器件，包括位于同一布线层的第一电源线和第二电源线，所述第一电源线和所述第二电源线均沿第一方向延伸，且沿第二方向并列排布，所述第一方向和所述第二方向相交且均平行于所述布线层所在平面;

开关驱动器件，与所述逻辑器件沿所述第一方向并列排布，所述开关驱动器件包括第一输入线和第一输出线，所述第一输入线和所述第一输出线与所述第一电源线位于同一布线层，所述第一输入线和所述第一输出线均沿所述第一方向延伸，且沿所述第二方向并列排布，其中，所述第一输出线与所述第一电源线或者所述第二电源线连接。

2. 根据权利要求 1 所述的半导体结构，其中，所述第一电源线包括第一主体线和第一本地线，所述第一主体线和所述第一本地线沿所述第二方向并列排布;

所述第一输出线与所述第一本地线连接，所述第一输入线与所述第一主体线连接。

3. 根据权利要求 2 所述的半导体结构，其中，所述第二电源线包括第二主体线和第二本地线，所述第二主体线和所述第二本地线沿所述第二方向并列排布;

所述开关驱动器件还包括: 第二输入线和第二输出线，与所述第二电源线位于同一布线层，所述第二输入线和所述第二输出线均沿所述第一方向延伸，且沿所述第二方向并列排布，其中，所述第二输入线与所述第二主体线连接，所述第二输出线与所述第二本地线连接。

4. 根据权利要求 3 所述的半导体结构，其中，所述第一输出线沿所述第二方向的线宽，等于所述第一本地线沿所述第二方向的线宽;

所述第一输入线沿所述第二方向的线宽，等于所述第一主体线沿所述第二方向的线宽;

所述第二输出线沿所述第二方向的线宽，等于所述第二本地线沿所述第二方向的线宽;

所述第二输入线沿所述第二方向的线宽，等于所述第二主体线沿所述第二方向的线宽。

5. 根据权利要求 3 所述的半导体结构，其中，所述逻辑器件还包括: 在所述第二方向并列设置的第一部件和第二部件，所述第一部件具有位于第一布线层的第一电源引出线，所述第二部件具有位于所述第一布线层的第二电源引出线，所述第一电源引出线和所述第二电源引出线均沿所述第二方向延伸;

所述第一主体线、所述第一本地线、所述第二主体线和所述第二本地线位于第二布线层，所述第二布线层位于所述第一布线层上;

其中，所述第一本地线通过第一互连孔与所述第一电源引出线电连接，所述第二主体线通过第二互连孔与所述第二电源引出线电连接; 或者，所述第一主体线通过第三互连孔与所述第一电源引出线电连接，所述第二本地线通过第四互连孔与所述第二电源引出线电连接。

6. 根据权利要求 5 所述的半导体结构，其中，所述开关驱动器件还包括:

第一阱区，包括沿所述第一方向并列排布的第一源极区、第一沟道和第一漏极区;

第一栅极，位于所述第一沟道上且沿所述第二方向延伸;

第一源极线，位于所述第一布线层，所述第一源极线、所述第一源极区和所述第一输入线电连接，所述第一源极线沿所述第二方向延伸;

第一漏极线，位于所述第一布线层，所述第一漏极线、所述第一漏极区和所述第一输出线电连接，所述第一漏极线沿所述第二方向延伸。

7. 根据权利要求 6 所述的半导体结构，其中，所述第一阱区包括多个所述第一源极区和多个所述第一漏极区，所述第一源极区和所述第一漏极区沿所述第一方向交替排布，相邻所述第一源极区和所述第一漏极区之间设置有所述第一沟道，每一所述第一沟道上设置有所述第一栅极;

所述第一栅极的数量为多个，多个所述第一栅极沿所述第一方向并列排布且相连接。

8. 根据权利要求 6 所述的半导体结构，其中，所述开关驱动器件还包括:

第二阱区，与所述第一阱区沿所述第二方向并列排布，所述第二阱区包括沿所述第一方向并列排布的第二源极区、第二沟道和第二漏极区;

第二栅极，位于所述第二沟道上且沿所述第二方向延伸;

第二源极线，位于所述第一布线层，所述第二源极线、所述第二源极区和所述第二输入线电连接，所述第二源极线沿所述第二方向延伸;

第二漏极线，位于所述第一布线层，所述第二漏极线、所述第二漏极区和所述第二输出线电连接，所述第二漏极线沿所述第二方向延伸。

9. 根据权利要求 8 所述的半导体结构，其中，所述第二阱区包括多个所述第二源极区和多个所述第二漏极区，所述第二源极区和所述第二漏极区沿所述第一方向交替排布，相邻所述第二源极区和所述第二漏极区之间设置有所述第二沟道，每一所述第二沟道上设置有所述第二栅极;

所述第二栅极的数量为多个，多个所述第二栅极沿所述第一方向并列排布且相连接。

10. 根据权利要求 9 所述的半导体结构，其中，所述开关驱动器件还包括:

第一栅极连接线，与所述第一栅极位于同一布线层，所述第一栅极连接线沿所述第一方向延伸，且连接多个所述第一栅极相对靠近所述第二栅极的端部;

第二栅极连接线，与所述第二栅极位于同一布线层，所述第二栅极连接线沿所述第一方向延伸，且连接多个所述第二栅极相对靠近所述第一栅极的端部;

第一辅助连接线，位于所述第一布线层，所述第一辅助连接线包括沿所述第一方向延伸的第一部分和沿所述第二方向延伸的第二部分，所述第一部分与所述第一栅极连接线电连接;

第二辅助连接线，位于所述第一布线层，所述第二辅助连接线包括沿所述第一方向延伸的第三部分和沿所述第二方向延伸的第四部分，所述第三部分与所述第二栅极连接线电连接；在垂直于所述第一方向的平面内，所述第二部分的正投影和所述第四部分的正投影至少部分重叠;

栅极控制线，沿所述第一方向延伸，且与所述第二部分和所述第四部分电连接。

11. 根据权利要求 5 所述的半导体结构，其中，所述半导体结构包括多个标准单元，所述标准单元包括所述逻辑器件和所述开关驱动器件，多个所述标准单元呈阵列排布;

其中，所述标准单元的所述第一输入线、第一输出线、第二输入线和第二输出线分别与沿所述第一方向上相邻的所述标准单元的第一主体线、第一本地线、第二主体线和第二本地线连接;

所述半导体结构还包括：电源连接线，位于第三布线层，所述第三布线层位于所述第二布线层上，所述电源连接线沿所述第二方向延伸，且与沿所述第二方向并列排布的多个所述标准单元的所述第一本地线或所述第一输出线连接。

12. 根据权利要求 1 所述的半导体结构，其中，所述逻辑器件包括反相器、逻辑门电路、缓冲器或锁存器中的至少一种。

13. 一种存储器，包括如权利要求 1 至 12 任一项所述的半导体结构。

14. 一种版图结构，包括:

逻辑器件版图，包括位于同一版图布线层的第一电源线图形和第二电源线图形，所述第一电源线图形和所述第二电源线图形均沿第一方向延伸，且沿第二方向并列排布，所述第一方向和所述第二方向相交，所述逻辑器件版图用于定义逻辑器件，所述第一电源线图形用于定义第一电源线，所述第二电源线图形用于定义第二电源线;

开关驱动器件版图，与所述逻辑器件版图沿所述第一方向并列排布，所述开关驱动器件版图包括第一输入线图形和第一输出线图形，所述第一输入线图形和所述第一输出线图形与所述第一电源线图形位于同一版图布线层，所述第一输入线图形和所述第一输出线图形均沿所述第

一方向延伸，且沿所述第二方向并列排布，其中，所述第一输出线图形沿所述第一方向延伸，且与所述第一电源线图形或者所述第二电源线图形连接；所述开关驱动器件版图用于定义开关驱动器件，所述第一输入线图形用于定义第一输入线，所述第一输出线图形用于定义第一输出线。

15. 根据权利要求 14 所述的版图结构，其中，所述版图结构包括标准单元版图，所述标准单元版图包括所述逻辑器件版图和所述开关驱动器件版图，所述标准单元版图用于定义所述标准单元。

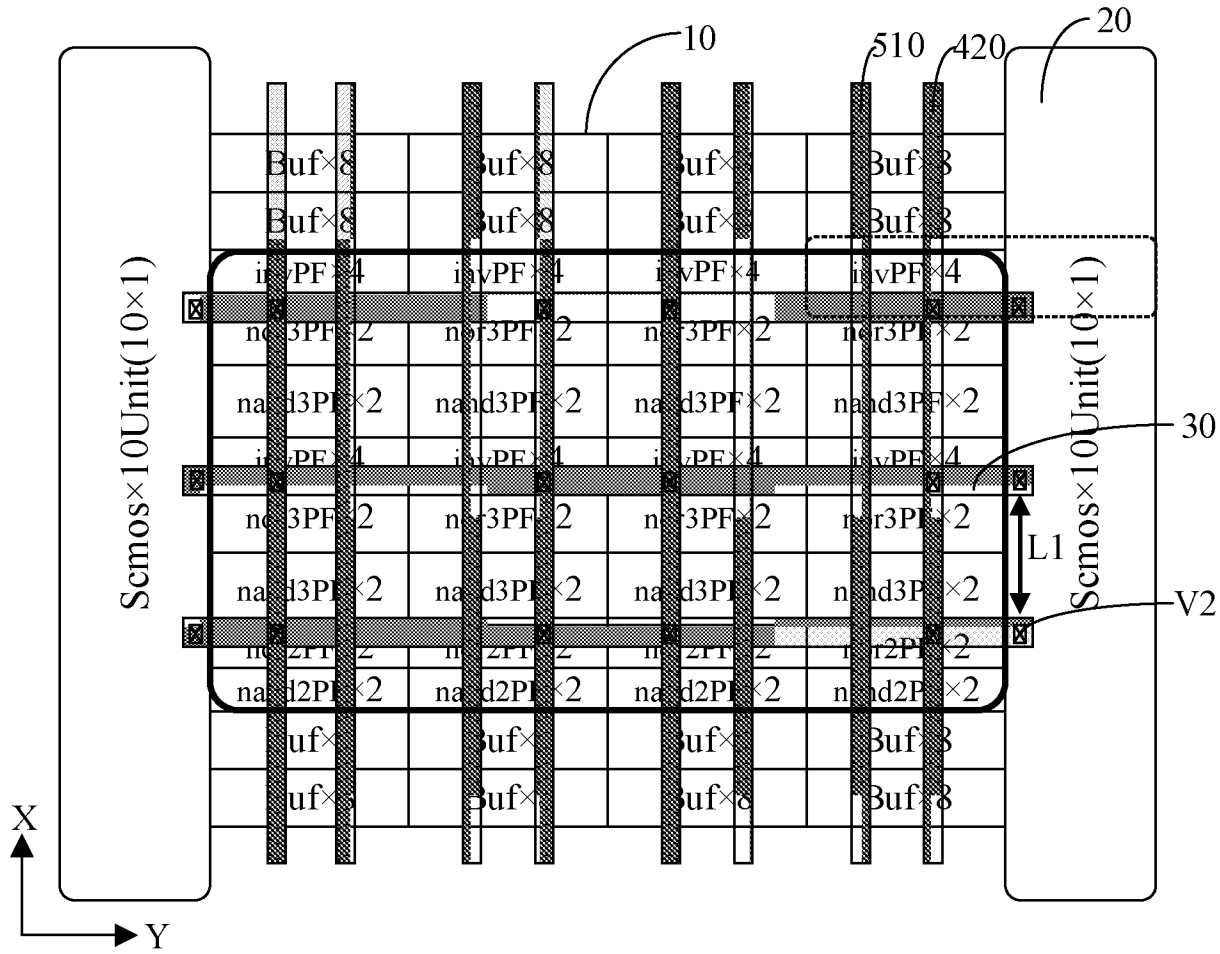

10
510
420
20
30
L1
V2
Scmos×10Unit(10×1)
Scmos×10Unit(10×1)
X
Y

图 1

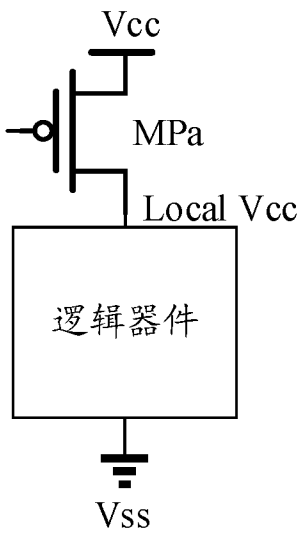

Vcc
MPa
Local Vcc
逻辑器件
Vss

图 2a

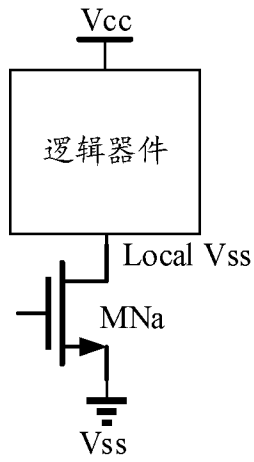

Vcc
逻辑器件
Local Vss
MNa
Vss

图 2b

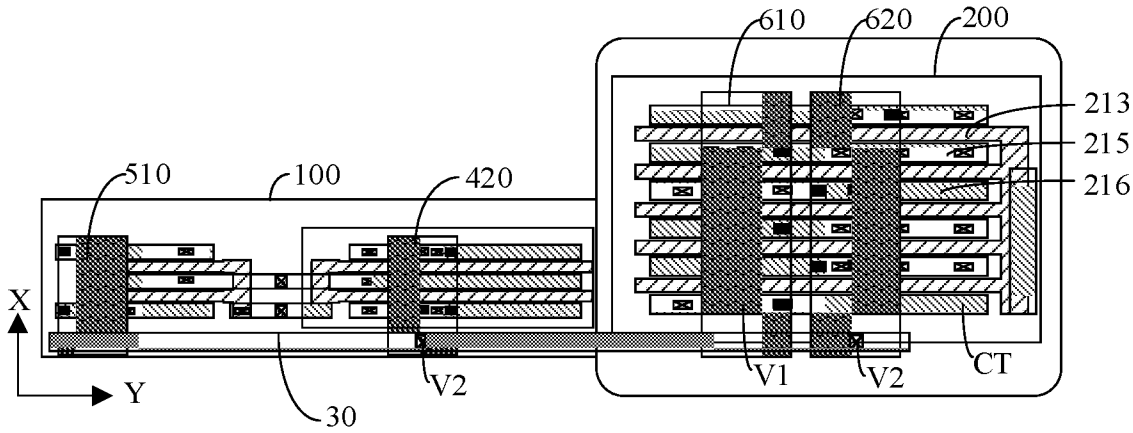

610
620
200
213
215
216
510
100
420
X
Y
30
V2
V1
V2
CT

图 3

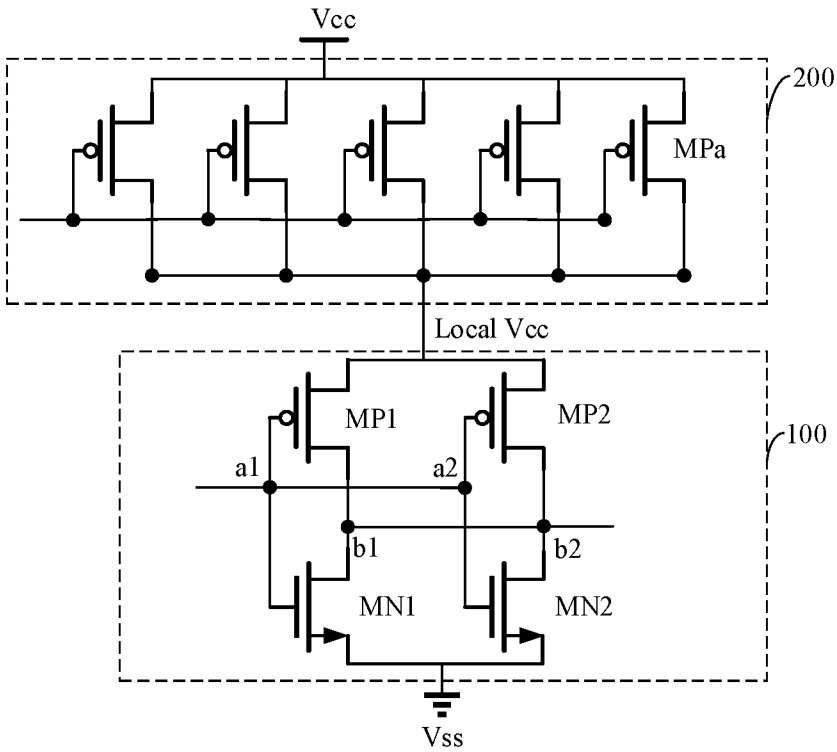

Vcc
200
MPa
Local Vcc
MP1
MP2
100
a1
a2
b1
b2
MN1
MN2
Vss

图 4

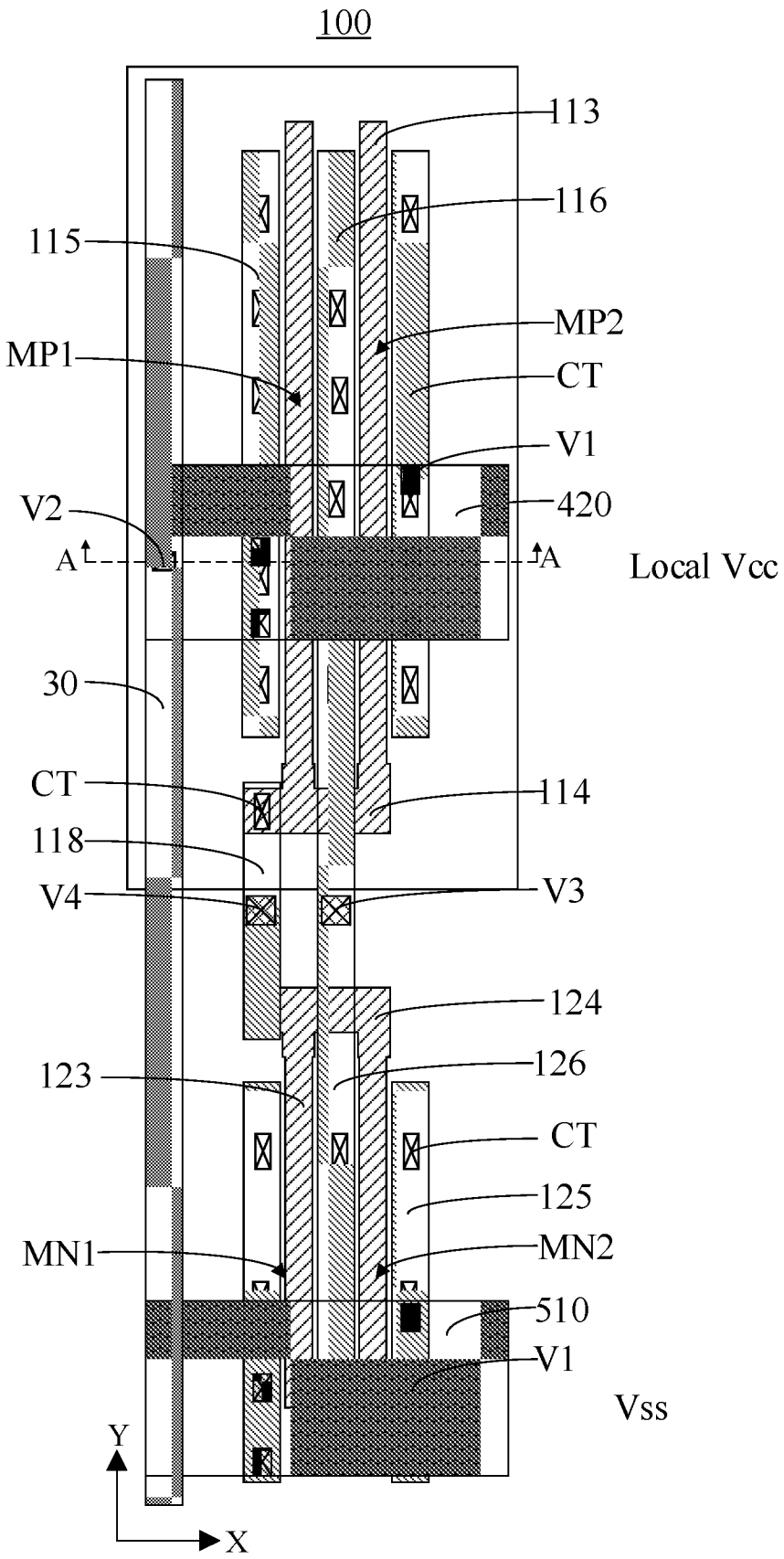

100
113
116
115
MP2
MP1
CT
V1
V2
420
A
A
Local Vcc
30
CT
114
118
V4
V3
124
123
126
CT
125
MN1
MN2
510
V1
Vss
Y
X

图 5

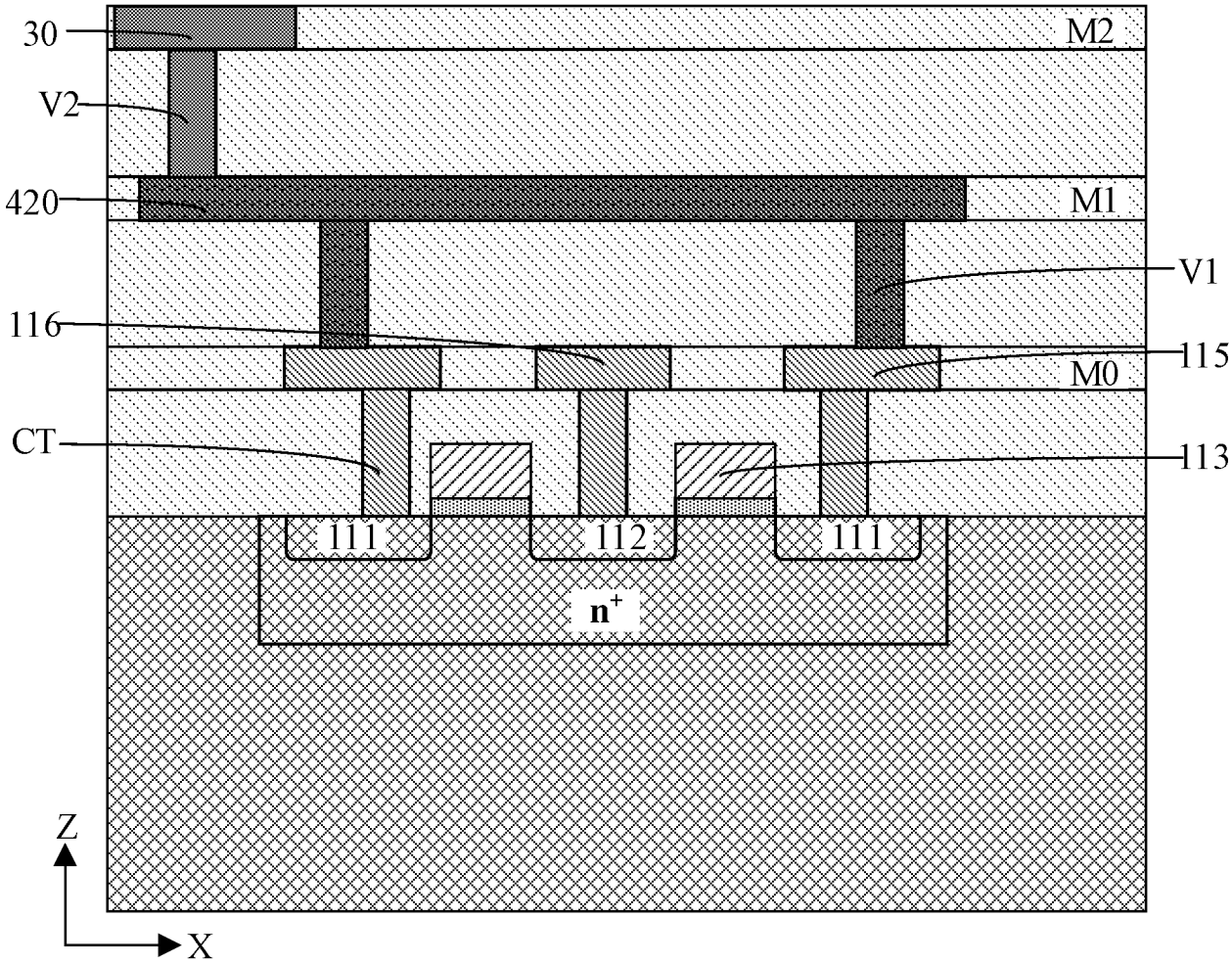


图 6

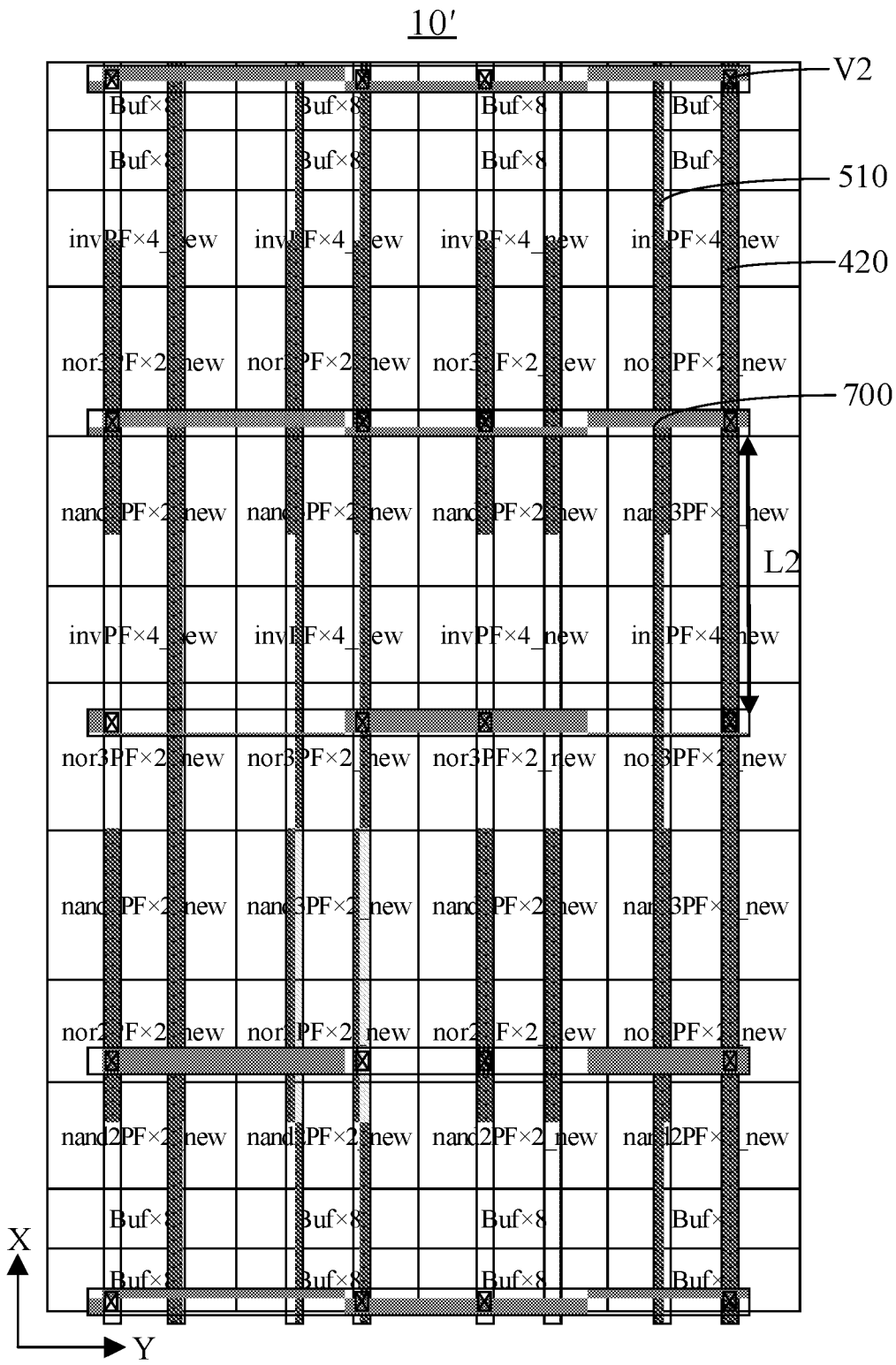


图 7

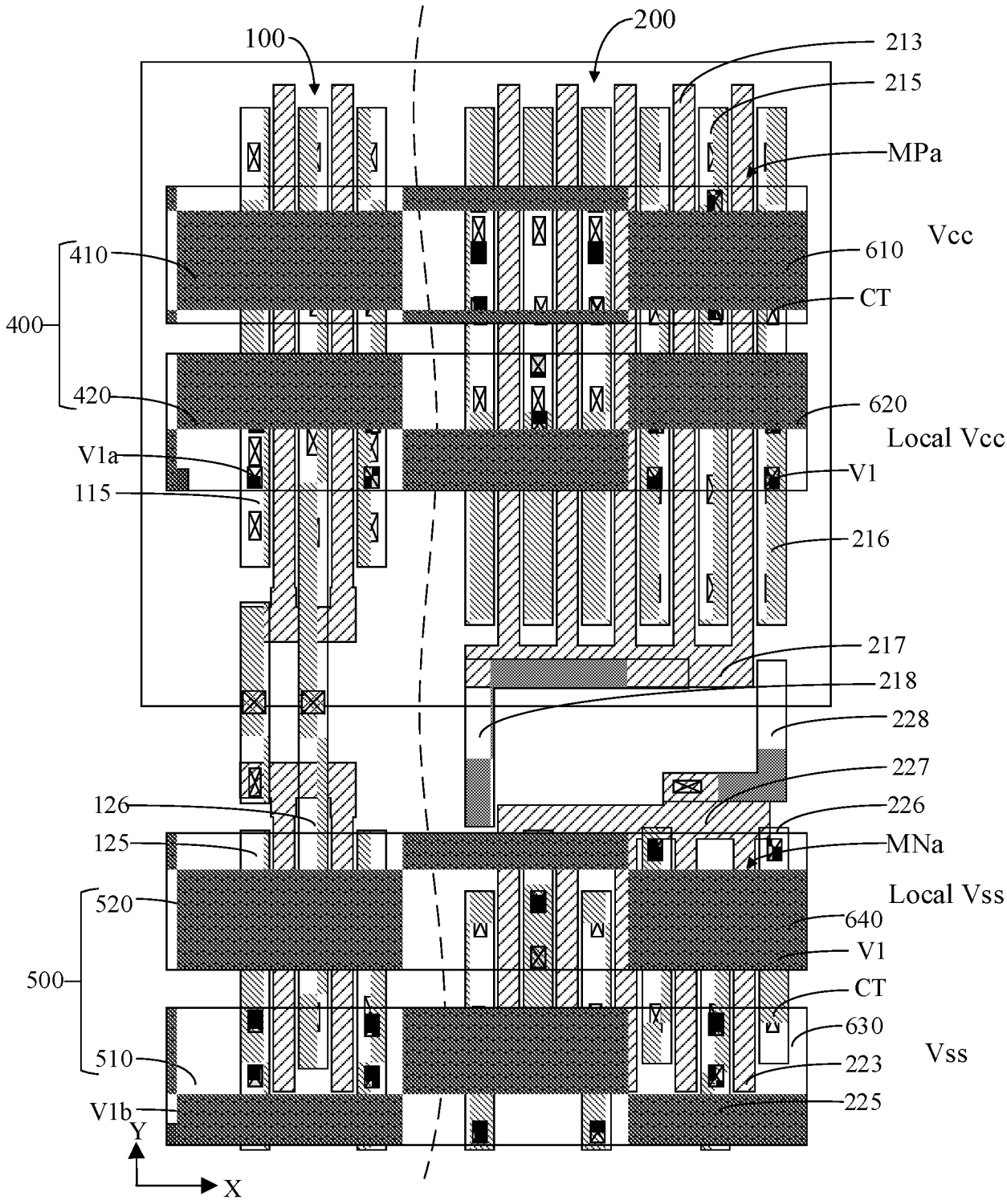

100
200
213
215
MPa
Vcc
410
610
CT
400
420
620
Local Vcc
V1a
V1
115
216
217
218
228
227
126
226
125
MNa
Local Vss
520
640
V1
500
CT
630
510
223
Vss
V1b
225
Y
X

图 8

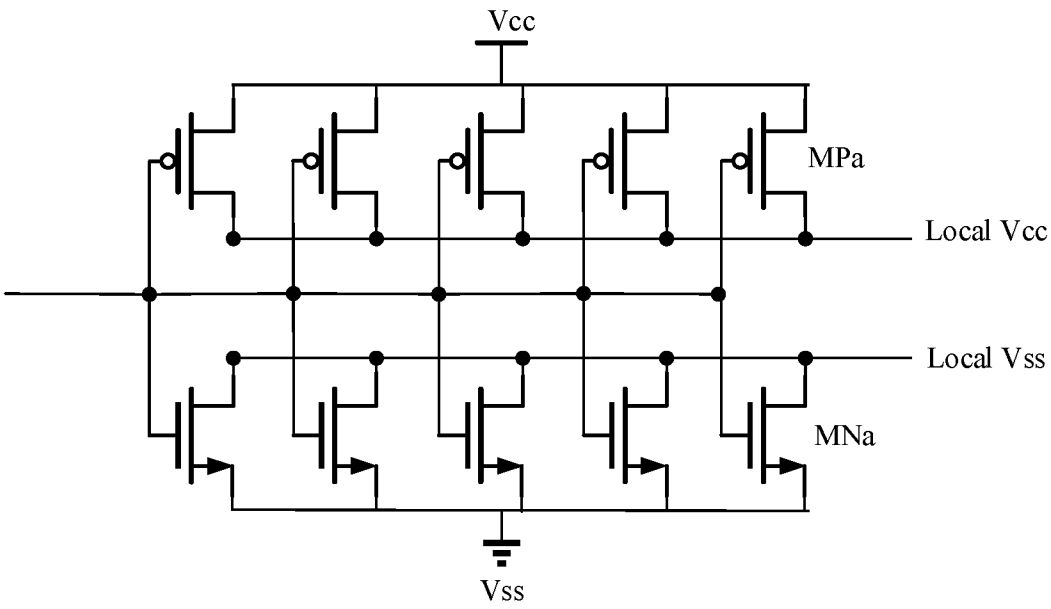


图 9

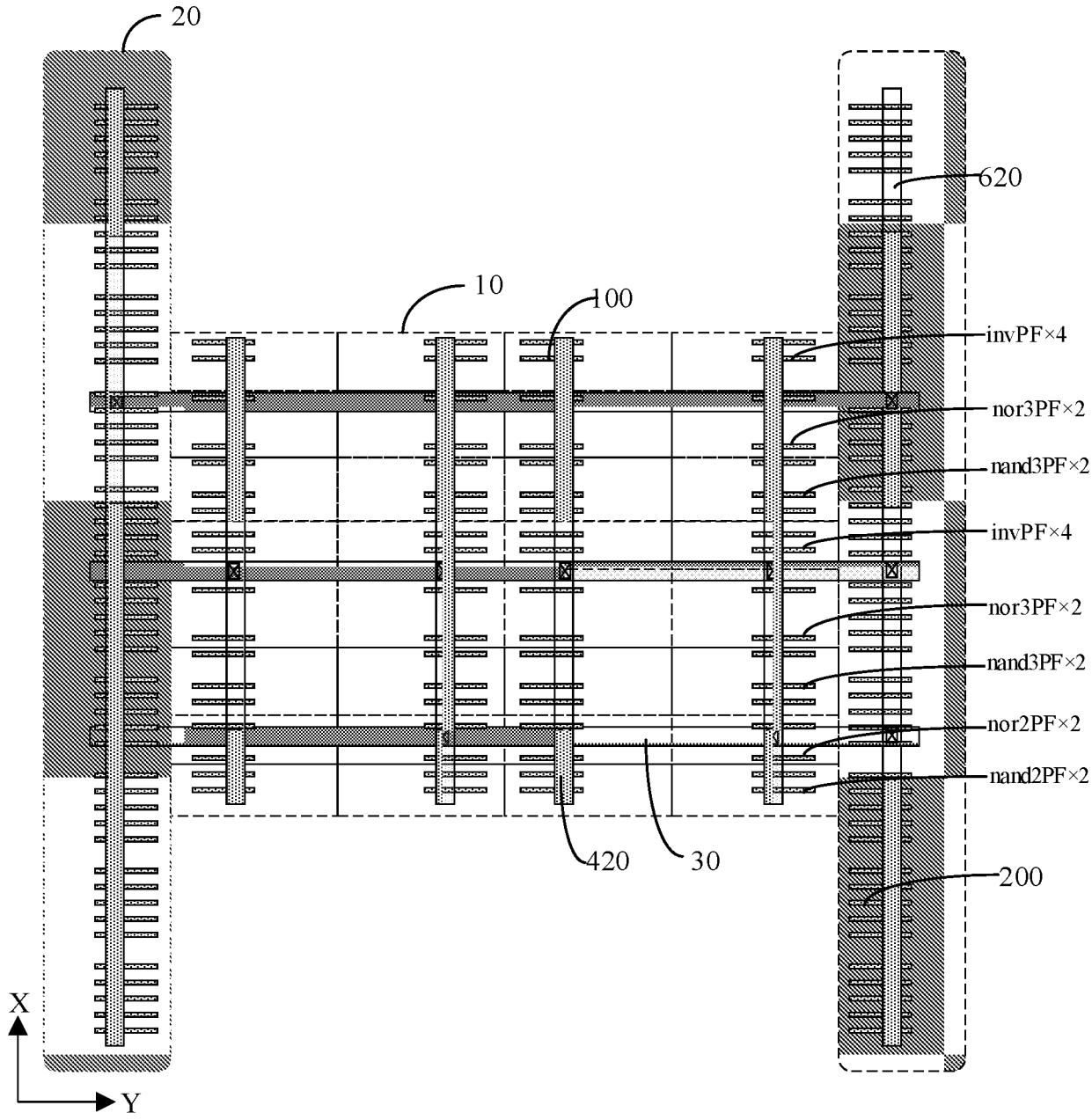

20
620
10
100
invPF×4
nor3PF×2
nand3PF×2
invPF×4
nor3PF×2
nand3PF×2
nor2PF×2
nand2PF×2
420
30
200
X
Y

图 10

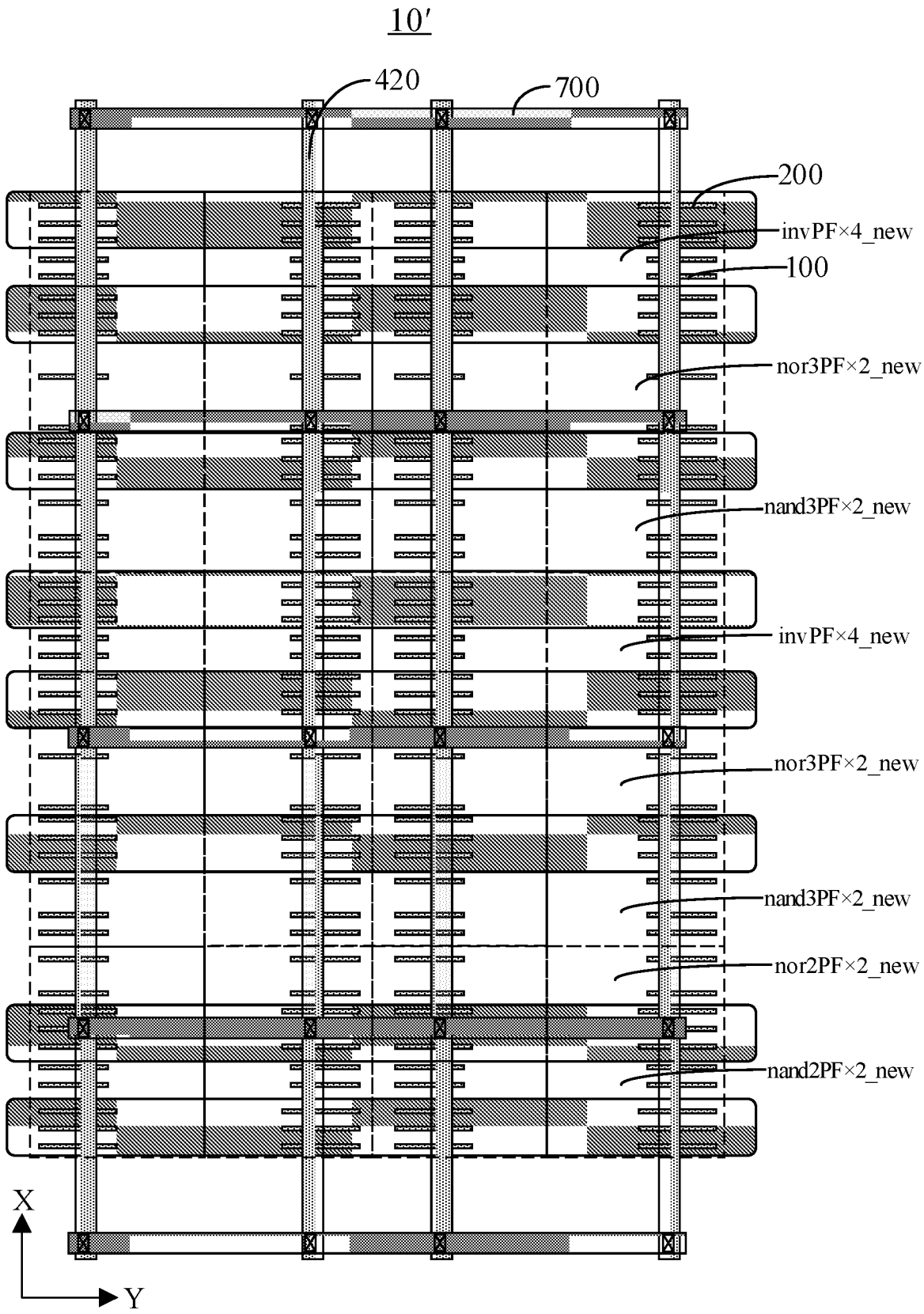

10′
420
700
200
invPF×4_new
100
nor3PF×2_new
nand3PF×2_new
invPF×4_new
nor3PF×2_new
nand3PF×2_new
nor2PF×2_new
nand2PF×2_new
X
Y

图 11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2022/126213

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, ENTXTC, USTXT, VEN, CNKI: 版图, 布局, 存储器, 标准单元, 逻辑, 开关, 布线, 电源线, 反相器, 晶体管, standard cell, layout, template, memory, logic, switch, wir+, power, inverter, transistor?, MOS

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 112992892 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 18 June 2021 (2021-06-18) description, paragraphs [0042]-[0128], and figures 1-13	1-15
A	CN 114462349 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 10 May 2022 (2022-05-10) entire document	1-15
A	JP 2009272340 A (AIL K.K.) 19 November 2009 (2009-11-19) entire document	1-15
A	JP 2015015072 A (RENESAS ELECTRONICS CORP.) 22 January 2015 (2015-01-22) entire document	1-15
A	JP H07135462 A (HITACHI LTD.) 23 May 1995 (1995-05-23) entire document	1-15
A	US 2022231053 A1 (SOCIONEXT INC.) 21 July 2022 (2022-07-21) entire document	1-15

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 April 2023	**21 April 2023**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2022/126213

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	112992892	A	18 June 2021	CN	112992892	B	22 April 2022
				US	2022253586	A1	11 August 2022
				WO	2022166126	A1	11 August 2022
				KR	20220124767	A	14 September 2022
				EP	4060738	A1	21 September 2022
CN	114462349	A	10 May 2022		None		
JP	2009272340	A	19 November 2009		None		
JP	2015015072	A	22 January 2015		None		
JP	H07135462	A	23 May 1995		None		
US	2022231053	A1	21 July 2022	JP	2022110806	A	29 July 2022
				CN	114823659	A	29 July 2022

国际检索报告

国际申请号
PCT/CN2022/126213

A. 主题的分类

H01L27/02(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNTXT, ENTXTC, USTXT, VEN, CNKI：版图，布局，存储器，标准单元，逻辑，开关，布线，电源线，反相器，晶体管，standard cell, layout, template, memory, logic, switch, wir+, power, inverter, transistor?, MOS

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 112992892 A (长鑫存储技术有限公司) 2021年6月18日 (2021-06-18) 说明书第[0042]-[0128]段、附图1-13	1-15
A	CN 114462349 A (长鑫存储技术有限公司) 2022年5月10日 (2022-05-10) 全文	1-15
A	JP 2009272340 A (AIL K.K.) 2009年11月19日 (2009-11-19) 全文	1-15
A	JP 2015015072 A (RENESAS ELECTRONICS CORP.) 2015年1月22日 (2015-01-22) 全文	1-15
A	JP H07135462 A (HITACHI LTD.) 1995年5月23日 (1995-05-23) 全文	1-15
A	US 2022231053 A1 (SOCIONEXT INC.) 2022年7月21日 (2022-07-21) 全文	1-15

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2023年4月17日	2023年4月21日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	受权官员 王雪婷 电话号码 (+86) 010-53961207

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2022/126213

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	112992892	A	2021年6月18日	CN	112992892	B	2022年4月22日
				US	2022253586	A1	2022年8月11日
				WO	2022166126	A1	2022年8月11日
				KR	20220124767	A	2022年9月14日
				EP	4060738	A1	2022年9月21日
CN	114462349	A	2022年5月10日		无		
JP	2009272340	A	2009年11月19日		无		
JP	2015015072	A	2015年1月22日		无		
JP	H07135462	A	1995年5月23日		无		
US	2022231053	A1	2022年7月21日	JP	2022110806	A	2022年7月29日
				CN	114823659	A	2022年7月29日