

⑫

BREVET D'INVENTION

B1

⑤④ Pixel comprenant une photodiode.

⑫② Date de dépôt : 09.09.19.

⑫③ Priorité :

⑥⑥ Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

⑦① Demandeur(s) : *STMICROELECTRONICS
(CROLLES 2) SAS Société par actions simplifiée —
FR.*

④③ Date de mise à la disposition du public
de la demande : 12.03.21 Bulletin 21/10.

④⑤ Date de la mise à disposition du public du
brevet d'invention : 10.02.23 Bulletin 23/06.

⑤⑥ Liste des documents cités dans le rapport de
recherche :

Se reporter à la fin du présent fascicule

⑦② Inventeur(s) : DALLEAU Thomas.

⑦③ Titulaire(s) : *STMICROELECTRONICS (CROLLES
2) SAS Société par actions simplifiée.*

⑦④ Mandataire(s) : CABINET BEAUMONT.



Description

Titre de l'invention : *Pixel comprenant une photodiode*

Domaine technique

[0001] La présente description concerne de façon générale les circuits électroniques et plus particulièrement les circuits électroniques, par exemple les pixels, comprenant des photodiodes et des transistors.

Technique antérieure

[0002] Un capteur d'images est un composant électronique photosensible servant à convertir les rayonnements électromagnétiques (UV, visible ou IR) émis par une scène en des signaux électriques analogiques. Ces signaux sont ensuite amplifiés, puis numérisés par un ou plusieurs convertisseurs analogique-numérique et enfin traités pour obtenir une image numérique.

[0003] Le capteur d'images est composé d'une pluralité de pixels, chaque pixel comprenant généralement une photodiode et des transistors. Chaque pixel fournit un signal analogique correspondant par exemple à un pixel de l'image numérique finie.

Résumé de l'invention

[0004] Un mode de réalisation pallie tout ou partie des inconvénients des pixels connus.

[0005] Un mode de réalisation prévoit un pixel comprenant une photodiode et des premier et deuxième transistors, les premier et deuxième transistors étant reliés en série, l'un des premier et deuxième transistors étant un transistor à canal P et l'autre étant un transistor à canal N.

[0006] Selon un mode de réalisation, le deuxième transistor est relié en parallèle avec un troisième transistor de type de canal opposé au type de canal du deuxième transistor.

[0007] Selon un mode de réalisation, les signaux de commande des deuxième et troisième transistors sont tels que les deuxième et troisième transistors sont passant aux mêmes instants.

[0008] Selon un mode de réalisation, la grille du premier transistor est reliée à une des bornes de la photodiode par un quatrième transistor.

[0009] Selon un mode de réalisation, le quatrième transistor est du même type de canal que le premier transistor.

[0010] Selon un mode de réalisation, la grille du premier transistor est reliée à un noeud d'application d'une tension de référence par un cinquième transistor.

[0011] Selon un mode de réalisation, le cinquième transistor est du même type de canal que le premier transistor.

[0012] Selon un mode de réalisation, le premier transistor est relié entre un noeud d'application d'une tension de référence et un noeud central, et le deuxième transistor

est relié entre le noeud central et un noeud de sortie du pixel.

- [0013] Selon un mode de réalisation, la photodiode est au moins partiellement entourée par des tranchées conductrices isolées.
- [0014] Selon un mode de réalisation, certaines tranchées conductrices isolées s'étendent sur au moins une partie de la hauteur des transistors.
- [0015] Selon un mode de réalisation, le pixel comprend un premier étage comprenant la photodiode et un deuxième étage comprenant les transistors, les premier et deuxième étages étant fixés l'un à l'autre.
- [0016] Un mode de réalisation prévoit un dispositif électronique comprenant au moins un pixel tel que décrit précédemment.
- [0017] Un autre mode de réalisation prévoit un procédé de fabrication d'un pixel tel que décrit précédemment, le procédé comprenant une étape de fabrication d'un premier étage comprenant la photodiode, la fixation d'un deuxième étage et la formation des transistors dans le deuxième étage.
- [0018] Selon un mode de réalisation, le procédé comprend la formation de cavités s'étendant sur la hauteur des transistors et au moins partiellement sur la hauteur de la photodiode, au moins certaines des cavités étant partiellement remplies de matériau conducteur et partiellement remplies de matériau isolant.
- [0019] Selon un mode de réalisation, certaines des cavités sont entièrement remplies de matériau conducteur.

Brève description des dessins

- [0020] Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :
- [0021] [fig.1] la figure 1 représente un exemple de pixel comprenant une photodiode et des transistors ;
- [0022] [fig.2] la figure 2 représente des variations de caractéristiques du pixel de la figure 1 ;
- [0023] [fig.3] la figure 3 représente un mode de réalisation d'un pixel comprenant une photodiode et des transistors ;
- [0024] [fig.4] la figure 4 représente des variations de caractéristiques du pixel de la figure 3 ;
- [0025] [fig.5] la figure 5 représente des variations de caractéristiques d'une autre partie du pixel de la figure 3 ;
- [0026] [fig.6] la figure 6 représente un autre mode de réalisation d'un pixel comprenant une photodiode et des transistors ;
- [0027] [fig.7] la figure 7 représente des variations de caractéristiques du pixel de la figure 6 ;
- [0028] [fig.8] la figure 8 est une vue en coupe schématique d'un exemple d'une partie du pixel de la figure 3 ou de la figure 6 ;

- [0029] [fig.9] la figure 9 représente des étapes d'un exemple de procédé de fabrication du mode de réalisation de la figure 8 ;
- [0030] [fig.10] la figure 10 représente d'autres étapes d'un exemple de procédé de fabrication du mode de réalisation de la figure 8 ;
- [0031] [fig.11] la figure 11 représente d'autres étapes d'un exemple de procédé de fabrication du mode de réalisation de la figure 8 ; et
- [0032] [fig.12] la figure 12 est une vue en coupe schématique d'un autre exemple d'une partie du pixel de la figure 3 ou de la figure 6.

Description des modes de réalisation

- [0033] De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. En particulier, les éléments structurels et/ou fonctionnels communs aux différents modes de réalisation peuvent présenter les mêmes références et peuvent disposer de propriétés structurelles, dimensionnelles et matérielles identiques.
- [0034] Par souci de clarté, seuls les étapes et éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés.
- [0035] Sauf précision contraire, lorsque l'on fait référence à deux éléments connectés entre eux, cela signifie directement connectés sans éléments intermédiaires autres que des conducteurs, et lorsque l'on fait référence à deux éléments reliés ou couplés entre eux, cela signifie que ces deux éléments peuvent être connectés ou être reliés ou couplés par l'intermédiaire d'un ou plusieurs autres éléments.
- [0036] Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", etc., il est fait référence sauf précision contraire à l'orientation des figures.
- [0037] Sauf précision contraire, les expressions "environ", "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près.
- [0038] La figure 1 représente un exemple de circuit comprenant une photodiode. Plus précisément, la figure 1 représente un exemple de pixel 100 ayant une structure 4T, c'est-à-dire un pixel comprenant un circuit électronique à quatre transistors. Il peut, par exemple, s'agir d'un pixel d'un capteur d'images.
- [0039] Le pixel 100 comprend une photodiode 102. La photodiode 102 reçoit un rayonnement d'une scène et le transforme en charges électriques. Dans l'exemple représenté, les charges en question sont des trous.
- [0040] La photodiode 102 est reliée, de préférence connectée, par sa cathode, à un nœud d'application d'une tension de référence, par exemple une tension V_{NWELL}. L'anode de la photodiode 102 est reliée à un noeud N1 par l'intermédiaire des bornes de

conductions (source et drain) d'un transistor de transfert 104. Le transistor 104 est dans cet exemple un transistor MOS à canal P. La grille du transistor 104 reçoit un signal de commande TG. Le signal TG est par exemple un signal alternant entre une valeur haute, par exemple environ 3,5 V, et une valeur basse, par exemple environ 0 V.

- [0041] Le transistor de transfert 104 permet de transférer les charges électroniques générées par la photodiode 102 sur le nœud N1.
- [0042] Le nœud N1 est relié à un nœud d'application d'une tension VRST par l'intermédiaire d'un transistor de réinitialisation 106 (transistor RESET). Le transistor 106 est dans cet exemple un transistor MOS à canal P. La grille du transistor 106 reçoit un signal de commande VR. Le signal VR est par exemple un signal pouvant basculer entre une valeur haute, par exemple environ 3,5 V, et une valeur basse, par exemple environ 0 V. De plus, le substrat du transistor 106 peut être polarisé par la tension VNWELL. La tension VNWELL est par exemple sensiblement égale à 2,5 V. La tension VRST est, dans cet exemple, approximativement égale à 0,5 V.
- [0043] Le transistor de réinitialisation 106 permet de réinitialiser la tension VSF sur le nœud N1 à une valeur V0. Ainsi, lors de la réinitialisation, la tension VSF sur le nœud N1 est égale à une valeur V0 étant fonction de la tension VRST, par exemple étant supérieure à la tension VRST.
- [0044] Le nœud N1, de plus, est relié à un nœud d'application d'une tension de référence, par exemple la tension VNWELL, par l'intermédiaire d'un condensateur 108 SN.
- [0045] Le condensateur 108 permet, par exemple, de stocker les charges électriques venant de la photodiode 102.
- [0046] Le nœud N1 est de plus relié, de préférence connecté, à la grille d'un transistor 110 de type drain commun (Source Follower). Le transistor 110 est relié, de préférence connecté, en série avec un transistor de lecture 112 et, par exemple, une source de courant 114. La source de courant représente une ligne ou une colonne de lecture d'une matrice de pixels. Plus précisément, le transistor 110 est relié par ses bornes de drain et de source entre un nœud d'application d'une tension de référence VRT et un nœud N2, le transistor 112 est relié entre le nœud N2 et un nœud N3. La source de courant 114 est par exemple relié entre le nœud N3 et un nœud d'application d'une tension de référence VDD. Les transistors 110 et 112 sont dans cet exemple des transistors MOS à canal P.
- [0047] Le transistor 112 reçoit sur sa grille une tension de commande VRS. Le signal VRS est par exemple un signal pouvant basculer entre une valeur haute, par exemple environ 3,5 V, et une valeur basse, par exemple environ 0 V. Les substrats des transistors 110 et 112 sont par exemple polarisés par la tension VNWELL.
- [0048] Le transistor 110 permet d'obtenir, au niveau du nœud N2, une tension représentative de la quantité de charges situées sur le nœud N1. Plus précisément, la tension sur le

noeud N2 est sensiblement égale à la valeur de la tension VSF multipliée par le gain du transistor 110 additionné avec une valeur de décalage Voffset. La valeur Voffset est la tension mesurée au noeud N2 lorsque la tension VSF est nulle.

[0049] Le transistor 112 permet de lire la tension représentative sur la ligne ou la colonne de lecture. Plus précisément, le transistor 112 permet de choisir, parmi une matrice de pixels similaires au pixel 100, quel pixel doit être lu.

[0050] Le noeud N3 est ainsi un noeud de sortie du pixel 100. Le signal de sortie du pixel est une valeur représentative du rayonnement reçu par la photodiode. Le signal de sortie est la valeur sur le noeud N3 lorsque le pixel est lu.

[0051] Dans cet exemple, tous les transistors du pixel 100 sont des transistors ayant un même type de canal, par exemple des transistors à canal P.

[0052] Ainsi, lors du fonctionnement du pixel 100, la tension VSF sur le noeud N1 est réinitialisée à la valeur V0 étant fonction de la tension VRST. Le transistor 104 est rendu passant. Les charges générées par la photodiode 102 se déplacent vers le noeud N1 et font varier la tension VSF à partir de la valeur V0 à la réinitialisation. Une tension représentative du nombre de charges sur le noeud N1 est ainsi obtenue sur le niveau du noeud N2 et peut être lu par le capteur d'images au niveau du noeud N3 de sortie, lorsque le transistor 112 est passant.

[0053] Pour une lecture optimale, le transistor de lecture 112 doit laisser passer le moins de fuite possible lorsque le transistor 112 est bloquant, mais le transistor 112 doit avoir un gain le plus proche possible de 1 lorsqu'il est passant, de manière à ce que la tension sur le noeud N3 soit sensiblement égale à la tension sur le noeud N2. Le transistor 112 est en forte inversion et on travaille dans la zone linéaire du transistor 112.

[0054] La figure 2 représente des variations de caractéristiques du circuit de la figure 1. Le transistor 104 est considéré comme étant dans un état bloquant idéal, c'est-à-dire sans fuites. Plus précisément la figure 2 représente, en fonction de la valeur (en Volt) de la tension VRST :

- la tension VRST (courbe 150);
- la tension sur le noeud N3 (courbe 152) ; et
- le gain entre le noeud N3 et le noeud d'application de la tension VRST, c'est-à-dire le gain de la chaîne de lecture, par exemple dans un cas où le transistor 104 est bloquant, de préférence bloquant de manière parfaite (courbe 154).

[0055] On observe que sur une plage de valeurs de la tension VRST, la courbe 152 est sensiblement parallèle à la courbe 150. Cette plage de valeur est par exemple entre environ 0,8 V et environ 1,8 V. Ainsi, pour cette plage de valeurs, le gain est sensiblement constant et supérieur à 0,9, c'est-à-dire proche de 1. Pour une tension VRST sensiblement égale à 0,5 V, comme cela est par exemple le cas dans l'exemple de la figure 1, le gain est sensiblement égal à 0,75.

- [0056] Pour obtenir un gain proche de la valeur 1, il est donc nécessaire pour la tension VRST de réinitialisation de faire partie de cette plage de valeurs. Cette tension doit donc être, par exemple, supérieure à la valeur 0,8.
- [0057] De manière à diminuer la consommation du pixel 100, on peut vouloir diminuer la tension VRST. On souhaite donc que la plage de valeurs dans laquelle le gain est constant et élevé couvre également des valeurs de la tension VRST plus basse, tout en conservant la même performance.
- [0058] Dans d'autres cas, on peut vouloir être capable de fonctionner à des valeurs basses et à des valeurs élevées de la tension VRST.
- [0059] De manière à décaler la plage de valeur vers des valeurs plus basses, c'est-à-dire pour modifier la plage de valeur dans laquelle le gain du transistor 112 est maximal, on aurait pu diminuer la valeur de la tension de seuil du transistor 112. Cependant, cela aurait entraîné une augmentation des fuites du transistor et donc une diminution du rendement du pixel.
- [0060] La figure 3 représente un mode de réalisation d'un circuit comprenant une photodiode. Plus particulièrement, la figure 3 représente un pixel 170. Le pixel 170 est par exemple compris dans un dispositif électronique, par exemple un capteur d'images. Le dispositif électronique comprend par exemple au moins un pixel 170, de préférence une matrice de pixels 170.
- [0061] Le pixel correspond à l'unité d'une image, par exemple dans un capteur. Un capteur d'images comprend une pluralité de pixels sensiblement identiques et comprenant chacun les mêmes composants. Ainsi, les éléments décrits en figure 3 sont des composants du pixel décrit et sont reproduits dans chaque pixel d'un capteur d'images.
- [0062] Le pixel 170 comprend les éléments du pixel 100, référencés de la même manière, à l'exception du transistor 112 qui est remplacé par un ensemble 172. Comme dans le cas du pixel 100, les charges générées dans le pixel 170 sont des trous.
- [0063] En particulier, le pixel 170 comprend la photodiode 102. La photodiode 102 reçoit, comme dans l'exemple de la figure 1, un rayonnement d'une scène et le transforme en charges électriques.
- [0064] La photodiode 102 est reliée, de préférence connectée, par sa cathode, à un nœud d'application d'une tension de référence, par exemple la tension VNWELL. L'anode de la photodiode 102 est reliée au nœud N1 par l'intermédiaire des bornes de conductions (source et drain) du transistor de transfert 104. Le transistor 104 est dans cet exemple un transistor MOS à canal P. La grille du transistor 104 reçoit le signal de commande TG décrit précédemment.
- [0065] Le transistor de transfert 104 permet de transférer les charges électroniques générées par la photodiode 102 sur le nœud N1.
- [0066] Le nœud N1 est relié à un nœud d'application d'une tension VRST par l'intermédiaire

du transistor de réinitialisation 106. Le transistor 106 est dans cet exemple un transistor MOS à canal P. La grille du transistor 106 reçoit un signal de commande VR, décrit précédemment. De plus, le substrat du transistor 106 peut être polarisé par une tension VNWELL décrite précédemment.

- [0067] Le transistor de réinitialisation 106 permet de réinitialiser la tension VSF sur le nœud N1 à une valeur V0. Ainsi, lors de la réinitialisation, la tension VSF sur le nœud N1 est égale à une valeur V0 étant fonction de la tension VRST, par exemple étant supérieure à la tension VRST.
- [0068] Le nœud N1, de plus, est relié à un nœud d'application d'une tension de référence, par exemple la tension VNWELL, par l'intermédiaire du condensateur 108 SN.
- [0069] Le condensateur 108 permet, par exemple, de stocker les charges électriques venant de la photodiode 102.
- [0070] Le nœud N1 est de plus relié, de préférence connecté, à la grille du transistor 110 de type drain commun (Source Follower). Le transistor 110 est relié, de préférence connecté, en série avec l'ensemble 172 et, par exemple, une source de courant 114. La source de courant représente une ligne ou une colonne de lecture d'une matrice de pixels. Plus précisément, le transistor 110 est relié par ses bornes de drain et de source entre un nœud d'application d'une tension de référence VRT et un nœud N2, l'ensemble 172 est relié entre le nœud N2 et un nœud N3. La source de courant 114 est par exemple relié entre le nœud N3 et un nœud d'application d'une tension de référence VDD. Le transistor 110 est dans cet exemple un transistor MOS à canal P. Le substrat du transistor 110 est par exemple polarisé par la tension VNWELL.
- [0071] Le transistor 110 permet d'obtenir, au niveau du nœud N2, une tension représentative de la quantité de charges situées sur le nœud N1. Plus précisément, la tension sur le nœud N2 est sensiblement égale à la valeur de la tension VSF multipliée par le gain du transistor 110 additionné avec la valeur de décalage Voffset.
- [0072] L'ensemble 172 permet de lire la tension représentative sur la ligne ou la colonne de lecture. Plus précisément, l'ensemble 172 permet de choisir, parmi une matrice de pixels similaires au pixel 100, quel pixel doit être lu.
- [0073] Le nœud N3 est ainsi un nœud de sortie du pixel 100. Le signal de sortie du pixel est une valeur représentative du rayonnement reçu par la photodiode. Le signal de sortie est la valeur sur le nœud N3 lorsque le pixel est lu.
- [0074] L'ensemble 172 comprend deux transistors, un transistor 174 et un transistor 176. Les transistors 174 et 176 sont reliés, de préférence connectés, en parallèle par leurs sources et drains entre les nœuds N2 et N3. Plus précisément, dans l'exemple de la figure 3, la source du transistor 174 est connectée au drain du transistor 176. De même, le drain du transistor 174 est connecté à la source du transistor 176. Le drain du transistor 176 et la source du transistor 174 sont reliés, de préférence connectés, au

noeud N3. La source du transistor 176 et le drain du transistor 174 sont reliés, de préférence connectés, au noeud N2.

[0075] Le transistor 174 est dans cet exemple un transistor MOS à canal P. La grille du transistor 174 reçoit le signal de commande VRS. Le substrat du transistor 174 est polarisé par la tension VNWELL.

[0076] Le transistor 176 est un transistor MOS à canal N. La grille du transistor 176 reçoit un signal de commande VRS*. Le signal de commande VRS* est le signal opposé au signal VRS. Lorsque le signal de commande VRS est égal à une valeur haute, le signal de commande VRS* est égal à une valeur basse, et inversement. Par exemple, lorsque le signal de commande VRS est égal à une valeur non nulle et positive, le signal de commande VRS* est nul et lorsque le signal VRS est nul, le signal VRS* est égal à une valeur non nulle et positive. Le substrat du transistor 176 est polarisé par une tension VPWELL. La tension VPWELL est par exemple approximativement égale à 0 V.

[0077] De préférence, tous les transistors du pixel 170 sont du même type de canal, par exemple P, à l'exception du transistor 176.

[0078] De préférence, le pixel 170 est un circuit intégré. Les transistors 104, 106, 110, 174 et 176, ainsi que la photodiode 102 et le condensateur 108 sont de préférence formés dans le circuit intégré.

[0079] Le pixel 170 comprend donc un transistor 110 dit de drain commun (Source Follower) relié, de préférence connecté, en série avec un transistor de lecture 176 de type de canal opposé à celui du transistor 110 dit de drain commun. Les transistors de lecture et de drain commun sont reliés entre un nœud d'application d'une tension de référence (VRT) et un nœud de sortie (N3). Dans cet exemple, le transistor 110 dit de drain commun est à canal P et le transistor 176 de lecture est à canal N. Le transistor de lecture 176 est de plus en parallèle avec un transistor de lecture 174 du même type de canal que le transistor dit de drain commun, dans cet exemple à canal P.

[0080] La figure 4 représente des variations de caractéristiques d'une partie du circuit de la figure 3. En particulier, la figure 4 représente des variations de caractéristiques de l'ensemble 172. La figure 4 représente, en fonction du temps (Time (s)) :

a) la tension sur le nœud N2 (courbe 200), qui correspond à une valeur d'entrée et que l'on fait volontairement varier de manière linéaire. La courbe 200 est donc une droite croissante, d'équation $y = x$;

b) la tension sur le nœud N3 dans le cas où seul le transistor 176 est passant (courbe 202), le transistor 174 étant alors bloquant ;

c) la tension sur le nœud N3 dans le cas où seul le transistor 174 est passant (courbe 204), le transistor 176 étant alors bloquant ;

d) le gain de l'ensemble 172 entre le nœud N2 et le noeud N3 dans le cas où seul le

transistor 176 est passant (courbe 206), le transistor 174 étant alors bloquant ; et e) le gain de l'ensemble 172 entre le nœud N2 et le nœud N3 dans le cas où seul le transistor 174 est passant (courbe 208), le transistor 176 étant alors bloquant.

[0081] Les variations des courbes 202, 204, 206, et 208 dépendent de la valeur de la tension d'entrée, c'est-à-dire la tension sur nœud N2 (courbe 200).

[0082] Dans cet exemple, on considère que les transistors sont des transistors parfaits.

[0083] Dans le cas où seul le transistor 176 est passant, la courbe 202 est sensiblement parallèle, voire sensiblement égale à la courbe 200 durant une première période, puis s'en éloigne durant une deuxième période. La première période correspond par exemple, sur l'ensemble des valeurs considérées en figure 4, à la période précédant un instant T1, et la deuxième période correspond, sur l'ensemble des valeurs considérées, à la période suivant l'instant T1. Dans cet exemple, l'instant T1 est sensiblement égal à 0,82 s, ce qui correspond à une valeur V1 de la tension sur le nœud N2, sensiblement égale à 0,82 V. En conséquence, le gain, représenté par la courbe 206, est élevé durant la première période puis diminue pendant la deuxième période. Durant la première période, le gain est supérieur à 0,8, voire supérieur à 0,9 et est donc proche de 1.

[0084] Dans le cas où seul le transistor 174 est passant, pendant la première période, la courbe 204 est éloignée de la courbe 200 et s'en rapproche. Pendant la deuxième période, la courbe 204 est sensiblement parallèle à la courbe 200 et en est proche. Ainsi, le gain, représenté par la courbe 208, est faible durant la première partie et augmente jusqu'à devenir, dans la deuxième partie, supérieur à 0,8, voire à 0,9, et donc proche de 1.

[0085] On observe que les courbes 206 et 208 se croisent à l'instant T1, correspondant à la valeur V1 de la tension sur le nœud N2. À cet instant T1, les gains sont tous deux approximativement égale à 0,8. Ainsi, avant l'instant T1, c'est-à-dire pour des valeurs de la tension sur le nœud N2 inférieures à V1, le gain de l'ensemble 172 est plus élevé en passant par le transistor 176. Après l'instant T1, c'est-à-dire pour des valeurs de la tension sur le nœud N2 supérieures à V1, le gain de l'ensemble 172 est plus élevé en passant par le transistor 174.

[0086] Lors d'une étape de fonctionnement du pixel 170, et plus particulièrement lors de la lecture du pixel 170, l'ensemble 172 est passant c'est-à-dire que les transistors 174 et 176 sont tous les deux passants. Les tensions de commande VRS et VRS* étant l'inverse l'une de l'autre, les deux transistors deviennent passants sensiblement au même instant.

[0087] Le courant venant du nœud N2 et traversant l'ensemble 172 passe par le transistor, 174 ou 176, ayant le gain le plus élevé. Ainsi, lorsque la tension sur le nœud N2 est inférieure à V1, le courant passe par le transistor 176 et lorsque la tension sur le nœud N2 est supérieure à V1 le courant passe par le transistor 174.

- [0088] Le gain de l'ensemble 172 est donc toujours égal au maximum des gains des transistors 174 et 176. Dans l'exemple de la figure 4, le gain de l'ensemble 172 est toujours supérieur à 0,8, majoritairement supérieur à 0,9, sur la plage de valeurs de la tension sur le noeud N2 considérée en figure 4. La plage de valeur dans laquelle le gain est proche de 1 est plus large à la plage de valeur décrite en relation avec les figures 1 et 2, dans lesquelles l'ensemble 172 est remplacé par le transistor 112.
- [0089] La figure 5 représente des variations de caractéristiques d'une autre partie du circuit de la figure 3. En particulier, la figure 5 représente des variations de caractéristiques du pixel 170, le transistor 104 étant considéré dans un état bloquant de manière idéale, c'est-à-dire sans fuites.
- [0090] La figure 5 représente, en fonction de la valeur (en Volt) de la tension VRST :
- la tension VRST (courbe 250) ;
 - la tension sur le noeud N3 (courbe 252) ; et
 - le gain entre le noeud N3 et le noeud d'application de la tension VRST (courbe 254).
- [0091] La figure 5 comprend donc, pour le mode de réalisation de la figure 3, des courbes représentant les mêmes éléments que les courbes de la figure 2 pour l'exemple de la figure 1.
- [0092] Le noeud N3 est encore considéré comme la sortie du système et la valeur de la tension sur le noeud d'application de la tension VRST est l'entrée du système.
- [0093] Comme en figure 2, la courbe représentant la tension sur le noeud N3, ici la courbe 252, comprend une partie sensiblement linéaire, sensiblement parallèle à la courbe 250 représentant la tension d'entrée, ici la tension VRST. Cette partie linéaire correspond à une plage de valeurs de la tension VRST dans laquelle le gain est sensiblement constant à une valeur supérieure à 0,9.
- [0094] La plage de valeurs en question s'étend, dans l'exemple de la figure 5, entre une tension V2 environ égale à 0,25 V et une tension V3 environ égale à 1,8 V. En figure 2, cette plage de valeurs s'étend approximativement entre 0,8 V et 1,8 V. La plage de valeurs permettant d'obtenir un gain élevé a donc été élargie, en particulier vers les valeurs de tension VRST basses.
- [0095] Dans le mode de réalisation de la figure 3, il est ainsi possible de choisir la tension de réinitialisation VRST dans une plus grande plage de valeurs tout en conservant un gain élevé.
- [0096] Un avantage du mode de réalisation de la figure 3 est qu'il est possible d'élargir la plage de valeur en n'ajoutant qu'un seul composant.
- [0097] La figure 6 représente un autre mode de réalisation d'un circuit comprenant une photodiode. En particulier la figure 6 représente un pixel 275, comprenant les éléments du pixel 170, à l'exception de l'ensemble 172 qui est, dans ce mode de réalisation, remplacé par un unique transistor 277. Comme dans le cas du pixel 170, les charges

générées dans le pixel 275 sont des trous.

- [0098] Le pixel 275 est par exemple compris dans un dispositif électronique, par exemple un capteur d'images. Le dispositif électronique comprend par exemple au moins un pixel 275, de préférence une matrice de pixels 275.
- [0099] Le pixel correspond à l'unité d'une image, par exemple dans un capteur. Un capteur d'images comprend une pluralité de pixels sensiblement identiques et comprenant chacun les mêmes composants. Ainsi, les éléments décrits en figure 6 sont des composants du pixel décrit et sont reproduits dans chaque pixel d'un capteur d'images.
- [0100] Le transistor 277 est relié, de préférence connecté, entre les noeuds N2 et N3 par ses sources et drain. Le transistor 277 est dans cet exemple un transistor MOS à canal N. La grille du transistor 277 reçoit le signal de commande VRS* défini précédemment. Le substrat du transistor 277 est polarisé par la tension VPWELL.
- [0101] De préférence, tous les transistors du pixel 275 sont du même type de canal, par exemple P, à l'exception du transistor 277.
- [0102] Le pixel 275 comprend donc un transistor 110 dit de drain commun relié en série avec un transistor 227 de lecture de type de canal opposé à celui du transistor dit de drain commun, entre un nœud d'application d'une tension de référence (VRT) et un nœud de sortie (N3). Dans cet exemple, le transistor 110 dit de drain commun est à canal P et le transistor 277 de lecture est à canal N. Dans ce mode de réalisation, le transistor 277 n'est pas en parallèle avec un transistor à canal opposé (dans cet exemple le canal P).
- [0103] La figure 7 représente des variations de caractéristiques du circuit de la figure 6. En particulier, la figure 7 représente des variations de caractéristiques du pixel 275, le transistor 104 étant considéré dans un état bloquant de manière idéale, c'est-à-dire sans fuites.
- [0104] La figure 7 représente, en fonction de la valeur (en Volt) de la tension VRST :
 - la tension VRST (courbe 300) ; et
 - la tension sur le nœud N3 (courbe 302).
- [0105] La figure 7 comprend donc, pour le mode de réalisation de la figure 6, des courbes représentant des mêmes éléments que des courbes de la figure 2 pour l'exemple de la figure 1 et, pour le mode de réalisation de la figure 3, de la figure 5.
- [0106] On observe que sur une plage de valeurs de la tension VRST, la courbe 302 est sensiblement parallèle à la courbe 300. Cette plage de valeur est par exemple entre une tension V4 environ égale à 0,3 V et une tension V5 environ égale à 1,25 V. Ainsi, pour cette plage de valeurs, le gain, non représenté, est sensiblement constant et supérieur à 0,8, majoritairement supérieur à 0,9, c'est-à-dire proche de 1.
- [0107] Hors de cette plage de valeurs, la courbe 302 s'éloigne de la courbe 300. Le gain est donc inférieur au gain dans la plage de valeurs, par exemple inférieur à 0,8.

- [0108] La plage de valeurs dans le cas du mode de réalisation de la figure 6 est moins large que dans le cas du mode de réalisation de la figure 3 mais inclus des valeurs inférieures à celle de la plage de valeurs de l'exemple de la figure 1. Le mode de réalisation de la figure 6 permet donc de réinitialiser le noeud N1 à une valeur inférieure à 0,8 V tout en conservant un gain supérieur à 0,8, contrairement à l'exemple de la figure 1.
- [0109] Les figures 8 et 12 représentent des modes de réalisation de pixels. Les pixels sont dans ces modes de réalisation des circuits intégrés et comprennent au moins un transistor à canal P et un transistor à canal N.
- [0110] La figure 8 est une vue en coupe schématique d'un exemple d'une partie d'un pixel 325 tel que celui de la figure 3 ou celui de la figure 6.
- [0111] Le pixel 325 comprend deux étages : un premier étage inférieur 327 et un deuxième étage supérieur 329.
- [0112] Le premier étage 327 comprend une photodiode 102. La photodiode est par exemple formée dans un substrat dopé P. La photodiode 102 est au moins partiellement entourée de tranchées conductrices isolées 331.
- [0113] Les tranchées 331 comprennent un coeur conducteur 333 et une gaine isolante 335. Le coeur conducteur 333 est par exemple en silicium polycristallin et la gaine isolante est par exemple en oxyde de silicium. La gaine isolante recouvre les parois et la face inférieure du coeur conducteur. La gaine recouvre de préférence aussi au moins partiellement la face supérieure.
- [0114] Lorsque le pixel 325 est en fonctionnement, le coeur conducteur 333 est par exemple polarisé de manière à former un champ électromagnétique. Le champ électromagnétique permet par exemple de contrôler le chemin des charges générées par la photodiode 102. La polarisation des tranchées 331 est, de plus, adaptée au fonctionnement d'un type de transistors. Cette polarisation pourrait perturber le fonctionnement des transistors de l'autre type. Dans cet exemple, la polarisation des tranchées 331 est, de plus, adaptée au fonctionnement des transistors à canal P. Il est donc utile de séparer les transistors à canal N des tranchées 331 de manière à assurer un fonctionnement optimal des transistors à canal N.
- [0115] Le substrat comprenant la photodiode 102 et les tranchées 331 est recouvert d'une couche isolante 336. La couche isolante 336 s'étend au moins au-dessus des photodiodes et des tranchées 331.
- [0116] La couche 336 est recouverte d'une couche de fixation 338. De préférence, la couche de fixation 338 est une couche isolante.
- [0117] Le deuxième étage, recouvrant le premier étage, 329 comprend les transistors du pixel 325. Il s'agit par exemple des transistors 104, 106, 110, 174, 176 ou 277.
- [0118] Dans l'exemple de la figure 8, deux transistors MOS sont représentés : un transistor 337 à canal N et un transistor 339 à canal P.

- [0119] De préférence, tous les transistors du pixel sont situés dans le deuxième étage. Il n'y a de préférence aucun transistor, de préférence aucun composant électronique autre que les photodiodes, dans le premier étage.
- [0120] Le transistor 337 à canal N est représenté par des caissons N 341 formant les source et drain du transistor 337. Les caissons 341 sont séparés par un caisson P 343. La grille 345 du transistor 337 est représentée par un bloc situé sur la face supérieure des caissons 341 et 343.
- [0121] Le transistor 339 à canal P est représenté par des caissons P 347 formant les source et drain du transistor 339. Les caissons 347 sont séparés par un caisson N 349. La grille 351 du transistor 339 est représentée par un bloc situé sur la face supérieure des caissons 347 et 349.
- [0122] Les transistors 337 et 339 sont séparés les uns des autres, et éventuellement d'autres composants situés dans le deuxième étage 329, par des murs isolants 353. Les murs isolants sont par exemple en oxyde de silicium. Les murs isolants 353 s'étendent de préférence sur la hauteur des caissons 341, 347. De préférence, les murs isolants 353 ne s'étendent que dans le deuxième étage 329 et donc pas dans le premier étage 327.
- [0123] Les transistors 337 et 339 ainsi que les murs isolants 353 reposent sur une couche 355 isolante. La face de la couche isolante 355 opposée aux transistors est recouverte d'une couche de fixation 357. La couche de fixation est de préférence une couche isolante. Tous les transistors du deuxième étage sont donc séparés du premier étage par la couche isolante 355 et la couche de fixation 357.
- [0124] Les couches de fixation 338 et 357 sont fixées l'une à l'autre. Les couches de fixations sont par exemple des couches de collage. Les premier et deuxième étages 327 et 329 sont par exemple fixés l'un à l'autre par les couches de fixation 338 et 357.
- [0125] Le deuxième étage comprend, de plus, une couche isolante 360 recouvrant en particulier les transistors et les murs isolants 353.
- [0126] Des vias conducteurs 362 atteignent le substrat du premier étage 327. Les vias 362 traversent les couches isolantes 336 et 355, les couches de fixation 338 et 357, les murs isolants 353 et au moins partiellement la couche isolante 360. Les vias conducteurs 362 atteignent ainsi par exemple, les coeurs conducteurs des tranchées 331 et la photodiode 102.
- [0127] Les figures 9 à 11 représentent des étapes d'un procédé de fabrication du mode de réalisation de la figure 8.
- [0128] La figure 9 représente des étapes d'un exemple de procédé de fabrication du mode de réalisation de la figure 8. Plus précisément, la figure 9 comprend des vues A, B et C, représentant chacune une étape du procédé.
- [0129] Au cours de l'étape de la vue A, le premier étage 327 est partiellement formé. La photodiode 102 et les tranchées conductrices isolées 331 sont formées dans un substrat

semiconducteur 900, par exemple un substrat en silicium. Eventuellement, d'autres composants non représentés peuvent être formés dans le premier étage. De préférence, le premier étage ne comprend que des photodiodes, par exemple disposées en forme de matrice, et des tranchées conductrices isolées.

- [0130] Au cours de l'étape de la vue B, la couche isolante 336 et la couche de fixation 338 du premier étage 327 sont formées sur le substrat.
- [0131] Au cours de l'étape de la vue C, le deuxième étage est partiellement formé. Le deuxième étage 329 comprend, à cette étape, un substrat semiconducteur. Dans l'exemple des figures 9, 10 et 11, le substrat du deuxième étage est du type SOI (Semiconductor On Insulator), et comprend donc une couche isolante 902 située entre des couches 904 et 906 de matériau semiconducteur. La couche 904 recouvre donc la couche 902, qui recouvre la couche 906.
- [0132] La couche 904 est par exemple la couche dans laquelle seront formés les transistors. L'épaisseur de la couche 904 est donc suffisante pour contenir les caissons des transistors.
- [0133] De plus, la couche isolante 355 et la couche de fixation 357 du deuxième étage 329 sont formées sur le substrat. Plus précisément, la couche 355 est formée sur la couche 904 et la couche 357 est formée sur la couche 355.
- [0134] Les premier et deuxième étages sont donc formés distinctement.
- [0135] La figure 10 représente d'autres étapes d'un exemple de procédé de fabrication du mode de réalisation de la figure 8. Plus précisément, la figure 10 comprend des vues D et E, représentant chacune une étape du procédé.
- [0136] Au cours de l'étape de la vue D, les premier et deuxième étages sont mis en contact. Plus précisément, les premier et deuxième étages sont fixés l'un à l'autre par les couches de fixation 357 et 338. Pour cela, les couches de fixation 357 et 338 sont mises en contact.
- [0137] Au cours de l'étape de la vue E, le substrat du deuxième étage est aminci. Dans l'exemple des figures 9 à 11, les couches 902 et 906 sont retirées, et la couche 904 est toujours présente. La couche 902 est utilisée comme couche d'arrêt de gravure lors de l'amincissement.
- [0138] A titre de variante, le substrat du deuxième étage peut ne pas être du type SOI mais être un substrat massif. Le substrat massif est alors aminci jusqu'à atteindre une épaisseur suffisante pour contenir les caissons des transistors.
- [0139] La figure 11 représente d'autres étapes d'un exemple de procédé de fabrication du mode de réalisation de la figure 8. Plus précisément, la figure 10 comprend des vues F et G, représentant chacune une étape du procédé.
- [0140] Au cours de l'étape de la vue F, les transistors 337 et 339 sont formés dans la couche 904. Les transistors 337 et 339 sont séparés, de plus, par les murs isolants 353. Even-

tuellement, d'autres composants non représentés peuvent être formés dans le deuxième étage.

- [0141] En particulier, la formation des transistors comprend la formation des caissons dopés 341, 343, 347 et 349 et la formation des grilles 345 et 351.
- [0142] En fonction des contraintes sur les budgets thermiques sur le premier étage, la formation des transistors peut par exemple être effectuée à des températures suffisamment basses, par exemple inférieures à environ 700 °C, pour ne pas perturber le fonctionnement des photodiodes.
- [0143] Au cours de l'étape de la vue G, la couche isolante 360 du deuxième étage est formée sur les transistors et sur la couche 904.
- [0144] Les vias conducteurs 362 sont ensuite formés à travers les couches isolantes 336 et 355, les couches de fixation 338 et 357, des murs isolants 353 et au moins partiellement la couche isolante 360. Les vias 362 sont des vias conducteurs comprenant chacun un coeur conducteur. De préférence, les vias sont des vias conducteurs isolés. De préférence, les vias comprennent une gaine isolante entourant les parois latérales des coeurs isolants. Les vias 362 permettent de connecter électriquement les deux étages. Par exemple, des vias 362 sont formés à travers le deuxième étage de manière à atteindre les faces supérieures des tranchées conductrices isolées.
- [0145] La figure 12 est une vue en coupe schématique d'un autre exemple d'une partie du pixel 375 tel que celui de la figure 3 ou celui de la figure 6.
- [0146] Le pixel 375 comprend une photodiode 102. La photodiode est par exemple formée dans une région 376 dopée P du substrat. La photodiode 102 est au moins partiellement entourée de tranchées conductrices isolées 331.
- [0147] Les tranchées 331 comprennent un coeur conducteur 333 et une gaine isolante 335. La gaine isolante recouvre les parois latérales et la face inférieure du coeur conducteur. La gaine recouvre de préférence au moins partiellement la face supérieure du coeur conducteur. Le coeur conducteur 333 est par exemple en silicium polycristallin et la gaine isolante est par exemple en oxyde de silicium.
- [0148] Des transistors sont situés au-dessus de la photodiode. Il s'agit de préférence des transistors 104, 106, 110, 174, 176 ou 277. Deux transistors sont représentés : un transistor 377 à canal N et un transistor 379 à canal P.
- [0149] Le transistor 377 à canal N est représenté par des caissons N 381 formant les source et drain du transistor 377. Les caissons 381 sont situés dans, et séparés par, un caisson P 383. La grille 385 du transistor 377 est représentée par un bloc situé sur la face supérieure des caissons 381 et 383.
- [0150] Le transistor 379 à canal P est représenté par des caissons P 387 formant les source et drain du transistor 379. Les caissons 387 sont situés dans, et séparés par, un caisson N 389. La grille 391 du transistor 379 est représentée par un bloc situé sur la face su-

périeure des caissons 387 et 389.

- [0151] Les caissons 383 et 389 des transistors 377 et 379 sont séparés de la région dopée P du substrat dans laquelle est située la photodiode 102 par une couche semiconductrice 393 dopée de type N (N+), par exemple ayant une concentration de dopants supérieure à celle des caissons 381 et 389.
- [0152] Certains des transistors, par exemple les transistors 377 et 379, sont séparés les uns des autres par des murs isolants 395, par exemple en oxyde de silicium. Les murs isolants 395 s'étendent de préférence sur toute la hauteur des transistors. Les murs isolants 395 s'étendent par exemple de la face supérieure des caissons 381 ou 387 à la face supérieure de la photodiode 102. Eventuellement, les murs 395 s'étendent dans la photodiode 102.
- [0153] Lorsque le pixel 375 est en fonctionnement, le coeur conducteur 333 est par exemple polarisé de manière à former un champ électromagnétique. Le champ électromagnétique permet par exemple de contrôler le chemin des charges générées par la photodiode 102.
- [0154] La polarisation des tranchées 331 est, de plus, adaptée au fonctionnement d'un type de transistors. Cette polarisation pourrait perturber le fonctionnement des transistors de l'autre type. Dans cet exemple, la polarisation des tranchées 331 est, adaptée au fonctionnement des transistors à canal P. Il est donc utile de séparer les transistors à canal N des tranchées 331 de manière à assurer un fonctionnement optimal des transistors à canal N.
- [0155] Certaines tranchées 331a s'étendent jusqu'à la face supérieure des caissons 389. Les tranchées 331a ne sont pas adjacentes aux transistors pour lesquels la polarisation des tranchées n'est pas adaptée. Plus précisément, les tranchées 331a ne sont pas utilisées pour isoler les transistors pour lesquels la polarisation des tranchées n'est pas adaptée des transistors voisins.
- [0156] Certaines autres tranchées 331b ne s'étendent que jusqu'à la face supérieure du substrat 102. Des murs isolants 400 sont situés sur les tranchées 331b. Les murs isolants 400 s'étendent de préférence de la tranchée 331b jusqu'à la face supérieure des caissons 381 ou 387. Les murs 400 s'étendent de préférence sur toute la hauteur des transistors.
- [0157] Les murs 400 recouvrant les tranchées 331b séparent par exemple certains transistors pour lesquels la polarisation des tranchées n'est pas adaptée des transistors voisins.
- [0158] A titre de variante, les tranchées 331a peuvent toutes être remplacées par des tranchées 331b. Ainsi, les tranchées 331 du pixel s'étendent toutes dans la région du substrat dans laquelle est formée la photodiode 102, mais aucune des tranchées 331 ne s'étend sur la hauteur des transistors.
- [0159] Un exemple de procédé de fabrication du mode de réalisation de la figure 9 est décrit

ci-dessous.

- [0160] Au cours de ce procédé, la photodiode et les transistors sont formés dans un substrat, les transistors recouvrant la région 376 dans laquelle est formée la photodiode. Cela comprend la formation des régions dopées de la photodiode, des caissons dopés 381, 383, 387 et 389 et des grilles.
- [0161] Les murs isolants 395 sont formés entre certains transistors.
- [0162] Des cavités sont formées aux emplacements des tranchées 331. Les cavités s'étendent dans le substrat à partir de la face supérieure du substrat, par exemple à partir de la face supérieure des caissons. Les cavités s'étendent sur au moins une partie de la hauteur du substrat, y compris sur toute la hauteur des transistors et de préférence sur toute la hauteur de la photodiode.
- [0163] Une couche de matériau isolant est formée sur les parois et le fond des cavités de manière à former la gaine isolante 335.
- [0164] Les cavités sont ensuite remplies par du matériau conducteur. Les cavités sont de préférence remplies jusqu'à atteindre le niveau de la face supérieure des caissons 381, 383, 387 et 389.
- [0165] Le matériau conducteur est ensuite retiré dans les parties supérieures des cavités dans lesquelles les tranchées 331b sont formées. Le matériau conducteur est par exemple retiré dans ces cavités jusqu'au niveau de la face supérieure de la région 376.
- [0166] Les exemples de structure des figures 8 et 9 permettent de s'assurer que la polarisation des tranchées conductrices isolées, qui est généralement configurée pour des structures ne comprenant qu'un type de transistors (à canal N ou à canal P) n'ait pas d'impact négatif sur les transistors de l'autre type.
- [0167] Divers modes de réalisation et variantes ont été décrits. L'homme de l'art comprendra que certaines caractéristiques de ces divers modes de réalisation et variantes pourraient être combinées, et d'autres variantes apparaîtront à l'homme de l'art. En particulier, bien que toutes les structures représentées et décrites précédemment soient des structures configurées au cas où les charges sont des trous, il est évident que les modes de réalisation peuvent s'adapter pour le cas où les charges électriques sont des électrons. Les transistors à canal P sont alors remplacés par des transistors à canal N et inversement.
- [0168] Dans un tel cas, la tension V_0 est inférieure à la tension V_{SF} . De plus, le drain du transistor 176 et la source du transistor 174 sont alors reliés, de préférence connectés, au noeud N2. La source du transistor 176 et le drain du transistor 174 sont alors reliés au noeud N3.
- [0169] Les simulations et graphiques ont été faits pour des transistors ayant des caractéristiques particulières (dimensions, tension de seuil ...) cependant le comportement des modes de réalisation reste le même pour des transistors ayant des caractéristiques dif-

férentes.

- [0170] Enfin, la mise en oeuvre pratique des modes de réalisation et variantes décrits est à la portée de l'homme du métier à partir des indications fonctionnelles données ci-dessus.

Revendications

- [Revendication 1] Pixel (170, 275) comprenant une photodiode (102) et des premier (110) et deuxième (176, 277) transistors, les premier et deuxième transistors étant reliés en série, l'un des premier et deuxième transistors étant un transistor à canal P et l'autre étant un transistor à canal N, le deuxième transistor (176, 277) étant relié en parallèle avec un troisième transistor (174) de type de canal opposé au type de canal du deuxième transistor (176, 277), les deuxième et troisième transistors étant reliés en parallèle par leurs sources et drains.
- [Revendication 2] Pixel (170, 275) selon la revendication 1, dans lequel les signaux de commande des deuxième (176, 277) et troisième transistors sont tels que les deuxième (176, 277) et troisième (174) transistors sont passant aux mêmes instants.
- [Revendication 3] Pixel (170, 275) selon la revendication 1 ou 2, dans lequel la grille du premier transistor (110) est reliée à une des bornes de la photodiode (102) par un quatrième transistor (104).
- [Revendication 4] Pixel (170, 275) selon la revendication 3, dans lequel le quatrième transistor (104) est du même type de canal que le premier transistor (110).
- [Revendication 5] Pixel (170, 275) selon l'une quelconque des revendications 1 à 4, dans lequel la grille du premier transistor (110) est reliée à un noeud d'application d'une tension de référence (VRST) par un cinquième transistor (106).
- [Revendication 6] Pixel (170, 275) selon la revendication 5, dans lequel le cinquième transistor (106) est du même type de canal que le premier transistor (110).
- [Revendication 7] Pixel (170, 275) selon l'une quelconque des revendications 1 à 6, dans lequel le premier transistor (110) est relié entre un noeud d'application d'une tension de référence (VRT) et un noeud central (N2), et le deuxième transistor (176, 277) est relié entre le noeud central et un noeud de sortie du pixel (N3).
- [Revendication 8] Pixel (170, 275) selon l'une quelconque des revendications 1 à 7, dans lequel la photodiode (102) est au moins partiellement entourée par des tranchées conductrices isolées (331).
- [Revendication 9] Pixel (170, 275) selon la revendication 8, dans lequel certaines tranchées conductrices isolées (331a) s'étendent sur au moins une partie de la hauteur des transistors.

- [Revendication 10] Pixel (170, 275) selon l'une quelconque des revendications 1 à 9, comprenant un premier étage (327) comprenant la photodiode (102) et un deuxième étage (329) comprenant les transistors, les premier et deuxième étages étant fixés l'un à l'autre.
- [Revendication 11] Dispositif électronique comprenant au moins un pixel (170, 275) selon l'une quelconque des revendications 1 à 10.
- [Revendication 12] Procédé de fabrication d'un pixel (170, 275) selon l'une quelconque des revendications 1 à 8, ou 10, comprenant une étape de fabrication d'un premier étage comprenant la photodiode (102), la fixation d'un deuxième étage et la formation des transistors dans le deuxième étage.
- [Revendication 13] Procédé de fabrication d'un pixel (170, 275) selon l'une quelconque des revendications 1 à 9, comprenant la formation de cavités s'étendant sur la hauteur des transistors et au moins partiellement sur la hauteur de la photodiode (102), au moins certaines des cavités étant partiellement remplies de matériau conducteur et partiellement remplies de matériau isolant.
- [Revendication 14] Procédé selon la revendication 13, dans lequel certaines des cavités sont entièrement remplies de matériau conducteur.

[Fig. 1]

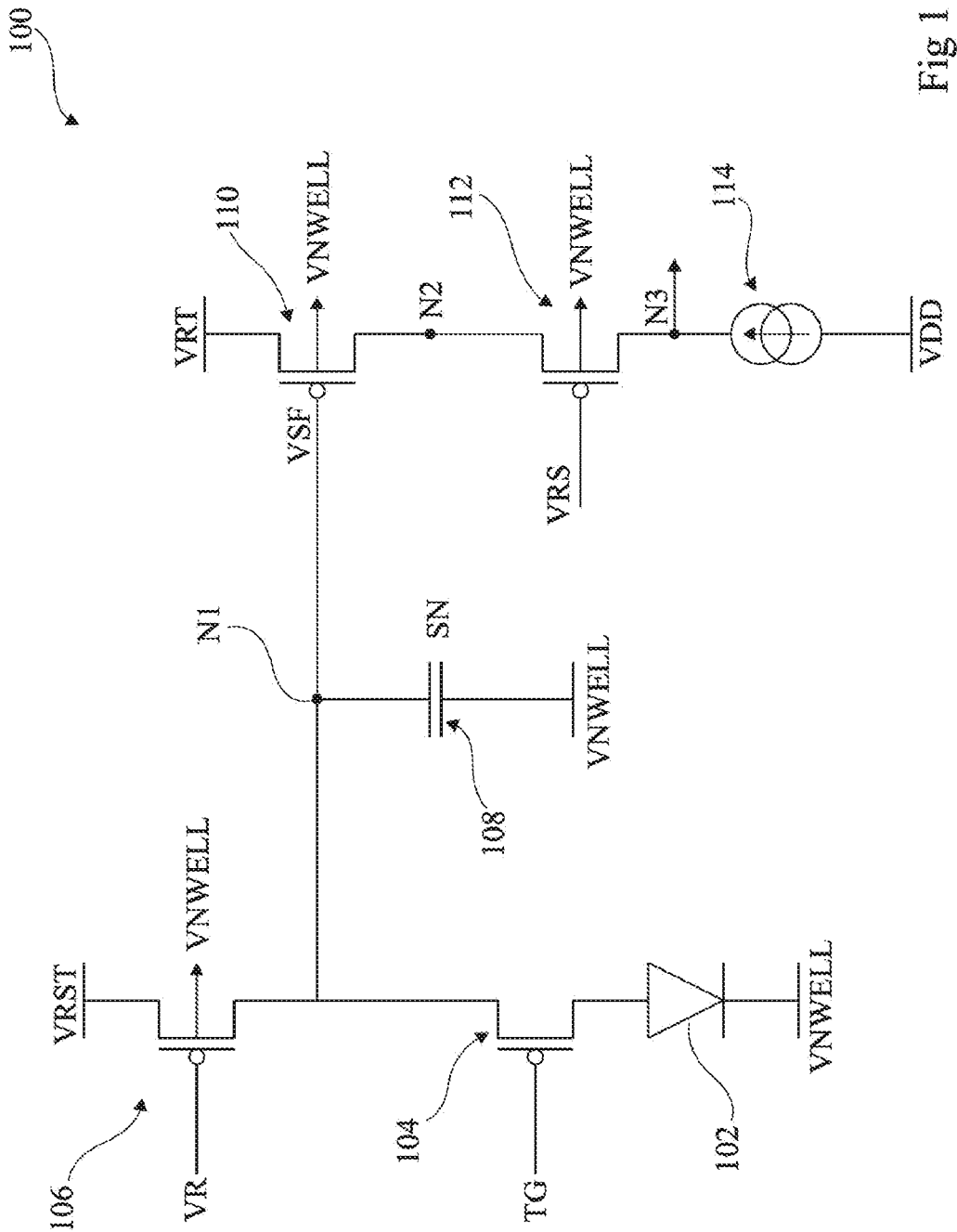


Fig 1

[Fig. 2]

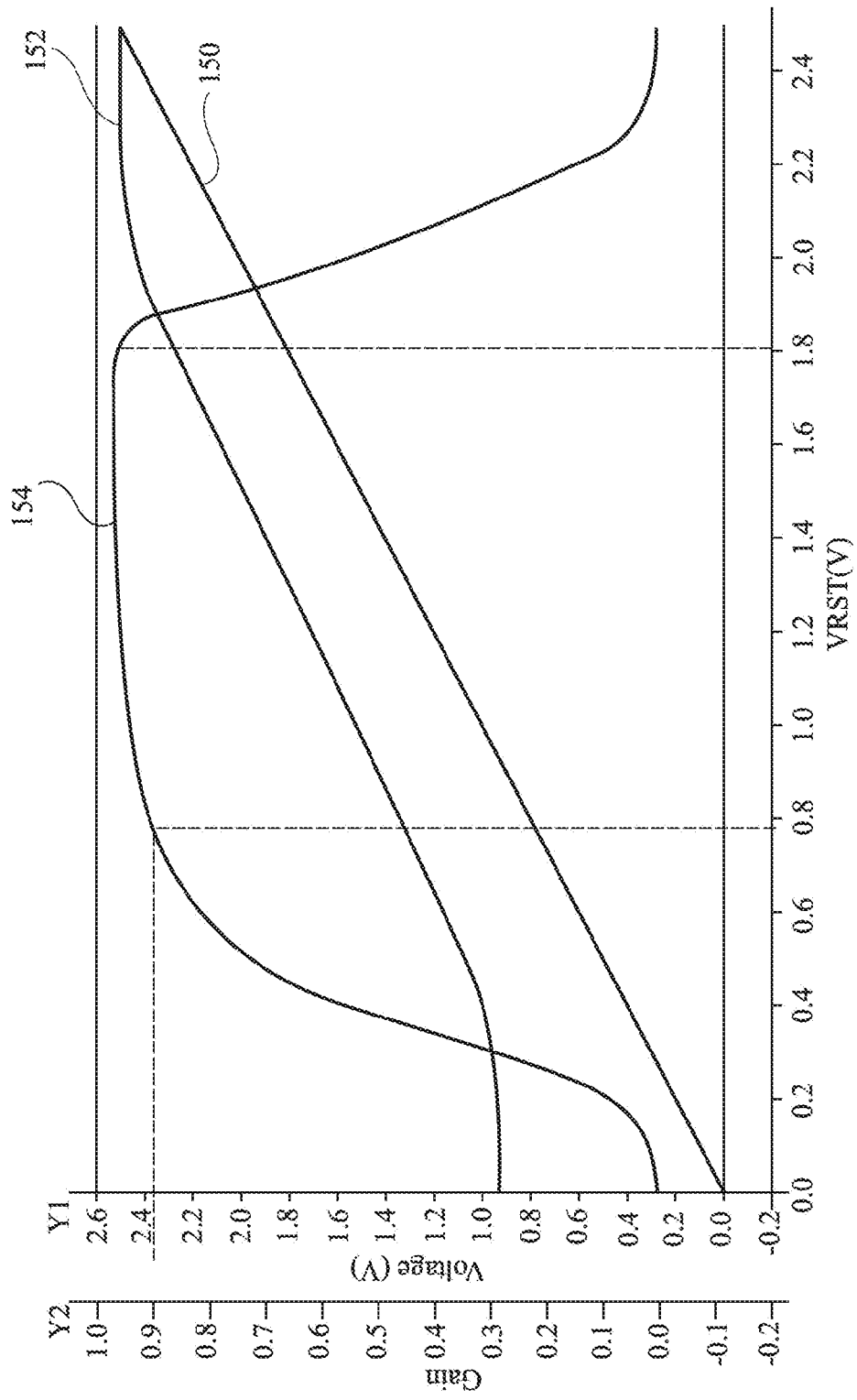


Fig 2

[Fig. 3]

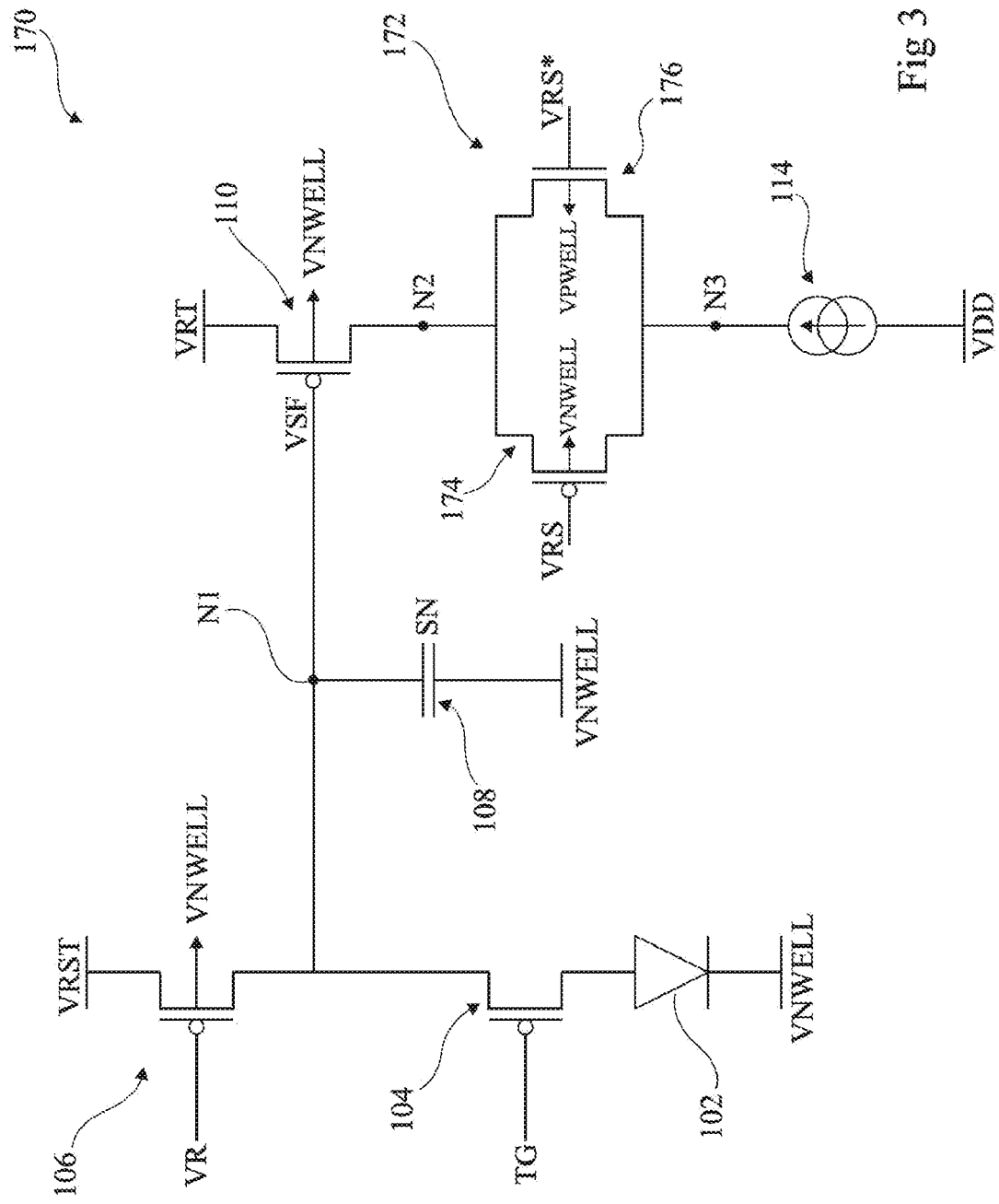


Fig 3

[Fig. 4]

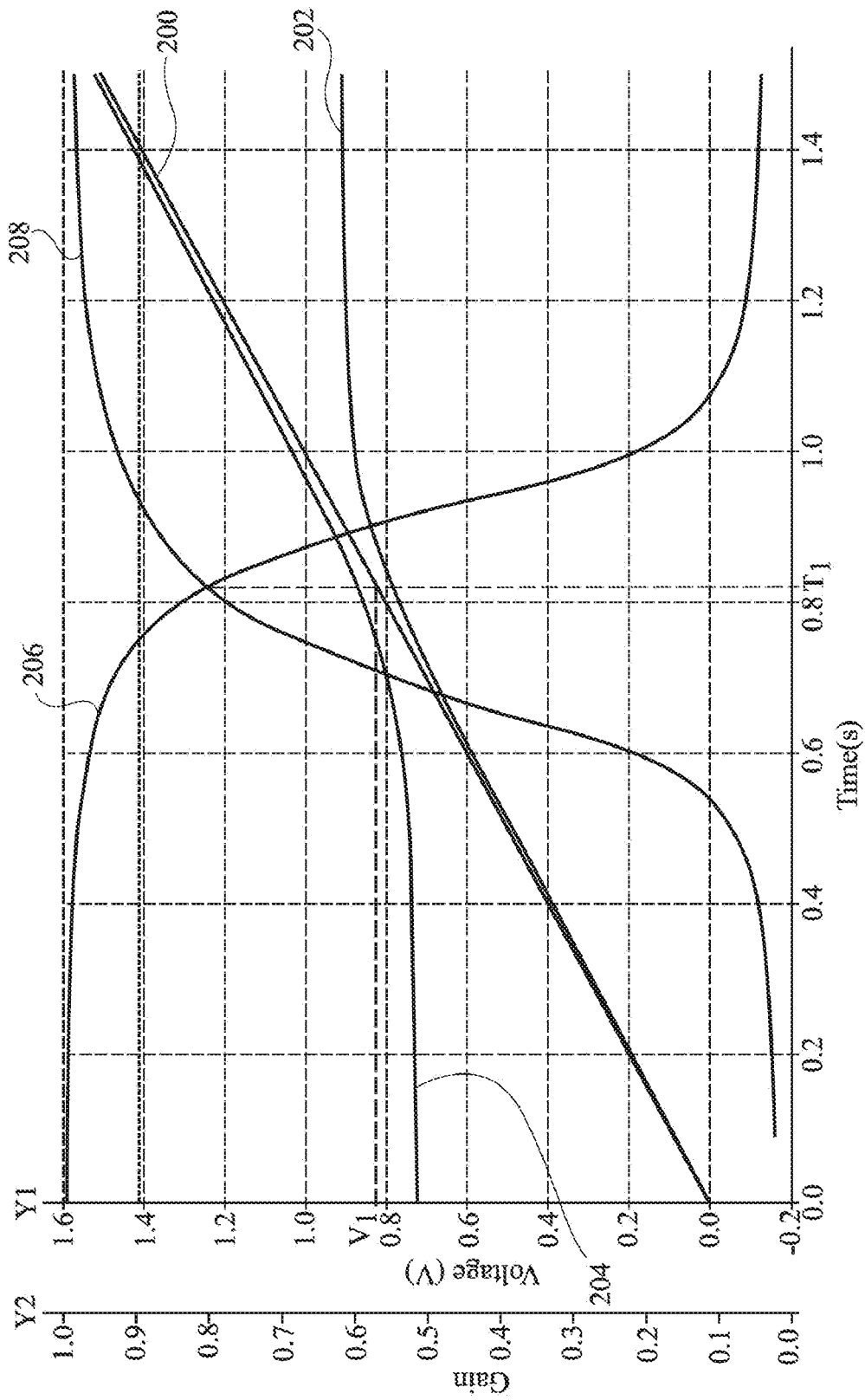


Fig 4

[Fig. 5]

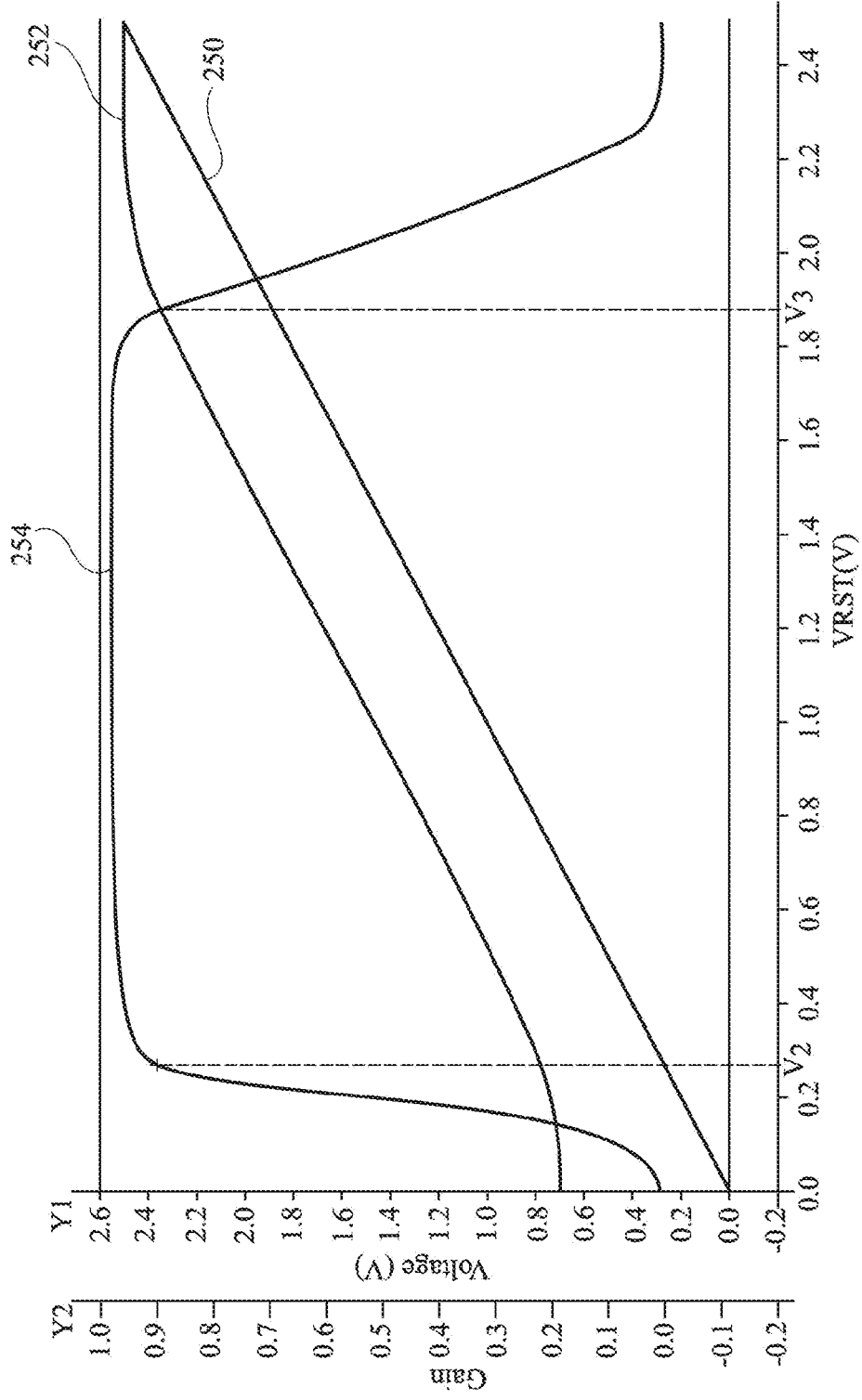
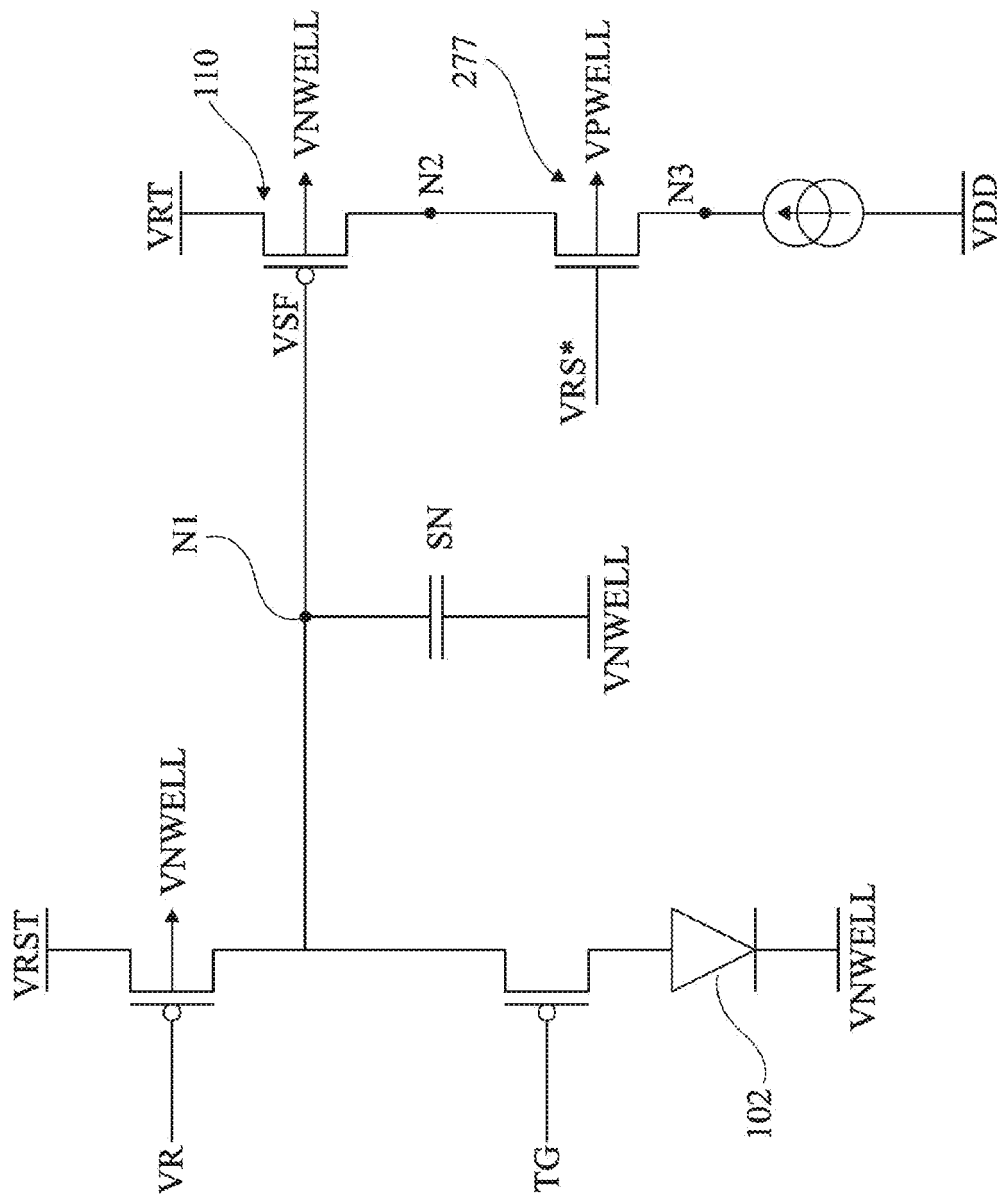


Fig 5

[Fig. 6]



60

[Fig. 7]

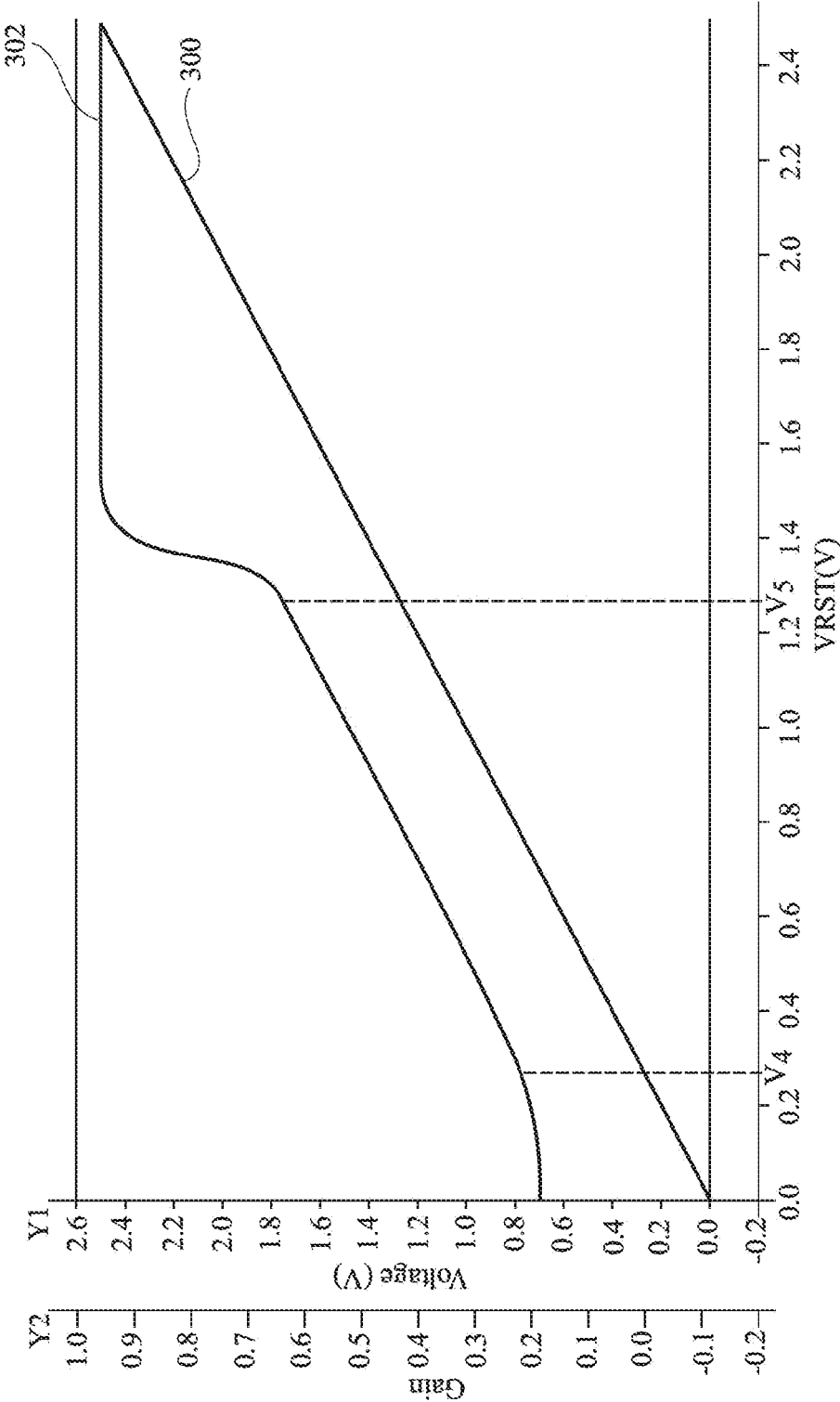


Fig 7

[Fig. 8]

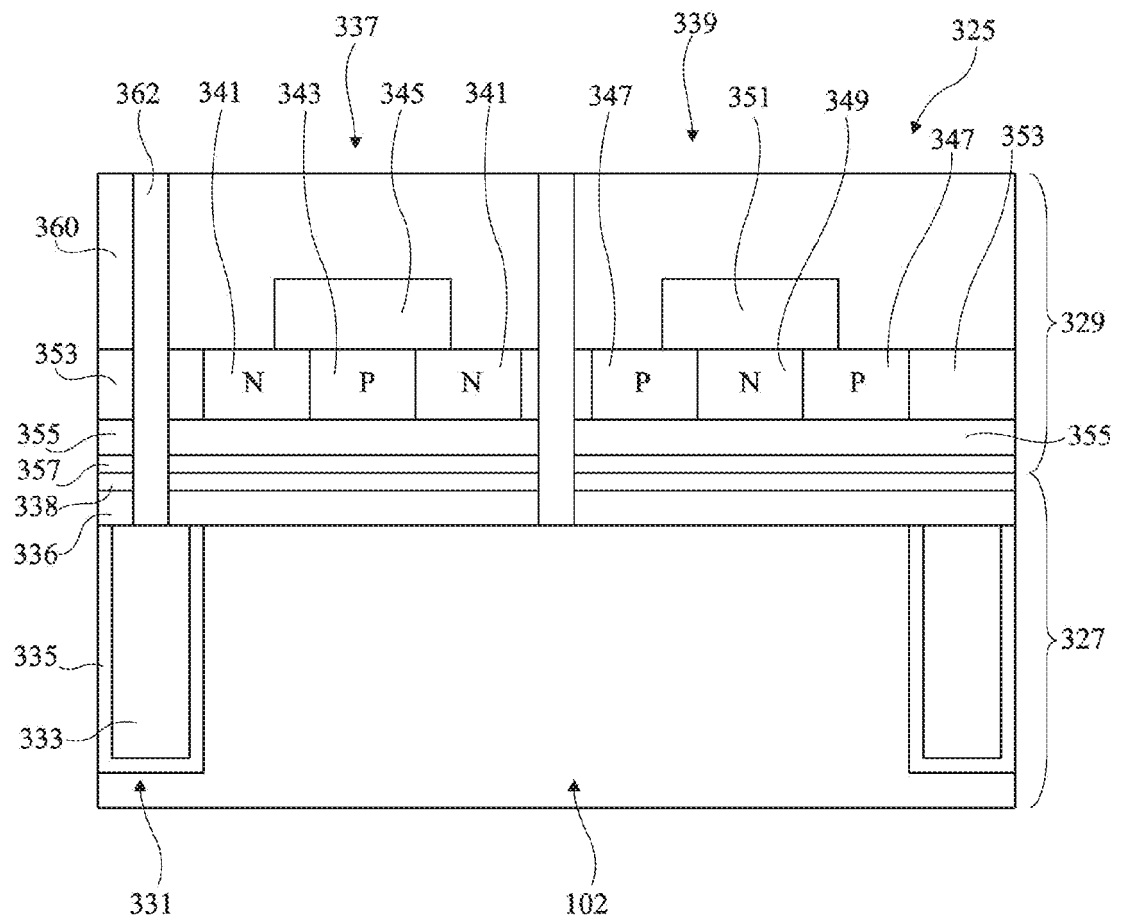


Fig 8

[Fig. 9]

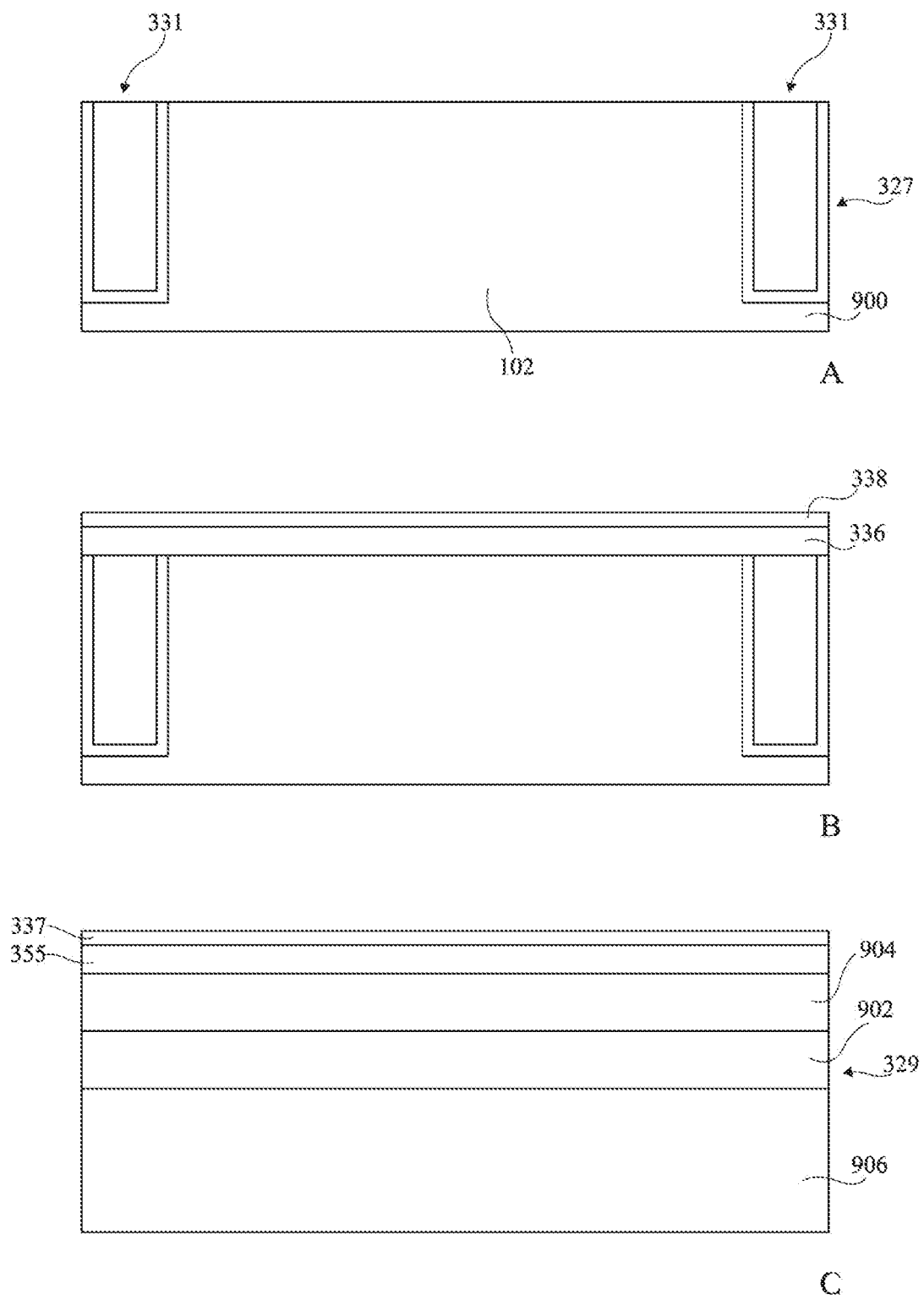


Fig 9

[Fig. 10]

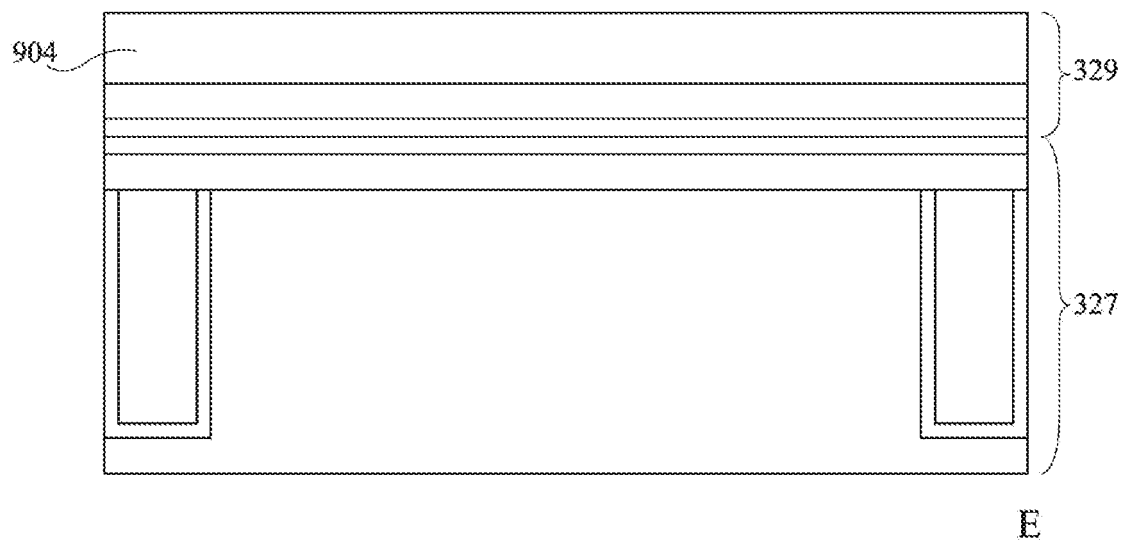
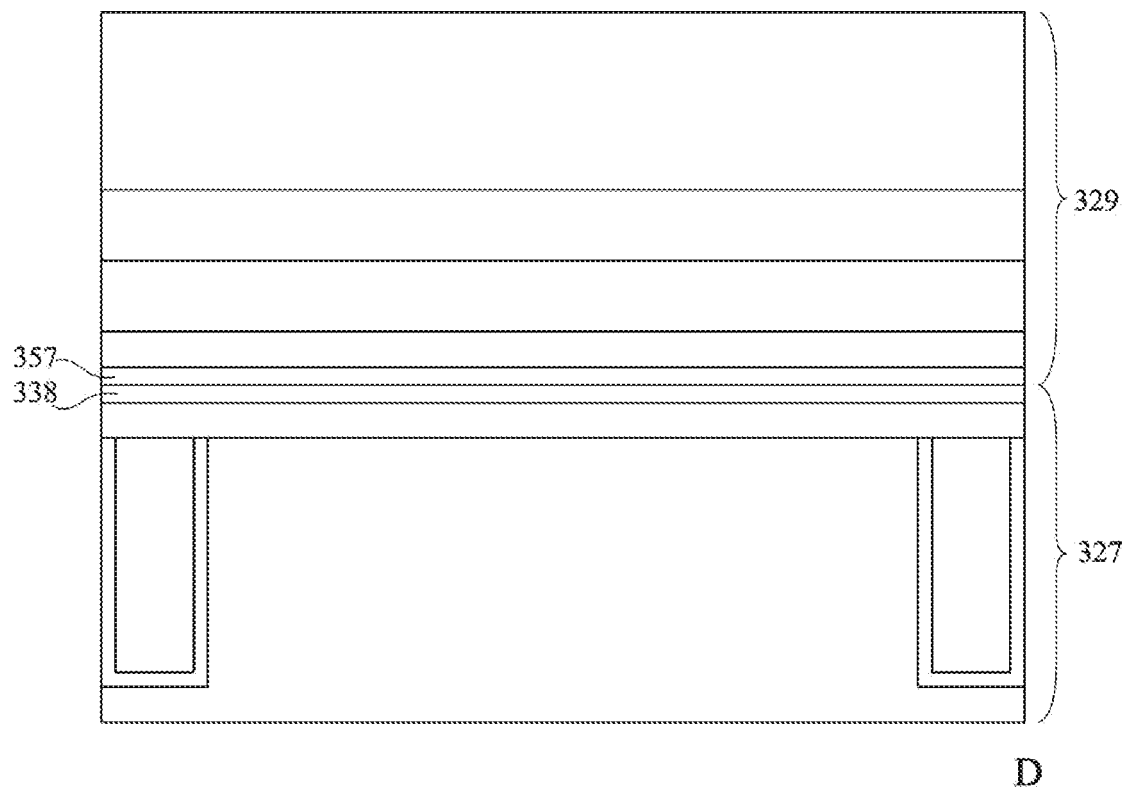


Fig 10

Fig 12

RAPPORT DE RECHERCHE

articles L.612-14, L.612-53 à 69 du code de la propriété intellectuelle

OBJET DU RAPPORT DE RECHERCHE

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

CONDITIONS D'ETABLISSEMENT DU PRESENT RAPPORT DE RECHERCHE

☐ Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.

☐ Le demandeur a maintenu les revendications.

☒ Le demandeur a modifié les revendications.

☐ Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.

☐ Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.

☐ Un rapport de recherche préliminaire complémentaire a été établi.

DOCUMENTS CITES DANS LE PRESENT RAPPORT DE RECHERCHE

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

☒ Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.

☐ Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.

☐ Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.

☐ Aucun document n'a été cité en cours de procédure.

**1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN
CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION**

US 2017/295338 A1 (GEURTS TOMAS [BE])
12 octobre 2017 (2017-10-12)

US 2011/267505 A1 (DIERICKX BART [BE])
3 novembre 2011 (2011-11-03)

US 2016/150174 A1 (HYNECEK JAROSLAV [US])
26 mai 2016 (2016-05-26)

WO 2006/109937 A1 (SILICONFILE
TECHNOLOGIES INC [KR]; LEE DO YOUNG [KR])
19 octobre 2006 (2006-10-19)

**2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN
TECHNOLOGIQUE GENERAL**

NEANT

**3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND
DE LA VALIDITE DES PRIORITES**

NEANT