



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0107588
(43) 공개일자 2013년10월02일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
(21) 출원번호 10-2012-0029492
(22) 출원일자 2012년03월22일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
최건용
서울특별시 강남구 개포1동 주공아파트 113동 101호
김동원
경기도 성남시 분당구 정자동 정든마을신화5단지 아파트 506동 1602호
(뒷면에 계속)
(74) 대리인
박영우

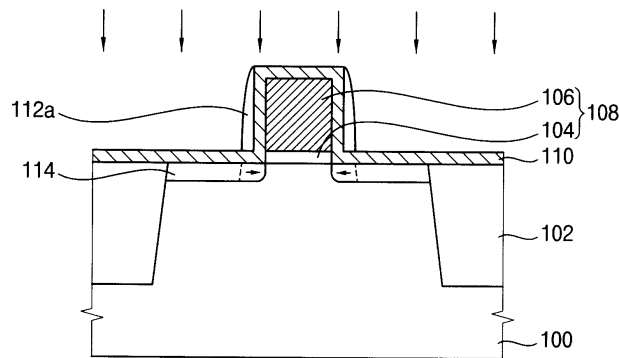
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 MOS 트랜지스터의 형성 방법

(57) 요약

MOS 트랜지스터 형성 방법으로, 기판에 게이트 구조물을 형성한다. 상기 기판 및 게이트 구조물의 표면 상에 컨포멀하게 제1 스페이서막을 형성한다. 상기 제1 스페이서막 상에 제2 스페이서막을 형성한다. 상기 제2 스페이서막을 이방성 식각하여, 상기 게이트 구조물 측벽에 위치하는 제1 스페이서막 상에 제2 스페이서를 형성한다. 상기 제1 스페이서막 및 제2 스페이서를 이용하여 상기 반도체 기판에 불순물을 이온주입하여 소오스/드레인 확장 영역을 형성한다. 상기 방법에 의하면, 게이트 유효 길이가 증가되어 쇼트 채널 효과가 감소된 MOS 트랜지스터를 형성할 수 있다.

대표도 - 도2e



(72) 발명자

임성만

서울특별시 관악구 봉천7동1594~1609 1604-32번지
401호

마스오카, 사다아키

경기 성남시 분당구 정자동 7 두산위브파빌리온
B-302

동, 야오취

경기도 용인시 기흥구 농서동 삼성전자 남자기숙사
상록수동 701호

특허청구의 범위

청구항 1

반도체 기판에 게이트 산화막 패턴 및 게이트 전극이 적층된 게이트 구조물을 형성하는 단계;
 상기 반도체 기판 및 게이트 구조물의 표면 상에 컨포멀하게 제1 스페이서막을 형성하는 단계;
 상기 제1 스페이서막 상에 제2 스페이서막을 형성하는 단계;
 상기 제2 스페이서막을 이방성 식각하여, 상기 게이트 구조물 측벽에 위치하는 제1 스페이서막 상에 제2 스페이서를 형성하는 단계; 및
 상기 게이트 구조물 및 상기 게이트 구조물 측벽 상의 제1 스페이서막 및 제2 스페이서를 이용하여 상기 반도체 기판에 불순물을 이온주입하여 소오스/드레인 확장 영역을 형성하는 단계를 포함하는 MOS 트랜지스터의 형성 방법.

청구항 2

제1항에 있어서, 상기 제1 및 제2 스페이서막은 절연 물질을 포함하고, 서로 식각 선택비를 갖는 물질로 형성되는 MOS 트랜지스터의 형성 방법.

청구항 3

제1항에 있어서, 상기 제1 스페이서막은 실리콘 질화물을 포함하고, 상기 제2 스페이서막은 실리콘 산화물을 포함하는 MOS 트랜지스터의 형성 방법.

청구항 4

제1항에 있어서, 상기 게이트 구조물 측벽 상의 제1 스페이서막 및 제2 스페이서의 두께 합은 상기 불순물의 확산되는 거리가 증가될수록 더 두껍게 형성하는 MOS 트랜지스터의 형성 방법.

청구항 5

제1항에 있어서, 상기 게이트 구조물 측벽 상의 제1 스페이서막 및 제2 스페이서의 두께 합은 상기 제2 스페이서의 증착 두께에 의해 조절하는 MOS 트랜지스터의 형성 방법.

청구항 6

제1항에 있어서, 상기 제1 스페이서막은 20 내지 50Å의 두께를 갖도록 형성하는 MOS 트랜지스터의 형성 방법.

청구항 7

제1항에 있어서, 상기 제2 스페이서는 10 내지 50Å의 두께를 갖도록 형성하는 MOS 트랜지스터의 형성 방법.

청구항 8

제1항에 있어서, 상기 게이트 구조물의 선폴이 10 내지 30nm가 되도록 상기 게이트 구조물을 패턴링하는 MOS 트랜지스터의 형성 방법.

청구항 9

제1항에 있어서, 상기 소오스/드레인 확장 영역을 형성한 다음, 상기 제2 스페이서를 제거하는 단계를 더 포함하는 MOS 트랜지스터의 형성 방법.

청구항 10

제1항에 있어서, 상기 소오스/드레인 확장 영역을 형성한 다음,
 상기 제1 스페이서막 및 제2 스페이서 상에 제3 스페이서막을 형성하는 단계;

상기 제3 스페이서막을 이방성 식각하여 제3 스페이서를 형성하는 단계; 및

상기 제3 스페이서가 형성된 게이트 구조물을 이용하여 상기 기판에 상기 반도체 기판에 불순물을 이온주입하여 소오스/드레인 영역을 형성하는 단계를 포함하는 MOS 트랜지스터의 형성 방법.

명세서

기술분야

[0001] 본 발명은 MOS 트랜지스터의 형성 방법에 관한 것이다. 보다 상세하게는, 반도체 소자를 구성하는 MOS 트랜지스터의 형성 방법에 관한 것이다.

배경기술

[0002] 최근의 반도체 소자가 고집적화됨에 따라, 반도체 소자 내에 포함되는 MOS 트랜지스터도 집적화되고 있다. 상기 MOS 트랜지스터의 크기가 감소되면서, 펀치쓰루, 숏채널 효과, 바디 부분 누설 전류 및 GIDL(Gate-Induced Drain-Leakage)등의 문제들이 발생되고 있다. 따라서, 고집적화되면서도 우수한 전기적 특성을 갖는 MOS 트랜지스터가 요구되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 목적은 우수한 전기적 특성을 갖는 고집적화된 MOS 트랜지스터의 형성 방법을 제공하는데 있다.

과제의 해결 수단

[0004] 상기한 목적을 달성하기 위한 본 발명의 일 실시예에 따른 MOS 트랜지스터의 형성 방법으로, 반도체 기판에 게이트 산화막 패턴 및 게이트 전극이 적층된 게이트 구조물을 형성한다. 상기 반도체 기판 및 게이트 구조물의 표면 상에 컨포멀하게 제1 스페이서막을 형성한다. 상기 제1 스페이서막 상에 제2 스페이서막을 형성한다. 상기 제2 스페이서막을 이방성 식각하여, 상기 게이트 구조물 측벽에 위치하는 제1 스페이서막 상에 제2 스페이서를 형성한다. 또한, 상기 게이트 구조물 및 상기 게이트 구조물 측벽 상의 제1 스페이서막 및 제2 스페이서를 이용하여 상기 반도체 기판에 불순물을 이온주입하여 소오스/드레인 확장 영역을 형성한다.

[0005] 본 발명의 일 실시예에서, 상기 제1 및 제2 스페이서막은 절연 물질을 포함하고, 서로 식각 선택비를 갖는 물질로 형성될 수 있다.

[0006] 본 발명의 일 실시예에서, 상기 제1 스페이서막은 실리콘 질화물을 포함하고, 상기 제2 스페이서막은 실리콘 산화물을 포함할 수 있다.

[0007] 본 발명의 일 실시예에서, 상기 게이트 구조물 측벽 상의 제1 스페이서막 및 제2 스페이서의 두께 합은 상기 불순물의 확산되는 거리가 증가될수록 더 두껍게 형성할 수 있다.

[0008] 본 발명의 일 실시예에서, 상기 게이트 구조물 측벽 상의 제1 스페이서막 및 제2 스페이서의 두께 합은 상기 제2 스페이서의 증착 두께에 의해 조절할 수 있다.

[0009] 본 발명의 일 실시예에서, 상기 제1 스페이서막은 20 내지 50Å의 두께를 갖도록 형성할 수 있다.

[0010] 본 발명의 일 실시예에서, 상기 제2 스페이서는 20 내지 50Å의 두께를 갖도록 형성할 수 있다.

[0011] 본 발명의 일 실시예에서, 상기 게이트 구조물의 선폴이 10 내지 30nm가 되도록 상기 게이트 구조물을 패터닝할 수 있다.

[0012] 본 발명의 일 실시예에서, 상기 제2 스페이서막을 이방성 식각하는 공정은 상기 반도체 기판 및 게이트 구조물 상에 위치하는 제2 스페이서막이 제거되도록 식각 시간을 조절할 수 있다.

[0013] 본 발명의 일 실시예에서, 상기 제2 스페이서막을 이방성 식각하는 공정은 상기 반도체 기판 및 게이트 구조물 상에 위치하는 제1 스페이서막이 노출될 때까지 식각하는 스톱퍼 식각 공정을 이용할 수 있다.

[0014] 본 발명의 일 실시예에서, 상기 소오스/드레인 확장 영역을 형성한 다음, 상기 제2 스페이서를 제거할 수 있다.

- [0015] 본 발명의 일 실시예에서, 상기 소오스/드레인 확장 영역을 형성한 다음, 상기 제1 스페이서막 및 제2 스페이서막에 제3 스페이서막을 형성할 수 있다. 상기 제3 스페이서막을 이방성 식각하여 제3 스페이서를 형성할 수 있다. 상기 제3 스페이서가 형성된 게이트 구조물을 이용하여 상기 기판에 상기 반도체 기판에 불순물을 이온주입하여 소오스/드레인 영역을 형성할 수 있다.
- [0016] 상기한 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 MOS 트랜지스터의 형성 방법으로, 반도체 기판에 게이트 산화막 패턴 및 게이트 전극이 적층된 게이트 구조물을 형성한다. 상기 반도체 기판 및 게이트 구조물의 표면 상에 컨포멀하게 예비 스페이서막을 형성한다. 상기 반도체 기판 상에 일부 두께의 예비 스페이서막이 남아있도록 하면서 상기 예비 스페이서막을 이방성 식각하여, 상기 게이트 구조물 측벽에 비해 상기 반도체 기판 상에서 얇은 두께를 갖는 스페이서막을 형성한다. 또한, 상기 스페이서막을 이용하여 상기 반도체 기판에 불순물을 이온주입하여 소오스/드레인 확장 영역을 형성한다.
- [0017] 본 발명의 일 실시예에서, 상기 게이트 구조물의 측벽에 남아있는 스페이서막은 40 내지 100Å의 두께를 갖도록 할 수 있다.
- [0018] 본 발명의 일 실시예에서, 상기 반도체 기판 상에 남아있는 스페이서막은 20 내지 50Å의 두께를 갖도록 할 수 있다.

발명의 효과

- [0019] 설명한 것과 같이, 본 발명에 따른 방법에 의하면, 소오스/드레인 확장 영역의 정션 깊이가 얇고 게이트 전극과의 오버랩이 작은 MOS 트랜지스터를 형성할 수 있다. 상기 MOS 트랜지스터는 펀치쓰루, 쏘체널 효과 및 누설 전류 문제가 감소된다.

도면의 간단한 설명

- [0020] 도 1a는 본 발명의 실시예 1에 따른 MOS 트랜지스터를 나타내는 단면도이다.
- 도 1b는 도 1a의 변형된 예에 따른 MOS 트랜지스터를 나타내는 단면도이다.
- 도 2a 내지 도 2g는 도 1a에 도시된 트랜지스터의 제조 방법을 나타내는 단면도들이다.
- 도 3a는 본 발명의 실시예 2에 따른 MOS 트랜지스터를 나타내는 단면도이다.
- 도 3b는 도 3a의 변형된 예에 따른 MOS 트랜지스터를 나타내는 단면도이다.
- 도 4a 내지 도 4c는 도 3a에 도시된 트랜지스터의 제조 방법을 나타내는 단면도들이다.
- 도 5a는 본 발명의 실시예 3에 따른 MOS 트랜지스터를 나타내는 단면도이다.
- 도 5b는 도 5a의 변형된 예에 따른 MOS 트랜지스터를 나타내는 단면도이다.
- 도 6a 내지 도 6d는 도 5a에 도시된 트랜지스터의 제조 방법을 나타내는 단면도들이다.
- 도 7은 본 발명의 실시예 4에 따른 CMOS 트랜지스터를 나타내는 단면도이다.
- 도 8a 내지 도 8e는 도 7에 도시된 CMOS 트랜지스터의 제조 방법을 나타내는 단면도들이다.
- 도 9a 내지 도 9c는 도 7에 도시된 CMOS 트랜지스터의 다른 형성 방법을 나타내는 단면도들이다.
- 도 10은 1군 샘플 및 1군 비교 샘플들의 게이트 길이별 문턱 전압을 나타내는 그래프이다.
- 도 11은 샘플1 및 비교 샘플1에서의 각 게이트 전압별 바디 오프 전류를 나타내는 그래프이다.
- 도 12는 샘플2 및 비교 샘플2에서의 오버랩 커패시턴스를 나타내는 그래프이다.
- 도 13은 샘플2 및 비교 샘플2에서의 오프 전류 및 온 전류(포화 드레인 전류, I_{dsat})를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- [0022] 본 발명의 각 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다.

- [0023] 본 발명에서, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0024] 본 발명에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0025] 본 발명에 있어서, 각 층(막), 영역, 전극, 패턴 또는 구조물들이 대상체, 기판, 각 층(막), 영역, 전극 또는 패턴들의 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 영역, 전극, 패턴 또는 구조물들이 직접 기판, 각 층(막), 영역, 또는 패턴들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 영역, 다른 전극, 다른 패턴 또는 다른 구조물들이 대상체나 기판 상에 추가적으로 형성될 수 있다.
- [0026] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안된다.
- [0027] 즉, 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0028] 실시예 1
- [0029] 도 1a는 본 발명의 실시예 1에 따른 MOS 트랜지스터를 나타내는 단면도이다.
- [0030] 도 1a를 참조하면, MOS 트랜지스터는 반도체 기판(100) 상에 게이트 구조물(108), 제1 스페이서막(110), 제2 스페이서(112a) 및 제3 스페이서(116)를 포함한다. 또한, 상기 게이트 구조물(108) 양 측의 반도체 기판(100) 아래로 소오스/드레인 확장 영역(source/drain extension region, 114) 및 소오스/드레인 영역(118)을 포함한다.
- [0031] 상기 게이트 구조물(108)은 게이트 산화막 패턴(104) 및 게이트 전극(106)이 적층된 형상을 갖는다. 상기 게이트 구조물(108)은 10 내지 30nm의 선폴을 갖는다. 즉, MOS 트랜지스터의 게이트 길이는 10 내지 30nm일 수 있다.
- [0032] 상기 제1 스페이서막(110)은 상기 게이트 구조물(108) 및 반도체 기판(100) 상에 컨포멀하게 구비된다. 상기 제1 스페이서막(110)은 소오스/드레인 확장 영역(114)을 형성하기 위한 이온 주입 공정 시에 셀로우 정션을 구현할 수 있는 최적의 두께를 갖는다. 예를들어, 상기 제1 스페이서막(110)은 20 내지 50Å의 얇은 두께를 갖는다.
- [0033] 상기 제2 스페이서(112a)는 상기 게이트 구조물(108) 측벽의 제1 스페이서막(110) 상에 구비된다. 즉, 상기 반도체 기판(100) 상에는 상기 제2 스페이서(112a)가 구비되지 않는다. 상기 제1 스페이서막(110)과 제2 스페이서(112a)의 수평 방향 두께의 합은 소오스/드레인 확장 영역(114)으로 형성되는 불순물들의 확산 거리에 따라 조절된다. 또한, 상기 제1 스페이서막(110)과 제2 스페이서(112a)의 두께의 합은 제2 스페이서(112a)의 수평 방향 두께로 조절된다. 예를들어, 상기 제2 스페이서(112a)는 20 내지 50Å의 얇은 두께를 갖는다.
- [0034] 상기 제3 스페이서(116)는 소오스/드레인 영역을 형성하기 위한 이온주입 마스크로 사용된다. 상기 제3 스페이서(116)는 상기 제2 스페이서(112a)보다 두꺼울 수 있다.
- [0035] 상기 소오스/드레인 확장 영역(114)은 상기 게이트 구조물(108) 양 측 가장자리 부위와 일부 오버랩된다.
- [0036] 상기 소오스/드레인 영역(118)은 상기 게이트 구조물(108) 양 측 가장자리 부위와 오버랩되지 않으면서 상기 소오스/드레인 확장 영역(114)과 연결된다.
- [0037] 도 1b는 도 1a의 변형된 예에 따른 MOS 트랜지스터를 나타내는 단면도이다.
- [0038] 도 1b에 도시된 것과 같이, 상기 트랜지스터에 포함된 게이트 구조물(108a)은 게이트 산화막 패턴(104), 게이트

전극(106) 및 하드 마스크 패턴(107)이 적층된 형상을 갖는다. 상기 하드 마스크 패턴(107)은 실리콘 질화물 일 수 있다. 상기 트랜지스터에서, 제1 스페이서막(110), 제2 스페이서(112a) 및 제3 스페이서(116)와, 소오스/드레인 확장 영역(114) 및 소오스/드레인 영역(118)은 도 1a에 도시된 것과 동일하다.

- [0039] 도 2a 내지 도 2g는 도 1a에 도시된 트랜지스터의 제조 방법을 나타내는 단면도들이다.
- [0040] 도 2a를 참조하면, 반도체 기판(100)에 소자 분리 공정을 수행하여 소자 분리막 패턴(102)을 형성한다. 즉, 상기 반도체 기판(100)의 일부 영역을 식각하여 소자 분리를 위한 트렌치를 형성한다. 또한, 상기 소자 분리를 위한 트렌치 내부에 소자 분리막 패턴(102)을 형성한다. 상기 소자 분리막 패턴(102)이 형성되지 않은 부위가 기판의 액티브 영역이 된다.
- [0041] 상기 반도체 기판(100) 상에 열산화 공정을 수행하여 게이트 산화막을 형성한다. 상기 게이트 산화막은 실리콘 산화물일 수 있다. 상기 게이트 산화막 상에 게이트 도전막을 형성한다. 상기 게이트 도전막은 폴리실리콘을 포함할 수 있다. 예를 들어, 상기 게이트 도전막은 폴리실리콘막만으로 형성할 수 있다. 또한, 상기 게이트 도전막은 폴리실리콘 상에 금속 질화물, 금속 등의 도전 물질을 적층하여 형성할 수 있다.
- [0042] 상기 게이트 도전막을 패터닝하여 게이트 산화막 패턴(104) 및 게이트 전극(106)이 적층된 게이트 구조물(108)을 형성한다. 상기 게이트 구조물(108)은 10 내지 30nm의 선폭을 가질 수 있다.
- [0043] 도시하지는 않았지만, 상기 게이트 도전막 상에 하드 마스크 패턴이 형성될 수도 있다. 상기 하드 마스크 패턴은 실리콘 질화물을 포함할 수 있다. 이 경우에는, 상기 도 1b에 도시된 것과 같이, 상기 게이트 구조물은 게이트 산화막 패턴, 게이트 전극 및 하드 마스크 패턴이 적층된 형상을 가질 수 있다.
- [0044] 도 2b를 참조하면, 상기 게이트 구조물(108) 및 반도체 기판(100) 표면을 따라 컨포멀하게 제1 스페이서막(110)을 형성한다. 상기 제1 스페이서막(110)은 절연 물질을 포함한다. 상기 제1 스페이서막(110)은 화학기상증착법을 통해 형성할 수 있다. 일 예로, 상기 제1 스페이서막(110)은 실리콘 질화물로 형성할 수 있다. 이와는 다른 예로, 상기 제1 스페이서막(110)은 실리콘 산화물로 형성할 수 있다.
- [0045] 상기 제1 스페이서막(110)의 두께가 50Å보다 두꺼운 경우, 후속의 소오스/드레인 확장 영역을 형성하기 위한 이온 주입 공정 시에 높은 에너지의 증가가 필요하게 된다. 이 경우, 불순물의 도핑이 기판 표면 부위에 집중되지 않고 기판 내부의 일정깊이까지 넓게 퍼지게 된다. 그러므로, MOS 트랜지스터에서 요구하는 수준의 셀로우 정션(Shallow Junction)을 형성하기가 어렵다.
- [0046] 또한, 상기 제1 스페이서막(110)의 두께가 20Å보다 얇은 경우, 후속의 제2 스페이서막(도 2c, 112)을 식각 공정을 수행하는 공정에서 상기 제1 스페이서막(110)이 식각 저지막으로 기능을 하기가 어렵다. 또한, 이온주입 공정 시에 기판 손상이 발생할 수 있다.
- [0047] 그러므로, 상기 제1 스페이서막(110)은 후속의 소오스/드레인 확장 영역을 형성하기 위한 이온 주입 공정 시에 목표한 셀로우 정션을 형성하면서 식각 저지막으로의 기능을 할 수 있는 두께 범위인 20 내지 50Å의 두께를 갖도록 형성한다. MOS 트랜지스터에서 최적의 전기적 특성을 확보하기 위해서, 상기 제1 스페이서막(110)은 30 내지 40Å의 두께를 가질 수 있다.
- [0048] 도 2c를 참조하면, 상기 제1 스페이서막(110) 상에 컨포멀하게 제2 스페이서막(112)을 형성한다. 상기 제2 스페이서막(112)은 상기 제1 스페이서막(110)과 식각 선택비를 갖는 절연 물질을 포함한다. 즉, 상기 제2 스페이서막(112)은 상기 제1 스페이서막(110)을 식각하는 공정에서 상기 제1 스페이서막(110)이 식각되지 않도록 하는 물질을 사용하여 형성하여야 한다. 상기 설명한 것과 같이, 상기 제1 스페이서막(110)이 실리콘 질화물로 형성된 경우, 상기 제2 스페이서막(112)은 실리콘 산화물로 형성할 수 있다. 반대로, 상기 제1 스페이서막(110)이 실리콘 산화물로 형성된 경우에는, 상기 제2 스페이서막(112)이 실리콘 질화물로 형성할 수 있다.
- [0049] 상기 제2 스페이서막(112)은 후속 공정을 통해 소오스/드레인 확장 영역이 형성되는 부위를 결정하는 이온주입 마스크로 제공된다.
- [0050] 즉, 상기 제2 스페이서막(112)을 50Å보다 두껍게 형성하는 경우, 불순물 이온이 주입되는 부위와 상기 게이트 구조물(108)의 측벽 가장자리 부위가 멀어지게 된다. 따라서, 상기 불순물 이온이 상기 게이트 구조물(108) 부위로 확산되더라도 상기 소오스/드레인 확장 영역과 게이트 전극이 오버랩되는 부위가 감소되거나 오버랩이 되지 않을 수 있다. 반대로, 상기 제2 스페이서막(112)을 20Å 얇게 형성하는 경우, 불순물 이온이 주입되는 부위

와 상기 게이트 구조물의 가장자리 부위가 지나치게 가까워지게 된다. 따라서, 상기 소오스/드레인 확장 영역과 게이트 전극이 오버랩되는 부위가 증가하게 된다. 따라서, 상기 제2 스페이서막(112)은 20 내지 50Å의 두께 범위로 형성한다.

- [0051] 게이트 길이가 30nm이하 수준의 고집적화된 MOS 트랜지스터에서는 상기 소오스/드레인 확장 영역이 게이트 구조물과 오버랩되는 면적에 따라 MOS 트랜지스터의 전기적 특성이 매우 크게 바뀌게 된다. 그러므로, 상기 소오스/드레인 확장 영역의 오버랩 부위의 면적 조절 방법은 MOS 트랜지스터의 제조에서 매우 중요하다.
- [0052] 도 2d를 참조하면, 상기 게이트 구조물(108)의 측벽 부위에만 상기 제2 스페이서막(112)이 남도록, 상기 제2 스페이서막(112)을 이방성으로 식각한다. 상기 식각 공정에 의해, 상기 게이트 구조물(108)의 측벽에 제2 스페이서(112a)가 형성된다. 또한, 상기 게이트 구조물(108) 상부면 및 반도체 기판(100) 표면 상에 형성된 제2 스페이서막(112)이 제거되어 제1 스페이서막(110)이 노출된다.
- [0053] 상기 이방성 식각 공정을 수행하더라도, 상기 게이트 구조물(108)의 측벽에 제2 스페이서막(112)은 거의 식각되지 않는다. 그러므로, 상기 제2 스페이서(112a)는 20 내지 50Å의 두께 범위로 형성될 수 있다.
- [0054] 상기 이방성 식각 공정은 상기 게이트 구조물(108)의 상부면 및 기판 표면 상에 형성되어 있는 제2 스페이서막(112)이 제거되도록 식각 시간을 조절하여 수행할 수 있다.
- [0055] 이와는 다른 예로, 상기 이방성 식각 공정은 상기 제1 스페이서막(110)을 식각 저지막으로 사용하여 상기 제1 스페이서막(110)이 노출되는 부위에서 식각이 멈추도록 하는 스톱퍼 식각(stopper etch)을 통해 수행할 수 있다.
- [0056] 상기 게이트 구조물(108) 및 상기 게이트 구조물(108) 측벽에 형성된 제1 스페이서막(110) 및 제2 스페이서(112a)는 후속 공정에서 이온 주입 마스크로 사용된다. 그러므로, 상기 게이트 구조물(108)의 측벽에 형성되어 있는 제1 스페이서막(110) 및 제2 스페이서(112a)의 수평 방향으로의 두께의 합을 조절함으로써, 상기 소오스/드레인 확장 영역과 게이트 전극이 오버랩되는 부위의 면적을 조절할 수 있다. 또한, 상기 제2 스페이서막(112)의 증착 두께를 조절함으로써, 상기 게이트 구조물(108)의 측벽에 형성되어 있는 제1 스페이서막(110) 및 제2 스페이서(112a)의 수평 방향으로의 두께의 합을 조절할 수 있다.
- [0057] 예를들어, 상기 소오스/드레인 확장 영역과 게이트 전극이 오버랩이 최소화되도록 하기 위해서는, 상기 게이트 구조물(108)의 측벽에 형성되어 있는 제1 스페이서막(110) 및 제2 스페이서(112a)의 수평 방향으로의 두께의 합과 후속 공정에서 소오스/드레인 확장 영역의 불순물들이 상기 게이트 구조물(108) 방향으로 확산되는 거리가 거의 동일하게 되도록 할 수 있다.
- [0058] 도 2e를 참조하면, 상기 제2 스페이서(112a)가 형성되어 있는 상기 게이트 구조물(108)을 이온 주입 마스크로 사용하여 상기 반도체 기판(100)에 저농도의 불순물을 이온 주입한다. 상기 불순물 주입 공정을 통해 소오스/드레인 확장 영역(114)을 형성한다.
- [0059] 상기 불순물 주입 공정 시에 상기 노출된 반도체 기판(100)으로 불순물이 주입되지만, 상기 불순물들은 상기 게이트 구조물(108)의 가장자리 방향으로 확산하게 된다. 그런데, 상기 게이트 구조물(108)의 측벽에 형성되어 있는 상기 제2 스페이서(112a) 및 제1 스페이서막(110)이 이온 주입 마스크로 사용되므로, 상기 불순물들은 상기 게이트 구조물(108)의 측벽 가장자리 부위와 이격된 반도체 기판 부위에 주입된다. 그러므로, 상기 불순물들이 상기 게이트 구조물(108)의 측벽 가장자리 방향으로 확산되더라도, 최종적으로 형성되는 소오스/드레인 확장 영역(114)의 오버랩 면적이 감소된다. 특히, 상기 불순물이 확산되는 거리가 긴 경우에는 상기 제2 스페이서(112a)의 수평 방향 두께를 증가시켜 오버랩 면적을 감소시킬 수 있다.
- [0060] 이와같이, MOS 트랜지스터에서 게이트 구조물(108)과 소오스/드레인 확장 영역(114)의 오버랩 면적을 감소시킴으로써 상기 MOS 트랜지스터의 유효 게이트 길이(Effective Gate Length)를 증가시킬 수 있다. 또한, 상기 MOS 트랜지스터에서 발생하는 게이트 유도 드레인 누설(GIDL) 및 오버랩 커패시터를 감소시킬 수 있다.
- [0061] 한편, 한 층의 스페이서막만을 이용하여 소오스/드레인 확장 영역을 형성하는 일반적인 공정에서는, 상기 스페이서막의 두께를 증가시키면 기판 표면에 형성되는 스페이서막까지 두꺼워지므로 셀로우 정션을 형성할 수가 없었다. 그러나, 본 실시예에서, 상기 불순물이 주입되는 부위의 반도체 기판 상에는 얇은 두께의 제1 스페이서막(110)만이 구비된다. 즉, 상기 제2 스페이서(112a)의 수평 방향 두께를 증가시키더라도 상기 불순물이 주입되는 부위의 반도체 기판(100) 상에 형성되는 박막의 두께는 두꺼워지지 않는다. 따라서, 상기 제2 스페이서(112a)의 수평 방향 두께를 원하는 수준으로 충분하게 증가시킬 수 있다.

- [0062] 또한, 상기 불순물이 주입되는 부위의 반도체 기판(100) 상에는 이온주입 블록킹막으로써 최적의 두께인 20 내지 50Å의 두께를 갖는 제1 스페이서막(110)이 구비되어 있다. 때문에, 셀로우 정선을 갖는 소오스/드레인 확장 영역(114)을 형성할 수 있다.
- [0063] 도 2f를 참조하면, 상기 제1 스페이서막(110) 및 제2 스페이서(112a) 상에 컨포멀하게 제3 스페이서막을 형성한다. 상기 제3 스페이서막은 절연 물질을 증착시켜 형성한다. 예를들어, 상기 제3 스페이서막은 실리콘 질화물을 사용하여 형성할 수 있다. 다른예로, 상기 제3 스페이서막은 실리콘 산화물을 사용하여 형성할 수 있다.
- [0064] 상기 제3 스페이서막을 이방성 식각하여 상기 게이트 구조물(108)의 측벽에 제3 스페이서(116)를 형성한다. 따라서, 상기 게이트 구조물(108)의 측벽에는 제1 스페이서막(110), 제2 스페이서(112a) 및 제3 스페이서(116)가 적층된 형상을 갖는다.
- [0065] 도 2g를 참조하면, 상기 제3 스페이서(116)를 이온주입 마스크로 사용하여 불순물을 주입한다. 상기 공정을 수행하면, 상기 소오스/드레인 확장 영역(114)보다 높은 불순물 농도를 갖는 소오스/드레인 영역(118)이 형성된다. 상기 소오스/드레인 영역(118)은 상기 소오스/드레인 확장 영역(114)과 일부분이 겹치도록 형성된다.
- [0066] 상기한 공정에 의하면, 셀로우 정선을 갖는 소오스/드레인 확장 영역(114)을 형성할 수 있다. 또한, 상기 소오스/드레인 확장 영역(114) 및 게이트 구조물(108)이 오버랩되는 부위의 면적이 감소된다. 따라서, 게이트 전극의 유효 길이가 증가되어 쇼트 채널 효과가 개선된다. 또한, 게이트 기인 누설 전류 및 오버랩 커패시턴스 등이 감소된다.
- [0067] 실시예 2
- [0068] 도 3a는 본 발명의 실시예 2에 따른 MOS 트랜지스터를 나타내는 단면도이다.
- [0069] 실시예 2에 따른 MOS 트랜지스터는 제2 스페이서가 공정 중에 제거되어 최종 MOS 트랜지스터는 제1 스페이서막 및 제3 스페이서만을 포함하는 것을 제외하고 실시예 1에 따른 MOS 트랜지스터와 동일하다.
- [0070] 도 3a를 참조하면, MOS 트랜지스터는 반도체 기판(100) 상에 게이트 구조물(108), 제1 스페이서막(110) 및 제3 스페이서(120)를 포함한다. 또한, 상기 게이트 구조물(108) 양 측의 반도체 기판(100) 아래로 소오스/드레인 확장 영역(114) 및 소오스/드레인 영역(118)을 포함한다.
- [0071] 상기 게이트 구조물(108)은 게이트 산화막 패턴(104) 및 게이트 전극(106)이 적층된 형상을 갖는다. 상기 게이트 구조물(108)은 10 내지 30nm의 선폴을 갖는다.
- [0072] 상기 제1 스페이서막(110)은 상기 게이트 구조물(108) 및 반도체 기판(100) 상에 컨포멀하게 구비된다. 상기 제1 스페이서막(110)은 소오스/드레인 확장 영역을 형성하기 위한 이온 주입 공정 시에 셀로우 정선을 구현할 수 있는 최적의 두께를 갖는다. 예를들어, 상기 제1 스페이서막(110)은 20 내지 50Å의 얇은 두께를 갖는다.
- [0073] 상기 제3 스페이서(120)는 상기 게이트 구조물(108) 측벽의 제1 스페이서막 상에 구비된다. 상기 제3 스페이서(120)는 소오스/드레인 영역(118)을 형성하기 위한 이온주입 마스크로 사용된다. 상기 제3 스페이서(120)는 절연 물질로 이루어진다. 상기 제3 스페이서(120)는 상기 제1 스페이서막(110)과 동일한 물질을 포함할 수 있다. 다른 예로, 상기 제3 스페이서(120)는 상기 제1 스페이서막(110)과 다른 물질을 포함할 수 있다.
- [0074] 상기 소오스/드레인 확장 영역(114)은 상기 게이트 구조물(108) 양 측 가장자리 부위와 일부 오버랩된다.
- [0075] 상기 소오스/드레인 영역(118)은 상기 게이트 구조물(108) 양 측 가장자리 부위와 오버랩되지 않으면서 상기 소오스/드레인 확장 영역(114)과 연결된다.
- [0076] 도 3b는 도 3a의 변형된 예에 따른 MOS 트랜지스터를 나타내는 단면도이다.
- [0077] 도 3b에 도시된 것과 같이, 상기 트랜지스터에 포함된 게이트 구조물(108a)은 게이트 산화막 패턴(104), 게이트 전극(106) 및 하드 마스크 패턴(107)이 적층된 형상을 갖는다. 상기 하드 마스크 패턴(107)은 실리콘 질화물 일 수 있다. 상기 트랜지스터는 제1 스페이서막(110), 및 제3 스페이서(120), 소오스/드레인 확장 영역(114) 및 소오스/드레인 영역(118)은 도 3a에 도시된 것과 동일하다.
- [0078] 도 4a 내지 도 4c는 도 3a에 도시된 트랜지스터의 제조 방법을 나타내는 단면도들이다.

- [0079] 도 4a를 참조하면, 먼저, 도 2a 내지 도 2e를 참조로 설명한 공정들을 수행하여 도 2e에 도시된 구조를 형성한다. 즉, 도 2e에 도시된 것과 같이, 게이트 구조물(108)과 소오스/드레인 확장 영역(114)의 오버랩 면적을 감소된 구조를 형성할 수 있다. 또한, 셀로우 정선을 갖는 소오스/드레인 확장 영역(114)을 형성할 수 있다.
- [0080] 다음에, 상기 제2 스페이서(도시안됨)를 모두 제거한다. 본 실시예에서는, 상기 제2 스페이서를 소오스/드레인 확장 영역을 형성하기 위한 임시 스페이서(disposable spacer)로 제공된다.
- [0081] 도 4b를 참조하면, 노출된 제1 스페이서막(110) 상에 컨포멀하게 제3 스페이서막(도시안됨)을 형성한다. 상기 제3 스페이서막은 절연 물질을 증착시켜 형성한다. 예를들어, 상기 제3 스페이서막은 실리콘 질화물을 사용하여 형성할 수 있다. 다른 예로, 상기 제3 스페이서막은 실리콘 산화물을 사용하여 형성할 수 있다.
- [0082] 상기 제3 스페이서막은 상기 제2 스페이서보다 두껍게 형성한다.
- [0083] 상기 제3 스페이서막을 이방성 식각하여 상기 게이트 구조물(108)의 측벽에 제3 스페이서(120)를 형성한다. 따라서, 상기 게이트 구조물(108)의 측벽에는 제1 스페이서막 및 제3 스페이서(120)가 적층된 형상을 갖는다.
- [0084] 도 4c를 참조하면, 상기 제3 스페이서(120)를 이온주입 마스크로 사용하여 불순물을 주입한다. 상기 공정을 수행하면, MOS 트랜지스터의 소오스/드레인 영역(118) 형성된다. 상기 소오스/드레인 영역(118)은 상기 소오스/드레인 확장 영역(114)과 일부분이 겹치도록 형성된다.
- [0085] 실시예 3
- [0086] 도 5a는 본 발명의 실시예 3에 따른 MOS 트랜지스터를 나타내는 단면도이다.
- [0087] 도 5a를 참조하면, MOS 트랜지스터는 반도체 기판(100) 상에 게이트 구조물(108), 제1 스페이서막(130a) 및 제2 스페이서(132)를 포함한다. 또한, 상기 게이트 구조물(108) 양 측의 반도체 기판(100) 아래로 소오스/드레인 확장 영역(114) 및 소오스/드레인 영역(118)을 포함한다.
- [0088] 상기 게이트 구조물(108)은 게이트 산화막 패턴(104) 및 게이트 전극(106)이 적층된 형상을 갖는다. 상기 게이트 구조물(108)은 10 내지 30nm의 선폴을 갖는다.
- [0089] 상기 제1 스페이서막(130a)은 상기 게이트 구조물(108) 및 반도체 기판(100) 상에 컨포멀하게 구비된다. 상기 제1 스페이서막(130a)은 형성된 위치에 따라 다른 두께를 갖는다. 즉, 상기 게이트 구조물(108)의 측벽 부위에 형성된 제1 스페이서막(130a)은 제1 두께(d1)를 갖고, 상기 게이트 구조물(108)의 상부면 및 반도체 기판(100) 상부면에 형성된 제1 스페이서막(130a)은 상기 제1 두께(d1)보다 얇은 제2 두께(d2)를 갖는다.
- [0090] 상기 제1 두께(d1)는 소오스/드레인 확장 영역을 형성하기 위한 이온주입 마스크를 구현할 수 있는 최적의 두께를 갖는다. 예를들어, 상기 제1 두께(d1)는 40 내지 100Å일 수 있다. 상기 제2 두께(d2)는 소오스/드레인 확장 영역을 형성하기 위한 이온 주입 공정 시에 셀로우 정선을 구현할 수 있는 최적의 두께를 갖는다. 예를들어, 상기 제2 두께(d2)는 20 내지 50Å일 수 있다.
- [0091] 상기 제2 스페이서(132)는 상기 게이트 구조물(108) 측벽의 제1 스페이서막(130a) 상에 구비된다. 상기 제2 스페이서(132)는 소오스/드레인 영역(118)을 형성하기 위한 이온주입 마스크로 사용된다. 상기 제2 스페이서(132)는 절연 물질로 이루어진다. 상기 제2 스페이서(132)는 상기 제1 스페이서막(130a)과 동일한 물질을 포함할 수 있다. 다른 예로, 상기 제2 스페이서(132)는 상기 제1 스페이서막(130a)과 다른 물질을 포함할 수 있다.
- [0092] 상기 소오스/드레인 확장 영역(114)은 상기 게이트 구조물(108) 양 측 가장자리 부위와 일부 오버랩된다.
- [0093] 상기 소오스/드레인 영역(118)은 상기 게이트 구조물(108) 양 측 가장자리 부위와 오버랩되지 않으면서 상기 소오스/드레인 확장 영역(114)과 연결된다.
- [0094] 도 5b는 도 5a의 변형된 예에 따른 MOS 트랜지스터를 나타내는 단면도이다.
- [0095] 도 5b에 도시된 것과 같이, 상기 트랜지스터에 포함된 게이트 구조물(108a)은 게이트 산화막 패턴(104), 게이트 전극(106) 및 하드 마스크 패턴(107)이 적층된 형상을 갖는다. 상기 하드 마스크 패턴(107)은 실리콘 질화물 일 수 있다. 상기 트랜지스터는 제1 스페이서막(130a) 및 제2 스페이서(132)와, 소오스/드레인 확장 영역(114) 및 소오스/드레인 영역(118)은 도 5a에 도시된 것과 동일하다.

- [0096] 도 6a 내지 도 6d는 도 5a에 도시된 트랜지스터의 제조 방법을 나타내는 단면도들이다.
- [0097] 먼저, 도 2a를 참조로 설명한 공정들을 수행하여 게이트 구조물을 형성한다.
- [0098] 도 6a를 참조하면, 상기 게이트 구조물(108) 및 반도체 기판(100) 표면을 따라 컨포멀하게 예비 제1 스페이서막(130)을 형성한다. 상기 예비 제1 스페이서막(130)은 절연 물질을 포함한다. 예를들어, 상기 예비 제1 스페이서막(130)은 실리콘 질화물로 형성할 수 있으며, 상기 실리콘 질화물은 화학기상증착법을 통해 형성할 수 있다.
- [0099] 상기 예비 제1 스페이서막(130)은 상기 반도체 기판(100)에 소오스/드레인 확장 영역을 형성하기 위한 이온주입 마스크로 사용되기 위한 막이다. 그러므로, 상기 예비 제1 스페이서막(130)은 후속 공정에서 소오스/드레인 확장 영역의 불순물들이 상기 게이트 구조물(108) 방향으로 확산되는 거리와 동일하거나 상기 확산되는 거리보다 더 두껍게 형성할 수 있다.
- [0100] 즉, 상기 예비 제1 스페이서막(130)을 100Å보다 두껍게 형성하는 경우, 불순물 이온이 주입되는 부위와 상기 게이트 구조물(108)의 측벽 가장자리 부위가 멀어지게 된다. 따라서, 상기 불순물 이온이 상기 게이트 구조물(108) 부위로 확산되더라도 상기 소오스/드레인 확장 영역과 게이트 전극이 오버랩되는 부위가 감소되거나 오버랩이 되지 않을 수 있다. 반대로, 상기 예비 제1 스페이서막(130)을 40Å 보다 얇게 형성하는 경우, 불순물 이온이 주입되는 부위와 상기 게이트 구조물(108)의 가장자리 부위가 지나치게 가까워지게 된다. 따라서, 상기 소오스/드레인 확장 영역과 게이트 전극이 오버랩되는 부위가 증가하게 된다. 따라서, 상기 예비 제1 스페이서막(130)은 40 내지 100Å의 두께 범위로 형성한다.
- [0101] 도 6b를 참조하면, 상기 반도체 기판(100) 상에 일부 두께의 예비 제1 스페이서막(130)이 남아있도록 하면서 상기 예비 제1 스페이서막(130)을 이방성 식각하여, 상기 게이트 구조물(108) 측벽에 비해 상기 반도체 기판(100) 상에서 얇은 두께를 갖는 제1 스페이서막(130a)을 형성한다. 즉, 상기 게이트 구조물(108)의 측벽 부위에 형성된 제1 스페이서막(130a)은 제1 두께(d1)를 갖고, 상기 게이트 구조물(108)의 상부면 및 반도체 기판(100) 상부면에 형성된 제1 스페이서막(130a)은 상기 제1 두께(d1)보다 얇은 제2 두께(d2)를 갖는다.
- [0102] 상기 식각 공정에서 상기 게이트 구조물(108) 측벽 상의 예비 제1 스페이서막(130)은 거의 식각되지 않으므로, 최초 증착된 예비 제1 스페이서막(130)과 거의 동일한 두께가 남아있게 된다. 예를들어, 상기 게이트 구조물(108)의 측벽 상에 형성되는 제1 스페이서막(130a)은 40 내지 100Å일 수 있다. 반면에, 상기 게이트 구조물(108) 상부면 및 반도체 기판(100) 상부면의 예비 제1 스페이서막(130)은 상대적으로 빠르게 식각된다. 상기 반도체 기판(100) 상부면의 제1 스페이서막(130a)은 소오스/드레인 확장 영역을 형성하기 위한 이온 주입 공정 시에 셀로우 정션을 구현할 수 있는 최적의 두께가 되도록 한다. 예를들어, 상기 게이트 구조물(108)의 측벽 상에 형성되는 제1 스페이서막(130a)은 20 내지 50Å일 수 있다.
- [0103] 도 6c를 참조하면, 상기 게이트 구조물(108)의 측벽 부위와 상기 반도체 기판(100) 부위에서 서로 다른 두께를 갖는 제1 스페이서막(130a)을 이온주입 마스크로 사용하여, 상기 반도체 기판(100)에 저농도의 불순물을 이온 주입한다. 상기 불순물 주입 공정을 통해 소오스/드레인 확장 영역(114)을 형성한다.
- [0104] 상기 게이트 구조물(108)의 측벽 부위에 형성된 제1 스페이서막(130a)에 의해, 소오스/드레인 확장 영역(114)의 오버랩 면적이 감소될 수 있다. 상기 MOS 트랜지스터의 유효 게이트 길이(Effective Gate Length)를 증가시킬 수 있다. 또한, 상기 MOS 트랜지스터에서 발생하는 게이트 유도 드레인 누설(GIDL) 및 오버랩 커패시터를 감소시킬 수 있다.
- [0105] 또한, 상기 불순물이 주입되는 부위의 반도체 기판 상에 형성되는 제1 스페이서막(130a)은 이온주입 블록킹막으로써 최적의 두께인 20 내지 50Å의 두께를 갖는다. 때문에, 셀로우 정션을 갖는 소오스/드레인 확장 영역(114)을 형성할 수 있다.
- [0106] 도 6d를 참조하면, 상기 제1 스페이서막(130a) 상에 컨포멀하게 제2 스페이서막(도시안됨)을 형성한다. 상기 제2 스페이서막은 절연 물질을 증착시켜 형성한다. 일 예로, 상기 제2 스페이서막은 상기 제1 스페이서막과 동일한 물질로 형성할 수 있다. 다른 예로, 상기 제2 스페이서막은 상기 제1 스페이서막과 다른 물질로 형성할 수 있다. 상기 제2 스페이서막은 실리콘 질화물 또는 실리콘 산화물을 사용하여 형성할 수 있다.
- [0107] 상기 제2 스페이서막을 이방성 식각하여 상기 게이트 구조물(108)의 측벽에 제2 스페이서(132)를 형성한다. 따라서, 상기 게이트 구조물(108)의 측벽에는 제1 스페이서막(130a) 및 제2 스페이서(132)가 적층된 형상을 갖는다.
- [0108] 이후, 상기 제2 스페이서(132)를 이온주입 마스크로 사용하여 불순물을 주입한다. 상기 공정을 수행하면, 상기

소오스/드레인 확장 영역(114)보다 높은 불순물 농도를 갖는 소오스/드레인 영역(118)이 형성된다. 상기 소오스/드레인 영역(118)은 상기 소오스/드레인 확장 영역(114)과 일부분이 겹치도록 형성된다.

[0109] 상기한 공정에 의하면, 셀로우 정선을 갖는 소오스/드레인 확장 영역(114)을 형성할 수 있다. 또한, 상기 소오스/드레인 확장 영역(114) 및 게이트 구조물(108)이 오버랩되는 부위의 면적이 감소된다. 따라서, 게이트 전극의 유효 길이가 증가되어 쇼트 채널 효과가 개선된다. 또한, 게이트 기인 누설 전류 및 오버랩 커패시턴스 등이 감소된다.

[0110] 실시예 4

[0111] 도 7은 본 발명의 실시예 4에 따른 CMOS 트랜지스터를 나타내는 단면도이다.

[0112] 도 7을 참조하면, 본 실시예는 반도체 기판 상에 실시예 1에 도시된 트랜지스터와 동일한 구조의 NMOS 트랜지스터 및 PMOS 트랜지스터가 각각 구비된다. 다만, 도시된 것과 같이, NMOS 트랜지스터 및 PMOS 트랜지스터의 게이트 구조물에는 각각 하드 마스크 패턴이 포함된다.

[0113] 도 8a 내지 도 8e는 도 7에 도시된 CMOS 트랜지스터의 제조 방법을 나타내는 단면도들이다.

[0114] 도 8a를 참조하면, 반도체 기판(200)에 소자 분리 공정을 수행하여 소자 분리막 패턴(202)을 형성한다. 상기 반도체 기판(200)은 NMOS 트랜지스터가 형성될 영역인 제1 영역과 PMOS 트랜지스터가 형성될 제2 영역으로 구분된다.

[0115] 상기 반도체 기판(200) 상에 게이트 산화막, 게이트 도전막 및 하드 마스크막을 형성한다. 이들을 패터닝함으로써 NMOS 트랜지스터의 게이트로 제공되는 제1 게이트 구조물(204) 및 PMOS 트랜지스터의 게이트로 제공되는 제2 게이트 구조물(206)을 각각 형성한다. 상기 제1 및 제2 게이트 구조물(204, 206)은 10 내지 30nm의 선폭을 가질 수 있다.

[0116] 상기 제1 및 제2 게이트 구조물(204, 206) 및 반도체 기판(200) 표면을 따라 컨포멀하게 제1 스페이서막(210)을 형성한다. 상기 제1 스페이서막(210)은 절연 물질을 포함한다. 상기 제1 스페이서막(210)은 화학기상증착법을 통해 형성할 수 있다. 일 예로, 상기 제1 스페이서막(210)은 실리콘 질화물로 형성할 수 있다. 이와는 다른 예로, 상기 제1 스페이서막(210)은 실리콘 산화물로 형성할 수 있다.

[0117] 상기 제1 스페이서막(210)은 후속의 소오스/드레인 확장 영역을 형성하기 위한 이온 주입 공정 시에 목표한 셀로우 정선을 형성하면서 식각 저지막으로의 기능을 할 수 있는 두께 범위인 20 내지 50Å의 두께를 갖도록 형성한다.

[0118] 상기 제1 스페이서막(210) 상에 컨포멀하게 제2 스페이서막(도시안됨)을 형성한다. 상기 제2 스페이서막은 상기 제1 스페이서막(210)과 식각 선택비를 갖는 절연 물질을 포함한다. 상기 제2 스페이서막은 후속 공정을 통해 소오스/드레인 확장 영역이 형성되는 부위를 결정하는 이온주입 마스크로 제공된다. 상기 제2 스페이서막은 20 내지 50Å의 두께 범위로 형성한다.

[0119] 상기 제1 및 제2 게이트 구조물(204, 206)의 측벽 부위에만 상기 제2 스페이서막이 남도록, 상기 제2 스페이서막을 이방성으로 식각한다. 상기 식각 공정에 의해, 상기 제1 및 제2 게이트 구조물(204, 206)의 측벽에 제2 스페이서(212)가 형성된다. 또한, 상기 제1 및 제2 게이트 구조물(204, 206) 상부면 및 반도체 기판(200) 표면에 형성된 제2 스페이서막이 제거되어 제1 스페이서막(210)이 노출된다.

[0120] 상기 이방성 식각 공정을 수행하더라도, 상기 제1 및 제2 게이트 구조물(204, 206)의 측벽에 제2 스페이서막은 거의 식각되지 않는다. 그러므로, 상기 제2 스페이서(212)는 20 내지 50Å의 두께 범위로 형성될 수 있다.

[0121] 도 8b를 참조하면, 상기 제2 게이트 구조물(206)이 형성된 제2 영역의 반도체 기판(200)을 덮는 제1 이온 주입 마스크 패턴(214)을 형성한다. 상기 제1 이온 주입 마스크 패턴(214)을 이용하여, 상기 제2 스페이서(212)가 형성되어 있는 상기 제1 게이트 구조물(204)의 양 측의 반도체 기판으로 저농도의 N형 불순물을 이온 주입한다. 상기 불순물 주입 공정을 통해 N형 소오스/드레인 확장 영역(216)을 형성한다.

[0122] 이 후, 상기 제1 이온 주입 마스크 패턴(214)을 제거한다.

[0123] 도 8c를 참조하면, 상기 제1 게이트 구조물(204)이 형성된 제1 영역 기판을 덮는 제2 이온 주입 마스크 패턴

(218)을 형성한다.

- [0124] 상기 제2 이온 주입 마스크 패턴(218)을 이용하여, 상기 제2 스페이서(212)가 형성되어 있는 상기 제2 게이트 구조물(206)의 양 측의 반도체 기판(200)으로 저농도의 P형 불순물을 이온 주입한다. 상기 불순물 주입 공정을 통해 P형 소오스/드레인 확장 영역(220)을 형성한다.
- [0125] 상기 N형 소오스/드레인 확장 영역(216)을 형성하는 공정과, P형 소오스/드레인 확장 영역(220)을 형성하는 공정의 순서는 서로 바뀔 수 있다.
- [0126] 도 8d를 참조하면, 상기 제1 스페이서막(210) 및 제2 스페이서(212) 상에 컨포멀하게 제3 스페이서막(도시안됨)을 형성한다. 상기 제3 스페이서막은 절연 물질을 증착시켜 형성한다.
- [0127] 상기 제3 스페이서막을 이방성 식각하여 상기 제1 및 제2 게이트 구조물(204, 206)의 측벽에 제3 스페이서(222)를 형성한다. 따라서, 제1 및 제2 게이트 구조물(204, 206)의 측벽에는 제1 스페이서막(210), 제2 스페이서(212) 및 제3 스페이서(222)가 적층된 형상을 갖는다.
- [0128] 상기 제2 게이트 구조물(206)이 형성된 제2 영역의 반도체 기판(200)을 덮는 제3 이온 주입 마스크 패턴(224)을 형성한다.
- [0129] 상기 제3 이온 주입 마스크 패턴(224)을 이용하여, 상기 제3 스페이서(222)가 형성되어 있는 상기 제1 게이트 구조물(204)의 양 측의 반도체 기판으로 N형 불순물을 이온 주입한다. 상기 불순물 주입 공정을 통해 N형 소오스/드레인 영역(226)을 형성한다.
- [0130] 이 후, 상기 제3 이온 주입 마스크 패턴(224)을 제거한다.
- [0131] 도 8e를 참조하면, 상기 제2 게이트 구조물(206)이 형성된 제2 영역의 반도체 기판(200)을 덮는 제4 이온 주입 마스크 패턴(228)을 형성한다. 상기 제4 이온 주입 마스크 패턴(228)을 이용하여, 상기 제3 스페이서(222)가 형성되어 있는 상기 제2 게이트 구조물(206)의 양 측의 반도체 기판으로 P형 불순물을 이온 주입한다. 상기 불순물 주입 공정을 통해 P형 소오스/드레인 영역(230)을 형성한다.
- [0132] 상기 N형 소오스/드레인 영역(226)을 형성하는 공정과, P형 소오스/드레인 영역(230)을 형성하는 공정의 순서는 서로 바뀔 수 있다.
- [0133] 상기한 공정에 의하면, 고집적화되면서도 우수한 전기적 특성을 갖는 CMOS 트랜지스터가 형성된다.
- [0134] 도 9a 내지 도 9c는 도 7에 도시된 CMOS 트랜지스터의 다른 형성 방법을 나타내는 단면도들이다.
- [0135] 도 9a를 참조하면, 반도체 기판(200)에 소자 분리막 패턴(202)을 형성한다. 상기 반도체 기판(200)에 NMOS 트랜지스터의 게이트로 제공되는 제1 게이트 구조물(204) 및 PMOS 트랜지스터의 게이트로 제공되는 제2 게이트 구조물(206)을 각각 형성한다. 상기 제1 및 제2 게이트 구조물(204, 206)은 10 내지 30nm의 선폭을 가질 수 있다. 상기 제1 및 제2 게이트 구조물(204, 206) 및 반도체 기판(200) 표면을 따라 컨포멀하게 제1 스페이서막을 형성한다. 상기 설명한 공정들은 도 8a를 참조로 설명한 것과 동일하다.
- [0136] 이 후, 상기 제1 게이트 구조물(204)이 형성된 제1 영역의 반도체 기판(200)을 덮는 제1 이온 주입 마스크 패턴(250)을 형성한다.
- [0137] 상기 제1 이온 주입 마스크 패턴(250)을 이용하여, 상기 제1 스페이서막(210)이 형성되어 있는 상기 제2 게이트 구조물(206)의 양 측의 반도체 기판(200)으로 저농도의 P형 불순물을 이온 주입한다. 상기 불순물 주입 공정을 통해 P형 소오스/드레인 확장 영역(220)을 형성한다. 상기 P형 불순물이 N형 불순물에 비해 확산되는 길이가 짧은 경우에는, 본 실시예의 방법과 같이, 상기 P형 소오스/드레인 확장 영역(220)은 제1 스페이서막(210)만을 이온주입 마스크로 사용한다.
- [0138] 상기 제1 이온 주입 마스크 패턴(250)을 제거한다.
- [0139] 도 9b를 참조하면, 상기 제1 스페이서막(210) 상에 컨포멀하게 제2 스페이서막(도시안됨)을 형성한다. 상기 제2 스페이서막은 20 내지 50Å의 두께 범위로 형성한다.
- [0140] 이 후, 상기 제1 및 제2 게이트 구조물(204, 206)의 측벽 부위에만 상기 제2 스페이서막이 남도록, 상기 제2 스페이서막을 이방성으로 식각한다. 상기 식각 공정에 의해, 상기 제1 및 제2 게이트 구조물(204, 206)의 측벽에

제2 스페이서(212)가 형성된다. 또한, 상기 제1 및 제2 게이트 구조물(204, 206) 상부면 및 반도체 기판(200) 표면 상에 형성된 제2 스페이서막이 제거되어 제1 스페이서막(210)이 노출된다.

[0141] 도 9c를 참조하면, 상기 제2 게이트 구조물(206)이 형성된 제2 영역의 반도체 기판(200)을 덮는 제2 이온 주입 마스크 패턴(252)을 형성한다.

[0142] 상기 제2 이온 주입 마스크 패턴(252)을 이용하여, 상기 제2 스페이서(212)가 형성되어 있는 상기 제1 게이트 구조물(204)의 양 측의 반도체 기판(200)으로 저농도의 N형 불순물을 이온 주입한다. 상기 불순물 주입 공정을 통해 N형 소오스/드레인 확장 영역을 형성한다.

[0143] 이 후, 상기 제2 이온 주입 마스크 패턴(252)을 제거한다.

[0144] 계속하여, 도 8d 및 8e를 참조로 하여 설명한 공정들을 동일하게 수행하여, 도 7에 도시된 CMOS 트랜지스터를 형성한다.

[0145] 상기한 공정에 의하면, 고집적화되면서도 우수한 전기적 특성을 갖는 CMOS 트랜지스터가 형성된다.

[0146] 비교 실험

[0147] 1군 샘플

[0148] 도 2a 내지 도 2g를 참조로 설명한 공정을 수행하여 1군 샘플의 NMOS 트랜지스터들을 형성하였다.

[0149] 1군 샘플의 MOS 트랜지스터는 게이트 길이를 서로 다르게 하여 각각 형성하였다. 게이트 길이는 각각 20 내지 500nm가 되도록 형성하였다. 1군 샘플의 게이트 폭은 1400nm이다.

[0150] 1군 샘플의 MOS 트랜지스터는 제1 스페이서막을 20Å의 두께의 실리콘 질화막으로 형성하였다. 상기 제2 스페이서막은 20Å의 두께의 실리콘 산화막으로 형성하였다. 또한, 상기 제2 스페이서막을 이방성으로 식각하여 제2 스페이서를 형성하였다. 상기 제1 스페이서막 및 제2 스페이서를 이온주입 마스크로 소오스/드레인 확장 영역을 형성하였다.

[0151] 1군 비교 샘플

[0152] 상기 1군 샘플들과 비교하기 위한 비교 샘플들을 형성하였다.

[0153] 1군 비교 샘플의 NMOS 트랜지스터는 게이트 길이를 서로 다르게 하여 각각 형성하였다. 게이트 길이는 각각 20 내지 500nm가 되도록 형성하였다. 1군 비교 샘플의 게이트 폭은 1400nm이다.

[0154] 1군 비교 샘플들은 제2 스페이서가 형성되지 않고 제1 스페이서막만 형성한 다음에, 불순물을 이온주입 하였다. 1군 비교 샘플의 MOS 트랜지스터는 제1 스페이서막을 20Å의 두께의 실리콘 질화막으로 형성하였다. 즉, 상기 제1 스페이서막을 이온주입 마스크로 소오스/드레인 확장 영역을 형성하였다. 상기 제2 스페이서를 형성하지 않는 것을 제외하고 나머지 공정들은 1군 샘플들과 동일하게 진행되었다.

[0155] 쇼트 채널 효과 비교 실험

[0156] 도 10은 1군 샘플 및 1군 비교 샘플들의 게이트 길이별 문턱 전압을 나타내는 그래프이다.

[0157] 도 10에서, 도면부호 50a는 1군 샘플의 값이고, 도면부호 52a는 1군 비교 샘플의 값이다.

[0158] 도 10을 참조하면, 게이트 길이가 30nm이상인 경우, 1군 샘플 및 1군 비교 샘플의 트랜지스터의 문턱 전압 특성은 크게 차이가 나지 않았다.

[0159] 그러나, 게이트 길이가 30nm이하인 고집적화된 MOS 트랜지스터의 경우, 1군 샘플은 문턱 전압 강하가 거의 되지 않았으나, 1군 비교 샘플은 문턱 전압이 매우 크게 강하되었다.

[0160] 즉, 상기 게이트 길이가 30nm이하인 경우, 본 발명의 방법에 의해 형성된 고집적화된 MOS 트랜지스터는 쇼트 채널 효과가 매우 감소됨을 알 수 있었다.

- [0161] 샘플 1
- [0162] 도 2a 내지 도 2g를 참조로 설명한 공정을 수행하여 샘플 1의 NMOS 트랜지스터들을 형성하였다.
- [0163] 샘플 1의 NMOS 트랜지스터는 게이트 길이가 20nm이고, 게이트 폭은 1400nm이다.
- [0164] 샘플 1의 NMOS 트랜지스터는 제1 스페이서막을 20Å의 두께의 실리콘 질화막으로 형성하였다. 상기 제2 스페이서막은 20Å의 두께의 실리콘 산화막으로 형성하였다. 또한, 상기 제2 스페이서막을 이방성으로 식각하여 제2 스페이서를 형성하였다. 상기 제1 스페이서막 및 제2 스페이서를 이온주입 마스크로 소오스/드레인 확장 영역을 형성하였다.
- [0165] 샘플 2
- [0166] 도 2a 내지 도 2g를 참조로 설명한 공정을 수행하여 샘플 2의 NMOS 트랜지스터들을 형성하였다.
- [0167] 샘플 2의 NMOS 트랜지스터는 게이트 길이가 20nm이고, 게이트 폭은 1000nm이다. 샘플 2의 NMOS 트랜지스터는 게이트 폭을 제외하고는 샘플 1의 NMOS 트랜지스터와 동일하다.
- [0168] 비교 샘플 1
- [0169] 상기 샘플 1과 비교하기 위한 비교 샘플1을 형성하였다.
- [0170] 비교 샘플1의 NMOS 트랜지스터는 게이트 길이가 20nm이고, 게이트 폭은 1400nm이다.
- [0171] 비교 샘플1은 제2 스페이서가 형성되지 않고 제1 스페이서막만 형성한 다음에, 불순물을 이온주입 하였다. 1군 비교 샘플의 NMOS 트랜지스터는 제1 스페이서막을 20Å의 두께의 실리콘 질화막으로 형성하였다. 즉, 상기 제1 스페이서막을 이온주입 마스크로 소오스/드레인 확장 영역을 형성하였다. 상기 제2 스페이서를 형성하지 않는 것을 제외하고 나머지 공정들은 샘플1과 동일하게 진행되었다.
- [0172] 비교 샘플 2
- [0173] 상기 샘플 2와 비교하기 위한 비교 샘플2를 형성하였다.
- [0174] 비교 샘플2의 NMOS 트랜지스터는 게이트 길이가 20nm이고, 게이트 폭은 1000nm이다. 비교 샘플 2의 NMOS 트랜지스터는 게이트 폭을 제외하고는 비교 샘플 1의 NMOS 트랜지스터와 동일하다.
- [0175] 누설 전류 비교 실험
- [0176] 도 11은 샘플1 및 비교 샘플1에서의 각 게이트 전압별 바디 오프 전류를 나타내는 그래프이다.
- [0177] 도 11에서, 도면부호 50b는 샘플 1에서의 값이고, 도면부호 52b는 비교 샘플1에서의 값이다.
- [0178] 도 11을 참조하면, 샘플 1의 트랜지스터들에 드레인 전압은 0.9V로 인가하였다. 이 때, 각 샘플 1의 게이트 전극에 포화 한계 전압(V_{tsat})이 인가되었을 때 기판의 바디에서의 오프 전류를 각각 측정하였다.
- [0179] 동일한 방법으로, 비교 샘플 1의 트랜지스터들에 드레인 전압은 0.9V로 인가하였다. 이 때, 각 비교 샘플 1의 게이트 전극에 포화 한계 전압(V_{tsat})이 인가되었을 때 바디에서의 오프 전류를 각각 측정하였다.
- [0180] 이 때, 샘플 1의 트랜지스터의 바디 오프 전류가 상대적으로 낮음을 알 수 있었다. 따라서, GIDL 이 감소됨을 알 수 있었다.
- [0181] 오버랩 커패시턴스 비교 실험
- [0182] 도 12는 샘플2 및 비교 샘플2에서의 오버랩 커패시턴스를 나타내는 그래프이다.

[0183] 도 12에서, 도면부호 50c는 샘플 2에서의 값이고, 도면부호 52c는 비교 샘플1에서의 값이다.

[0184] 도 12를 참조하면, 샘플 2의 트랜지스터에서 오버랩 커패시턴스가 낮음을 알 수 있었다.

[0185] 전기적 특성 비교 실험

[0186] 도 13은 샘플2 및 비교 샘플2에서의 오프 전류 및 온 전류(포화 드레인 전류, I_{dsat})를 나타내는 그래프이다.

[0187] 도 13에서, 도면부호 50d는 샘플 2에서의 값이고, 도면부호 52d는 비교 샘플1에서의 값이다.

[0188] 실험에서, 오프 전류 및 온 전류 측정 시의 드레인 전압은 각각 0.9V였다. 도 13을 참조하면, 샘플 2의 트랜지스터에서 동일한 온 전류에서의 오프 전류가 상대적으로 낮음을 알 수 있었다. 이와같이, 샘플 2의 트랜지스터의 DC 특성이 우수함을 알 수 있었다.

[0189] 상기 각 비교 실험들을 통해, 본 발명의 일 실시예에 따라 형성된 MOS 트랜지스터는 쇼트 채널 효과, 누설 전류 및 오버랩 커패시턴스가 감소됨을 알 수 있었다. 즉, 본 발명의 일 실시예에 따라 형성된 MOS 트랜지스터는 고집적화되면서도 전기적 특성이 우수함을 알 수 있었다.

산업상 이용가능성

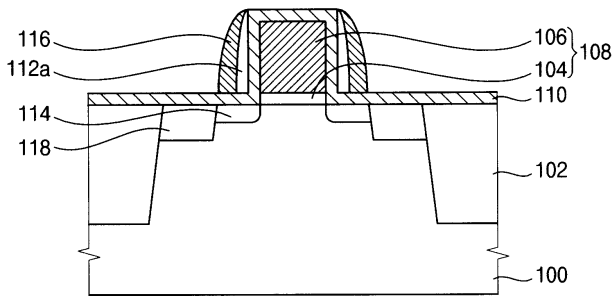
[0190] 상기 설명한 것과 같이, 본 발명에 의하면 우수한 특성을 갖는 MOS 트랜지스터를 제공할 수 있다. 상기 MOS 트랜지스터는 고집적화됨 반도체 소자들에 사용될 수 있다.

부호의 설명

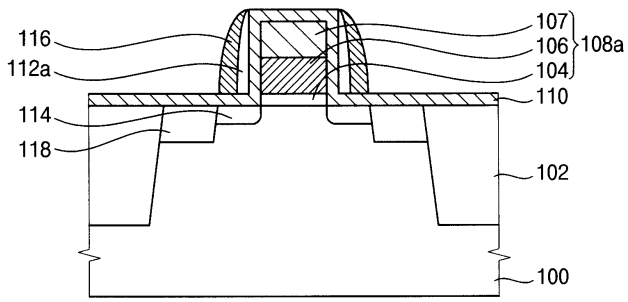
- | | |
|---------------------|---------------------|
| [0191] 100 : 반도체 기판 | 108 : 게이트 구조물 |
| 110 : 제1 스페이서막 | 112 : 제2 스페이서막 |
| 112a : 제2 스페이서 | 114 : 소오스/드레인 확장 영역 |
| 116 : 제3 스페이서 | 118 : 소오스/드레인 영역 |
| 120 : 제3 스페이서 | 130 : 예비 제1 스페이서막 |
| 130a : 제1 스페이서막 | 132 : 제2 스페이서 |

도면

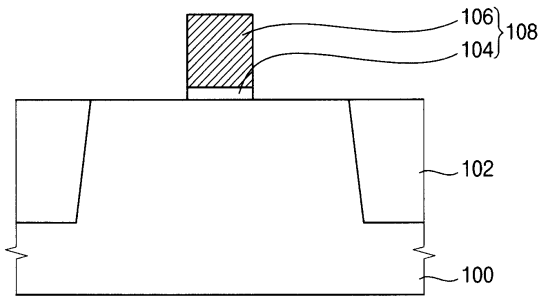
도면1a



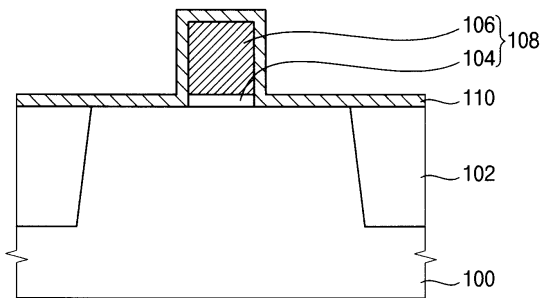
도면1b



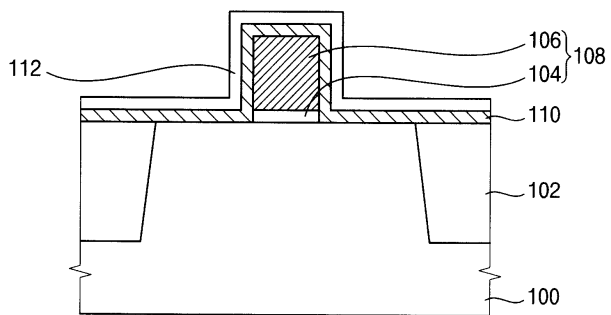
도면2a



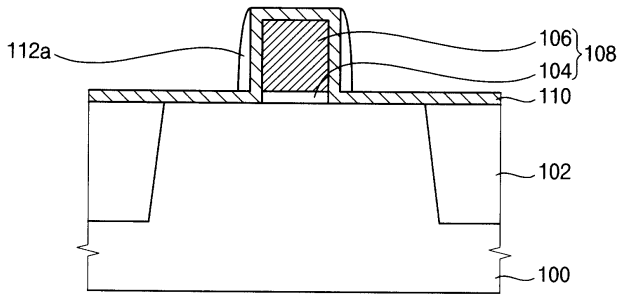
도면2b



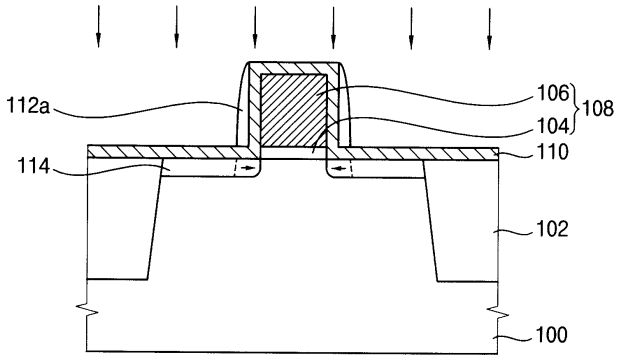
도면2c



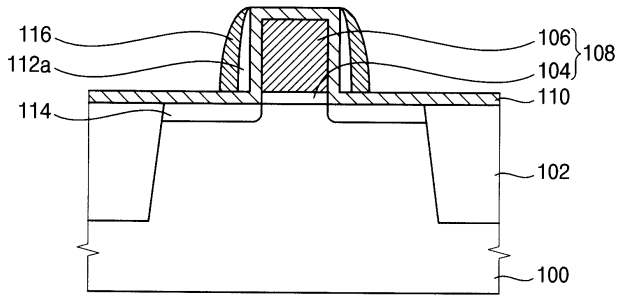
도면2d



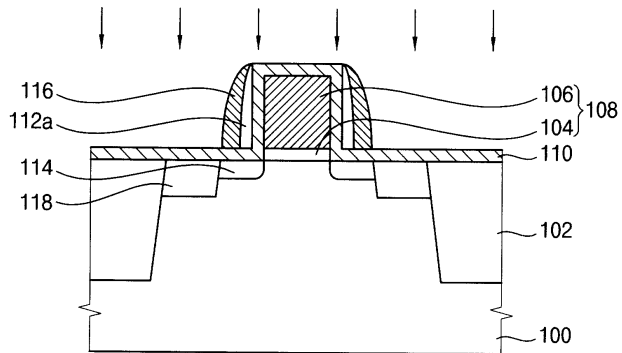
도면2e



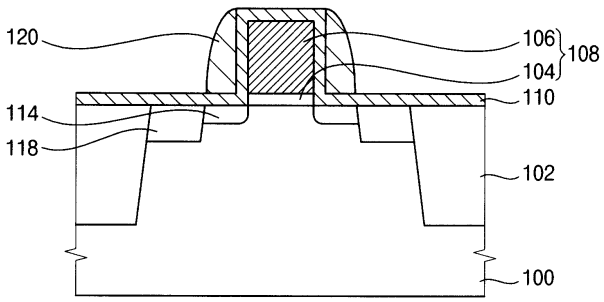
도면2f



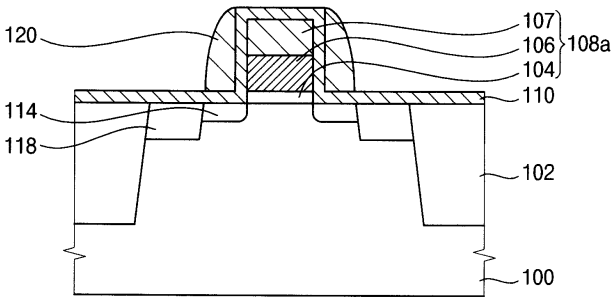
도면2g



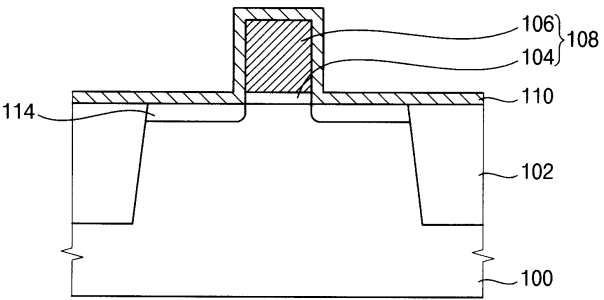
도면3a



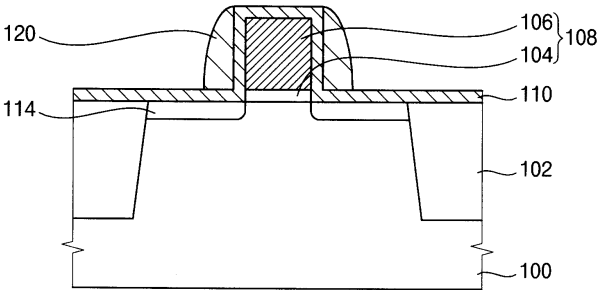
도면3b



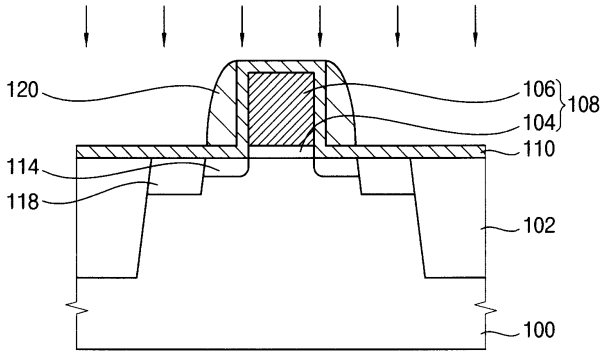
도면4a



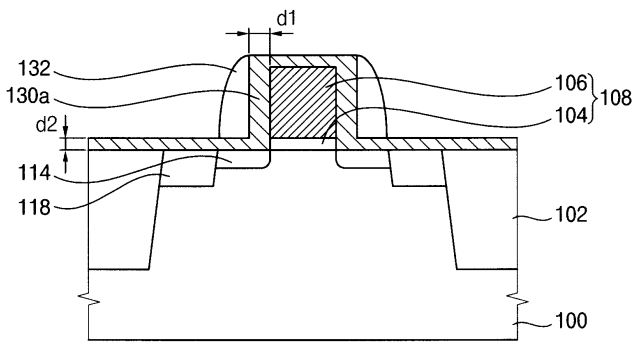
도면4b



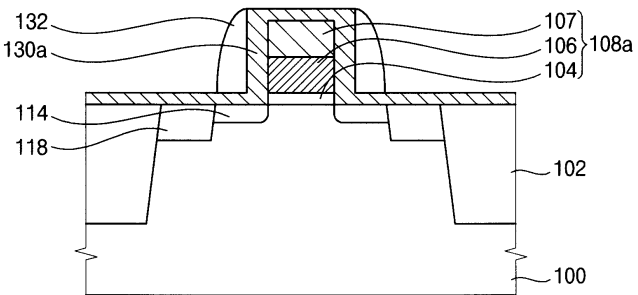
도면4c



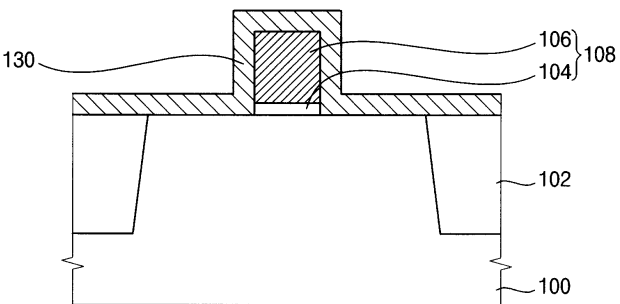
도면5a



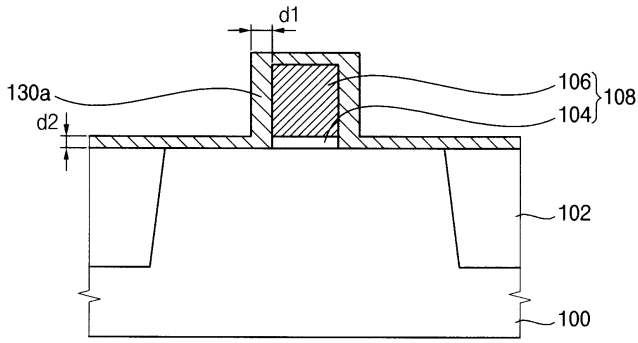
도면5b



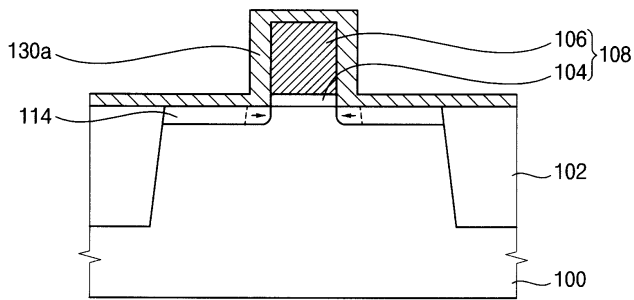
도면6a



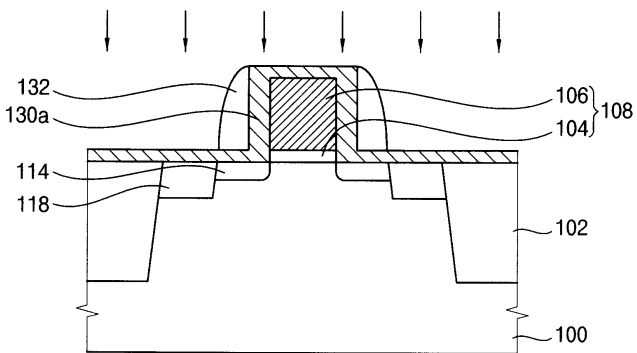
도면6b



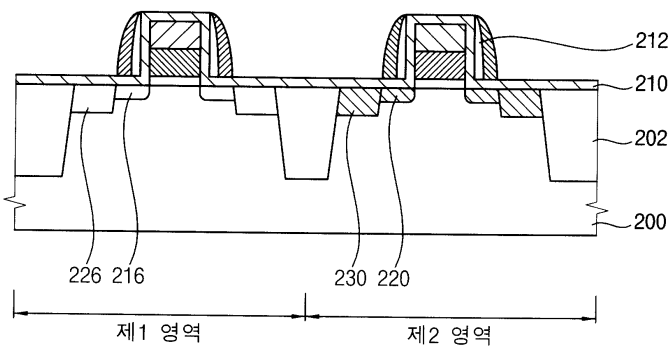
도면6c



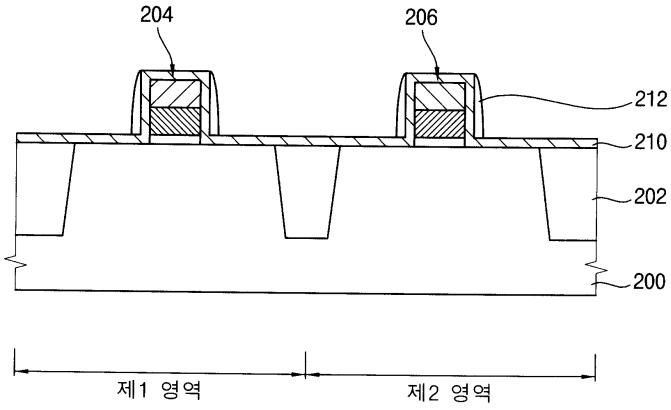
도면6d



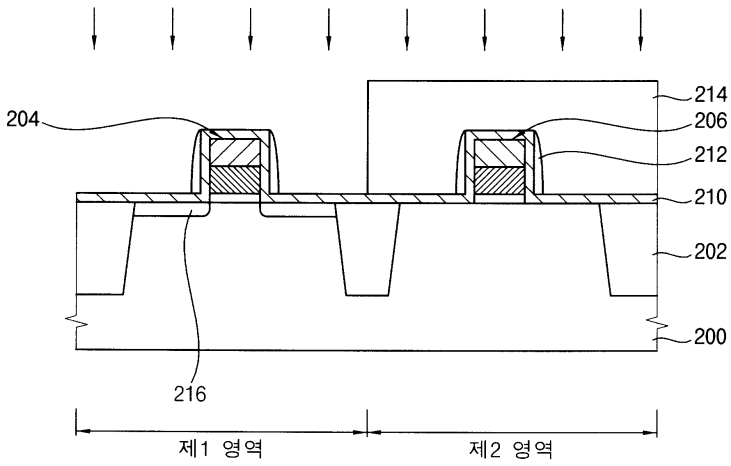
도면7



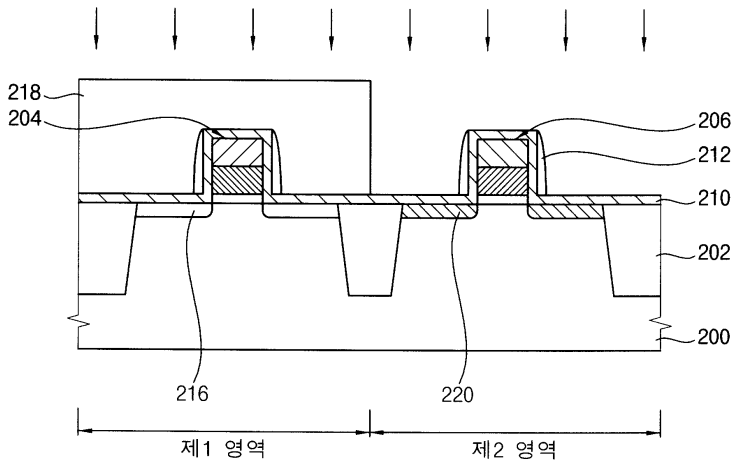
도면8a



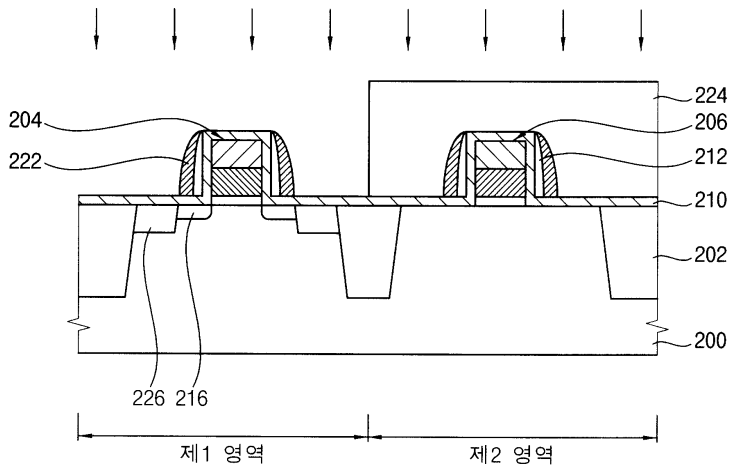
도면8b



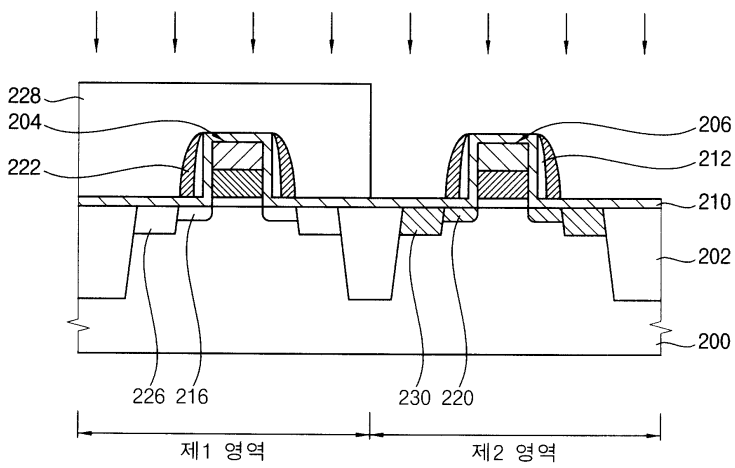
도면8c



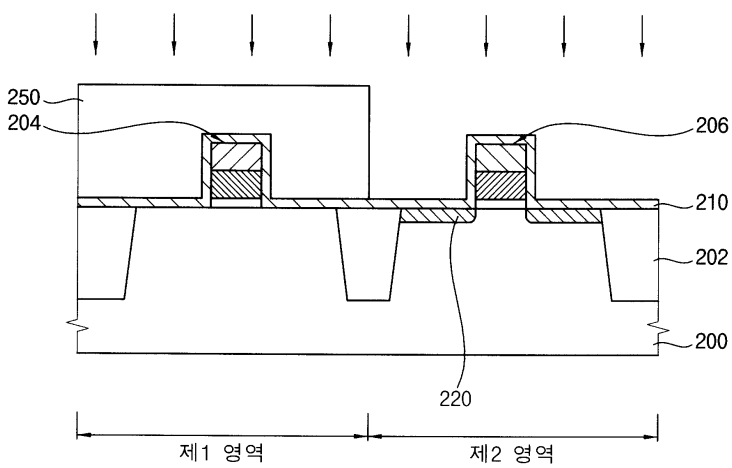
도면8d



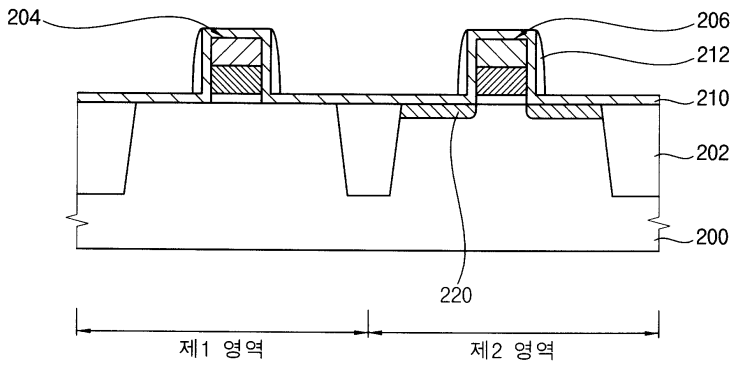
도면8e



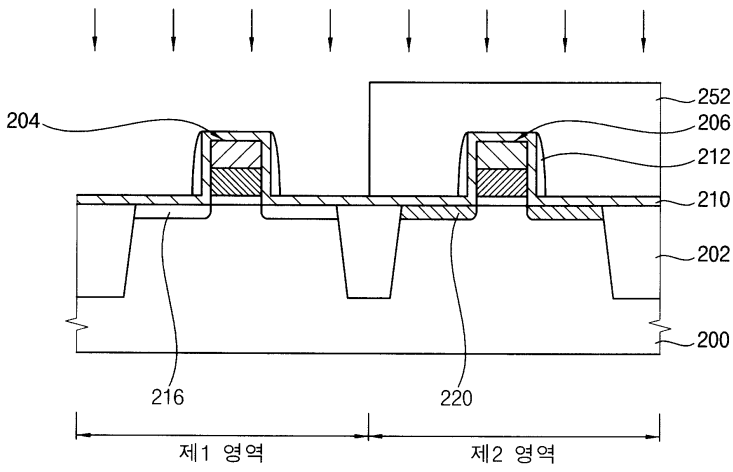
도면9a



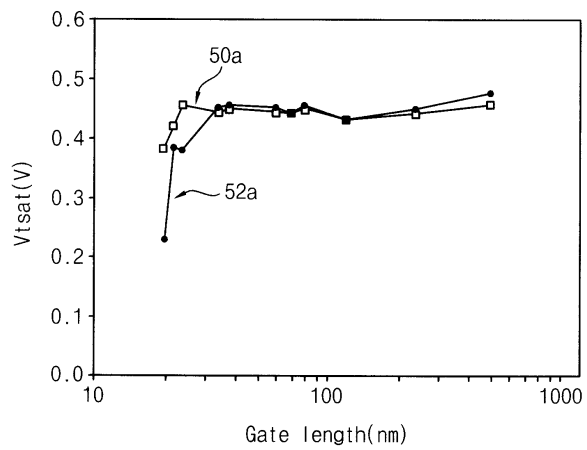
도면9b



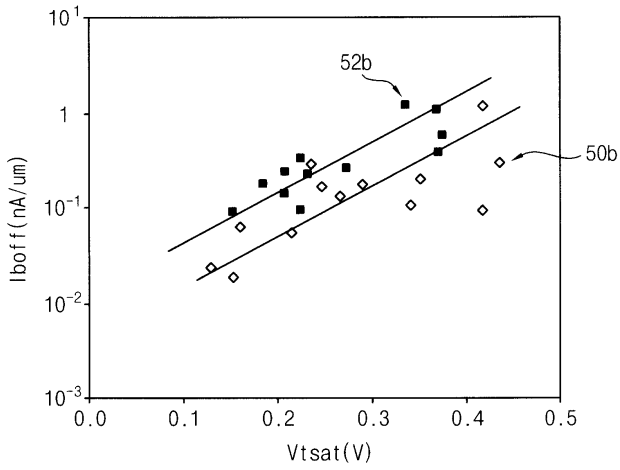
도면9c



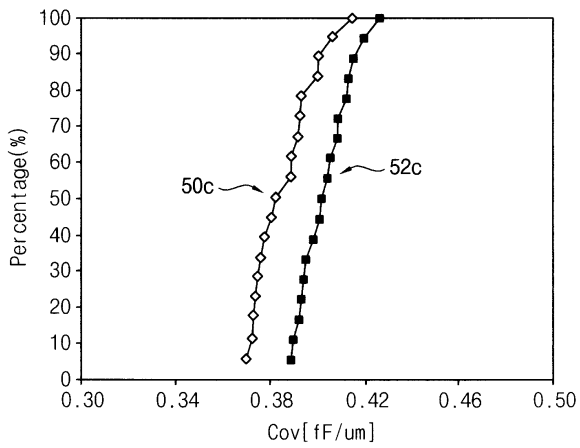
도면10



도면11



도면12



도면13

