

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成18年4月13日(2006.4.13)

【公開番号】特開2004-318941(P2004-318941A)

【公開日】平成16年11月11日(2004.11.11)

【年通号数】公開・登録公報2004-044

【出願番号】特願2003-108604(P2003-108604)

【国際特許分類】

G 1 1 C 16/06 (2006.01)

G 1 1 C 16/02 (2006.01)

【F I】

G 1 1 C 17/00 6 3 4 A

G 1 1 C 17/00 6 3 4 E

G 1 1 C 17/00 6 3 4 C

G 1 1 C 17/00 6 1 1 A

G 1 1 C 17/00 6 1 2 B

G 1 1 C 17/00 6 0 1 D

【手続補正書】

【提出日】平成18年2月28日(2006.2.28)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 半導体基板に電気的な消去及び書き込みが可能な不揮発性メモリを有し

、

前記不揮発性メモリは、複数のメモリアレイの夫々に固有の第1ビット線、複数のメモリアレイに共通の第2ビット線、第1ビット線をメモリアレイ毎に選択して第2ビット線に接続可能な第1選択回路及び前記第1選択回路の出力と第2ビット線の間に配置したセンスアンプによる階層化ビット線構造を有することを特徴とする半導体集積回路。

【請求項2】 前記センスアンプは隣合う一对のメモリアレイの間に配置された差動センスアンプであり、一对の差動入力相互に一方の入力が当該一方のメモリアレイで選ばれた第1ビット線からの読み出し信号とされ、相互に他方の入力がリファレンス入力とされることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記第2ビット線に入力端子が接続されるメインアンプを有することを特徴とする請求項1記載の半導体集積回路。

【請求項4】 前記メインアンプは隣合う一对の第2ビット線に差動入力が入力される差動アンプであり、一对の差動入力相互に一方の入力が当該一方の第2ビット線に出力された読み出し信号とされ、他方の入力がリファレンス入力とされることを特徴とする請求項3記載の半導体集積回路。

【請求項5】 前記複数のメモリアレイに共通とされる書き込み用の第3ビット線を有し、前記第3ビット線はメモリアレイに対する並列書き込みビット数に応ずる本数が設けられていることを特徴とする請求項1記載の半導体集積回路。

【請求項6】 メモリアレイ毎に相互に対応する第1ビット線を第3ビット線と接続及び分離可能にする分離回路を有し、読み出し動作において読み出し対象とされるメモリアレイの分離回路は第3ビット線を第1ビット線から分離することを特徴とする請求項5記載の半導体集積回路。

【請求項 7】 第 3 ビット線をデータの外部並列入出力ビット数単位で選択する第 2 選択回路と、前記第 2 選択回路で選択された第 3 ビット線からのペリファイリッドデータをセンスするペリファイ用アンプとを有することを特徴とする請求項 6 記載の半導体集積回路。

【請求項 8】 並列された複数のセンスアンプ毎にその並列方向に沿って第 1 電源配線が設けられ、第 1 電源配線と離間した位置に当該第 1 電源配線よりも幅広の第 2 電源配線が設けられ、夫々の第 1 電源配線と第 2 電源配線は第 1 ビット線方向に敷設された第 3 電源配線にて複数個所で接続されることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 9】 2 本の第 1 ビット線毎に 1 本設けられ前記複数のメモリアレイに共通化された複数の書き込み用の第 3 ビット線と、

各メモリアレイにおいて 1 本の第 3 ビット線に対応する 2 本の第 1 ビット線の何れか一方との接続又は双方との分離を選択可能な分離回路と、を有することを特徴とする請求項 8 記載の半導体集積回路。

【請求項 10】 前記第 3 電源配線は第 1 ビット線 2 本毎にその間に配置される事の特徴とする請求項 9 記載の半導体集積回路。

【請求項 11】 読み出し動作においてワード線、第 1 ビット線、分離回路及びセンスアンプの動作を選択する第 1 アドレスデコーダと、書き込み動作においてワード線及び分離回路の動作を選択する第 2 アドレスデコーダとを別々に有することを特徴とする請求項 6 記載の半導体集積回路。

【請求項 12】 前記第 1 アドレスデコーダ及び第 2 アドレスデコーダは、連続アドレスに対してセンスアンプを共有するメモリアレイが相違するようにアドレスマッピングを行うアドレスコード論理を有することを特徴とする請求項 11 記載の半導体集積回路。

【請求項 13】 読み出し動作において、第 1 アドレスデコーダはアドレス信号の変化に応答して対応するメモリアレイ毎にアドレスデコード信号と第 1 ビット線の選択信号を読み出し動作に必要なサイクル数ぶん保持し、アドレス信号の変化に応答して前記センスアンプを遅延動作させることを特徴とする請求項 12 記載の半導体集積回路。

【請求項 14】 読み出し動作において、第 1 アドレスデコーダはアドレス信号で指定されるアドレスと次のアドレスのワード線及び第 1 ビット線を並列選択すると共に、前記指定されるアドレスと次のアドレスに応ずる夫々のセンスアンプによる第 2 ビット線の駆動を順次駆動制御とすることを特徴とする請求項 12 記載の半導体集積回路。

【請求項 15】 前記半導体基板に前記不揮発性メモリをアクセス可能な中央処理装置を備える事の特徴とする請求項 12 記載の半導体集積回路。

【請求項 16】 前記複数のメモリアレイの一部のメモリアレイをデータ領域、残りのメモリアレイを管理領域とし、前記管理領域はデータ領域を書き換えるための書き換えシーケンス制御プログラムの記憶領域とされ、

前記中央処理装置は、前記管理領域から書き換えシーケンス制御プログラムを読み込んで実行し、データ領域の書き換え制御が可能であることを特徴とする請求項 15 記載の半導体集積回路。

【請求項 17】 半導体基板に電氣的な消去及び書き込みが可能な不揮発性メモリと、前記不揮発性メモリをアクセス可能な中央処理装置とを有し、

前記不揮発性メモリは、複数のメモリアレイの夫々に固有の第 1 ビット線、複数のメモリアレイの第 1 ビット線に共通の第 2 ビット線、及び前記第 1 ビット線と第 2 ビット線の間に配置されたセンスアンプによる階層化ビット線構造を有し、前記第 2 ビット線の本数はメモリアレイに対する並列書き込みビット数よりも少ないことを特徴とする半導体集積回路。

【請求項 18】 前記複数のメモリアレイに共通とされる書き込み用の第 3 ビット線を有することを特徴とする請求項 17 記載の半導体集積回路。

【請求項 19】 メモリアレイ毎に相互に対応する第 1 ビット線を第 3 ビット線と接続及び分離可能にする分離回路を有し、読み出し動作において読み出し対象とされるメモリアレイの分離回路は第 3 ビット線を第 1 ビット線から分離することを特徴とする請求項 1

8 記載の半導体集積回路。

【請求項 20】 半導体基板に電氣的な消去及び書き込みが可能な不揮発性メモリを有し、

前記不揮発性メモリは、複数のメモリアレイの夫々に固有の第 1 ビット線、複数のメモリアレイの第 1 ビット線に共通の第 2 ビット線、及び前記第 1 ビット線から読み出されたデータを選択的に増幅して第 2 ビット線に出力するセンスアンプによる階層化ビット線構造を有することを特徴とする半導体集積回路。

【請求項 21】 コントローラと一つ又は複数の不揮発性メモリとを有し、

前記不揮発性メモリは複数のメモリアレイに分割され、第 1 グループに属するメモリアレイと、前記第 1 グループに属するメモリアレイのそれぞれに対応するメモリアレイからなる第 2 グループのメモリアレイとを有し、

前記コントローラは所定の第 1 グループの第 1 メモリアレイに対する第 1 アクセス動作と、当該第 1 メモリアレイ及び第 1 メモリアレイに対応する第 2 グループの第 2 メモリアレイとを除く第 3 メモリアレイに対する第 2 アクセス動作とを並行して制御可能であることを特徴とする不揮発性メモリ装置。

【請求項 22】 前記第 1 グループに属するメモリアレイと第 2 グループの対応するメモリアレイとの間には、複数のセンスアンプを有し、

それぞれのメモリアレイは複数の第 1 ビット線を有し、第 1 グループのメモリアレイの第 1 ビット線と第 2 グループの対応するメモリアレイの第 1 ビット線とが前記センスアンプの入力端子に接続され、

前記センスアンプの出力が第 2 ビット線に接続され、

前記第 1 ビット線と第 2 ビット線は読み出し動作に用いられ、書込動作に用いられる第 3 ビット線を更に有することを特徴とする請求項 21 記載の不揮発性メモリ装置。

【請求項 23】 半導体基板に電氣的な消去及び書き込みが可能な不揮発性メモリを有し、

前記不揮発性メモリは、複数のメモリアレイの夫々に固有の第 1 ビット線、複数のメモリアレイの第 1 ビット線に共通の第 2 ビット線、複数のメモリアレイに共通の第 3 ビット線、及び前記第 1 ビット線から読み出されたデータを選択的に増幅して第 1 読み出し動作において第 2 ビット線に出力し、第 2 読み出し動作において第 3 ビット線に出力するセンスアンプによる階層化ビット線構造を有することを特徴とする半導体集積回路。

【請求項 24】 前記第 1 読み出し動作は読み出されたデータを半導体集積回路の外部へ出力するための読み出し動作であり、

前記第 2 読み出し動作はメモリアレイへのデータの書込において、読み出されたデータに基づいてデータの書込動作又は消去動作を継続するか否かを決定するためのベリファイ読み出し動作であることを特徴とする請求項 23 記載の半導体集積回路。

【請求項 25】 前記センスアンプは前記第 1 ビット線から読み出したデータを増幅し、前記第 2 ビット線に出力するか前記第 3 ビット線に出力するかを選択するための選択回路を有し、

前記選択回路は所定の選択信号に基づいて出力先を選択することを特徴とする請求項 23 記載の半導体集積回路。

【請求項 26】 センスアンプによる階層化ビット線構造を有する不揮発性メモリを備えた半導体集積回路装置。