(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0058818
(43) 공개일자 2022년05월10일

(51) 국제특허분류(Int. Cl.)
*G11C 16/26* (2006.01) *G11C 11/56* (2021.01)
*G11C 16/04* (2006.01) *G11C 16/08* (2006.01)
(52) CPC특허분류
*G11C 16/26* (2013.01)
*G11C 11/5642* (2013.01)
(21) 출원번호 10-2021-0078355
(22) 출원일자 2021년06월16일
심사청구일자 없음
(30) 우선권주장
1020200143803 2020년10월30일 대한민국(KR)

(71) 출원인
**삼성전자주식회사**
경기도 수원시 영통구 삼성로 129 (매탄동)
**고려대학교 산학협력단**
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
**노해동**
경기도 화성시 효행로 1337-23 e편한세상반월나노시티역
**전유진**
경기도 용인시 수지구 문인로 59, 104동 306호 (풍덕천동, 동아.삼익.풍림아아파트)
*(뒷면에 계속)*
(74) 대리인
**특허법인 고려**

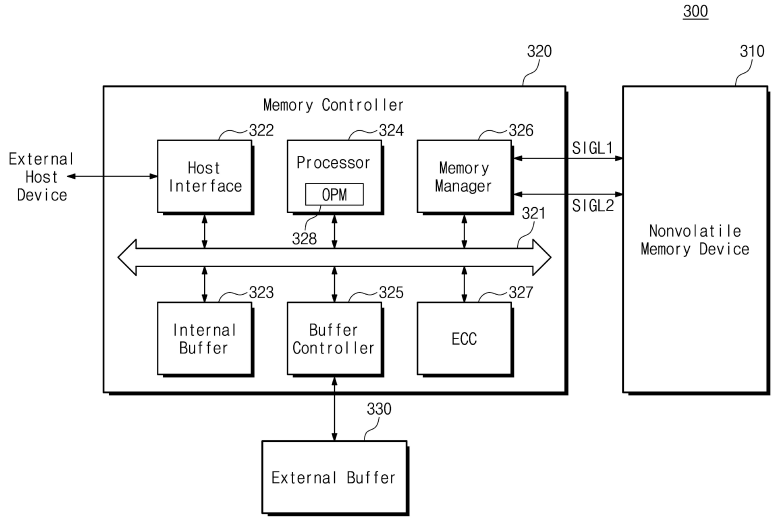
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **불휘발성 메모리 장치를 포함하는 스토리지 장치, 스토리지 장치의 동작 방법, 그리고 불휘발성 메모리 장치를 포함하는 전자 장치의 동작 방법**

## (57) 요 약

본 발명의 스토리지 장치는 불휘발성 메모리 장치 및 메모리 제어기를 포함한다. 본 발명의 스토리지 장치의 동작 방법은, 메모리 제어기가 제1 읽기 명령 및 제1 오프셋 정보를 불휘발성 메모리 장치로 전송하는 단계, 제1 읽기 명령 및 제1 오프셋 정보에 기반하여, 불휘발성 메모리 장치가 제1 읽기 동작들을 수행하는 단계, 불휘발성 메모리 장치가 제1 읽기 동작들의 결과를 제1 데이터로서 메모리 제어기로 전송하는 단계, 메모리 제어기가 제2 읽기 명령, 읽기 레벨 정보, 그리고 제2 오프셋 정보를 불휘발성 메모리 장치로 전송하는 단계, 제2 읽기 명령, 읽기 레벨 정보, 그리고 제2 오프셋 정보에 기반하여, 불휘발성 메모리 장치가 제2 읽기 동작들을 수행하는 단계, 그리고 불휘발성 메모리 장치가 제2 읽기 동작들의 결과들을 제2 데이터로서 메모리 제어기로 전송하는 단계를 포함한다.

## 대 표 도



(52) CPC특허분류
*G11C 16/0483* (2013.01)
*G11C 16/08* (2013.01)
*G11C 2211/563* (2013.01)
(72) 발명자
**윤혜지**
경기도 화성시 노작로 삼성스마트쉐르빌 2521호
**성종택**
경기도 화성시 효행로 1337-23 (반월동, e편한세상 신동탄) 101동 1203호
**백준걸**
서울특별시 강동구 고덕로 333, 고덕그라시움 102동 3302호
**천윤수**
경기도 화성시 노작로 203, 서해더블루동 1002호 (반송동, 서해더블루)

# 명 세 서

## 청구범위

### 청구항 1

불휘발성 메모리 장치 및 메모리 제어기를 포함하는 스토리지 장치의 동작 방법에 있어서:

상기 메모리 제어기가 제1 읽기 명령 및 제1 오프셋 정보를 상기 불휘발성 메모리 장치로 전송하는 단계;

상기 제1 읽기 명령 및 상기 제1 오프셋 정보에 기반하여, 상기 불휘발성 메모리 장치가 제1 읽기 동작들을 수행하는 단계;

상기 불휘발성 메모리 장치가 상기 제1 읽기 동작들의 결과를 제1 데이터로서 상기 메모리 제어기로 전송하는 단계;

상기 메모리 제어기가 제2 읽기 명령, 읽기 레벨 정보, 그리고 제2 오프셋 정보를 상기 불휘발성 메모리 장치로 전송하는 단계;

상기 제2 읽기 명령, 상기 읽기 레벨 정보, 그리고 상기 제2 오프셋 정보에 기반하여, 상기 불휘발성 메모리 장치가 제2 읽기 동작들을 수행하는 단계; 그리고

상기 불휘발성 메모리 장치가 상기 제2 읽기 동작들의 결과들을 제2 데이터로서 상기 메모리 제어기로 전송하는 단계를 포함하는 동작 방법.

### 청구항 2

제1항에 있어서,

상기 제1 읽기 동작들을 수행하는 단계는:

제1 읽기 레벨을 이용하여 읽기 동작을 수행하는 단계;

상기 제1 읽기 레벨보다 상기 제1 오프셋 정보만큼 높은 제2 읽기 레벨을 이용하여 읽기 동작을 수행하는 단계; 그리고

상기 제1 읽기 레벨보다 상기 제1 오프셋 정보만큼 낮은 제3 읽기 레벨을 이용하여 읽기 동작을 수행하는 단계를 포함하는 동작 방법.

### 청구항 3

제1항에 있어서,

상기 제2 읽기 동작들을 수행하는 단계는:

상기 읽기 레벨 정보에 대응하는 제1 읽기 레벨을 이용하여 읽기 동작을 수행하는 단계;

상기 제1 읽기 레벨보다 상기 제2 오프셋 정보만큼 높은 제2 읽기 레벨을 이용하여 읽기 동작을 수행하는 단계; 그리고

상기 제1 읽기 레벨보다 상기 제2 오프셋 정보만큼 낮은 제3 읽기 레벨을 이용하여 읽기 동작을 수행하는 단계를 포함하는 동작 방법.

### 청구항 4

제1항에 있어서,

상기 메모리 제어기가 제3 읽기 명령을 상기 불휘발성 메모리 장치로 전송하는 단계;

상기 제3 읽기 명령에 응답하여, 상기 불휘발성 메모리 장치가 제3 읽기 동작을 수행하는 단계; 그리고

상기 불휘발성 메모리 장치가 상기 제3 읽기 동작의 결과를 제3 데이터로서 상기 불휘발성 메모리 장치로 전송

하는 단계를 더 포함하는 동작 방법.

**청구항 5**

제4항에 있어서,

상기 제3 데이터에 대해 에러 정정 디코딩을 수행하는 단계를 더 포함하고,

상기 메모리 제어기가 제1 읽기 명령 및 제1 오프셋 정보를 상기 불휘발성 메모리 장치로 전송하는 단계, 상기 제1 읽기 명령 및 상기 제1 오프셋 정보에 기반하여, 상기 불휘발성 메모리 장치가 제1 읽기 동작들을 수행하는 단계, 상기 불휘발성 메모리 장치가 상기 제1 읽기 동작들의 결과를 제1 데이터로서 상기 메모리 제어기로 전송하는 단계, 상기 메모리 제어기가 제2 읽기 명령, 읽기 레벨 정보, 그리고 제2 오프셋 정보를 상기 불휘발성 메모리 장치로 전송하는 단계, 상기 제2 읽기 명령, 상기 읽기 레벨 정보, 그리고 상기 제2 오프셋 정보에 기반하여, 상기 불휘발성 메모리 장치가 제2 읽기 동작들을 수행하는 단계, 그리고 상기 불휘발성 메모리 장치가 상기 제2 읽기 동작들의 결과들을 제2 데이터로서 상기 메모리 제어기로 전송하는 단계는 상기 에러 정정 디코딩이 페일되는 것에 응답하여 수행되는 동작 방법.

**청구항 6**

제1항에 있어서,

상기 메모리 제어기가 제3 읽기 명령 및 상기 읽기 레벨 정보를 상기 불휘발성 메모리 장치로 전송하는 단계;

상기 제3 읽기 명령 및 상기 읽기 레벨 정보에 응답하여, 상기 불휘발성 메모리 장치가 제3 읽기 동작을 수행하는 단계; 그리고

상기 불휘발성 메모리 장치가 상기 제3 읽기 동작의 결과를 제3 데이터로서 상기 불휘발성 메모리 장치로 전송하는 단계를 더 포함하는 동작 방법.

**청구항 7**

제6항에 있어서,

상기 제3 데이터에 대해 에러 정정 디코딩을 수행하는 단계를 더 포함하고,

상기 메모리 제어기가 제2 읽기 명령, 읽기 레벨 정보, 그리고 제2 오프셋 정보를 상기 불휘발성 메모리 장치로 전송하는 단계, 상기 제2 읽기 명령, 상기 읽기 레벨 정보, 그리고 상기 제2 오프셋 정보에 기반하여, 상기 불휘발성 메모리 장치가 제2 읽기 동작들을 수행하는 단계, 그리고 상기 불휘발성 메모리 장치가 상기 제2 읽기 동작들의 결과들을 제2 데이터로서 상기 메모리 제어기로 전송하는 단계는 상기 에러 정정 디코딩이 페일되는 것에 응답하여 수행되는 동작 방법.

**청구항 8**

제1항에 있어서,

상기 제2 데이터에 대해 에러 정정 디코딩을 수행하는 단계를 더 포함하고,

상기 에러 정정 디코딩은 저밀도 패리티 검사(LDPC)(Low Density Parity Check)에 기반하는 동작 방법.

**청구항 9**

복수의 메모리 셀들을 포함하는 불휘발성 메모리 장치; 그리고

제1 읽기 명령 및 제1 오프셋 정보를 상기 불휘발성 메모리 장치로 전송하고, 상기 제1 읽기 명령 및 상기 제1 오프셋 정보에 응답하여 상기 불휘발성 메모리 장치로부터 제1 데이터를 수신하고, 상기 제1 데이터에 기반하여 읽기 레벨 정보를 생성하고, 제2 읽기 명령, 상기 읽기 레벨 정보 및 제2 오프셋 정보를 상기 불휘발성 메모리 장치로 전송하고, 그리고 상기 제2 읽기 명령, 상기 읽기 레벨 정보 및 상기 제2 오프셋 정보에 응답하여 상기 불휘발성 메모리 장치로부터 제2 데이터를 수신하는 메모리 제어기를 포함하는 스토리지 장치.

**청구항 10**

복수의 불휘발성 메모리 장치들을 포함하는 전자 장치의 동작 방법에 있어서:

상기 복수의 불휘발성 메모리 장치들에 대해 읽기 동작들을 수행하여, 메모리 셀들의 문턱 전압들의 분포 상태를 검출하는 단계;

강한 에러 비율(SER)(String Error Ratio)의 값 그리고/또는 강한 정확함 비율(SCR)(Strong Correct Ration)의 값을 선택하는 단계;

상기 메모리 셀들의 문턱 전압들의 분포 상태로부터 상기 SER의 값 그리고/또는 상기 SCR의 값에 대응하는 오프셋 값들을 획득하는 단계; 그리고

상기 복수의 불휘발성 메모리 장치들의 특성들, 상기 읽기 동작들의 주소들 및 상기 오프셋 값들에 기반하여 기계 학습을 수행하여 오프셋 예측 모듈을 생성하는 단계를 포함하는 동작 방법.

## 발명의 설명

### 기 술 분 야

[0001] 본 발명은 반도체 장치에 관한 것으로, 더 상세하게는 향상된 동작 속도 및 향상된 신뢰성을 제공하는 불휘발성 메모리 장치를 포함하는 스토리지 장치, 스토리지 장치의 동작 방법, 그리고 불휘발성 메모리 장치를 포함하는 전자 장치의 동작 방법에 관한 것이다.

### 배 경 기 술

[0002] 불휘발성 메모리 장치는 전원이 공급되지 않는 때에도 저장된 데이터를 유지할 수 있다. 불휘발성 메모리 장치는 플래시 메모리 장치, 상 변화 메모리 장치, 자기 메모리 장치, 강유전체 메모리 장치, 저항성 메모리 장치 등을 포함할 수 있다.

[0003] 불휘발성 메모리 장치에 데이터가 저장된 후 시간이 경과함에 따라, 읽기 동작들이 수행됨에 따라, 또는 외부로부터 스트레스가 인가됨에 따라, 불휘발성 메모리 장치에 저장된 데이터에서 에러가 발생할 수 있다. 특히, 불휘발성 메모리 장치가 3차원 구조로 제조됨에 따라, 그리고 각 메모리 셀에 저장되는 비트들의 수가 증가함에 따라, 에러의 요인들 및 형태들이 다양해지고 있다.

[0004] 불휘발성 메모리 장치에 저장된 데이터의 에러를 정정하기 위하여, 불휘발성 메모리 장치로부터 데이터를 읽을 때에 에러 정정이 수행될 수 있다. 그러나 에러의 요인들 및 형태들이 다양해짐에 따라, 에러 정정 시에 고려되어야 하는 요인들이 다양해지고, 따라서 에러 정정에 필요한 시간이 증가하고 있다.

## 발명의 내용

### 해결하려는 과제

[0005] 본 발명의 목적은 향상된 속도로 에러 정정을 수행하고 신뢰성을 향상시키는 불휘발성 메모리 장치를 포함하는 스토리지 장치, 스토리지 장치의 동작 방법, 그리고 불휘발성 메모리 장치를 포함하는 전자 장치의 동작 방법을 제공하는 데에 있다.

### 과제의 해결 수단

[0006] 불휘발성 메모리 장치 및 메모리 제어기를 포함하는 본 발명의 실시 예에 따른 스토리지 장치의 동작 방법은, 메모리 제어기가 제1 읽기 명령 및 제1 오프셋 정보를 불휘발성 메모리 장치로 전송하는 단계, 제1 읽기 명령 및 제1 오프셋 정보에 기반하여, 불휘발성 메모리 장치가 제1 읽기 동작들을 수행하는 단계, 불휘발성 메모리 장치가 제1 읽기 동작들의 결과를 제1 데이터로서 메모리 제어기로 전송하는 단계, 메모리 제어기가 제2 읽기 명령, 읽기 레벨 정보, 그리고 제2 오프셋 정보를 불휘발성 메모리 장치로 전송하는 단계, 제2 읽기 명령, 읽기 레벨 정보, 그리고 제2 오프셋 정보에 기반하여, 불휘발성 메모리 장치가 제2 읽기 동작들을 수행하는 단계, 그리고 불휘발성 메모리 장치가 제2 읽기 동작들의 결과들을 제2 데이터로서 메모리 제어기로 전송하는 단계를 포함한다.

[0007] 본 발명의 실시 예에 따른 스토리지 장치는 복수의 메모리 셀들을 포함하는 불휘발성 메모리 장치, 그리고 제1 읽기 명령 및 제1 오프셋 정보를 불휘발성 메모리 장치로 전송하고, 제1 읽기 명령 및 제1 오프셋 정보에 응답하여 불휘발성 메모리 장치로부터 제1 데이터를 수신하고, 제1 데이터에 기반하여 읽기 레벨 정보를 생성하고, 제2 읽기 명령, 읽기 레벨 정보 및 제2 오프셋 정보를 불휘발성 메모리 장치로 전송하고, 그리고 제2 읽기

명령, 읽기 레벨 정보 및 제2 오프셋 정보에 응답하여 불휘발성 메모리 장치로부터 제2 데이터를 수신하는 메모리 제어기를 포함한다.

[0008] 복수의 불휘발성 메모리 장치들을 포함하는 본 발명의 실시 예에 따른 전자 장치의 동작 방법은, 강한 에러 비율(SER)(String Error Ratio)의 값 그리고/또는 강한 정확함 비율(SCR)(Strong Correct Ration)의 값을 선택하는 단계, 복수의 불휘발성 메모리 장치들에 대해 읽기 동작들을 수행하여, SER의 값 그리고/또는 SCR의 값에 대응하는 오프셋 값들을 획득하는 단계, 그리고 복수의 불휘발성 메모리 장치들의 특성들, 읽기 동작들의 주소들 및 오프셋 값들에 기반하여 기계 학습을 수행하여 오프셋 예측 모듈을 생성하는 단계를 포함한다.

## *발명의 효과*

[0009] 본 발명에 따르면, 에러 정정을 위한 읽기들의 읽기 레벨들을 결정하는데 사용되는 오프셋 정보가 기계 학습에 기반하여 예측될 수 있다. 따라서, 향상된 속도로 에러 정정을 수행하고 신뢰성을 향상시키는 불휘발성 메모리 장치를 포함하는 스토리지 장치, 스토리지 장치의 동작 방법, 그리고 불휘발성 메모리 장치를 포함하는 전자 장치의 동작 방법이 제공된다.

## *도면의 간단한 설명*

[0010] 도 1은 본 발명의 제1 실시 예에 따른 전자 장치를 보여준다.

도 2는 도 1의 전자 장치의 동작 방법의 예를 보여준다.

도 3은 본 발명의 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다.

도 4는 도 3의 메모리 블록들 중 하나의 메모리 블록의 예를 보여주는 회로도이다.

도 5는 도 3의 메모리 블록의 일부의 구조를 보여주는 사시단면도이다.

도 6은 메모리 셀들에 데이터가 프로그램된 예를 보여준다.

도 7은 전자 장치가 데이터셋을 생성하는 과정의 예를 보여준다.

도 8은 불휘발성 메모리 장치들의 각각에 대해 제1 읽기 동작들을 수행하는 예를 보여준다.

도 9는 불휘발성 메모리 장치들의 각각에 대해 제2 읽기 동작들을 수행하는 예를 보여준다.

도 10은 불휘발성 메모리 장치들의 각각에 대해 제2 읽기 동작들을 수행하는 다른 예를 보여준다.

도 11은 본 발명의 실시 예에 따른 스토리지 장치를 보여준다.

도 12는 스토리지 장치가 읽기 동작을 수행하는 예를 보여준다.

도 13은 메모리 제어기가 물리적 특색들에 기반하여 제2 오프셋을 예측하는 예를 보여준다.

도 14는 본 발명의 일 실시 예에 따른 스토리지 장치가 적용된 전자 장치를 도시한 도면이다.

## *발명을 실시하기 위한 구체적인 내용*

[0011] 이하에서, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.

[0012] 도 1은 본 발명의 제1 실시 예에 따른 전자 장치(10)를 보여준다. 도 1을 참조하면, 전자 장치(10)는 불휘발성 메모리 장치들(11), 데이터베이스(12), 그리고 컴퓨팅 장치(100)를 포함할 수 있다.

[0013] 불휘발성 메모리 장치들(11)은 컴퓨팅 장치(100)와 직접 연결되거나 또는 메모리 제어기와 결합되는 스토리지 장치들로 구현되어 컴퓨팅 장치(100)와 연결될 수 있다.

[0014] 컴퓨팅 장치(100)는 불휘발성 메모리 장치들(11)에 대해 읽기 동작들을 수행하여, 기계 학습을 위한 데이터셋을 획득할 수 있다. 컴퓨팅 장치(100)는 획득된 데이터셋을 데이터베이스(12)에 저장할 수 있다.

[0015] 컴퓨팅 장치(100)는 버스(110), 제1 프로세서(120), 제2 프로세서(130), 랜덤 액세스 메모리(140)(RAM), 모뎀(150), 인터페이스 회로(160), 그리고 스토리지 장치(170)를 포함할 수 있다.

[0016] 버스(110)는 컴퓨팅 장치(100)의 구성 요소들 사이에 채널들을 제공할 수 있다. 제1 프로세서(120)는 컴퓨팅 장

치(100)의 운영 체제를 구동하고, 그리고 다양한 응용들을 실행하는 중앙 처리 장치(CPU)를 포함할 수 있다. 제2 프로세서(130)는 제1 프로세서(120)로부터 위임되는 작업들을 수행하여 제1 프로세서(120)를 지원하도록 구성되는 보조 프로세서를 포함할 수 있다. 예를 들어, 제2 프로세서(130)는 그래픽 프로세싱 유닛(GPU), 뉴럴 프로세싱 유닛(NPU), 뉴로모픽 프로세서(Neuroophic Processor) 등을 포함할 수 있다.

[0017] RAM(140)은 컴퓨팅 장치(100)의 메인 메모리로 사용될 수 있다. RAM(140)은 제1 프로세서(120) 또는 제2 프로세서(130)에 의해 실행되는 다양한 코드들, 그리고 제1 프로세서(120) 또는 제2 프로세서(130)에 의해 처리되는 다양한 데이터를 저장할 수 있다. RAM(140)은 동적 RAM(DRAM), 정적 RAM(SRAM), 스토리지 클래스 메모리(SCM), 상 변화 RAM(PRAM), 자기 RAM(MRAM), 강유전체 RAM(FRAM), 저항성 RAM(RRAM) 등을 포함할 수 있다.

[0018] 모뎀(150)의 외부의 장치와 유선 또는 무선 통신을 수행할 수 있다. 모뎀(150)은 다양한 통신 프로토콜들에 의해 정의되는 다양한 변조기들 및 복조기들을 포함할 수 있다.

[0019] 인터페이스 회로(160)는 외부의 장치와 통신하도록 구성되는 회로들을 포함할 수 있다. 예를 들어, 인터페이스 회로(160)는 불휘발성 메모리 장치들(11) 및 데이터베이스(12)와 통신할 수 있다. 인터페이스 회로(160)는 사용자와 통신하도록 구성되는 회로들을 포함할 수 있다. 인터페이스 회로(160)는 사용자 입력 인터페이스 회로들 및 사용자 출력 인터페이스 회로들을 포함할 수 있다.

[0020] 스토리지 장치(170)는 컴퓨팅 장치(100)의 보조 기억 장치로 사용될 수 있다. 스토리지 장치(170)는 제1 프로세서(120)에 의해 실행되는 운영체제 및 응용들의 원본 코드들을 저장할 수 있다. 스토리지 장치(170)는 제1 프로세서(120) 및 제2 프로세서(130)에 의해 처리되는 원본 데이터를 저장할 수 있다. 스토리지 장치(170)는 제1 프로세서(120) 및 제2 프로세서(130)에 의해 생성 또는 갱신되는 데이터를 저장할 수 있다.

[0021] 도 2는 도 1의 전자 장치(10)의 동작 방법의 예를 보여준다. 도 1 및 도 2를 참조하면, S110 단계에서, 컴퓨팅 장치(100)는 샘플 장치들, 예를 들어, 불휘발성 메모리 장치들(11)과 연결될 수 있다.

[0022] 예를 들어, 불휘발성 메모리 장치들(11)은 동일한 데이터 저장 특성들, 또는 서로 다른 데이터 저장 특성들을 가질 수 있다. 데이터 저장 특성들은 각 불휘발성 메모리 장치의 메모리 셀들에서 수행된 프로그램 및 소거 횟수, 각 불휘발성 메모리 장치의 메모리 셀들에 데이터가 기입된 후 경과(또는 방치)된 시간, 각 불휘발성 메모리 장치가 방치된 온도, 각 불휘발성 메모리 장치의 메모리 셀들에 데이터가 기입된 후 읽기가 수행된 횟수 등을 포함할 수 있다.

[0023] S120 단계에서, 컴퓨팅 장치(100)는 불휘발성 메모리 장치들(11)에 대해 읽기 동작들을 수행하여, 기계 학습을 위한 데이터셋을 획득할 수 있다. 획득된 데이터셋은 데이터베이스(12)에 저장될 수 있다. 데이터셋은 읽기 동작의 물리적 특색들 및 물리적 특색들에 대한 정보를 포함할 수 있다. 데이터셋은 메모리 셀들의 문턱 전압들의 분포 상태에 대한 정보를 포함할 수 있다.

[0024] S130 단계에서, 컴퓨팅 장치(100)는 강한 에러 비율(SER)(Strong Error Ratio)의 값 및 강한 정확함 비율(SCR)(Strong Correct Ratio)의 값을 선택할 수 있다. SER 및 SCR은 연판정(Soft Decision)을 위한 읽기 레벨들과 연관되며, 불휘발성 메모리 장치들(11)에 적용될 에러 정정 디코더의 특성에 기반하여 정해질 수 있다. 예를 들어, SER의 값 또는 SCR의 값은 불휘발성 메모리 장치들(11)에 적용될 에러 정정 디코더가 가장 높은 정정율을 갖는 값들로 정해질 수 있다.

[0025] SER의 값 또는 SCR의 값이 정해지면, 데이터셋에 포함된 메모리 셀들의 문턱 전압들의 분포 상태의 정보에 기반하여, 정해진 SER 값 또는 정해진 SCR의 값에 대응하는 오프셋이 도출될 수 있다. 즉, 데이터셋은 데이터 저장 특성들, 읽기 동작의 물리적 특색들, 그리고 SER의 값 또는 SCR의 값에 따른 오프셋 정보를 포함할 수 있다.

[0026] S140 단계에서, 컴퓨팅 장치(100)는 데이터베이스(12)에 저장된 데이터셋에 기반하여 기계 학습을 수행하여, 기계 학습 기반의 오프셋 예측 모듈을 생성할 수 있다. 기계 학습 기반의 오프셋 예측 모듈은 읽기 동작의 물리적 특색들(physical features)이 입력될 때에 오프셋 정보를 출력하도록 학습될 수 있다.

[0027] 예를 들어, 오프셋 예측 모듈은 랜덤 포레스트(RF)(Random Forest), 멀티-레이어 퍼셉션(MLP)(Multi-Layer Perception), 또는 리니어 리그레션(LR)(Linear Regression)에 기반하여 학습될 수 있다. 랜덤 포레스트는 엔트로피 기반의 의사 결정 나무(Decision Tree)의 앙상블 모델을 포함할 수 있다. 멀티-레이어 퍼셉션은 적어도 2개의 히든 레이어들을 사용하고, 활성 함수로 하이퍼볼릭 탄젠트(tanh)를 사용할 수 있다.

[0028] 도 3은 본 발명의 실시 예에 따른 불휘발성 메모리 장치(200)를 보여주는 블록도이다. 예시적으로, 불휘발성 메

모리 장치(200)는 도 1의 불휘발성 메모리 장치들(11)의 각각에 대응할 수 있다.

[0029] 도 3을 참조하면, 불휘발성 메모리 장치(200)는 메모리 셀 어레이(210), 행 디코더 블록(220), 페이지 버퍼 블록(230), 패스 페일 체크 블록(240)(PFC), 데이터 입력 및 출력 블록(250), 버퍼 블록(260), 그리고 제어 로직 블록(270)을 포함한다.

[0030] 메모리 셀 어레이(210)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 각 메모리 블록은 복수의 메모리 셀들을 포함한다. 각 메모리 블록은 적어도 하나의 접지 선택 라인(GSL), 워드 라인들(WL), 그리고 적어도 하나의 스트링 선택 라인(SSL)을 통해 행 디코더 블록(220)에 연결될 수 있다. 워드 라인들(WL) 중 일부는 더미 워드 라인들로 사용될 수 있다. 각 메모리 블록은 복수의 비트 라인들(BL)을 통해 페이지 버퍼 블록(230)에 연결될 수 있다. 복수의 메모리 블록들(BLK1~BLKz)은 복수의 비트 라인들(BL)에 공통으로 연결될 수 있다.

[0031] 예시적으로, 복수의 메모리 블록들(BLK1~BLKz) 각각은 소거 동작의 단위일 수 있다. 각 메모리 블록에 속한 메모리 셀들은 동시에 소거될 수 있다. 다른 예로서, 각 메모리 블록은 복수의 서브 블록들로 분할될 수 있다. 복수의 서브 블록들 각각은 소거 동작의 단위일 수 있다.

[0032] 행 디코더 블록(220)은 접지 선택 라인들(GSL), 워드 라인들(WL), 그리고 스트링 선택 라인들(SSL)을 통해 메모리 셀 어레이(210)에 연결된다. 행 디코더 블록(220)은 제어 로직 블록(270)의 제어에 따라 동작한다.

[0033] 행 디코더 블록(220)은 버퍼 블록(260)으로부터 수신되는 행 주소(RA)를 디코딩하고, 디코딩된 행 주소에 따라 스트링 선택 라인들(SSL), 워드 라인들(WL), 그리고 접지 선택 라인들(GSL)에 인가되는 전압들을 제어할 수 있다.

[0034] 페이지 버퍼 블록(230)은 복수의 비트 라인들(BL)을 통해 메모리 셀 어레이(210)에 연결된다. 페이지 버퍼 블록(230)은 복수의 데이터 라인들(DL)을 통해 데이터 입력 및 출력 블록(250)과 연결된다. 페이지 버퍼 블록(230)은 제어 로직 블록(270)의 제어에 따라 동작한다.

[0035] 프로그램 동작 시에, 페이지 버퍼 블록(230)은 메모리 셀들에 기입될 데이터를 저장할 수 있다. 저장된 데이터에 기반하여, 페이지 버퍼 블록(230)은 복수의 비트 라인들(BL)에 전압들을 인가할 수 있다. 읽기 동작 시에, 또는 프로그램 동작 또는 소거 동작의 검증 읽기 시에, 페이지 버퍼 블록(230)은 비트 라인들(BL)의 전압들을 감지하고, 감지 결과를 저장할 수 있다.

[0036] 패스 페일 체크 블록(240)은 프로그램 동작의 검증 읽기 또는 소거 동작의 검증 읽기 시에, 페이지 버퍼 블록(230)의 감지 결과를 검증할 수 있다. 예를 들어, 프로그램 동작의 검증 읽기 시에, 패스 페일 체크 블록(240)은 목표 문턱 전압 이상으로 프로그램되지 않은 온-셀들에 대응하는 값(예를 들어 '0')의 수를 카운트할 수 있다.

[0037] 소거 동작의 검증 읽기 시에, 패스 페일 체크 블록(240)은 목표 문턱 전압 이하로 소거되지 않은 오프-셀들에 대응하는 값(예를 들어 '1')이 수를 카운트할 수 있다. 패스 페일 체크 블록(240)은 카운트된 결과가 문턱값 이상일 때, 페일을 나타내는 신호를 제어 로직 블록(270)으로 출력할 수 있다. 패스 페일 체크 블록(240)은 카운트된 결과가 문턱값보다 작을 때, 패스를 나타내는 신호를 제어 로직 블록(270)으로 출력할 수 있다. 패스 페일 체크 블록(240)의 검증의 결과에 따라, 프로그램 동작의 프로그램 루프가 더 수행되거나 또는 소거 동작의 소거 루프가 더 수행될 수 있다.

[0038] 데이터 입력 및 출력 블록(250)은 복수의 데이터 라인들(DL)을 통해 페이지 버퍼 블록(230)과 연결된다. 데이터 입력 및 출력 블록(250)은 버퍼 블록(260)으로부터 열 주소(CA)를 수신할 수 있다. 데이터 입력 및 출력 블록(250)은 페이지 버퍼 블록(230)에 의해 읽힌 데이터를 열 주소(CA)에 따라 버퍼 블록(260)으로 출력할 수 있다. 데이터 입력 및 출력 블록(250)은 열 주소(CA)에 의존하여, 버퍼 블록(260)으로부터 수신되는 데이터를 페이지 버퍼 블록(230)에 전달할 수 있다.

[0039] 버퍼 블록(260)은 제1 신호선들(SIGL1)을 통해 명령(CMD) 및 주소(ADDR)를 외부의 장치로부터 수신하고, 그리고 데이터(DATA)를 외부의 장치와 교환할 수 있다. 버퍼 블록(260)은 제어 로직 블록(270)의 제어에 따라 동작할 수 있다. 버퍼 블록(260)은 명령(CMD)을 제어 로직 블록(270)에 전달할 수 있다. 버퍼 블록(260)은 주소(ADDR)의 행 주소(RA)를 행 디코더 블록(220)에 전달하고, 열 주소(CA)를 데이터 입력 및 출력 블록(250)에 전달할 수 있다. 버퍼 블록(260)은 데이터(DATA)를 데이터 입력 및 출력 블록(250)과 교환할 수 있다.

[0040] 제어 로직 블록(270)은 외부 장치와 제2 신호선들(SIGL2)을 통해 제어 신호(CTRL)를 교환할 수 있다. 제어 로직 블록(270)은 버퍼 블록(260)이 명령(CMD), 주소(ADDR) 및 데이터(DATA)를 라우팅하게 제어할 수 있다. 제어 로

직 블록(270)은 버퍼 블록(260)으로부터 수신된 명령(CMD)을 디코딩하고, 디코딩된 명령에 따라 불휘발성 메모리 장치(200)를 제어할 수 있다.

[0041] 예시적으로, 불휘발성 메모리 장치(200)는 본딩 방식으로 제조될 수 있다. 메모리 셀 어레이(210)는 제1 웨이퍼에서 제조되고, 행 디코더 블록(220), 페이지 버퍼 블록(230), 데이터 입력 및 출력 블록(250), 버퍼 블록(260), 그리고 제어 로직 블록(270)은 제2 웨이퍼에서 제조될 수 있다. 제1 웨이퍼의 상부면과 및 제2 웨이퍼의 상부면을 마주보게 하여 결합함으로써, 불휘발성 메모리 장치(200)가 구현될 수 있다.

[0042] 다른 예로서, 불휘발성 메모리 장치(200)는 COP(Cell Over Peri) 방식으로 제조될 수 있다. 기판 상에 행 디코더 블록(220), 페이지 버퍼 블록(230), 데이터 입력 및 출력 블록(250), 버퍼 블록(260), 그리고 제어 로직 블록(270)을 포함하는 주변 회로가 구현될 수 있다 주변 회로의 상부에 메모리 셀 어레이(210)가 구현될 수 있다. 주변 회로 및 메모리 셀 어레이(210)는 관통 비아들을 통해 연결될 수 있다.

[0043] 도 4는 도 3의 메모리 블록들(BLK1~BLKz) 중 하나의 메모리 블록(BLKa)의 예를 보여주는 회로도이다. 도 4를 참조하면, 복수의 셀 스트링들(CS)이 기판(SUB) 위에서 행들 및 열들로 배치될 수 있다. 각 행은 제1 방향을 따라 신장될 수 있다. 각 열은 제2 방향을 따라 신장될 수 있다. 복수의 셀 스트링들(CS)은 기판(SUB) 상에(또는 안에) 형성되는 공통 소스 라인(CSL)에 공통으로 연결될 수 있다. 도 4에서, 메모리 블록(BLKa)의 구조의 이해를 돕기 위하여, 기판(SUB)의 위치가 예시적으로 표시되어 있다.

[0044] 각 행의 셀 스트링들은 접지 선택 라인(GSL)에 공통으로 연결되고, 그리고 제1 및 제2 스트링 선택 라인들(SSL1, SSL2) 중 대응하는 스트링 선택 라인들에 연결될 수 있다. 각 열의 셀 스트링들은 제1 및 제2 비트 라인들(BL1, BL2) 중 대응하는 비트 라인에 연결될 수 있다.

[0045] 각 셀 스트링은 접지 선택 라인(GSL)에 연결되는 적어도 하나의 접지 선택 트랜지스터(GST), 복수의 워드 라인들(WL1~WL8)에 각각 연결되는 복수의 메모리 셀들(MC1~MC8)을 포함할 수 있다. 제1 행의 셀 스트링들은 제1 스트링 선택 라인들(SSL1a, SSL1b)에 각각 연결되는 스트링 선택 트랜지스터들(SSTa, SSTb)을 더 포함할 수 있다. 제2 행의 셀 스트링들은 제2 스트링 선택 라인들(SSL2a, SSL2b)에 각각 연결되는 스트링 선택 트랜지스터들(SSTa, SSTb)을 더 포함할 수 있다.

[0046] 각 셀 스트링에서, 접지 선택 트랜지스터(GST), 메모리 셀들(MC1~MC8), 그리고 스트링 선택 트랜지스터들(SSTa, SSTb)은 기판(SUB)과 수직인 방향, 예를 들어 제3 방향을 따라 직렬 연결되고, 기판(SUB)과 수직인 방향을 따라 순차적으로 적층될 수 있다. 각 셀 스트링(CS)에서, 메모리 셀들(MC1~MC8) 중 적어도 하나가 더미 메모리 셀로 사용될 수 있다. 더미 메모리 셀은 프로그램되지 않거나(예를 들어, 프로그램이 금지되거나) 또는 메모리 셀들(MC1~MC8)과 다르게 프로그램될 수 있다.

[0047] 예시적으로, 동일한 높이에 위치하고, 하나의 스트링 선택 라인(SSL1 또는 SSL2)과 연관된 메모리 셀들은 하나의 물리 페이지를 형성할 수 있다. 하나의 물리 페이지의 메모리 셀들은 하나의 서브 워드 라인에 연결될 수 있다. 동일한 높이에 위치한 물리 페이지들의 서브 워드 라인들은 하나의 워드 라인에 공통으로 연결될 수 있다.

[0048] 도 5는 도 3의 메모리 블록(BLKa)의 일부의 구조를 보여주는 사시단면도이다. 도 3, 도 4 및 도 5를 참조하면, 기판(SUB)에 제1방향을 따라 신장되고, 제2방향을 따라 서로 이격된 공통 소스 영역들(CSR)이 제공된다.

[0049] 공통 소스 영역들(CSR)은 공통으로 연결되어, 공통 소스 라인(CSL)을 형성할 수 있다. 예시적으로, 기판(SUB)은 P 도전형을 갖는 반도체 물질을 포함할 수 있다. 공통 소스 영역들(CSR)은 N 도전형을 갖는 반도체 물질을 포함할 수 있다. 예를 들어, 공통 소스 영역(CSR) 상에 공통 소스 라인(CSL)의 도전율을 높이기 위한 도전 물질이 배치될 수 있다.

[0050] 공통 소스 영역들(CSR) 사이에서, 절연 층들(112, 112a)이 기판과 수직한 제3방향을 따라 기판(SUB) 상에 순차적으로 적층된다. 절연 층들(112, 112a)은 제3방향을 따라 서로 이격되어 적층될 수 있다. 예시적으로, 절연 층들(112, 112a)은 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다. 예시적으로, 절연 층들(112, 112a) 중 기판(SUB)과 접촉하는 절연 층(112a)의 두께(예를 들어, 제3방향에 따른 두께)는 다른 절연 층들(112) 각각의 두께(예를 들어, 제3방향에 따른 두께)보다 얇을 수 있다.

[0051] 공통 소스 영역들(CSR) 사이에서, 제1방향과 제2방향을 따라 서로 이격되어 배치되며 제3방향을 따라 절연 층들(112, 112a)을 관통하는 필라들(PL)이 제공된다. 예시적으로, 필라들(PL)은 절연 층들(112, 112a)을 관통하여 기판(SUB)과 접촉할 수 있다. 필라들(PL) 각각은 내부 물질(114), 채널 막(115), 그리고 제1 절연 막(116)을 포함할 수 있다.

[0052] 내부 물질(114)은 절연 물질 또는 에어 갭(air gap)을 포함할 수 있다. 채널 막(115)은 P 도전형을 갖는 반도체 물질 또는 진성(intrinsic) 반도체 물질을 포함할 수 있다. 제1 절연 막(116)은 실리콘 산화 막, 실리콘 질화 막, 알루미늄 산화 막과 같은 하나 또는 그보다 많은 절연 막들(예를 들어 서로 다른 절연 막들)을 포함할 수 있다.

[0053] 공통 소스 영역들(CSR) 사이에서, 절연 층들(112, 112a)의 상부 면들과 하부 면들, 그리고 필라들(PL)의 노출된 외부 면들에 제2 절연 막들(117)이 제공된다. 절연 층들(112, 112a) 중 가장 높은 높이에 위치한 절연 물질의 상부 면에 제공되는 제2 절연 막들(117)은 제거될 수 있다.

[0054] 필라들(PL) 각각에서, 제1 절연 막(116) 및 제2 절연 막(117)은 서로 인접하게 결합된 때에 정보 저장 막을 형성할 수 있다. 예를 들어, 제1 절연 막(116) 및 제2 절연 막(117)은 ONO (Oxide-Nitride-Oxide) 또는 ONA (Oxide-Nitride-Alumina)을 포함할 수 있다. 제1 절연 막(116) 및 제2 절연 막(117)은 터널링 절연 막, 전하 포획 막, 그리고 블로킹 절연 막을 형성할 수 있다.

[0055] 공통 소스 영역들(CSR) 사이에서 그리고 절연 층들(112, 112a) 사이에서, 제2 절연 막들(117)의 노출된 외부 면들에 도전 물질들(CM1~CM11)이 제공된다. 도전 물질들(CM1~CM11)은 금속성 도전 물질을 포함 수 있다. 필라들(PL) 상에 드레인들(118)이 제공된다. 예시적으로, 드레인들(118)은 N 도전형을 갖는 반도체 물질(예를 들면, 실리콘)을 포함할 수 있다. 예시적으로, 드레인들(118)은 필라들(PL)의 채널 막들(115)의 상부 면들과 접촉할 수 있다.

[0056] 드레인들(118) 상에, 제2방향을 따라 신장되고, 제1방향을 따라 서로 이격된 비트 라인들(BL2, BL3)이 제공된다. 비트 라인들(BL2, BL3)은 드레인들(118)과 연결된다. 예시적으로, 드레인들(118) 및 비트 라인들(예를 들어, BL2, BL3)은 컨택 플러그들을 통해 연결될 수 있다. 비트 라인들(BL1, BL2)은 금속성 도전 물질들을 포함할 수 있다.

[0057] 필라들(PL)은 제1 및 제2 절연 막들(116, 117) 및 도전 물질들(CM1~CM11)과 함께 셀 스트링들(CS)을 형성한다. 필라들(PL) 각각은 제1 및 제2 절연 막들(116, 117), 그리고 인접한 도전 물질들(CM1~CM11)과 함께 하나의 셀 스트링을 구성한다. 제1 도전 물질(CM1)은 인접한 제1 및 제2 절연 막들(116, 117) 그리고 채널 막들(115)과 함께 접지 선택 트랜지스터들(GST)을 형성할 수 있다. 제1 도전 물질(CM1)은 제1방향을 따라 신장되어 접지 선택 라인(GSL)을 형성할 수 있다.

[0058] 제2 내지 제9 도전 물질들(CM2~CM9)은 인접한 제1 및 제2 절연 막들(116, 117) 그리고 채널 막들(115)과 함께 제1 내지 제8 메모리 셀들(MC1~MC8)을 각각 형성할 수 있다. 제2 내지 제9 도전 물질들(CM2~CM9)은 제1방향을 따라 신장되어 제1 내지 제8 워드 라인들(WL1~WL8)을 각각 형성할 수 있다.

[0059] 제10 도전 물질들(CM10)은 인접한 제1 및 제2 절연 막들(116, 117) 그리고 채널 막들(115)과 함께 스트링 선택 트랜지스터들(SSTa)을 형성할 수 있다. 제10 도전 물질들(CM10)은 제1방향을 따라 신장되어, 스트링 선택 라인들(SSL1a, SSL2a)을 형성할 수 있다.

[0060] 제11 도전 물질들(CM11)은 인접한 제1 및 제2 절연 막들(116, 117) 그리고 채널 막들(115)과 함께 스트링 선택 트랜지스터들(SSTb)을 형성할 수 있다. 제11 도전 물질들(CM11)은 제1방향을 따라 신장되어, 스트링 선택 라인들(SSL1b, SSL2b)을 형성할 수 있다.

[0061] 제1 내지 제11 도전 물질들(CM1~CM11)이 제3방향을 따라 적층됨에 따라, 각 셀 스트링에서 접지 선택 트랜지스터(GST), 메모리 셀들(MC1~MC8), 그리고 스트링 선택 트랜지스터들(SST)이 제3방향을 따라 적층될 수 있다.

[0062] 필라들(PL) 각각에서 채널 막(115)이 제1 내지 제11 도전 물질들(CM1~CM11)에 의해 공유됨에 따라, 각 셀 스트링에서 접지 선택 트랜지스터(GST), 메모리 셀들(MC1~MC8), 그리고 스트링 선택 트랜지스터들(SST)은 제3방향을 따라 직렬 연결될 수 있다. 예를 들어, 공유되는 채널 막(115)은 수직 바디를 형성할 수 있다.

[0063] 제1 내지 제9 도전 물질들(CM1~CM9)이 공통으로 연결됨에 따라, 접지 선택 라인(GSL), 그리고 제1 내지 제8 워드 라인들(WL1~WL8)의 각각이 셀 스트링들(CS)에 공통으로 연결되는 것으로 여겨질 수 있다.

[0064] 메모리 블록(BLKa)은 3차원 메모리 어레이로 제공된다. 3차원 메모리 어레이는, 실리콘 기판(SUB) 및 메모리 셀들(MC)의 동작에 연관된 회로의 위에 배치되는 활성 영역을 갖는 메모리 셀들(MC)의 어레이들의 하나 또는 그 이상의 물리 레벨들에 획일적으로(monolithically) 형성될 수 있다. 메모리 셀들(MC)의 동작에 연관된 회로는 기판 내에 또는 기판 위에 위치할 수 있다. 획일적으로 형성되는 것은, 3차원 어레이의 각 레벨의 레이어들이 3

차원 어레이의 하위 레벨의 레이어들 위에 직접 증착됨을 의미한다.

[0065] 본 발명의 기술적 사상에 따른 일 예로서, 3차원 메모리 어레이는 수직의 방향성을 가져, 적어도 하나의 메모리 셀이 다른 하나의 메모리 셀 위에 위치하는 수직 셀 스트링들(CS)(또는 NAND 스트링들)을 포함한다. 적어도 하나의 메모리 셀은 전하 포획 레이어를 포함한다. 각 셀 스트링은 메모리 셀들(MC) 위에 위치하는 적어도 하나의 선택 트랜지스터를 더 포함한다. 적어도 하나의 선택 트랜지스터는 메모리 셀들(MC)과 동일한 구조를 갖고, 메모리 셀들(MC)과 함께 획일적으로 형성된다.

[0066] 3차원 메모리 어레이가 복수의 레벨들로 구성되고, 레벨들 사이에서 워드 라인들 또는 비트 라인들이 공유되는 구성은 미국등록특허공보 제7,679,133호, 미국등록특허공보 제8,553,466호, 미국등록특허공보 제8,654,587호, 미국등록특허공보 제8,559,235호, 그리고 미국공개특허공보 제2011/0233648호에 개시되어 있으며, 본 발명의 레퍼런스로 포함된다.

[0067] 도 4 및 도 5를 참조하여 설명된 바와 같이, 기판(SUB)과의 거리에 따라, 메모리 셀들(MC1~MC8)의 사이즈들은 달라질 수 있다. 메모리 셀들(MC1~MC8)의 사이즈들이 달라짐에 따라, 메모리 셀들에서 에러들이 발생하는 양상이 달라질 수 있다. 즉, 읽기 동작과 연관된 주소에 따라, 메모리 셀들에서 에러들이 발생하는 양상이 달라질 수 있다.

[0068] 도 6은 메모리 셀들(MC)에 데이터가 프로그램된 예를 보여준다. 도 3, 도 4, 도 5 및 도 6을 참조하면, 예시적으로 각 메모리 셀(MC)에 3개의 비트들이 프로그램된 예가 도시된다. 도 6에서 가로축은 메모리 셀들(MC)의 문턱 전압(VTH)을 가리키고, 세로축은 메모리 셀들(MC)의 수를 가리킨다. 예시적으로, 메모리 셀들(MC)은 제1 내지 제8 메모리 셀들(MC1~MC8)에 대응할 수 있다.

[0069] 3개의 비트들이 프로그램된 메모리 셀들(MC)은 소거 상태(E), 제1 프로그램 상태(P1), 제2 프로그램 상태(P2), 제3 프로그램 상태(P3), 제4 프로그램 상태(P4), 제5 프로그램 상태(P5), 제6 프로그램 상태(P6), 그리고 제7 프로그램 상태(P7) 중 하나의 상태에 해당하는 문턱 전압을 가질 수 있다.

[0070] 둘 이상의 상태들의 전압 범위들이 중복되는 영역에 속한 메모리 셀의 데이터는 읽기 동작 시에 에러로 읽혀질 수 있다. 불휘발성 메모리 장치(200)의 데이터 저장 특성에 따라, 메모리 셀들의 상태들의 문턱 전압 범위들은 달라질 수 있다. 즉, 불휘발성 메모리 장치(200)의 데이터 저장 특성에 따라, 불휘발성 메모리 장치(200)에서 에러가 발생하는 양상이 달라질 수 있다.

[0071] 도 4, 도 5 및 도 6을 참조하여 설명된 바와 같이, 주소 및 데이터 저장 특성과 같은 읽기 동작과 연관된 물리적 특색들에 따라, 에러들이 발생하는 양상이 달라질 수 있다. 물리적 특색들에 따라, 에러 정정의 정확도를 높이기 위한 파라미터들, 예를 들어 메모리 셀들에 인가되는 전압들 또는 전류들의 값들 또는 오프셋들이 달라질 수 있다.

[0072] 에러가 발생한 때에 에러 정정의 정확도를 높일 수 있는 전압들 또는 전류들의 값들 또는 오프셋들을 파악하는 것은 추가적인 시간을 필요로 하며, 불휘발성 메모리 장치(200)를 액세스하는 시간을 지연시킬 수 있다.

[0073] 도 2를 참조하여 설명된 바와 같이, 본 발명의 실시 예에 따른 전자 장치(10)는 불휘발성 메모리 장치들(11)에 대해 읽기 동작들을 수행하여, 정해진 SER 및 SCR에서, 물리적 특색들 및 물리적 특색들에 따른 오프셋들의 데이터셋을 수집할 수 있다. 또한, 전자 장치(10)는 수집된 데이터셋에 기반하여 기계 학습을 수행하여, 에러가 발생한 메모리 셀들과 연관된 물리적 특색들이 입력된 때에 적절한 오프셋 정보를 출력하는 오프셋 예측 모듈을 생성할 수 있다. 오프셋들의 파악을 위한 추가적인 시간 없이 적절한 오프셋 정보가 도출되며, 따라서 불휘발성 메모리 장치(200)의 에러 정정의 신뢰성 및 속도가 향상될 수 있다.

[0074] 도 7은 전자 장치(10)가 데이터셋을 생성하는 과정의 예를 보여준다. 도 1 및 도 7을 참조하면, S310 단계에서, 컴퓨팅 장치(100)는 불휘발성 메모리 장치들(11)의 각각의 주소를 선택할 수 있다. 컴퓨팅 장치(100)는 순차적으로, 랜덤으로, 또는 정해진 알고리즘에 기반하여 불휘발성 메모리 장치들(11)의 각각의 주소를 선택할 수 있다. 불휘발성 메모리 장치들(11)의 각각의 주소 중 행 주소(RA)는 물리적 특성들에 포함될 수 있다.

[0075] S320 단계에서, 컴퓨팅 장치(100)는 불휘발성 메모리 장치들(11)의 각각에 대해 읽기 동작들을 수행하여, 메모리 셀들의 문턱 전압들의 산포 상태에 대한 정보를 검출할 수 있다. 문턱 전압들의 산포 상태에 대한 정보는 밸리의 정보를 포함할 수 있다. 밸리는 도 6과 같은 문턱 전압들의 산포도에서, 서로 인접한 두 개의 문턱 전압 산포들이 중첩되는 중앙일 수 있다. 컴퓨팅 장치(100)는 읽기 동작들의 결과에 기반하여, 영역 값(VA)을 계산할 수 있다. 밸리의 정보 및 영역 값(VA)은 물리적 특성들에 포함될 수 있다.

[0076] S330 단계에서, 컴퓨팅 장치(100)는 SER의 값 또는 SCR의 값에 기반하여, SER의 값 및 SCR의 값에 대응하는 제2 오프셋을 검출할 수 있다. 예를 들어, 컴퓨팅 장치(100)는 정해진 SER의 값 또는 정해진 SCR의 값에 대응하는 제2 오프셋을 검출할 수 있다. 또는, 컴퓨팅 장치(100)는 서로 다른 SER 값들 및 서로 다른 SCR 값들에 대응하는 제2 오프셋들을 검출할 수 있다.

[0077] S340 단계에서, 컴퓨팅 장치(100)는 제2 오프셋에 대한 물리적 특색들의 데이터를 데이터셋의 일부로서 생성할 수 있다. 컴퓨팅 장치(100)는 서로 다른 물리적 특색들(예를 들어, 서로 다른 주소들 또는 서로 다른 데이터 저장 특성들)에 대해 S310 단계 및 S340 단계를 반복적으로 수행하여, 데이터셋을 생성할 수 있다.

[0078] 도 8은 불휘발성 메모리 장치들(11)의 각각에 대해 제1 읽기 동작들을 수행하는 예를 보여준다. 도 1, 도 7 및 도 8을 참조하면, 제1 읽기 동작들은 서로 인접한 두 개의 상태들을 사이에 정의된 표준 읽기 레벨(VR)을 이용한 읽기, 표준 읽기 레벨(VR)보다 제1 오프셋만큼 높은 제1 읽기 레벨(VR1)을 이용한 읽기, 그리고 표준 읽기 레벨(VR)보다 제1 오프셋만큼 낮은 제2 읽기 레벨(VR2)을 이용한 읽기를 포함할 수 있다.

[0079] 또한, 제1 읽기 동작들은 제1 읽기 레벨(VR1)보다 제1 오프셋만큼 높은 제3 읽기 레벨(VR3)을 이용한 읽기, 그리고 제2 읽기 레벨(VR2)보다 제2 오프셋만큼 낮은 제4 읽기 레벨(VR4)을 이용한 읽기를 더 포함할 수 있다.

[0080] 제1 읽기 동작들에서, 컴퓨팅 장치(100)는 영역들의 값들(또는 메모리 셀들의 수들)을 물리적 특색으로 계산할 수 있다. 예를 들어, 컴퓨팅 장치(100)는 표준 읽기 레벨(VR)과 제1 읽기 레벨(VR1)의 사이의 문턱 전압을 갖는 메모리 셀들의 수를 물리적 특색들로 계산할 수 있다.

[0081] 컴퓨팅 장치(100)는 표준 읽기 레벨(VR)과 제2 읽기 레벨(VR2)의 사이의 문턱 전압을 갖는 메모리 셀들의 수를 물리적 특색들로 계산할 수 있다. 컴퓨팅 장치(100)는 제1 읽기 레벨(VR1)과 제3 읽기 레벨(VR3)의 사이의 문턱 전압을 갖는 메모리 셀들의 수를 물리적 특색들로 계산할 수 있다. 컴퓨팅 장치(100)는 제2 읽기 레벨(VR2)과 제4 읽기 레벨(VR4)의 사이의 문턱 전압을 갖는 메모리 셀들의 수를 물리적 특색들로 계산할 수 있다.

[0082] 컴퓨팅 장치(100)는 제3 읽기 레벨(VR3)보다 높은 문턱 전압을 갖는 메모리 셀들의 수를 물리적 특색들로 계산할 수 있다. 컴퓨팅 장치(100)는 제4 읽기 레벨(VR4)보다 높은 문턱 전압을 갖는 메모리 셀들의 수를 물리적 특색들로 계산할 수 있다.

[0083] 컴퓨팅 장치(100)는 표준 읽기 레벨(VR), 제1 읽기 레벨(VR1), 제2 읽기 레벨(VR2), 제3 읽기 레벨(VR3) 및 제4 읽기 레벨(V4) 중 적어도 세 개의 읽기 결과들에 기반하여, 밸리(V)의 레벨을 계산할 수 있다. 밸리(V)는 서로 인접한 두 개의 상태들에 대응하는 선들이 교차하는 레벨일 수 있다.

[0084] 예시적으로, 컴퓨팅 장치(100)는 소거 상태(E) 및 제1 프로그램 상태(P1)의 사이, 제1 프로그램 상태(P1) 및 제2 프로그램 상태(P2)의 사이, 제2 프로그램 상태(P2) 및 제3 프로그램 상태(P3)의 사이, 제3 프로그램 상태(P3) 및 제4 프로그램 상태(P4)의 사이, 제4 프로그램 상태(P4) 및 제5 프로그램 상태(P5)의 사이, 제5 프로그램 상태(P5) 및 제6 프로그램 상태(P6)의 사이, 그리고 제6 프로그램 상태(P6) 및 제7 프로그램 상태(P7)의 사이에 대해 각각 도 8을 참조하여 설명된 읽기 동작들을 수행할 수 있다.

[0085] 즉, 컴퓨팅 장치(100)는 불휘발성 메모리 장치들(11)의 각각의 문턱 전압 상태들 사이의 표준 읽기 레벨들의 전부에 대해 제1 읽기 동작들을 수행하고, 그리고 밸리(V) 및 영역의 값들을 계산할 수 있다.

[0086] 다른 예로서, 컴퓨팅 장치(100)는 소거 상태(E) 및 제1 프로그램 상태(P1)의 사이, 제1 프로그램 상태(P1) 및 제2 프로그램 상태(P2)의 사이, 제2 프로그램 상태(P2) 및 제3 프로그램 상태(P3)의 사이, 제3 프로그램 상태(P3) 및 제4 프로그램 상태(P4)의 사이, 제4 프로그램 상태(P4) 및 제5 프로그램 상태(P5)의 사이, 제5 프로그램 상태(P5) 및 제6 프로그램 상태(P6)의 사이, 그리고 제6 프로그램 상태(P6) 및 제7 프로그램 상태(P7)의 사이 중 적어도 하나에 대해 도 8을 참조하여 설명된 제1 읽기 동작들을 수행할 수 있다.

[0087] 예를 들어, 컴퓨팅 장치(100)는 데이터 저장 특성에 따라 문턱 전압들의 변화가 가장 큰 제6 프로그램 상태(P6) 및 제7 프로그램 상태(P7)의 사이에 대해 도 8을 참조하여 설명된 제1 읽기 동작들을 수행하고, 그리고 밸리(V) 및 영역의 값들을 계산할 수 있다.

[0088] 도 9는 불휘발성 메모리 장치들(11)의 각각에 대해 제2 읽기 동작들을 수행하는 예를 보여준다. 도 1, 도 7, 도 8 및 도 9를 참조하면, 제2 읽기 동작들은 서로 인접한 두 개의 상태들을 사이에서 계산된 경판정 읽기 레벨(VRHD)을 이용한 읽기, 경판정 읽기 레벨(VRHD)로부터 읽기 레벨을 증가시키며 수행되는 읽기들, 그리고 경판정 읽기 레벨(VRHD)로부터 읽기 레벨들을 감소시키며 수행되는 읽기들을 포함할 수 있다.

[0089] 예를 들어, 경판정 읽기 레벨(VRHD)은 제1 읽기 동작들을 통해 계산된 밸리(V)의 레벨에 대응할 수 있다. 경판정 읽기 레벨(VRHD)로부터 읽기 레벨을 증가시키며 수행되는 읽기들 그리고 경판정 읽기 레벨(VRHD)로부터 읽기 레벨을 감소시키며 수행되는 읽기들은 SER을 만족시키는 읽기 레벨들, 예를 들어 제1 연판정 읽기 레벨(VSD1) 및 제2 연판정 읽기 레벨(VSD2)이 검출될 때까지 수행될 수 있다. SER은 수학식 1에 의해 계산될 수 있다.

*수학식 1*

[0090] $$SER = \frac{SE1 + SE2}{(SE1 + SE2) + (WE1 + WE2)}$$

[0091] SE1은 제1 상태(S1)(예를 들어, 제6 프로그램 상태(P6))로 프로그램된 메모리 셀들 중에서, 경판정 읽기 레벨(VRHD)로 읽을 때에 제2 상태(S2)로 판별되고 그리고 제1 연판정 읽기 레벨(VSD1)로 읽을 때에도 제2 상태(S2)로 판별되는 강한 에러에 대응하는 메모리 셀들의 수를 나타낸다.

[0092] SE2는 제2 상태(S2)(예를 들어, 제7 프로그램 상태(P7))로 프로그램된 메모리 셀들 중에서, 경판정 읽기 레벨(VRHD)로 읽을 때에 제1 상태(S1)로 판별되고 그리고 제2 연판정 읽기 레벨(VSD2)로 읽을 때에도 제1 상태(S1)로 판별되는 강한 에러에 대응하는 메모리 셀들의 수를 나타낸다.

[0093] WE1은 제1 상태(S1)(예를 들어, 제6 프로그램 상태(P6))로 프로그램된 메모리 셀들 중에서, 경판정 읽기 레벨(VRHD)로 읽을 때에 제2 상태(S2)로 판별되고 그리고 제1 연판정 읽기 레벨(VSD1)로 읽을 때에 제1 상태(S1)로 판별되는 약한 에러에 대응하는 메모리 셀들의 수를 나타낸다.

[0094] WE2는 제2 상태(S2)(예를 들어, 제7 프로그램 상태(P7))로 프로그램된 메모리 셀들 중에서, 경판정 읽기 레벨(VRHD)로 읽을 때에 제1 상태(S1)로 판별되고 그리고 제2 연판정 읽기 레벨(VSD2)로 읽을 때에 제2 상태(S2)로 판별되는 강한 에러에 대응하는 메모리 셀들의 수를 나타낸다.

[0095] 컴퓨팅 장치(100)에 의해 정해진 SER을 만족하는 제1 연판정 읽기 레벨(VSD1) 및 제2 연판정 읽기 레벨(VSD2)이 검출될 때까지, 컴퓨팅 장치(100)는 불휘발성 메모리 장치들(11)의 각각에 대해 제2 읽기 동작들을 수행할 수 있다. 정해진 SER이 만족되면, 컴퓨팅 장치(100)는 경판정 읽기 레벨(VRHD)과 제1 연판정 읽기 레벨(VSD1) 사이의 차이, 경판정 읽기 레벨(VRHD)과 제2 연판정 읽기 레벨(VSD2) 사이의 차이, 이들 모두, 또는 이들 모두의 중간값(또는 평균값)을 제2 오프셋(들)으로 판단할 수 있다.

[0096] 도 10은 불휘발성 메모리 장치들(11)의 각각에 대해 제2 읽기 동작들을 수행하는 다른 예를 보여준다. 도 1, 도 7, 도 8 및 도 10을 참조하면, 제2 읽기 동작들은 서로 인접한 두 개의 상태들을 사이에서 계산된 경판정 읽기 레벨(VRHD)을 이용한 읽기, 경판정 읽기 레벨(VRHD)로부터 읽기 레벨을 증가시키며 수행되는 읽기들, 그리고 경판정 읽기 레벨(VRHD)로부터 읽기 레벨들을 감소시키며 수행되는 읽기들을 포함할 수 있다.

[0097] 예를 들어, 경판정 읽기 레벨(VRHD)은 제1 읽기 동작들을 통해 계산된 밸리(V)의 레벨에 대응할 수 있다. 경판정 읽기 레벨(VRHD)로부터 읽기 레벨을 증가시키며 수행되는 읽기들 그리고 경판정 읽기 레벨(VRHD)로부터 읽기 레벨을 감소시키며 수행되는 읽기들은 SCR을 만족시키는 읽기 레벨들, 예를 들어 제1 연판정 읽기 레벨(VSD1) 및 제2 연판정 읽기 레벨(VSD2)이 검출될 때까지 수행될 수 있다. SCR은 수학식 2에 의해 계산될 수 있다.

*수학식 2*

[0098] $$SCR = \frac{SC1 + SC2}{(SC1 + SC2) + (WC1 + WC2)}$$

[0099] SC1은 제1 상태(S1)(예를 들어, 제6 프로그램 상태(P6))로 프로그램된 메모리 셀들 중에서, 경판정 읽기 레벨(VRHD)로 읽을 때에 제1 상태(S1)로 판별되고 그리고 제2 연판정 읽기 레벨(VSD2)로 읽을 때에도 제1 상태(S1)로 판별되는 강한 정확함에 대응하는 메모리 셀들의 수를 나타낸다.

[0100] SC2는 제2 상태(S2)(예를 들어, 제7 프로그램 상태(P7))로 프로그램된 메모리 셀들 중에서, 경판정 읽기 레벨(VRHD)로 읽을 때에 제2 상태(S2)로 판별되고 그리고 제1 연판정 읽기 레벨(VSD1)로 읽을 때에도 제2 상태(S2)로 판별되는 강한 정확함에 대응하는 메모리 셀들의 수를 나타낸다.

[0101] WC1은 제1 상태(S1)(예를 들어, 제6 프로그램 상태(P6))로 프로그램된 메모리 셀들 중에서, 경판정 읽기 레벨(VRHD)로 읽을 때에 제1 상태(S1)로 판별되고 그리고 제2 연판정 읽기 레벨(VSD2)로 읽을 때에 제2 상태(S2)로 판별되는 약한 정확함에 대응하는 메모리 셀들의 수를 나타낸다.

[0102] WC2는 제2 상태(S2)(예를 들어, 제7 프로그램 상태(P7))로 프로그램된 메모리 셀들 중에서, 경판정 읽기 레벨(VRHD)로 읽을 때에 제2 상태(S2)로 판별되고 그리고 제1 연판정 읽기 레벨(VSD1)로 읽을 때에 제1 상태(S1)로 판별되는 약한 정확함에 대응하는 메모리 셀들의 수를 나타낸다.

[0103] 컴퓨팅 장치(100)에 의해 정해진 SCR을 만족하는 제1 연판정 읽기 레벨(VSD1) 및 제2 연판정 읽기 레벨(VSD2)이 검출될 때까지, 컴퓨팅 장치(100)는 불휘발성 메모리 장치들(11)의 각각에 대해 제2 읽기 동작들을 수행할 수 있다. 정해진 SCR이 만족되면, 컴퓨팅 장치(100)는 경판정 읽기 레벨(VRHD)과 제1 연판정 읽기 레벨(VSD1) 사이의 차이, 경판정 읽기 레벨(VRHD)과 제2 연판정 읽기 레벨(VSD2) 사이의 차이, 이들 모두, 또는 이들 모두의 중간값(또는 평균값)을 제2 오프셋(들)으로 판단할 수 있다.

[0104] 예시적으로, 컴퓨팅 장치(100)는 SER의 값 및 SCR의 값 모두를 선택하고, 그리고 SER의 값 및 SCR의 값을 만족하는 연판정 읽기 레벨들로부터 제2 오프셋들을 계산할 수 있다. 컴퓨팅 장치(100)는 SER의 값을 만족하는 제2 오프셋들과 SCR의 값을 만족하는 제2 오프셋들의 중간값, 평균값 등을 최종 제2 오프셋들로 판단할 수 이다.

[0105] 다른 예로서, 컴퓨팅 장치(100)는 SER의 값 및 SCR의 값 중 하나만을 선택하고, 선택된 SER의 값 또는 SCR의 값을 만족하는 연판정 읽기 레벨들로부터 제2 오프셋들을 계산할 수 있다.

[0106] 제2 오프셋이 계산되면, 컴퓨팅 장치(100)는 제2 오프셋에 대응하는 물리적 특색들(예를 들어, 주소, 데이터 저장 특성 등을 포함하는)을 제2 오프셋과 연관하는 데이터를 데이터셋의 일부로서 데이터베이스(12)에 저장할 수 있다.

[0107] 도 11은 본 발명의 실시 예에 따른 스토리지 장치(300)를 보여준다. 도 11을 참조하면, 스토리지 장치(300)는 불휘발성 메모리 장치(310), 메모리 제어기(320), 그리고 외부 버퍼(330)를 포함할 수 있다. 불휘발성 메모리 장치(310)는 복수의 메모리 셀들을 포함할 수 있다. 복수의 메모리 셀들의 각각은 둘 이상의 비트들을 저장할 수 있다.

[0108] 예를 들어, 불휘발성 메모리 장치(310)는 플래시 메모리 장치, 상 변화 메모리 장치, 강유전체 메모리 장치, 자기 메모리 장치, 저항성 메모리 장치 등과 같은 다양한 불휘발성 메모리 장치들 중 적어도 하나를 포함할 수 있다. 불휘발성 메모리 장치(310)는 도 3 내지 도 5를 참조하여 설명된 불휘발성 메모리 장치(200)를 포함할 수 있다.

[0109] 메모리 제어기(320)는 외부의 호스트 장치로부터 불휘발성 메모리 장치(310)에 데이터를 기입하거나 또는 불휘발성 메모리 장치(310)로부터 데이터를 읽기 위한 다양한 요청들을 수신할 수 있다. 메모리 제어기(320)는 외부의 호스트 장치와 통신되는 사용자 데이터를 외부 버퍼(330)에 저장(또는 버퍼링)하고, 그리고 스토리지 장치(300)를 관리하기 위한 메타 데이터를 외부 버퍼(330)에 저장할 수 있다.

[0110] 메모리 제어기(320)는 제1 신호선들(SIGL1) 및 제2 신호선들(SIGL2)을 통해 불휘발성 메모리 장치(310)를 액세스할 수 있다. 예를 들어, 메모리 제어기(320)는 제1 신호선들(SIGL1)을 통해 불휘발성 메모리 장치(310)에 명령 및 주소를 전송할 수 있다. 메모리 제어기(320)는 제1 신호선들(SIGL1)을 통해 불휘발성 메모리 장치(310)와 데이터를 교환할 수 있다.

[0111] 메모리 제어기(320)는 제2 신호선들(SIGL2)을 통해 불휘발성 메모리 장치(310)와 제어 신호를 교환할 수 있다.

[0112] 예시적으로, 메모리 제어기(320)는 둘 이상의 불휘발성 메모리 장치들을 제어하도록 구성될 수 있다. 메모리 제어기(320)는 둘 이상의 불휘발성 메모리 장치들의 각각에 대해 서로 다른 제1 신호선들 및 서로 다른 제2 신호선들을 구비할 수 있다.

[0113] 다른 예로서, 메모리 제어기(320)는 둘 이상의 불휘발성 메모리 장치들에 대해 하나의 제1 신호선들을 공유할 수 있다. 메모리 제어기(320)는 둘 이상의 불휘발성 메모리 장치들에 대해 제2 신호선들의 일부를 공유하고, 그리고 나머지 일부를 별도로 구비할 수 있다.

[0114] 외부 버퍼(330)는 랜덤 액세스 메모리를 포함할 수 있다. 예를 들어, 외부 버퍼(330)는 동적 랜덤 액세스 메모리, 상 변화 랜덤 액세스 메모리, 강유전체 랜덤 액세스 메모리, 자기 랜덤 액세스 메모리, 저항성 랜덤 액세스 메모리 중 적어도 하나를 포함할 수 있다.

[0115] 메모리 제어기(320)는 버스(321), 호스트 인터페이스(322), 내부 버퍼(323), 프로세서(324), 버퍼 제어기(325), 메모리 관리자(326), 그리고 에러 정정 코드 블록(327)(ECC 블록)(Error Correction Code 블록)을 포함할 수 있다.

[0116] 버스(321)는 메모리 제어기(320) 내부의 구성 요소들 사이에 통신 채널들을 제공할 수 있다. 호스트 인터페이스(322)는 외부의 호스트 장치로부터 다양한 요청들을 수신하고, 그리고 수신된 요청들을 해석할 수 있다. 호스트 인터페이스(322)는 해석된 요청들을 내부 버퍼(323)에 저장할 수 있다.

[0117] 호스트 인터페이스(322)는 외부의 호스트 장치에 다양한 응답들을 전송할 수 있다. 호스트 인터페이스(322)는 정해진 통신 프로토콜에 기반하여 외부의 호스트 장치와 신호들을 교환할 수 있다. 내부 버퍼(323)는 랜덤 액세스 메모리를 포함할 수 있다. 예를 들어, 내부 버퍼(323)는 정적 랜덤 액세스 메모리 또는 동적 랜덤 액세스 메모리를 포함할 수 있다.

[0118] 프로세서(324)는 메모리 제어기(320)를 구동하기 위한 운영 체제 또는 펌웨어를 구동할 수 있다. 프로세서(324)는 내부 버퍼(323)에 저장된 해석된 요청들을 읽고, 불휘발성 메모리 장치(310)를 제어하기 위한 명령들 및 주소들을 생성할 수 있다. 프로세서(324)는 생성된 명령들 및 주소들을 메모리 관리자(326)로 전달할 수 있다.

[0119] 프로세서(324)는 스토리지 장치(300)를 관리하기 위한 다양한 메타 데이터를 내부 버퍼(323)에 저장할 수 있다. 프로세서(324)는 버퍼 제어기(325)를 통해 외부 버퍼(330)를 액세스할 수 있다. 프로세서(324)는 외부 버퍼(330)에 저장된 사용자 데이터를 불휘발성 메모리 장치(310)로 전송하도록 버퍼 제어기(325) 및 메모리 관리자(326)를 제어할 수 있다.

[0120] 프로세서(324)는 외부 버퍼(330)에 저장된 데이터를 외부의 호스트 장치로 전송하도록 호스트 인터페이스(322) 및 버퍼 제어기(325)를 제어할 수 있다. 프로세서(324)는 불휘발성 메모리 장치(310)로부터 수신되는 데이터를 외부 버퍼(330)에 저장하도록 버퍼 제어기(325) 및 메모리 관리자(326)를 제어할 수 있다. 프로세서(324)는 외부의 호스트 장치로부터 수신되는 데이터를 외부 버퍼(330)에 저장하도록 호스트 인터페이스(322) 및 버퍼 제어기(325)를 제어할 수 있다.

[0121] 버퍼 제어기(325)는 프로세서(324)의 제어에 따라 외부 버퍼(330)에 데이터를 기입하거나 외부 버퍼(330)로부터 데이터를 읽을 수 있다. 메모리 관리자(326)는 프로세서(324)의 제어에 따라 제1 신호선들(SIGL1) 및 제2 신호선들(SIGL2)을 통해 불휘발성 메모리 장치(310)와 통신할 수 있다.

[0122] 메모리 관리자(326)는 프로세서(324)의 제어에 따라 불휘발성 메모리 장치(310)를 액세스할 수 있다. 예를 들어, 메모리 관리자(326)는 제1 신호선들(SIGL1) 및 제2 신호선들(SIGL2)을 통해 불휘발성 메모리 장치(310)를 액세스할 수 있다. 메모리 관리자(326)는 표준에 기반하여 정해진 또는 제조자에 의해 정해진 프로토콜에 기반하여 불휘발성 메모리 장치(310)와 통신할 수 있다.

[0123] 에러 정정 코드 블록(327)은 불휘발성 메모리 장치(310)로 전송되는 데이터에 대해 에러 정정 코드(ECC)를 이용하여 에러 정정 인코딩을 수행할 수 있다. 에러 정정 코드 블록(327)은 불휘발성 메모리 장치(310)로부터 수신되는 데이터에 대해 에러 정정 코드(ECC)를 이용하여 에러 정정 디코딩을 수행할 수 있다.

[0124] 예시적으로, 스토리지 장치(300)에서 외부 버퍼(330) 및 버퍼 제어기(325)는 생략될 수 있다. 외부 버퍼(330) 및 버퍼 제어기(325)가 생략될 때, 외부 버퍼(330) 및 버퍼 제어기(325)에 의해 수행되는 것으로 설명된 기능들은 내부 버퍼(323)에 의해 수행될 수 있다.

[0125] 프로세서(324)는 오프셋 예측 모듈(328)을 포함할 수 있다. 오프셋 예측 모듈(328)은 도 1의 컴퓨팅 장치(100)에 획득되는 데이터셋에 기반하여 학습될 수 있다. 오프셋 예측 모듈(328)은 랜덤 포레스트, 멀티-레이어 퍼셉션, 또는 리니어 리그레션에 기반하여 학습될 수 있다. 물리적 특색들이 입력되는 것에 응답하여, 오프셋 예측 모듈(328)은 제2 오프셋을 가리키는 오프셋 정보를 예측하도록 학습될 수 있다.

[0126] 도 12는 스토리지 장치(300)가 읽기 동작을 수행하는 예를 보여준다. 도 11 및 도 12를 참조하면, S411 단계 내지 S414 단계는 제1 단계 읽기 동작에 대응할 수 있다. 제1 단계 읽기 동작을 참조하면, S411 단계에서, 메모리 제어기(320)는 불휘발성 메모리 장치(310)에 읽기 명령을 전달할 수 있다. 예를 들어, 메모리 제어기(320)는 외부의 호스트 장치의 요청에 따라 또는 내부적으로 정해진 스케줄에 따라 불휘발성 메모리 장치(310)로 읽기 명

령을 전송할 수 있다.

[0127] 읽기 명령에 응답하여, S412 단계에서, 불휘발성 메모리 장치(310)는 읽기 동작을 수행할 수 있다. 예를 들어, 불휘발성 메모리 장치(310)는 표준 읽기 레벨들에 기반하여 읽기 동작을 수행할 수 있다. S413 단계에서, 불휘발성 메모리 장치(310)는 읽기 동작의 결과로서 제1 데이터를 메모리 제어기(320)로 전송할 수 있다.

[0128] S414 단계에서, 메모리 제어기(320)는 에러 정정 코드 블록(327)에 기반하여 에러 정정 디코딩을 수행할 수 있다. 에러 정정 디코딩에 의해 제1 데이터의 에러가 정정되면, 즉 에러 정정 코드(ECC)의 페일이 발생하지 않으면, S450 단계에서 메모리 제어기(320)는 읽기 성공을 판단할 수 있다.

[0129] 에러 정정 디코딩에 의해 제1 데이터의 에러가 정정되지 않으면, 즉 에러 정정 코드(ECC)의 페일이 발생하면, S421 단계 내지 S424 단계의 제2 단계 읽기 동작이 수행될 수 있다. 제2 단계 읽기 동작을 참조하면, S421 단계에서, 메모리 제어기(320)는 읽기 명령 및 제1 오프셋의 정보를 불휘발성 메모리 장치(310)에 전송할 수 있다. 제1 오프셋은 도 8을 참조하여 설명된 제1 오프셋에 대응할 수 있다. 제1 오프셋은 밸리(V)를 검색하기 위한 오프셋일 수 있다.

[0130] 읽기 명령 및 제1 오프셋의 정보에 응답하여, S422 단계에서, 불휘발성 메모리 장치(310)는 읽기 동작들을 수행할 수 있다. 예를 들어, 불휘발성 메모리 장치(310)는 표준 읽기 레벨(들), 표준 읽기 레벨(들)보다 제1 오프셋만큼 높은 읽기 레벨(들), 그리고 표준 읽기 레벨(들)보다 제1 오프셋만큼 낮은 읽기 레벨(들)에 기반하여 읽기 동작들을 수행할 수 있다.

[0131] S423 단계에서, 불휘발성 메모리 장치(310)는 읽기 동작들의 결과로서 제2 데이터를 메모리 제어기(320)로 전송할 수 있다. S424 단계에서, 메모리 제어기(320)는 제2 데이터에 기반하여 경판정 읽기 레벨(VRHD)(들)을 검출할 수 있다.

[0132] 경판정 읽기 레벨(VRHD)(들)이 검출되는 것에 응답하여, S431 단계 내지 S434 단계의 제3 단계 읽기 동작이 수행될 수 있다. 제3 단계 읽기 동작을 참조하면, S431 단계에서, 메모리 제어기(320)는 불휘발성 메모리 장치(310)에 읽기 명령 및 경판정 읽기 레벨(VRHD)(들)의 정보를 전달할 수 있다.

[0133] 예를 들어, 경판정 읽기 레벨(VRHD)(들)의 정보는 표준 읽기 레벨(들)에 대한 오프셋(들)의 형태로 불휘발성 메모리 장치(310)로 전달될 수 있다. 불휘발성 메모리 장치(310)는 오프셋(들)에 기반하여, 표준 읽기 레벨들로부터 경판정 읽기 레벨들(VRHD)을 검출할 수 있다.

[0134] 제3 단계 읽기 동작을 참조하면, S431 단계에서, 메모리 제어기(320)는 불휘발성 메모리 장치(310)에 읽기 명령 및 경판정 읽기 레벨(VRHD)을 전달할 수 있다. 예를 들어, 메모리 제어기(320)는 외부의 호스트 장치의 요청에 따라 또는 내부적으로 정해진 스케줄에 따라 불휘발성 메모리 장치(310)로 읽기 명령을 전송할 수 있다.

[0135] 읽기 명령 및 경판정 읽기 레벨(VRHD)(들)의 정보에 응답하여, S432 단계에서, 불휘발성 메모리 장치(310)는 읽기 동작을 수행할 수 있다. 예를 들어, 불휘발성 메모리 장치(310)는 경판정 읽기 레벨들(VRHD)에 기반하여 읽기 동작들을 수행할 수 있다. S433 단계에서, 불휘발성 메모리 장치(310)는 읽기 동작의 결과로서 제3 데이터를 메모리 제어기(320)로 전송할 수 있다.

[0136] S434 단계에서, 메모리 제어기(320)는 에러 정정 코드 블록(327)에 기반하여 에러 정정 디코딩을 수행할 수 있다. 에러 정정 디코딩에 의해 제3 데이터의 에러가 정정되면, 즉 에러 정정 코드(ECC)의 페일이 발생하지 않으면, S450 단계에서 메모리 제어기(320)는 읽기 성공을 판단할 수 있다.

[0137] 에러 정정 디코딩에 의해 제3 데이터의 에러가 정정되지 않으면, 즉 에러 정정 코드(ECC)의 페일이 발생하면, S441 단계 내지 S445 단계의 제4 단계 읽기 동작이 수행될 수 있다. 제4 단계 읽기 동작을 참조하면, S441 단계에서, 메모리 제어기(320)는 주소, 제2 단계 읽기 동작에서 검출되는 영역들의 값들, 읽기 대상인 메모리 셀들의 데이터 저장 특성 등을 포함하는 물리적 특색들에 기반하여, 오프셋 예측 모듈(328)로부터 제2 오프셋을 예측할 수 있다.

[0138] S442 단계에서, 메모리 제어기(320)는 읽기 명령, 경판정 읽기 레벨(VRHD)(들)의 정보 및 제2 오프셋의 정보를 불휘발성 메모리 장치(310)에 전송할 수 있다. 예를 들어, 경판정 읽기 레벨(VRHD)(들)의 정보는 표준 읽기 레벨(들)에 대한 오프셋(들)의 형태로 불휘발성 메모리 장치(310)로 전달될 수 있다. 불휘발성 메모리 장치(310)는 오프셋(들)에 기반하여, 표준 읽기 레벨들로부터 경판정 읽기 레벨들(VRHD)을 검출할 수 있다. 제2 오프셋은 도 9 및 도 10을 참조하여 설명된 제2 오프셋에 대응할 수 있다. 제2 오프셋은 정해진 SER 또는 SCR을 만족하는

오프셋일 수 있다.

[0139] S443 단계에서, 읽기 명령, 경판정 읽기 레벨(VRHD)(들)의 정보, 그리고 제2 오프셋의 정보에 기반하여, 읽기 동작들을 수행할 수 있다. 예를 들어, 불휘발성 메모리 장치(310)는 경판정 읽기 레벨들(VRHD), 경판정 읽기 레벨들(VRHD)보다 제2 오프셋만큼 높은 읽기 레벨들, 그리고 경판정 읽기 레벨들(VRHD)보다 제2 오프셋만큼 낮은 읽기 레벨들에 기반하여 읽기 동작들을 수행할 수 있다.

[0140] S444 단계에서, 불휘발성 메모리 장치(310)는 읽기 동작들의 결과로서 제4 데이터를 메모리 제어기(320)로 전송할 수 있다. S445 단계에서, 메모리 제어기(320)는 에러 정정 코드 블록(327)에 기반하여 에러 정정 디코딩을 수행할 수 있다.

[0141] 예시적으로, 에러 정정 디코딩은 연판정(soft decision)에 기반할 수 있다. 에러 정정 디코딩은 저밀도 패리티 검사(LDPC)(Low Density Parity Check)에 기반할 수 있다. 경판정 읽기 레벨들(VRHD)의 읽기 결과들, 경판정 읽기 레벨들(VRHD)보다 제2 오프셋만큼 높은 읽기 레벨들의 읽기 결과들, 그리고 경판정 읽기 레벨들(VRHD)보다 제2 오프셋만큼 낮은 읽기 레벨들의 읽기 결과들에 우도비(likelihood ratio) 또는 우도(likelihood)가 부여될 수 있다.

[0142] 우도비 또는 우도에 기반하여 검사 노드로부터 변수 노드로의 메시지 전송 및 변수 노드로부터 검사 노드로의 메시지 전송을 반복함으로써, 에러 정정 디코딩이 수행될 수 있다. 에러 정정 디코딩에 의해 제4 데이터의 에러가 정정되면, 즉 에러 정정 코드(ECC)의 페일이 발생하지 않으면, S450 단계에서 메모리 제어기(320)는 읽기 성공을 판단할 수 있다.

[0143] 에러 정정 디코딩에 의해 제4 데이터의 에러가 정정되지 않으면, 즉 에러 정정 코드(ECC)의 페일이 발생하면, S460 단계에서 메모리 제어기(320)는 불휘발성 메모리 장치(310)와 배드 프로세스를 수행할 수 있다. 예를 들어, 메모리 제어기(320)는 읽기 대상인 메모리 블록을 배드 블록으로 처리할 수 있다.

[0144] 읽기 성공 또는 배드 프로세스가 완료되면, 불휘발성 메모리 장치(310) 및 메모리 제어기(320)의 읽기 동작이 종료될 수 있다. 예시적으로, 제3 단계의 읽기 동작은 생략될 수 있다. 즉, 경판정 읽기 레벨(VRHD)이 검출되는 것에 응답하여, 제4 단계의 읽기 동작이 수행될 수 있다.

[0145] 도 13은 메모리 제어기(320)가 물리적 특색들에 기반하여 제2 오프셋을 예측하는 예를 보여준다. 도 11 및 도 13을 참조하면, S510 단계에서, 메모리 제어기(320)는 물리적 특색들을 수집할 수 있다. 물리적 특색들은 주소, 제2 단계의 읽기 동작에서 수집되는 영역들의 값들, 그리고 읽기 대상인 메모리 셀들의 데이터 저장 특성을 포함할 수 있다.

[0146] S520 단계에서, 메모리 제어기(320)는 수집된 물리적 특색들을 오프셋 예측 모듈(328)에 입력할 수 있다. 예를 들어, 오프셋 예측 모듈(328)은 기계 학습 기반의 연산을 가속하는 별도의 가속 프로세서에 의해 실행될 수 있다.

[0147] S530 단계에서, 메모리 제어기(320)는 오프셋 예측 모듈(328)로부터 물리적 특색들에 대응하는 제2 오프셋을 수신할 수 있다.

[0148] 상술된 바와 같이, 본 발명의 실시 예에 따른 스토리지 장치(300)는 기계 학습 기반의 오프셋 예측 모듈을 이용하여, 연판정에 필요한 읽기 레벨들을 예측할 수 있다. 따라서, 연판정을 수행하는데 필요한 시간이 감소된다. 또한, 연판정을 위한 최적의 읽기 레벨들이 획득되므로, 연판정의 신뢰도가 향상된다.

[0149] 도 14는 본 발명의 일 실시예에 따른 스토리지(storage) 장치가 적용된 전자 장치(1000)를 도시한 도면이다. 도 14의 전자 장치(1000)는 기본적으로 휴대용 통신 단말기(mobile phone), 스마트폰(smart phone), 태블릿 PC(tablet personal computer), 웨어러블 기기, 헬스케어 기기 또는 IOT(internet of things) 기기와 같은 모바일(mobile) 시스템일 수 있다. 하지만 도 16의 전자 장치(1000)는 반드시 모바일 시스템에 한정되는 것은 아니고, 개인용 컴퓨터(personal computer), 랩탑(laptop) 컴퓨터, 서버(server), 미디어 재생기(media player) 또는 내비게이션(navigation)과 같은 차량용 장비(automotive device) 등이 될 수도 있다.

[0150] 도 14를 참조하면, 전자 장치(1000)는 메인 프로세서(main processor)(1100), 메모리(1200a, 1200b) 및 스토리지 장치(1300a, 1300b)를 포함할 수 있으며, 추가로 촬영 장치(image capturing device)(1410), 사용자 입력 장치(user input device)(1420), 센서(1430), 통신 장치(1440), 디스플레이(1450), 스피커(1460), 전력 공급 장치(power supplying device)(1470) 및 연결 인터페이스(connecting interface)(1480) 중 하나 이상을 포함할

수 있다.

[0151] 메인 프로세서(1100)는 전자 장치(1000)의 전반적인 동작, 보다 구체적으로는 전자 장치(1000)를 이루는 다른 구성 요소들의 동작을 제어할 수 있다. 이와 같은 메인 프로세서(1100)는 범용 프로세서, 전용 프로세서 또는 애플리케이션 프로세서(application processor) 등으로 구현될 수 있다.

[0152] 메인 프로세서(1100)는 하나 이상의 CPU 코어(1110)를 포함할 수 있으며, 메모리(1200a, 1200b) 및/또는 스토리지 장치(1300a, 1300b)를 제어하기 위한 컨트롤러(1120)를 더 포함할 수 있다. 실시예에 따라서는, 메인 프로세서(1100)는 AI(artificial intelligence) 데이터 연산 등 고속 데이터 연산을 위한 전용 회로인 가속기(accelerator)(1130)를 더 포함할 수 있다. 이와 같은 가속기(1130)는 GPU(Graphics Processing Unit), NPU(Neural Processing Unit) 및/또는 DPU(Data Processing Unit) 등을 포함할 수 있으며, 메인 프로세서(1100)의 다른 구성 요소와는 물리적으로 독립된 별개의 칩(chip)으로 구현될 수도 있다.

[0153] 메모리(1200a, 1200b)는 전자 장치(1000)의 주기억 장치로 사용될 수 있으며, SRAM 및/또는 DRAM 등의 휘발성 메모리를 포함할 수 있으나, 플래시 메모리, PRAM 및/또는 RRAM 등의 불휘발성 메모리를 포함할 수도 있다. 메모리(1200a, 1200b)는 메인 프로세서(1100)와 동일한 패키지 내에 구현되는 것도 가능하다.

[0154] 스토리지 장치(1300a, 1300b)는 전원 공급 여부와 관계 없이 데이터를 저장하는 불휘발성 저장 장치로서 기능할 수 있으며, 메모리(1200a, 1200b)에 비해 상대적으로 큰 저장 용량을 가질 수 있다. 스토리지 장치(1300a, 1300b)는 스토리지 컨트롤러(1310a, 1310b)(STRG CTRL)와, 스토리지 컨트롤러(1310a, 1310b)의 제어 하에 데이터를 저장하는 불휘발성 메모리(non-volatile memory, NVM)(1320a, 1320b)를 포함할 수 있다. 불휘발성 메모리(1320a, 1320b)는 2D(2-dimensional) 구조 혹은 3D(3-dimensional) V-NAND(Vertical NAND) 구조의 플래시 메모리를 포함할 수 있으나, PRAM 및/또는 RRAM 등의 다른 종류의 불휘발성 메모리를 포함할 수도 있다.

[0155] 스토리지 장치(1300a, 1300b)는 메인 프로세서(1100)와는 물리적으로 분리된 상태로 전자 장치(1000)에 포함될 수도 있고, 메인 프로세서(1100)와 동일한 패키지 내에 구현될 수도 있다. 또한, 스토리지 장치(1300a, 1300b)는 SSD(solid state device) 혹은 메모리 카드(memory card)와 같은 형태를 가짐으로써, 후술할 연결 인터페이스(1480)와 같은 인터페이스를 통해 전자 장치(1000)의 다른 구성 요소들과 탈부착 가능하도록 결합될 수도 있다. 이와 같은 스토리지 장치(1300a, 1300b)는 UFS(Universal Flash Storage), eMMC(embedded multi-media card) 혹은 NVMe(non-volatile memory express)와 같은 표준 규약이 적용되는 장치일 수 있으나, 반드시 이에 한정되는 건 아니다.

[0156] 촬영 장치(1410)는 정지 영상 또는 동영상을 촬영할 수 있으며, 카메라(camera), 캠코더(camcorder) 및/또는 웹캠(webcam) 등일 수 있다.

[0157] 사용자 입력 장치(1420)는 전자 장치(1000)의 사용자로부터 입력된 다양한 유형의 데이터를 수신할 수 있으며, 터치 패드(touch pad), 키패드(keypad), 키보드(keyboard), 마우스(mouse) 및/또는 마이크(microphone) 등일 수 있다.

[0158] 센서(1430)는 전자 장치(1000)의 외부로부터 획득될 수 있는 다양한 유형의 물리량을 감지하고, 감지된 물리량을 전기 신호로 변환할 수 있다. 이와 같은 센서(1430)는 온도 센서, 압력 센서, 조도 센서, 위치 센서, 가속도 센서, 바이오 센서(biosensor) 및/또는 자이로스코프(gyroscope) 센서 등일 수 있다.

[0159] 통신 장치(1440)는 다양한 통신 규약에 따라 전자 장치(1000) 외부의 다른 장치들과의 사이에서 신호의 송신 및 수신을 수행할 수 있다. 이와 같은 통신 장치(1440)는 안테나, 트랜시버(transceiver) 및/또는 모뎀(MODEM) 등을 포함하여 구현될 수 있다.

[0160] 디스플레이(1450) 및 스피커(1460)는 전자 장치(1000)의 사용자에게 각각 시각적 정보와 청각적 정보를 출력하는 출력 장치로 기능할 수 있다.

[0161] 전력 공급 장치(1470)는 전자 장치(1000)에 내장된 배터리(도시 안함) 및/또는 외부 전원으로부터 공급되는 전력을 적절히 변환하여 전자 장치(1000)의 각 구성 요소들에게 공급할 수 있다.

[0162] 연결 인터페이스(1480)는 전자 장치(1000)와, 전자 장치(1000)에 연결되어 시스템(1000과 데이터를 주고받을 수 있는 외부 장치 사이의 연결을 제공할 수 있다. 연결 인터페이스(1480)는 ATA(Advanced Technology Attachment), SATA(Serial ATA), e-SATA(external SATA), SCSI(Small Computer Small Interface), SAS(Serial Attached SCSI), PCI(Peripheral Component Interconnection), PCIe(PCI express), NVMe, IEEE 1394, USB(universal serial bus), SD(secure digital) 카드, MMC(multi-media card), eMMC, UFS, eUFS(embedded

Universal Flash Storage), CF(compact flash) 카드 인터페이스 등과 같은 다양한 인터페이스 방식으로 구현될 수 있다.

[0163] 예시적으로, 스토리지 장치(1300a, 1300b)는 도 11 내지 도 13을 참조하여 설명된 스토리지 장치(300)에 대응할 수 있다. 스토리지 컨트롤러(1310a, 1310b)(STRG CTRL)는 도 11 내지 도 13을 참조하여 설명된 메모리 제어기(320)에 대응할 수 있다. 불휘발성 메모리(1320a, 1320b)는 도 11 내지 도 13을 참조하여 설명된 불휘발성 메모리 장치(310)를 포함할 수 있다.

[0164] 상술된 실시 예들에서, 제1, 제2, 제3 등의 용어들을 사용하여 본 발명의 기술적 사상에 따른 구성 요소들이 설명되었다. 그러나 제1, 제2, 제3 등과 같은 용어들은 구성 요소들을 서로 구별하기 위해 사용되며, 본 발명을 한정하지 않는다. 예를 들어, 제1, 제2, 제3 등과 같은 용어들은 순서 또는 임의의 형태의 수치적 의미를 내포하지 않는다.

[0165] 상술된 실시 예들에서, 블록들을 사용하여 본 발명의 실시 예들에 따른 구성 요소들이 참조되었다. 블록들은 IC(Integrated Circuit), ASIC (Application Specific IC), FPGA (Field Programmable Gate Array), CPLD (Complex Programmable Logic Device) 등과 같은 다양한 하드웨어 장치들, 하드웨어 장치들에서 구동되는 펌웨어, 응용과 같은 소프트웨어, 또는 하드웨어 장치와 소프트웨어가 조합된 형태로 구현될 수 있다. 또한, 블록들은 IC 내의 반도체 소자들로 구성되는 회로들 또는 IP(Intellectual Property)로 등록된 회로들을 포함할 수 있다.

[0166] 상술된 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술된 실시 예들뿐만 아니라, 단순하게 설계 변경되거나 용이하게 변경할 수 있는 실시 예들 또한 포함할 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술된 실시 예들에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

## *부호의 설명*

[0167] 10: 전자 장치

11: 불휘발성 메모리 장치들

12: 데이터베이스

100: 컴퓨팅 장치

110: 버스

120, 130: 프로세서들

300: 스토리지 장치

310: 불휘발성 메모리 장치

320: 메모리 제어기

321: 버스

322: 호스트 인터페이스

323: 내부 버퍼

324: 프로세서

325: 버퍼 제어기

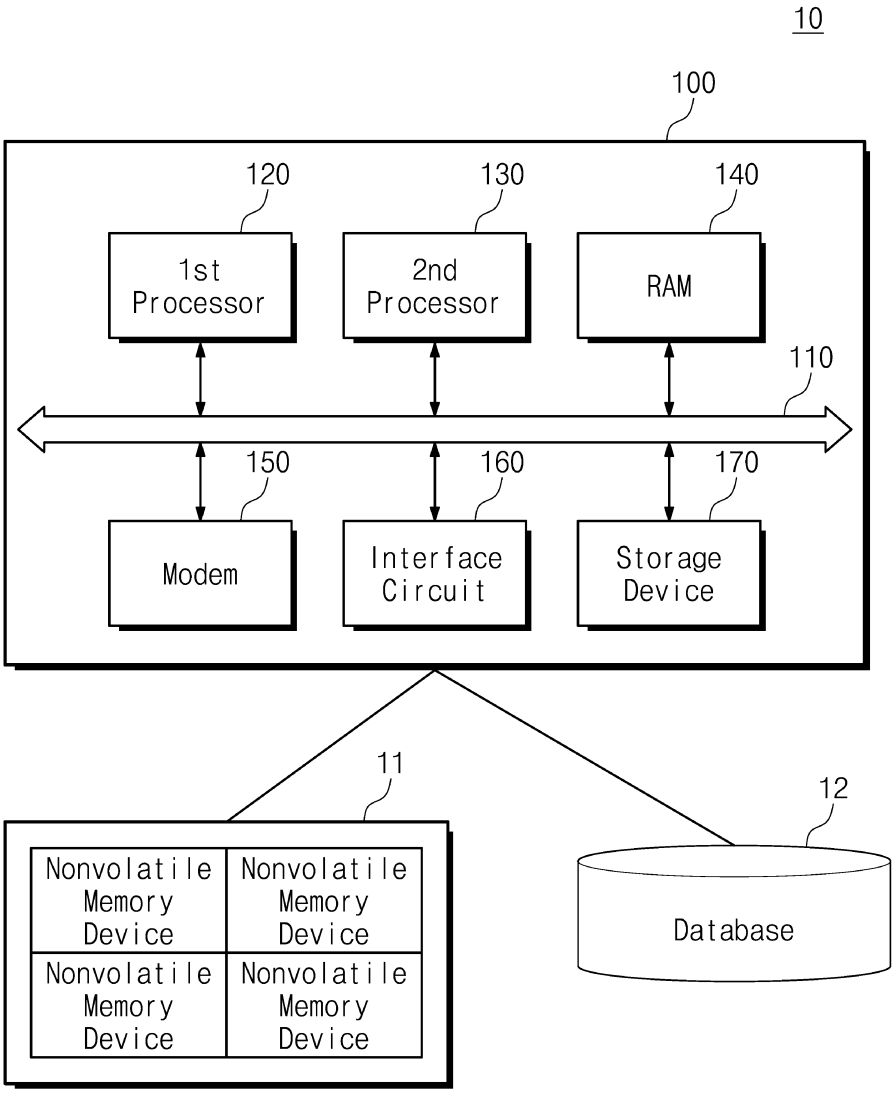
326: 메모리 관리자

327: 에러 정정 코드 블록

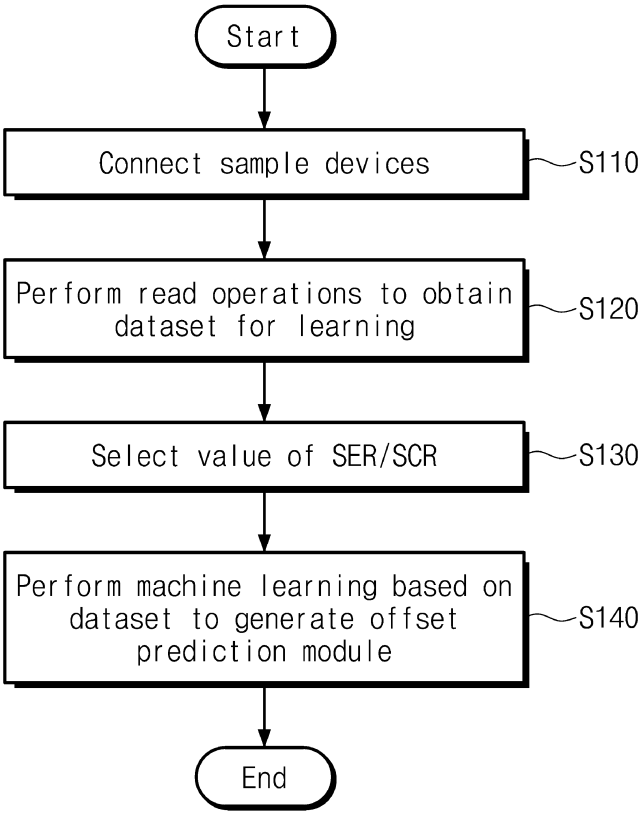
330: 외부 버퍼

도면

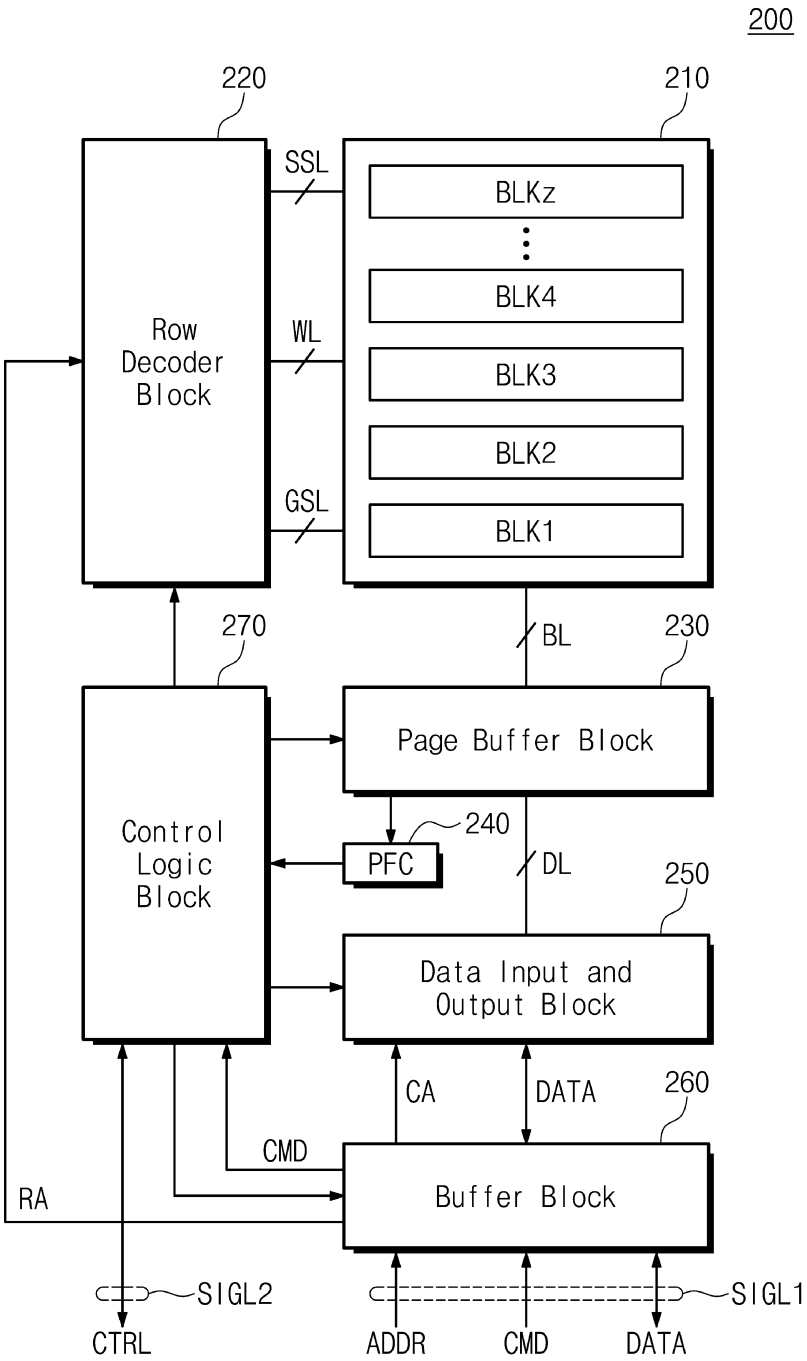
도면1


10
100
120
130
140
1st Processor
2nd Processor
RAM
110
150
160
170
Modem
Interface Circuit
Storage Device
11
12
Nonvolatile Memory Device
Nonvolatile Memory Device
Nonvolatile Memory Device
Nonvolatile Memory Device
Database

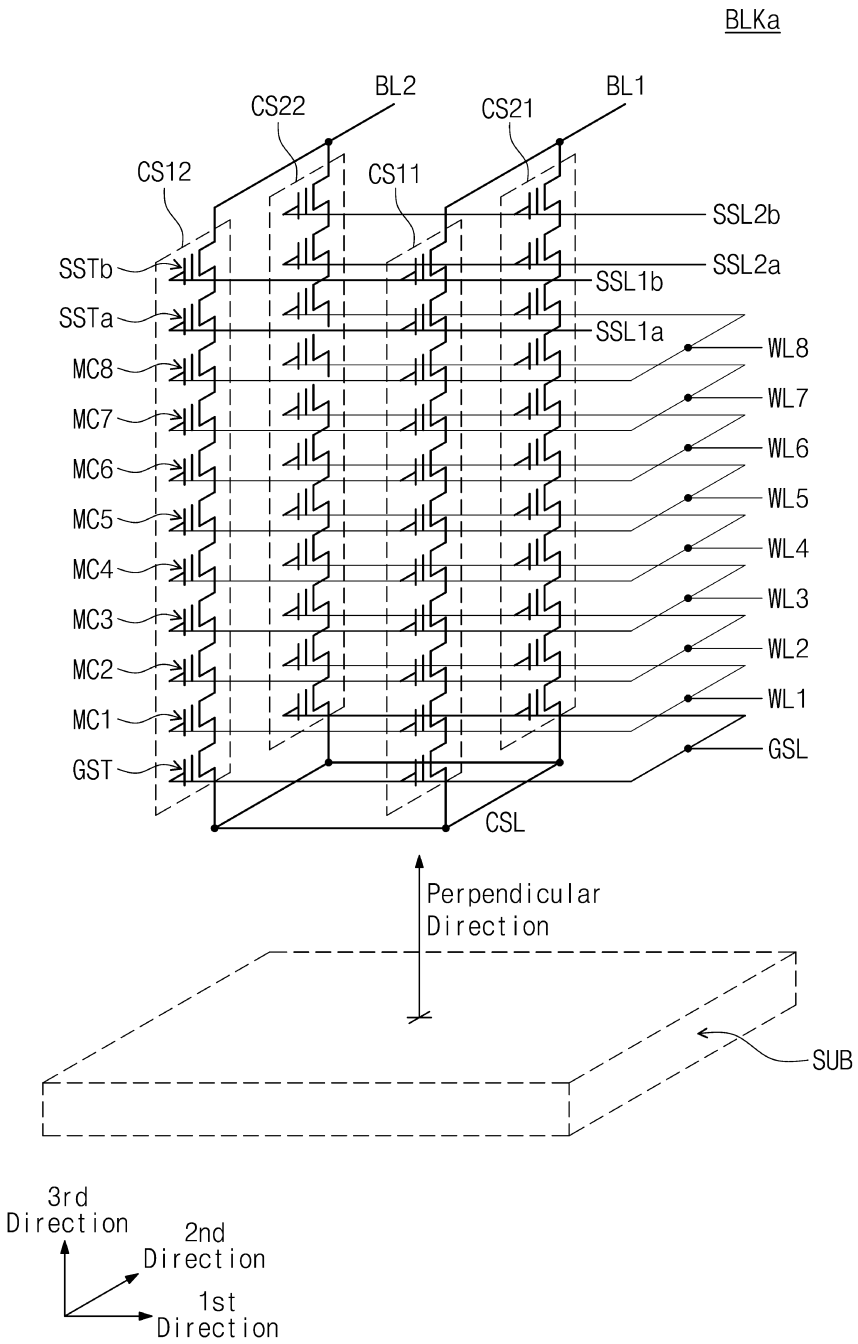
도면2


Start
Connect sample devices
S110
Perform read operations to obtain dataset for learning
S120
Select value of SER/SCR
S130
Perform machine learning based on dataset to generate offset prediction module
S140
End

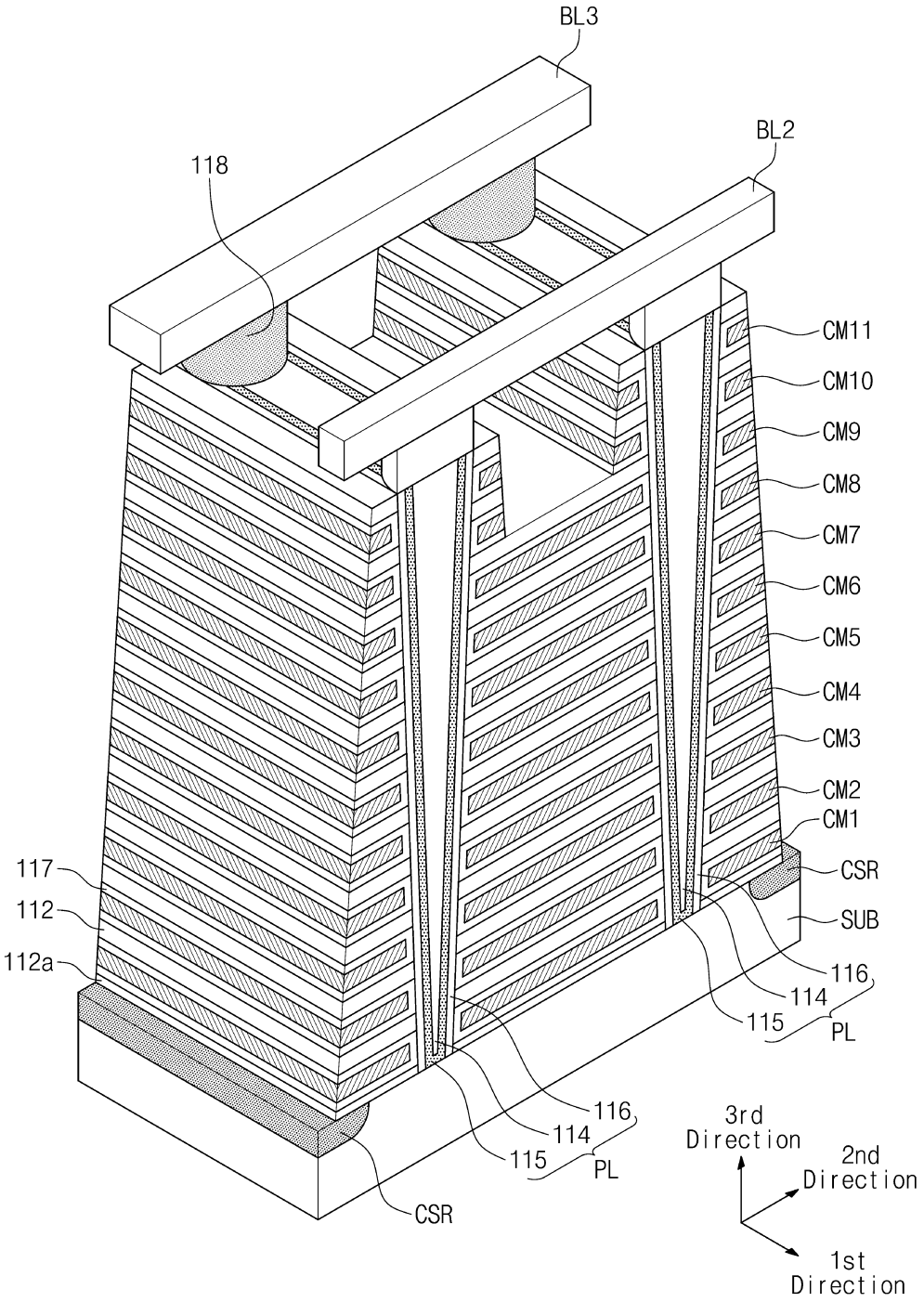
도면3


200
220
210
SSL
WL
GSL
Row Decoder Block
BLKz
BLK4
BLK3
BLK2
BLK1
270
BL
230
Page Buffer Block
240
PFC
DL
250
Control Logic Block
Data Input and Output Block
CA
DATA
260
CMD
RA
Buffer Block
SIGL2
SIGL1
CTRL
ADDR
CMD
DATA

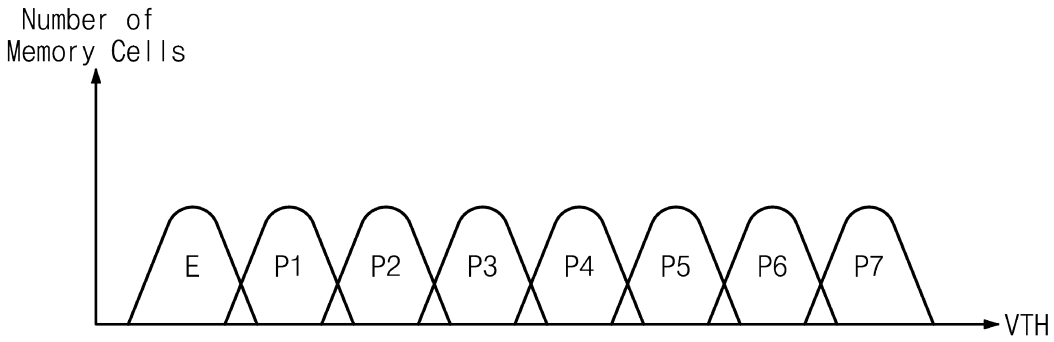
도면4


BLKa
BL2
BL1
CS22
CS21
CS12
CS11
SSL2b
SSL2a
SSL1b
SSL1a
SSTb
SSTa
MC8
MC7
MC6
MC5
MC4
MC3
MC2
MC1
GST
WL8
WL7
WL6
WL5
WL4
WL3
WL2
WL1
GSL
CSL
Perpendicular Direction
SUB
3rd Direction
2nd Direction
1st Direction

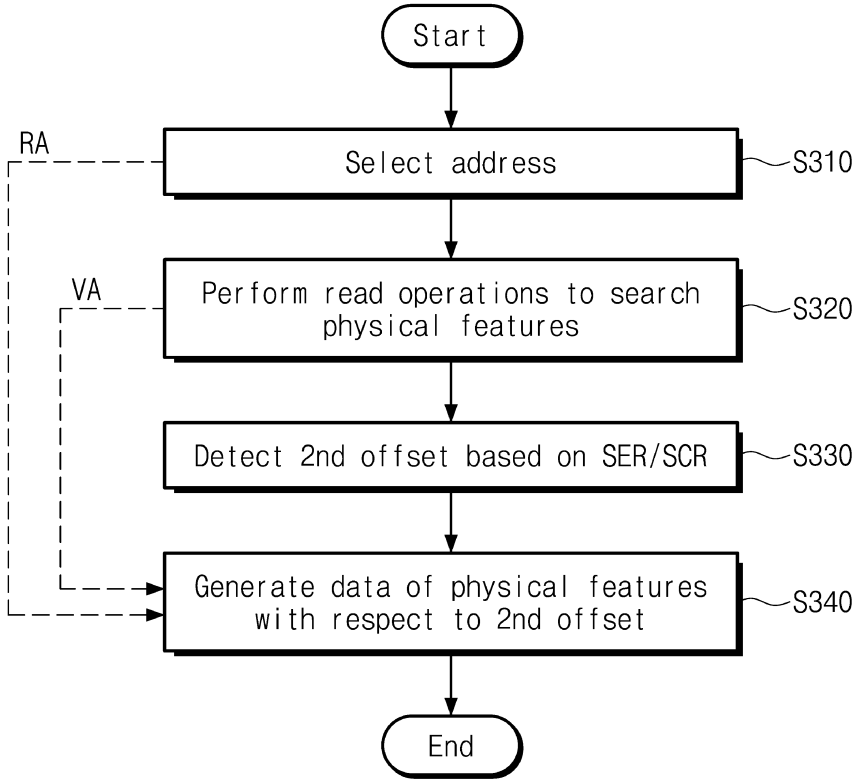
도면5


BL3
BL2
118
CM11
CM10
CM9
CM8
CM7
CM6
CM5
CM4
CM3
CM2
CM1
CSR
SUB
117
112
112a
116
114
115
PL
116
114
115
PL
CSR
3rd Direction
2nd Direction
1st Direction

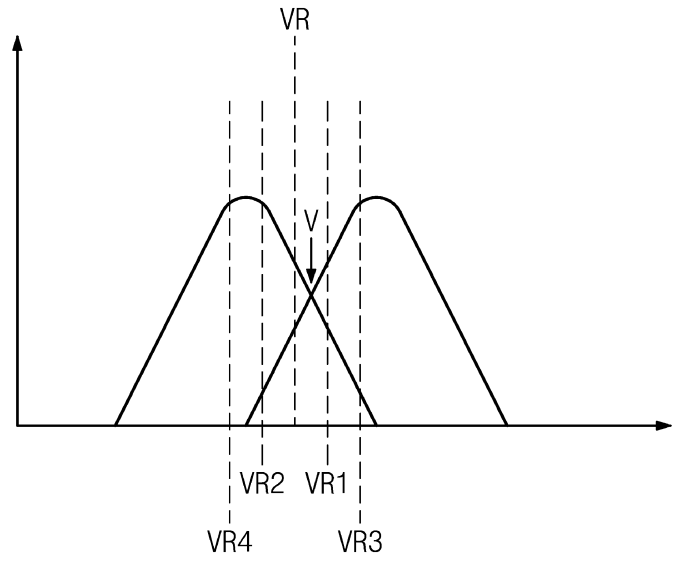
도면6


Number of
Memory Cells
E
P1
P2
P3
P4
P5
P6
P7
VTH

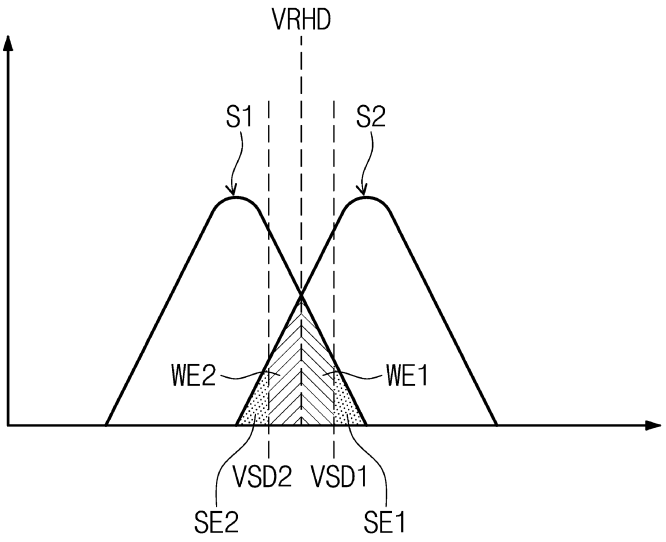
도면7


Start
RA
Select address
S310
VA
Perform read operations to search physical features
S320
Detect 2nd offset based on SER/SCR
S330
Generate data of physical features with respect to 2nd offset
S340
End

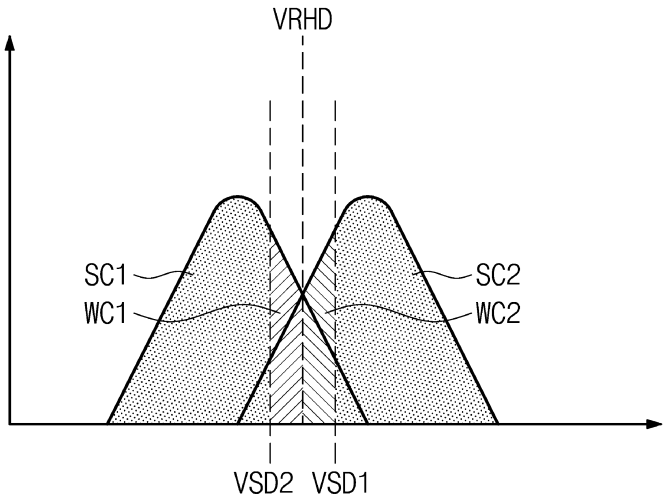
도면8



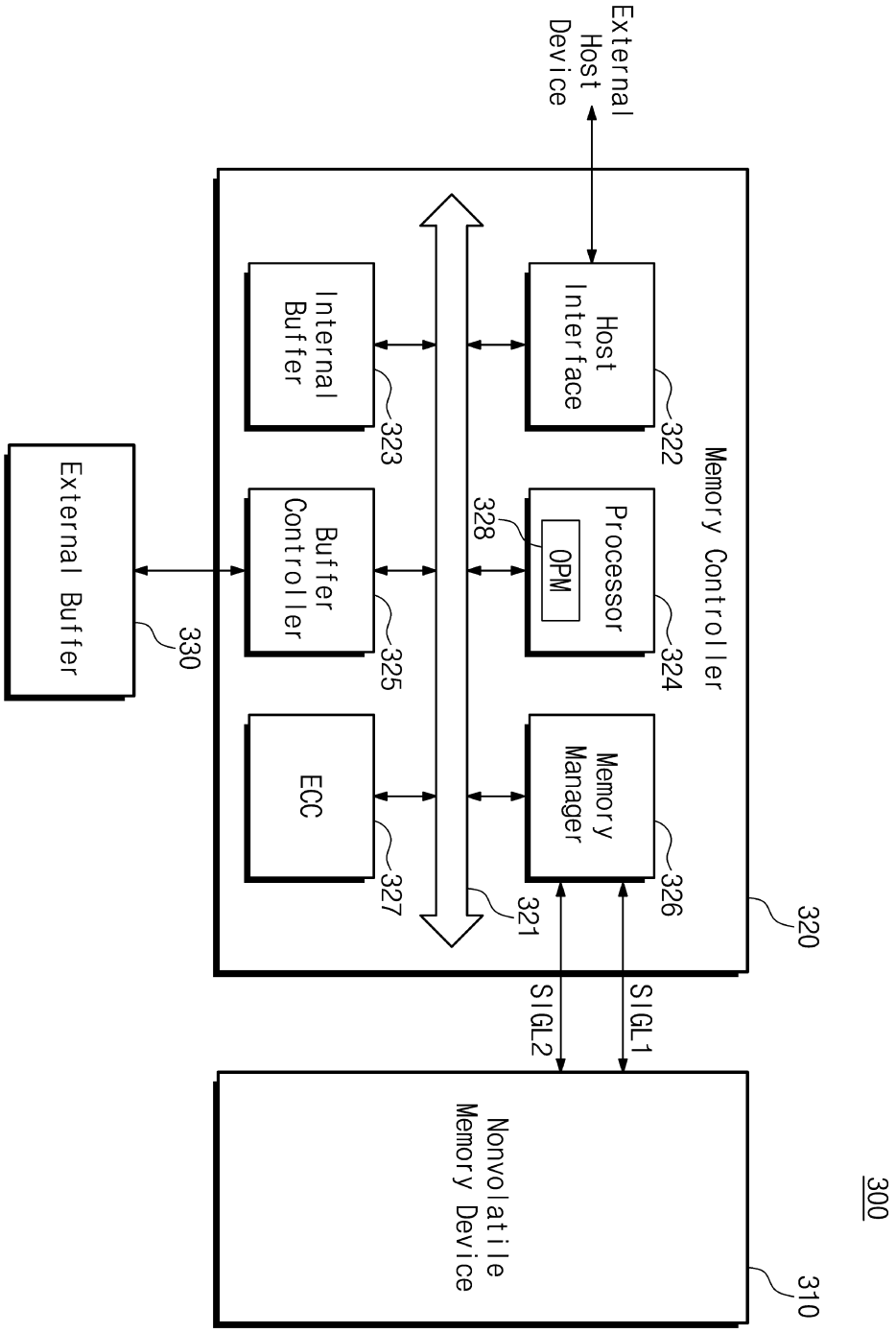

도면9



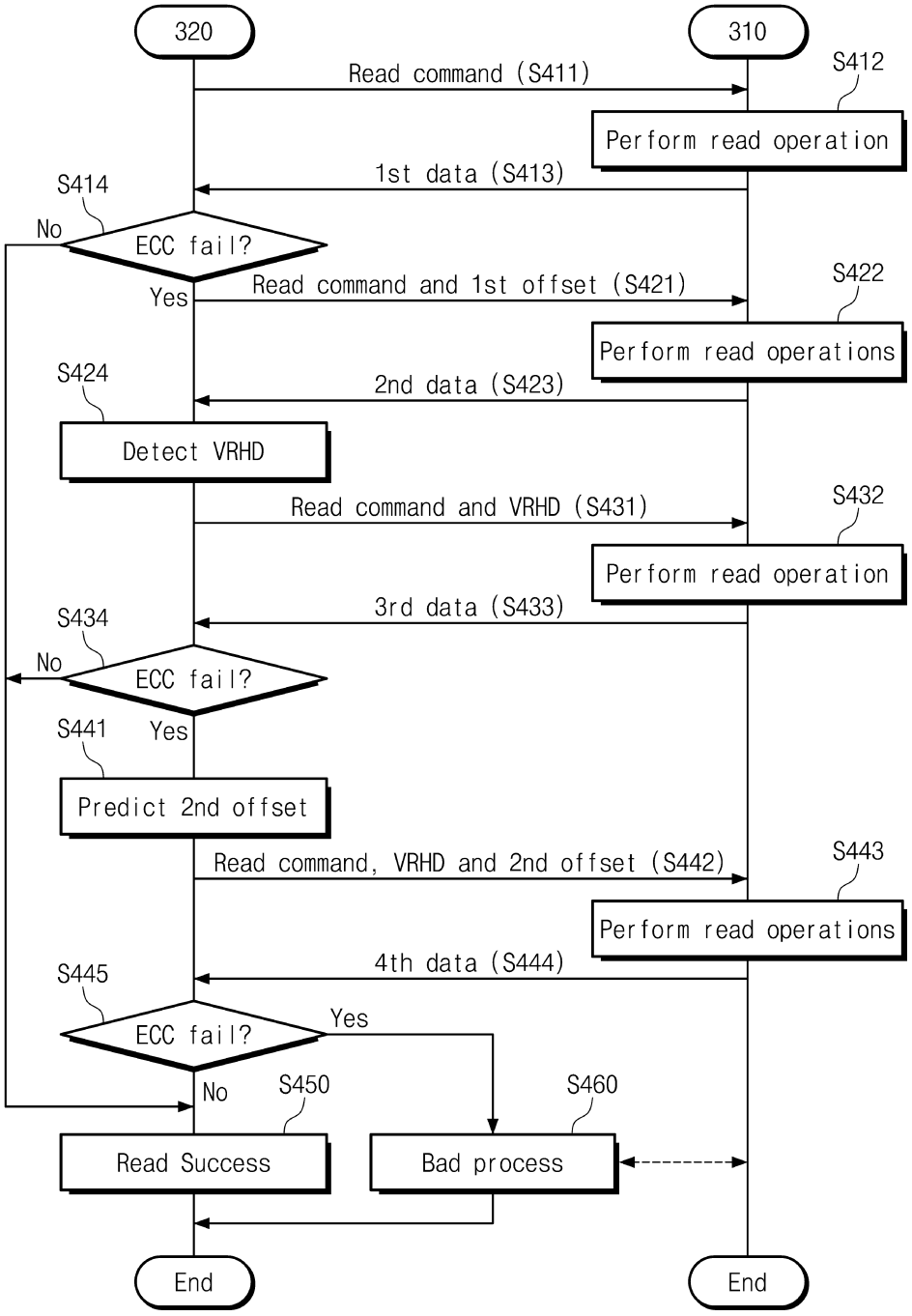
도면10



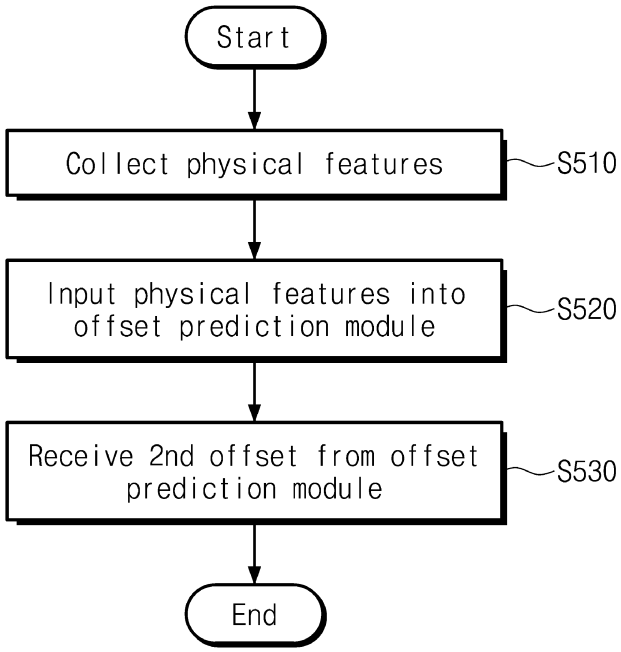
도면11


External Host Device
Memory Controller
Host Interface
322
Internal Buffer
323
Processor
OPM
324
328
Buffer Controller
325
ECC
327
Memory Manager
326
321
320
External Buffer
330
SIGL1
SIGL2
Nonvolatile Memory Device
310
300

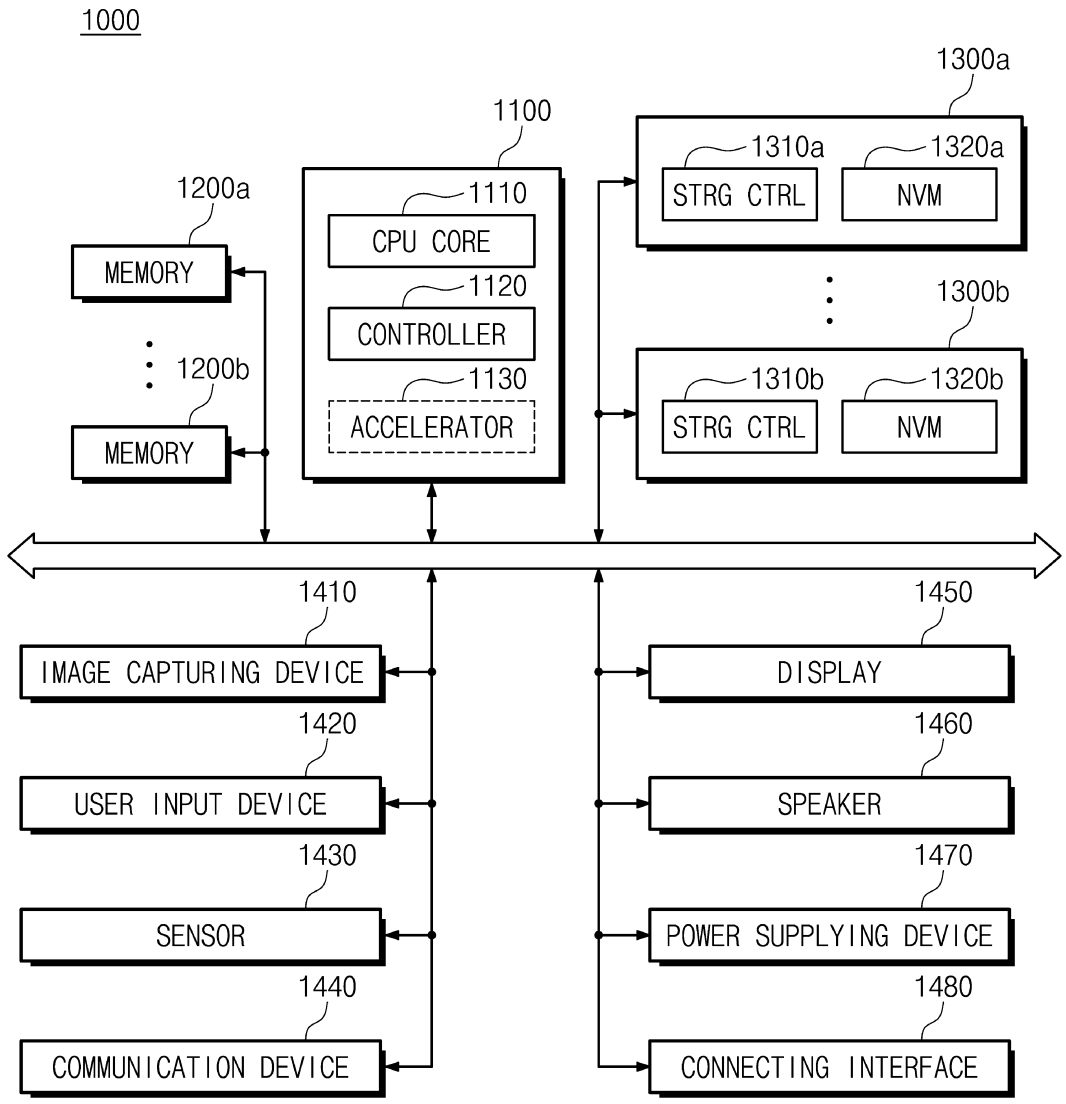
도면12


320
310
Read command (S411)
S412
Perform read operation
1st data (S413)
S414
No
ECC fail?
Yes
Read command and 1st offset (S421)
S422
Perform read operations
S424
2nd data (S423)
Detect VRHD
Read command and VRHD (S431)
S432
Perform read operation
3rd data (S433)
S434
No
ECC fail?
S441
Yes
Predict 2nd offset
Read command, VRHD and 2nd offset (S442)
S443
Perform read operations
4th data (S444)
S445
ECC fail?
Yes
No
S450
S460
Read Success
Bad process
End
End

도면13


Start
Collect physical features
S510
Input physical features into offset prediction module
S520
Receive 2nd offset from offset prediction module
S530
End

도면14


1000
1300a
1100
1310a
1320a
1200a
1110
STRG CTRL
NVM
CPU CORE
MEMORY
1120
CONTROLLER
1300b
1200b
1130
1310b
1320b
ACCELERATOR
STRG CTRL
NVM
MEMORY
1410
1450
IMAGE CAPTURING DEVICE
DISPLAY
1420
1460
USER INPUT DEVICE
SPEAKER
1430
1470
SENSOR
POWER SUPPLYING DEVICE
1440
1480
COMMUNICATION DEVICE
CONNECTING INTERFACE