



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0127613
(43) 공개일자 2012년11월22일

- (51) 국제특허분류(Int. Cl.)
H01L 31/072 (2006.01) *H01L 31/075* (2006.01)
H01L 31/042 (2006.01) *H01L 31/18* (2006.01)
- (21) 출원번호 10-2012-7022105
- (22) 출원일자(국제) 2011년01월26일
심사청구일자 없음
- (85) 번역문제출일자 2012년08월23일
- (86) 국제출원번호 PCT/FR2011/000050
- (87) 국제공개번호 WO 2011/092402
국제공개일자 2011년08월04일
- (30) 우선권주장
10 00309 2010년01월27일 프랑스(FR)

- (71) 출원인
꼼미사리아 아 레네르지 아토미끄 에뜨 옥스 에너지스 앤터네이티브즈
프랑스, 에프-75015 파리 바띠멍 르 뽕낭 데 르 르블랑 25
- (72) 발명자
뮈르 피에르
프랑스 에프-38920 크롤 앵빠스 뒤 부아 라디에 26 시텍스 132에이
모리소 위베르
프랑스 에프-38120 생-에그레브 르 뒤 푸르네 26
리베이롱 피에르-장
프랑스 에프-38330 생 이스미에 앵빠스 데 프레 191
- (74) 대리인
특허법인코리아나

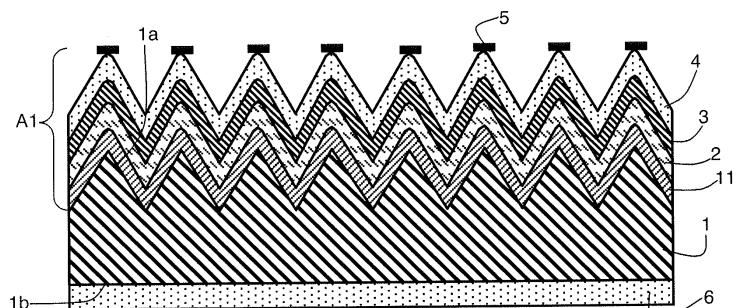
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 실리콘의 결정질 산화물 부동화 박막을 포함하는 광전지 및 그 제조 방법

(57) 요약

이형접합 광전지는, 기판 (1) 과 비정질 또는 미세 결정질 실리콘층 (3) 사이에서, 결정질 실리콘 기판 (1) 의 전면 또는 후면 (1a) 중 하나의 위에 직접 배치되는 적어도 하나의 실리콘의 결정질 산화물 박막 (11) 을 포함한다. 박막 (11) 은 기판 (1) 의 상기 면 (1a) 의 부동화를 가능하게 하도록 한다. 보다 구체적으로는, 비정질 실리콘층 (3) 의 성막 이전에, 박막 (11) 은 기판 (1) 의 표면 부분을 라디칼 (radically) 산화시킴으로써 얻어진다. 게다가, 얇은 진성 또는 미세 도핑된 비정질 실리콘층 (2) 은 상기 박막 (11) 과 비정질 또는 미세 결정질 실리콘층 사이에 위치될 수 있다.

대 표 도 - 도3



특허청구의 범위

청구항 1

주어진 도핑 형태를 가진 결정질 실리콘 기판 (1) 과 비정질 또는 미세 결정질 실리콘층 (3, 8) 을 포함하는 이형접합 광전지에 있어서,

상기 기판 (1) 과 상기 비정질 또는 미세 결정질 실리콘층 (3, 8) 사이에, 상기 기판 (1) 의 면 (1a, 1b) 위에 직접 배치되는 적어도 하나의 실리콘의 결정질 산화물 박막 (11) 을 포함하는 것을 특징으로 하는 이형접합 광전지.

청구항 2

제 1 항에 있어서,

상기 실리콘의 결정질 산화물 박막 (11) 은, 라디칼들에 의해 산화되는 상기 기판 (1) 의 표면부로 구성되는 것을 특징으로 하는 이형접합 광전지.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 실리콘의 결정질 산화물 박막 (11) 은 2 나노미터 이하의 두께를 가지는 것을 특징으로 하는 이형접합 광전지.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 실리콘의 결정질 산화물 박막 (11) 과 상기 비정질 또는 미세 결정질 실리콘층 (3, 8) 사이에 얇은 진성 (intrinsic) 또는 미세 도핑된 비정질 실리콘층 (2, 7) 이 개재된 것을 특징으로 하는 이형접합 광전지.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 실리콘의 결정질 산화물 박막 (11) 은 상기 비정질 또는 미세 결정질 실리콘층 (3, 8) 과 직접 접촉하는 것을 특징으로 하는 이형접합 광전지.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 비정질 또는 미세 결정질 실리콘층 (8) 은 상기 결정질 실리콘 기판 (1) 의 도핑 형태와 동일한 도핑 형태를 갖는 것을 특징으로 하는 이형접합 광전지.

청구항 7

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 비정질 또는 미세 결정질 실리콘층 (3) 은 상기 결정질 실리콘 기판 (1) 의 도핑 형태와 반대되는 도핑 형태를 갖는 것을 특징으로 하는 이형접합 광전지.

청구항 8

제 7 항에 있어서,

상기 기판 (1) 과 추가의 비정질 또는 미세 결정질 실리콘층 (8) 사이에, 상기 기판 (1) 의 다른 면 (1b) 에 직접 배열되는 추가의 실리콘의 결정질 산화물 박막 (12) 을 포함하고, 상기 추가의 비정질 또는 미세 결정질 실리콘층 (8) 은 상기 결정질 실리콘 기판 (1) 의 도핑 형태와 동일한 도핑 형태를 갖는 것을 특징으로 하는 이형

접합 광전지.

청구항 9

제 8 항에 있어서,

상기 추가의 실리콘의 결정질 산화물 박막 (12) 과 상기 추가의 비정질 또는 미세 결정질 실리콘층 (8) 사이에 추가의 얇은 진성 또는 미세 도핑된 비정질 실리콘층 (7) 이 개재된 것을 특징으로 하는 이형접합 광전지.

청구항 10

제 8 항에 있어서,

상기 추가의 실리콘의 결정질 산화물 박막 (12) 은 상기 추가의 비정질 또는 미세 결정질 실리콘층 (8) 과 직접 접촉하는 것을 특징으로 하는 이형접합 광전지.

청구항 11

제 1 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 결정질 실리콘 기판 (1) 의 적어도 하나의 면 (1a, 1b) 이 조직화 (textured) 되는 것을 특징으로 하는 이형접합 광전지.

청구항 12

제 1 항 내지 제 11 항 중 어느 한 항에 있어서,

상기 박막과 상기 비정질 또는 미세 결정질 실리콘층 (3, 8) 사이에서, 상기 실리콘의 결정질 산화물 박막 (11, 12) 에 비정질 실리콘 산화물층이 직접 배열되는 것을 특징으로 하는 이형접합 광전지.

청구항 13

제 1 항 내지 제 12 항 중 어느 한 항에 따른 적어도 하나의 광전지의 제조 방법에 있어서,

실리콘의 결정질 산화물 박막 (11, 12) 은, 상기 비정질 또는 미세 결정질 실리콘층 (3, 8) 의 형성 이전에, 상기 기판 (1) 의 표면의 라디칼 표면 산화에 의해 만들어지는 것을 특징으로 하는 광전지 제조 방법.

청구항 14

제 13 항에 있어서,

상기 라디칼 표면 산화는 산소 및/또는 오존 및/또는 물로부터 얻어진 산소화된 라디칼들에 의하여 실시되는 것을 특징으로 하는 광전지 제조 방법.

청구항 15

제 14 항에 있어서,

상기 기판 (1) 의 표면의 표면 산화는 상기 표면에 자외선들을 가함으로써 보조되는 것을 특징으로 하는 광전지 제조 방법.

청구항 16

제 15 항에 있어서,

상기 산소화된 라디칼들은 적어도 산소로부터 얻어지고, 상기 자외선들은 160 nm 와 400 nm 사이의 범위에 있는 파장들을 갖는 것을 특징으로 하는 광전지 제조 방법.

청구항 17

제 13 항 또는 제 14 항에 있어서,

상기 기판 (1) 의 표면의 상기 표면 산화는 플라즈마로 보조되는 것을 특징으로 하는 광전지 제조 방법.

청구항 18

제 13 항 내지 제 17 항 중 어느 한 항에 있어서,

상기 기판 (1)의 표면의 상기 라디칼 표면 산화에 후속하여, 상기 박막 (11, 12)의 상기 표면에 비정질 형태로 라디칼 표면 산화 중에 형성되는 실리콘 산화물의 일부를 제거하는 스트리핑 단계가 실시되는 것을 특징으로 하는 광전지 제조 방법.

명세서

기술 분야

[0001]

본 발명은 주어진 도핑 형태를 가진 결정질 실리콘 기판과 비정질 또는 미세 결정질 실리콘층을 포함하는 이형 접합 광전지뿐만 아니라, 적어도 하나의 이러한 광전지를 제조하는 방법에 관한 것이다.

배경기술

[0002]

이형접합 (heterojunction) 광전지는 수용된 광자들을 전기 신호로 직접 변환할 수 있는 다층 스택 (stack) 으로 구성된다. 특히, 이형접합은 주어진 도핑 형태 (n 또는 p) 의 결정질 실리콘 기판, 그리고 이 기판의 도핑 형태에 반대되는 도핑 형태의 비정질 실리콘층에 의해 형성된다.

[0003]

게다가, "전기 부동화" 층으로 불리는 중간층은, 이형접합의 계면 특성들을 향상시키고, 따라서 변환의 효율성을 향상시키기 위하여, 일반적으로 이형접합을 형성하는 2 개의 요소들 사이에 위치된다. 특히 출원 US 2001/0029978 에 기재된 바와 같이, 이러한 중간층은 일반적으로 진성 (intrinsic) 비정질 실리콘층이다.

[0004]

예로서, 도 1 은 특히 출원 US 2001/0029978 에 기재된 바와 같이, 종래 기술에 따른 광전지의 특별한 실시 형태를 나타낸다. 이형접합 광전지는 결정질 실리콘 기판 (1) 을 포함하는데, 이는 예컨대 n-도핑되어 전면 (1a) 을 포함하며,

[0005]

- 진성 비정질 실리콘층 (2),

[0006]

- 예컨대, 기판 (1) 과 이형접합을 형성하도록 p-도핑된 비정질 실리콘층 (3),

[0007]

- 예컨대, 인듐 주석 산화물 (또는 ITO) 로 구성되는 전극 (4),

[0008]

- 그리고, 빗 (comb) 형태의 집전 장치 (5) 로 균일하게 그리고 연속하여 덮여진다.

[0009]

게다가, 기판 (1) 의 전면 (1a) 은 셀의 광학적 밀폐를 향상시키기 위해 조직화 (또는 구조화) 된다.

[0010]

도 1 에 있어서, 기판 (1) 의 후면 (1b) 은 평평하고 전극 (6) 으로 덮여진다. 그러나, 다른 경우들에서는, 도 2 에 나타낸 것과 같이 조직화되어 다층 스택으로 덮여질 수 있다. 따라서, 이러한 실시 형태에서, 기판 (1) 의 후면 (1b) 은,

[0011]

- 진성 비정질 실리콘층 (7),

[0012]

- 예컨대, n-도핑 형태로 매우 강하게 도핑된 비정질 실리콘층 (8),

[0013]

- 예컨대, ITO 로 구성된 전극 (9),

[0014]

- 그리고 빗 형태의 집전 장치 (10) 에 의해 균일하게 그리고 연속하여 덮여진다.

[0015]

따라서, 도 1 및 도 2 에 도시된 바와 같이, 이형접합 광전지들은, 적어도 하나의 면이 유리하게 조직화될 수 있는 기판에 다수의 매우 미세한 층들 (대략, 수 나노미터 ~ 수십 나노미터) 의 균일한 성막을 필요로 한다.

또한, 때때로 박막의 균일 성막 (conformal deposition) 이라 불리는 박막의 균일한 성막에 의해, 얇은 층이 성막되는 면의 제거를 수행하기 위하여 실질적으로 일정한 두께로 박막이 성막되는 것이 이해된다.

[0016]

그러나, 대부분 항상 필요로 하는 기판의 적어도 하나의 면을 조직화하는 단계는 이러한 층들의 양호한 균일한 분배를 불가능하게 한다. 특히, 조직화 단계는 개설된 표면의 현저한 증가를 유도한다. 게다가, 광전지의 분야에 있어서, 피라미드들의 형태로 기판의 적어도 하나의 면을 조직화하는 것은 공통적이다. 그러나, 얻어진 피라미드들의 측면들은 종종 매우 거칠고, 피라미드들의 정점들과 골들은 가파르며 (일반적으로 30nm 미만의 곡률 반경), 이는 조직화된 면에 연속으로 성막된 층들에 대한 완벽한 두께 균일성에 악영향을 미친다.

예로서, 특히 출원 US 2001/0029978 에서는, 2 개의 피라미드들 사이에 영역 "b" 를 라운드화 (round off) 하기 위해 불화수소산 (HF) 및 질산 용액을 사용하는, 습식 등방성 에칭을 실시하는 것을 제안한다. 그러나, 이 에칭은 약 $2\mu\text{m}$ 이상이 매우 중요하고, 나노미터 수준에서 피라미드의 측면들을 매끄럽게 할 수 없다.

[0017] 게다가, 세척 단계들, 에칭 단계들뿐만 아니라 조직화 단계 및 성막들 이전의 대기 시간들은, 조직화된 기판의 표면의 상태 밀도의 현저한 증가를 유발하는 기판의 조직화된 표면의 오염 (입자 및/또는 금속) 을 발생시킬 수 있다. 따라서, 이러한 오염의 문제점들은 표면의 양호한 부동화에 유해하며, 따라서 부동화 층으로서 진성 비정질 실리콘의 전이층의 사용에도 불구하고 높은 출력들을 이를 수 없다.

[0018] J. Sritharathiikhun 외. (응용 물리학 일본 신문, Vol. 47, N° 11, 2008, pp 8452 ~ 8455) 의 "고효율 p-형 수화 미세 결정질 실리콘 산화물/n-형 결정질 실리콘 이형접합 태양 전지를 위한 비정질 실리콘 산화물 베퍼층의 최적화" 의 문헌에서, n-도핑된 결정질 실리콘 기판 (n-a-Si:H) 과 p-도핑된 미세 결정질 실리콘 산화물층 ($p-\mu\text{c-SiO:H}$) 사이에 진성 비정질 실리콘 산화물 (i-a-SiO:H) 의 표면 부동화 층을 사용하는 것이 제안되어 있다. 이러한 부동화 층은 매우 높은 주파수에서의 플라즈마 강화 화학 기상 성막 (VHF-PECVD) 기술에 의해 성막된다. 또한, 이러한 층의 최적의 두께는 6nm 이다. 그러나, 이러한 부동화 층을 생성하는 것은 n-도핑된 결정질 실리콘 기판과 상기 부동화 층 사이의 계면에 많은 결함들의 형성을 야기한다.

발명의 내용

해결하려는 과제

[0019] 본 발명의 목적은 쉽게 실시할 수 있으면서도 우수한 표면 부동성을 가지는 이형접합 광전지를 제안하는 것이다.

과제의 해결 수단

[0020] 본 발명에 따라, 이러한 목적은, 주어진 도핑 형태를 가지는 결정질 실리콘 기판과 비정질 또는 미세 결정질 실리콘층을 포함하는 이형접합 광전지로서, 이형 접합 광전지가 상기 기판과 상기 비정질 또는 미세 결정질 실리콘층 사이에, 기판의 면에 직접 성막된 적어도 하나의 실리콘의 결정질 산화물 박막을 포함한다는 사실에 의하여 달성된다.

[0021] 본 발명의 개량에 따라, 실리콘의 결정질 산화물 박막은 라디칼 산화에 의해 얻어지는 기판의 표면부로 구성된다.

[0022] 다른 개량에 따라, 실리콘의 결정질 산화물 박막은 2 나노미터 이하의 두께를 갖는다.

[0023] 본 발명에 따르면, 이러한 목적은 실리콘의 결정질 산화물 박막이 비정질 또는 미세 결정질 실리콘층을 형성하기 전에 기판의 표면의 표면 라디칼 산화에 의해 실행된다는 사실에 의해 또한 달성된다.

[0024] 다른 이점들과 특징들은, 첨부된 도면들에서 나타내어지고 비제한적인 예들로서 주어진 본 발명의 특정한 실시 형태들의 이하의 설명으로부터 보다 분명하게 나타날 수 있다.

도면의 간단한 설명

[0025] 도 1 은, 종래 기술에 따른 광전지의 특정한 실시형태의 개략적인 단면도를 나타낸다.

도 2 는, 도 1 에 따른 광전지의 대안의 실시형태의 개략적인 단면도를 나타낸다.

도 3 내지 도 9 는 본 발명에 따른 광전지들의 여러 실시형태들을 나타내는 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0026] 도 3 에 따른 광전지는 도 1 에 나타낸 광전지의 다층 스택과 실질적으로 유사한 다층 스택을 가진다. 하지만, 도 3 에서는, 실리콘의 결정질 산화물 박막 (11) 이 결정질 실리콘 기판 (1) 과 얇은 진성 비정질 실리콘층 (2) 사이에 성막된다.

[0027] 그런 다음, 박막 (11) 에 의하여 형성된 유닛, 진성 비정질 실리콘층 (2), p-도핑된 비정질 실리콘층 (3), 전극 (4) 및 집전 장치 (5) 는 기판 (1) 의 정면 (1a) 에 배열된 다층 스택을 구성하고, 도 3 에서 A1 으로

나타낸다.

[0028] 보다 구체적으로는, 박막 (11) 은 상기 기판 (1) 과 진성 비정질 실리콘층 (2) 사이에 n-도핑된 결정질 실리콘의 기판 (1) 의 정면 (1a) 에 직접적으로 배열된다. 그 결과로서, 박막은 기판 (1) 의 정면 (1a) 과 직접적으로 접촉한다. 게다가, 유리하게는, 박막은 2 나노미터 이하의 두께, 또한 유리하게는 0.1nm 와 2nm 사이의 두께 및 통상적으로 약 0.5nm 의 두께를 가진다.

[0029] 보다 구체적으로는, 스택 (A1) 의 연속적인 얇은 층들 (2, 3, 4 및 5) 의 형성 이전에, 박막 (11) 은 기판 (1) 의 표면 부분의 실리콘을 산화함으로써 얻어지는 박막이다. 기판 (1) 의 표면 부분에 의하여, 박막은 매우 낮은 두께 (유리하게는, 2nm 미만) 로, 기판 (1) 의 자유면으로부터 기판의 내부로 신장하는, 기판 (1) 의 영역으로 이해된다. 게다가, 박막 (11) 은 실리콘의 결정질 산화물, 즉 결정형의 산화물로 구성된다. 특히, 특정한 경우들에서, 실리콘 산화물의 결정형은 결정면 (100) 을 갖는 실리콘 기판에 대한 트리디마이트 (tridymite) 형태일 수 있는 것으로 가정된다.

[0030] 게다가, 상기 산화는 라디칼 표면 산화, 즉 라디칼들 (또는 자유 라디칼들) 에 의하여 수행된 산화이다. 특히, 이러한 라디칼들은, 예컨대 산소, 오존 및/또는 물로부터 얻어지는, 산소화된 라디칼들이다.

[0031] 그런 다음, 이렇게 얻어진 라디칼들은 기판 (1) 의 표면 부분에 실리콘을 산화시킨다. 게다가, 라디칼 산화 중 이와 같이 얻어진 실리콘 산화물은 적어도 부분적으로 결정형이다. 보다 구체적으로는, 실리콘 기판의 라디칼 표면 산화는 실리콘 기판의 표면에 상기 결정질 박막을 형성하기 위하여 유리하게 조절된다. 하지만, 특정한 경우들에서, 기판의 라디칼 표면 산화는 비정질형의 실리콘 산화물의, 실리콘의 결정질 산화물상의, 추가의 형성을 포함할 수 있다. 하지만, 박막 (11) 을 형성하는 실리콘의 결정질 산화물이 기판 (11) 과 비정질 실리콘 산화물 사이에 개재되어 유지된다. 게다가, 라디칼 표면 산화 동안 유리하게 형성된 비정질 실리콘 산화물은 라디칼 표면 산화의 뒤를 잇는 중간 단계 동안, 보다 구체적으로는, 스택 (A1) 의 다른 층들의 형성 이전에, 스트리핑 (stripping) 에 의하여 가능한 한 제거될 수 있다.

[0032] 유리하게, 산화될 기판의 표면에 자외선을 조사함으로써 또는 플라즈마에 의하여 산화를 돋는다. 플라즈마 또는 자외선 처리는, 특히 기판 (1) 의 실리콘을 산화시키기 위하여 사용된 자유 라디칼들의 형성을 용이하게 한다. 보다 구체적으로는, 이들은 처리의 형태에 따라 O₂, O₃, 및/또는 OH⁻ 형태의 라디칼들이고, 특히 산소 및/또는 오존 및/또는 물로부터 얻어진다.

[0033] 특정한 실시형태에 따라, 기판 (1) 의 표면 부분의 산화는 범위가 160 nm ~ 400 nm 에 이르는 파장들을 가진 자외선 및 산소로부터 실시될 수 있다. 예컨대, 사용된 자외선의 파장들은 대략 185 nm 그리고 대략 254 nm 이다. 이러한 특정한 실시형태에서, 산소는 자외선의 작용 하에서, 자유 라디칼들 O[·] 로 그리고 오존으로 해리된다. 자유 라디칼들은 실리콘 표면을 산화시킬 수 있다.

[0034] 게다가, 산화 작동중 온도는 주위 온도와 대략 900°C 사이에 포함될 수 있으면서, 압력은 대략 10⁻⁴ 와 대략 10⁵ Pa 사이에 포함될 수 있다. 하지만, 유리한 방법으로, 온도와 압력은 각각 주위 온도와 주위 압력이다.

[0035] 일단 박막 (11) 이 형성되면, 적어도 하나의 광전지를 제조하는 방법은 박층들의 연속적인 성막을 계속한다. 특히, 도 3 에 나타낸 실시형태에서, 박막 (11) 의 형성은 이하의 연속적인 성막들이 후속된다:

[0036] - 얇은 진성 비정질 실리콘층 (2) 의 성막,

[0037] - 상기 박막 (11) 상으로의 p-도핑된 얇은 비정질 실리콘층 (3) 의 성막,

[0038] - 층 (3) 상으로의 전극 (4) 의 성막,

[0039] - 전극 (4) 상으로의 집전 장치 (5) 의 성막, 및

[0040] - 기판 (1) 의 후면 (1b) 상으로의 전극 (6) 의 성막.

[0041] 전술된 바와 같이, 라디칼 산화 작동중 박막 (11) 상에 형성가능한 비정질 실리콘 산화물을 제거하기 위한 중간 단계는 상기 얇은 층들의 연속 성막 이전에 실시될 수 있다.

[0042] 따라서, 기판 (1) 의 표면들 중 하나에 실리콘의 결정질 산화물 박막을 형성시키면, 특히, 라디칼 산화가 실시될 때, 실리콘의 결정질 산화물이 매우 양호한 진성 품질을 갖는 중요한 부동화 특성들을 얻을 수 있음에 주목하였다. 따라서, 이러한 실리콘의 결정질 산화물 박막은 재결합하는 동안 전하 운반체들이 포획 (trap) 되

는 것을 방지하는 것을 가능하게 한다. 따라서, 이는 기판 (1)의 표면 부동화를 보장함으로써 터널 산화물 (tunnel oxide) 역할을 한다. 따라서, 광전지의 개방 회로 장력을 증가시킬 수 있고, 잠재적으로 출력의 저하 없이 셀의 폼 팩터 (form factor)를 다양하게 하고 단락 전류를 증폭시킬 수 있다.

[0043] 계다가, 하나 이상의 광전지들의 제조 방법을 용이하게 할 수 있다. 실제로, 산화물의 박막으로 이와 같이 덮여진 기판 (1)의 표면은, 제조 방법의 다음 단계들 (다른 얇은 층들의 성막)을 실행하기 이전에, 가능한 대기 시간을 증가시킬 수 있는 보다 긴 지속 기간 동안 안정적이다. 계다가, 특정한 경우들에서 그리고 세정 상태들에 따라, 실리콘의 결정질 산화물 박막의 형성 이전에, 기판 (1)의 표면에 존재하는 자연 산화막을 제거하는 것은 불필요하다. 후자는 특정한 상태들 하에서 라디칼 산화의 단계 동안 결정질 형태로 변형될 수 있다. 마지막으로, 부동화 층으로서 적어도 하나의 실리콘의 결정질 산화물 박막을 형성한다는 사실은, 진성 비정질 실리콘을 성막시키기 이전에 불화수소산으로 기판을 세정하는 단계로부터 처리를 자유롭게 할 수 있어, 처리 안정성이 향상될 수 있다.

[0044] 도 3에 있어서, 기판 (1)의 후면 (1b)은 평평하고, 도 1에 따른 실시 형태에서와 같이, 전극 (6)으로 덮여진다. 반면에, 도 4에 도시된 바와 같이, 후면 (1b)은 도 2에 도시된 바와 같이 조직화 (textured) 될 수 있고, 다층 스택으로, 즉

- 진성 비정질 실리콘층 (7),

- 예컨대, n-도핑으로 매우 강하게 도핑된 비정질 실리콘층 (8),

- 예컨대, ITO로 구성된 전극 (9),

- 그리고 빗 (comb) 형태의 집전 장치 (10)에 의해 균일하게 그리고 연속하여 덮여질 수 있다.

[0049] 계다가, 특정한 실시형태들에 있어서, 추가의 박막 (12)이 기판 (1)의 후면 (1b) 위에 성막될 수 있다.

[0050] 따라서, 대안의 실시형태에 따라서 그리고 도 5에 도시된 바와 같이, 셀은 도 3 및 도 4에서 도시된 다층 스택과 동일한 다층 스택 (A1)으로 덮여진 정면 (1a)을 포함할 수 있다. 반면에, 정면 (1a)과 같이, 기판 (1)의 후면 (1b)은 조직화되고, 계다가, 추가의 실리콘의 결정질 산화물 박막 (12)으로 덮여진다. 상기 추가의 박막 (12)은 얇은 진성 비정질층 (7), n-도핑된 얇은 비정질 실리콘층 (8), 전극 (9) 및 집전 장치 (10)로 형성된 다층 스택으로 덮여지고, 그런 다음 유닛은 기판 (1)의 후면 (1b)을 덮는 다층 스택을 형성하고, 도 5에서 B1으로 나타낸다.

[0051] 특정한 경우들에서, 실리콘의 결정질 산화물의 매우 양호한 진성 품질은 우수한 표면 부동화를 얻기에 충분하고, 상기 박막과 도핑된 얇은 비정질 실리콘층 사이에 진성 비정질 실리콘의 얇은 부동화 층 (2)의 필요성을 제거할 수 있다.

[0052] 그런 다음, 박막 (11)은 기판 (1)과 p-도핑된 비정질 실리콘층 (3) 사이에 직접 성막될 수 있다. 따라서, 이러한 실시형태들에서, 다층 스택 (A1)을 박막 (11)과 p-도핑된 얇은 비정질 실리콘층 (3) 사이의 얇은 진성 실리콘층 (2)을 제거하는 스택 (A1)과 상이한 다층 스택 (A2)으로 교체하는 것이 예상될 수 있다. 그런 다음, 이러한 스택 (A2)은 도 6 ~ 도 9에 도시된 바와 같이 기판 (1)의 후면 (1b)에 대한 다양한 실시형태들과 연관될 수 있다.

[0053] 따라서, 도 6에서, 기판 (1)의 정면 (1a)를 덮는 상기 스택 (A2)은, 기판 (1)의 평평한 후면 (1b)을 덮는 전극 (6)과 연관된다.

[0054] 도 7에서, 후면 (1b)은 기판 (1)의 정면 (1a)과 같이 조직화되고, 도 2에 나타낸 것과 같은 다층 스택, 즉 추가의 실리콘의 결정질 산화물 박막 (12)을 포함하지 않는 다층 스택으로 덮여진다.

[0055] 도 8에서, 기판 (1)의 후면 (1b)은 기판의 정면 (1a)과 같이 또한 조직화되고, 다층 스택 (B1), 즉 기판 (1)과 n-도핑된 얇은 비정질 실리콘층 (8) 사이에 삽입된 추가의 박막 (12)을 포함하는 스택으로 덮여진다.

[0056] 마지막으로, 도 9에서, 기판 (1)의 후면 (1b)은 기판의 정면 (1b)과 같이 또한 조직화되고, 다층 스택 (B2)으로 덮여진다. 다층 스택 (B2)은, 추가의 박막 (12)과 비정질 실리콘층 (8) 사이에 배열된 진성 비정질 실리콘층 (7)을 포함하지 않는 스택 (B1)과 상이하다.

[0057] 광전지가 기판 (1)의 후면 (1b)에 배열된 추가의 박막 (12)뿐만 아니라 기판 (1)의 정면 (1a)에 배열된 박막 (11)을 포함할 때, 2개의 박막들 (11, 12)은 동시적인 방법으로, 또는 연속적인 방법으로 실현될 수

있다.

[0058] 이 경우에, 2 개의 박막들 (11, 12) 은 연속적인 방법으로 실현되고, 광전지는 이하와 같이 유리하게 구성될 수 있다:

[0059] - 박막 (11), 가능한 한 얇은 진성 비정질 실리콘층 (2) 및 p-도핑된 비정질 실리콘층 (3) 은 이형접합을 형성하기 위하여 기판 (1) 의 정면 (1a) 에 연속적으로 형성되고,

[0060] - 그런 다음, 추가의 박막 (12), 가능한 한 얇은 진성 비정질 실리콘층 (7) 및 n-도핑된 비정질 실리콘층 (8) 은 기판 (1) 의 후면 (1b) 에 연속적으로 형성되고,

[0061] - 그리고, 마지막으로, 전극들 (4 및 9) 및 상기 전극들 (4 및 9) 과 각각 연결된 집전 장치들 (5 및 10) 은 이들 각각의 스택 상에 형성된다.

[0062] 유리하게는, 각각의 2 개의 박막들 (11 및 12) 은, 산소화된 라디칼들과 같은 자유 라디칼들에 의해 라디칼 산화로 그리고 가능하게는 플라즈마 처리 또는 자외선의 도움으로 구성된다.

[0063] 다른 대안의 실시형태에 따라, 광전지는 또한 기판 (1) 의 정면 (1a) 상에 위치되는 것 (도 3, 4, 6 및 7 의 경우들) 이 아니라, 기판 (1) 의 후면 (1b) 상에 위치되는 단 하나의 실리콘의 결정질 산화물 박막을 포함할 수 있다. 실리콘의 결정질 산화물 박막은 항상 산소화된 라디칼들에 의하여 그리고 가능하게는 플라즈마 처리 또는 자외선의 도움으로 라디칼 산화에 의해 유리하게 구성된다. 이러한 경우에서, 정면 (1a) 은 기판 (1) 과 p-도핑된 얇은 비정질 실리콘층 (3) 사이에 배열된 얇은 진성 비정질 실리콘층 (2) 으로 유리하게 덮여진다.

후면 (1b) 은 실리콘의 결정질 산화물 박막과 도핑된 결정질 실리콘층 (8) 사이에 얇은 진성 비정질 실리콘층 (7) 을 포함할 수 있거나 포함할 수 없다.

[0064] 본 발명은 전술한 실시형태들, 특히 기판 (1) 의 도핑 형태 (n 또는 p) 와 도핑된 비정질 실리콘층 (3 및 8) 에 관하여 한정되지 않는다.

[0065] 결과적으로, 본 발명은, 각각 p-도핑된 그리고 n-도핑된 비정질 실리콘층들 (3 및 8) 과 n-도핑된 결정질 실리콘 기판을 포함하는 실시형태들에 한정되지 않는다. 비정질 실리콘층 (3) 은 이형접합을 형성하기 위하여 기판 (1) 의 도핑 형태 (n 또는 p) 에 반대되는 도핑 형태 (p 또는 n) 를 가져야만 하고, 기판 (1) 의 후면 (1b) 의 측면 상에 배열된 비정질 실리콘층 (8) 은 기판 (1) 의 도핑 형태 (n 또는 p) 와 같은 도핑 형태 (n 또는 p) 를 가져야만 한다.

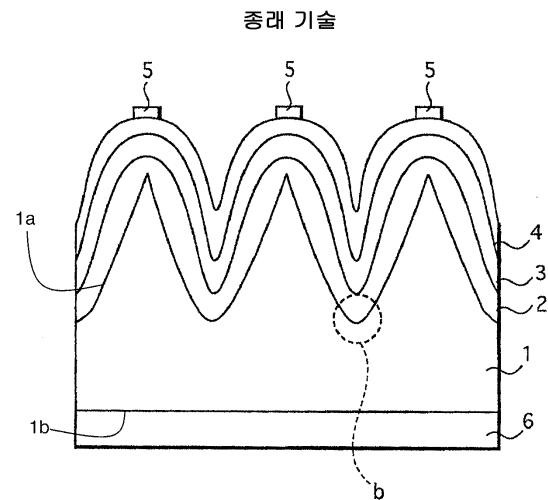
[0066] 게다가, 비정질 실리콘으로 구성되는 대신에, 얇은 층들 (3 및 8) 은 또한 미세 결정질 실리콘으로 구성될 수 있다.

[0067] 마지막으로, 진성 비정질 실리콘층들 (2 및 7) 을 사용하는 대신에, 상기 층 (2 또는 7) 에 배열되도록 의도된 비정질 실리콘층 (3 또는 8) 의 도핑 형태와 같은 도핑 형태로 미세 도핑된 (microdopped) 비정질 실리콘으로 또한 불려지는, 약간 도핑된 비정질 실리콘을 사용할 수 있다. 약간 도핑된 또는 미세 도핑된 비정질 실리콘에 의하여, 도핑은 일반적으로 사용된 도핑 레벨보다 실질적으로 낮다는 것으로 이해된다. 따라서, 실시 예와 같이, 각각의 비정질 실리콘층들 (2 및 7) 의 도핑제들의 농도는 $1 \times 10^{16} \sim 1 \times 10^{18}$ at/cm³ 사이일 수 있는 반면에, 각각의 비정질 실리콘의 얇은 층들 (3 및 8) 은 1×10^{19} at.cm³ ~ 1×10^{22} at.cm³ 사이의 도핑제들의 농도를 가질 수 있다.

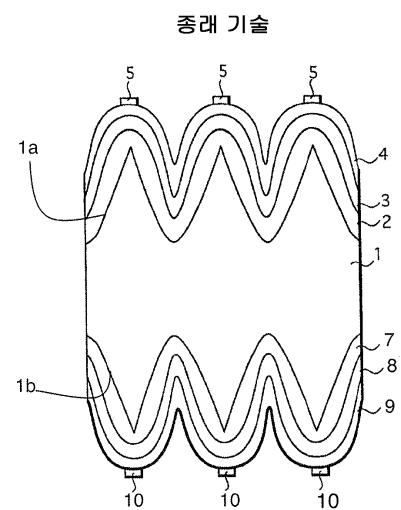
[0068] 미세 도핑된 비정질 실리콘으로 진성 비정질 실리콘을 교체하는 것은, 낮은 도핑 레벨 때문에, 낮은 국부적인 상태 밀도, 따라서 높은 개방 회로 장력뿐만 아니라 기판과 계면에서의 캐리어들의 낮은 재결합률을 얻는 것을 허용한다. 게다가, 미세 도핑된 비정질층은, 셀의 직렬 저항을 감소시키고 셀의 폼 팩터를 실질적으로 향상시키는 진성 비정질 층의 전도도보다 실질적으로 더 높은 전도도를 가진다.

도면

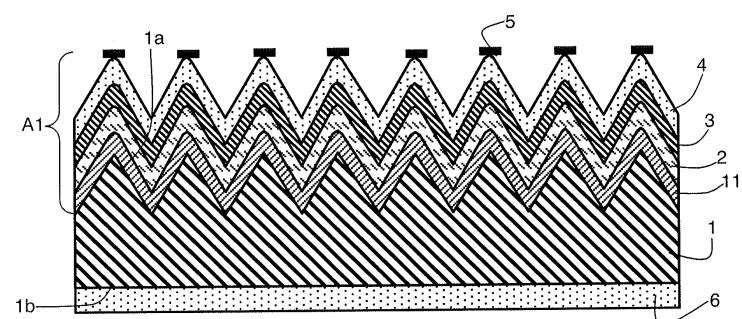
도면1



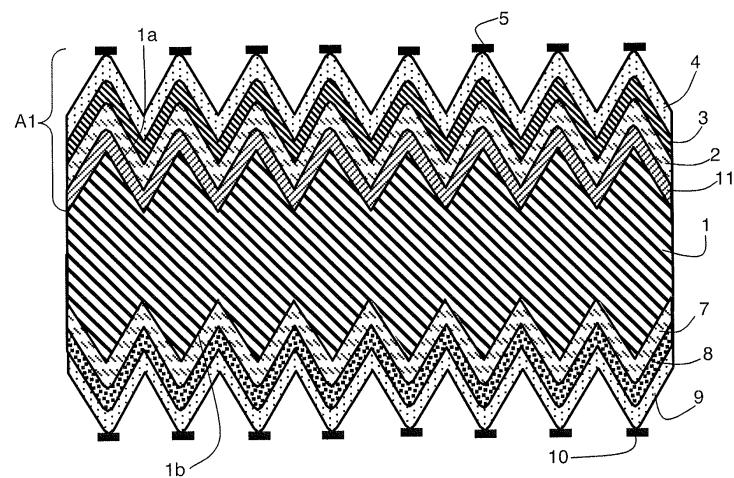
도면2



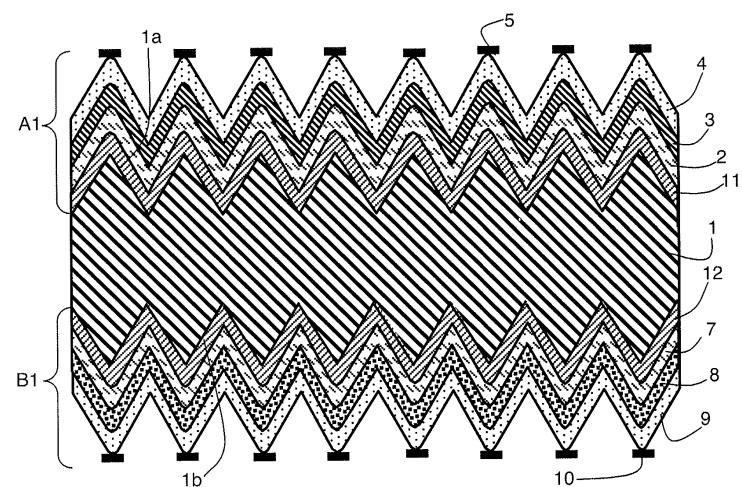
도면3



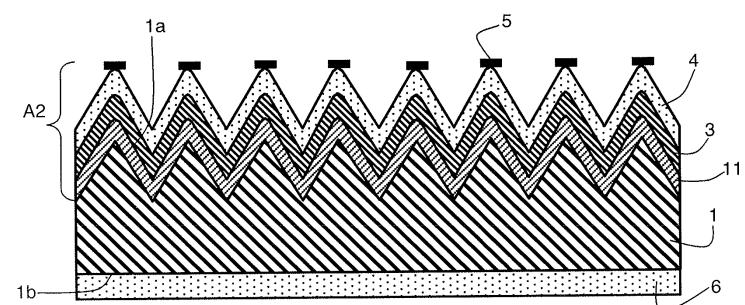
도면4



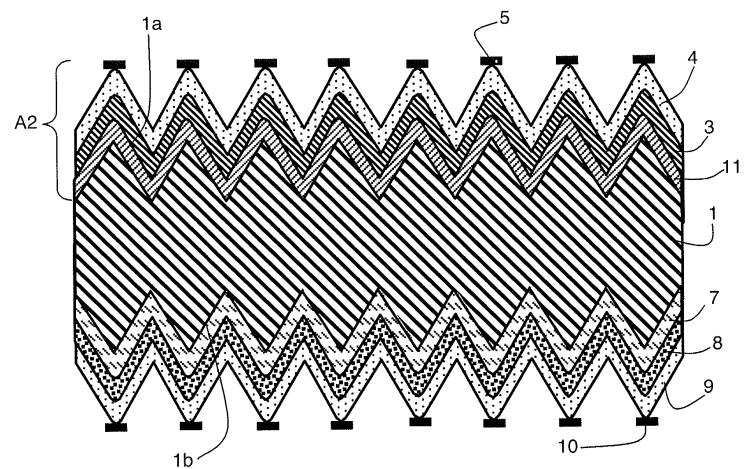
도면5



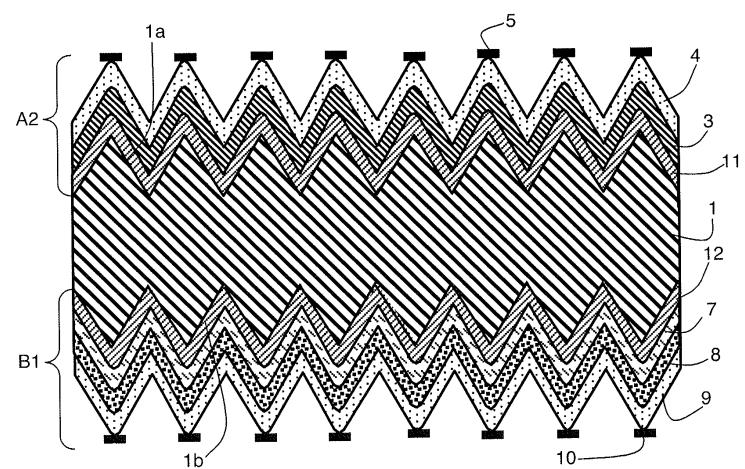
도면6



도면7



도면8



도면9

