

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3878374号
(P3878374)

(45) 発行日 平成19年2月7日(2007.2.7)

(24) 登録日 平成18年11月10日(2006.11.10)

(51) Int. Cl.

F I

H O 1 L 21/8247 (2006.01)

H O 1 L 29/78 3 7 1

H O 1 L 29/788 (2006.01)

H O 1 L 27/10 4 3 4

H O 1 L 29/792 (2006.01)

H O 1 L 27/115 (2006.01)

請求項の数 7 (全 14 頁)

(21) 出願番号	特願平11-342358	(73) 特許権者	000003078
(22) 出願日	平成11年12月1日(1999.12.1)		株式会社東芝
(65) 公開番号	特開2001-160595(P2001-160595A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成13年6月12日(2001.6.12)	(74) 代理人	100058479
審査請求日	平成16年6月21日(2004.6.21)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100070437
			弁理士 河井 将次

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板内に形成されたトレンチ溝に絶縁材が埋め込まれて形成された複数の素子分離領域と、該複数の素子分離領域によって各々が分離された複数の素子領域と、該素子領域上に第1のゲート絶縁膜を介して形成された導電層からなる電荷蓄積層と、該電荷蓄積層上に第2のゲート絶縁膜を介して形成された制御ゲートを有するメモリセルが複数個アレイ状に配置されてセルアレイを構成している不揮発性半導体記憶装置において、

前記素子分離領域の幅が0.25μm以下で、前記メモリセルのチャンネル幅が0.2μm以下であり、

前記電荷蓄積層は、前記第1のゲート絶縁膜を介して半導体基板の表面に接する下端の幅がその上方の幅よりも広くなるように、前記電荷蓄積層の前記素子分離領域に面する側面と前記第1のゲート絶縁膜に接する前記電荷蓄積層の底面とが成すテーパー角が80度以上90度未満の傾斜面を有し、

前記電荷蓄積層の傾斜面の上端と下端との間の膜厚は0.1μm以下であることを特徴とする不揮発性半導体記憶装置。

【請求項2】

上記電荷蓄積層の前記素子分離領域に面する側の上端の幅が0.25μm未満であることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】

前記第1のゲート絶縁膜直下に形成されるチャンネル長をLで表し、チャンネル幅をWで表

10

20

したとき、 W/L が1以下であることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項4】

前記電荷蓄積層は、前記素子分離領域により挟まれた部分に連続して素子分離領域上に張り出した部分を有することを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項5】

前記電荷蓄積層は、前記素子分離領域により挟まれた部分に連続して素子分離領域よりさらに上方に直線的に延び出した部分を有することを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項6】

半導体基板に形成されたトレンチ溝内に素子分離用絶縁材が埋め込まれて形成された複数の素子分離領域と、該複数の素子分離領域によって各々が素子分離された複数の素子領域と、該素子領域上に第1のゲート絶縁膜を介して形成され、上端が前記素子分離領域の上端より低く形成された第1導電層とこの第1導電層上に形成され上端が前記素子分離領域の上端より高く形成された第2導電層を含む電荷蓄積層と、該電荷蓄積層上に第2のゲート絶縁膜を介して形成された制御ゲートを有するメモリセルが複数個アレイ状に配置されてセルアレイを構成している不揮発性半導体記憶装置において、

前記素子分離領域の幅が $0.25\mu\text{m}$ 以下で、前記メモリセルのチャンネル幅が $0.2\mu\text{m}$ 以下であり、

前記第1導電層は前記側端部相互間の上端の幅よりも下端の幅が広く形成され、且つ上記第1導電層の側端がテーパー形状であり、さらに前記第1導電層の側端と底面との間に形成されるテーパー角が 80° 以上 90° 未満であり、且つ前記第1導電層の膜厚は $0.1\mu\text{m}$ 以下であることを特徴とする不揮発性半導体記憶装置。

【請求項7】

複数のメモリセルがアレイ状に配置されたセルアレイが形成され、このセルアレイは半導体基板に形成されたトレンチ溝内に素子分離用絶縁材が埋め込まれて形成された複数の素子分離領域と、該複数の素子分離領域によって各々が素子分離された複数の素子領域とを有し、各々のメモリセルは、前記素子領域上の第1のゲート絶縁膜上に形成され、上端が前記素子分離領域の上端より低く形成された第1導電層とこの第1導電層上に形成され上端が前記素子分離領域の上端より高く形成された第2導電層を含む電荷蓄積層と、該電荷蓄積層上に第2のゲート絶縁膜を介して形成された制御ゲートと、前記半導体基板上に前記第1のゲート絶縁膜よりも厚い第3のゲート絶縁膜を介して形成されたゲート電極を有する周辺トランジスタとを有する不揮発性半導体記憶装置において、

前記素子分離領域の幅が $0.25\mu\text{m}$ 以下で、前記メモリセルのチャンネル幅が $0.2\mu\text{m}$ 以下であり、

前記第1導電層の下端の側端間の幅はその上端の幅よりも広く形成され、前記第1導電層の側端がテーパー形状に形成され、前記第1導電層の側端と底面との間に形成されるテーパー角が 80° 以上 90° 未満であり、且つ前記第1導電層の膜厚は $0.1\mu\text{m}$ 以下であり、

前記周辺トランジスタ内に形成された素子分離領域のトレンチ溝の深さは前記メモリアレイ内のトレンチ溝の深さより浅いことを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置に係わり、特に改良されたメモリセル構造を有する高密度、高集積型の不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】

電氣的にデータの書き換えが可能な不揮発性半導体記憶装置は高速ROMやマスタストレージ用として広く使用されている。メモリセル構造としては電荷蓄積層と制御ゲートからな

10

20

30

40

50

るスタックゲートを有するMOSFET型が一般的に用いられている。

【0003】

図7はスタックゲート構造を有するメモリセルの一例を示している。(a)は平面図であり(b)はb-b断面図を、(c)はc-c断面図を示す。

【0004】

図7において、例えば、n型シリコン基板に形成されたpウェル(P-well)70に素子分離用トレンチ溝を形成し、このトレンチ溝内部に素子分離用絶縁材料、例えば2酸化シリコン材を埋め込んで、複数の素子分離領域71が形成される。

【0005】

このような素子分離された基板上的チャネル領域全面にトンネル電流が流れ得る薄いトンネル絶縁膜72が形成され、この上に電荷蓄積層73が形成され、この上にさらにゲート間絶縁膜74を介して制御ゲート75が形成される。制御ゲート75及び電荷蓄積層73は制御ゲート75が延在する方向、いわゆるワード線方向断面では図7(c)に示したようにその側端部が揃うように自己整合的に垂直加工されており、更にこの側端部に対して各ゲートの両側の素子領域76中に自己整合的にn型拡散層77が形成される。このn型拡散層77は隣接するゲート75間に延在して形成されている。このようにして、各ゲート部に不揮発性メモリセルが形成される。

【0006】

一方、上記メモリセルの拡散層77に電位を供給する、いわゆるビット線方向の図7(b)の断面では、電荷蓄積層73は素子分離領域71上でゲート間絶縁膜74により切断されて各々のメモリセル毎に分断されている。そして切断された電荷蓄積層73はゲート間絶縁膜74を介して制御ゲート75と容量結合する。

【0007】

上記のような構成を有する不揮発性メモリセルにおける一般的なデータ書き換え方法は、P-ウェル70と電荷蓄積層73との間に高電圧を印加してトンネル絶縁膜72にトンネル電流を流して電荷蓄積層73とP-ウェル70間で電荷の授受を行い電荷蓄積層73内の電荷量を書き込みデータに応じて変調する方法である。

【0008】

メモリセルのチャネル生成しきい電圧は、電荷蓄積層73内に負電荷が多ければ高くなり、正電荷が多ければ低くなる。従って、電荷蓄積層73に電子を注入すればしきい電圧を高め、例えば書き込み状態となり、電荷蓄積層73から電子を引き抜けばしきい電圧が低くなり、例えば消去状態となる。

【0009】

図8は上記メモリセルを用いた不揮発性半導体記憶装置の一例を示している。図8ではメモリセルをNAND構成にレイアウトしたNAND型の場合を示し、複数の素子分離領域71で素子分離された複数の素子領域76がビット線方向に延在して配置され、素子領域76と直交する方向に延在して複数の制御ゲート75-1...75-nが配置されている。制御ゲート75-1...75-nと素子領域71との各交差点に複数のメモリセルがマトリクス状に形成されており、制御ゲート75-1...75-n間の素子領域76にはn型拡散層77が形成される。

【0010】

この結果、複数のメモリセルがn型拡散層77を介してビット線方向に直列に接続されて単位ブロックを構成している。単位ブロックはトランジスタで形成された選択ゲート80を介してビット線コンタクト81に接続されている。単位ブロックにおけるビット線コンタクト81と反対側の選択ゲート82の外側には共通ソース線83が配置され、n型拡散層77を介して接続されている。なお、ビット線コンタクトは図示しないビット線信号線に接続されている。

【0011】

不揮発性半導体記憶装置の大容量化に伴いメモリセルの高密度化が極めて重要であり、その実現にはメモリセルの微細化によるメモリサイズの縮小が有力な手段である。このため

10

20

30

40

50

にはスタックゲートあるいは素子領域等の微細化と共に各々の素子寸法のばらつきを抑制することが最も重要である。

【0012】

スタックゲート構造に関しては図7(c)で説明したように、制御ゲート75を加工する際に第2のゲート絶縁膜74及び電荷蓄積層73を一括に加工することで側端部を自己整合的に揃えることが有効である。

【0013】

一方、素子領域幅あるいは素子分離領域幅に関しては、電荷蓄積層幅を素子領域幅と同じにすることが重要であり、予め電荷蓄積層を形成してから電荷蓄積層に合わせて自己整合的に素子領域を形成する自己整合法が提案されている。(特願平6-150241)

10

図9は自己整合型素子分離構造を有するメモリセルの一例を示している。(a)は平面図であり(b)はb-b断面図を、(c)c-c断面図を示す。

【0014】

たとえば、図9(b)に示すように、Pウエル90内に素子分離用トレンチ溝が形成され、このトレンチ溝内部に素子分離絶縁材料、例えば2酸化シリコン材が埋め込まれ、素子分離領域91が形成されている。このような素子分離されたPウエル90上のチャネル領域全面にトンネル電流が流れ得る薄いトンネル絶縁膜92が形成される。

【0015】

この上に図9(a),(c)に示すように素子領域96とその側端部が揃えられた電荷蓄積層93の一部となる導電層93aが形成されている。導電層93a上に別の導電膜93bが形成されて、前記導電層93aと導電膜93bが電氣的に同電位となり積層型の電荷蓄積層93が形成される。この上にさらにゲート間絶縁膜94を介して制御ゲート95が形成されている。

20

【0016】

制御ゲート95及び積層型の電荷蓄積層93は制御ゲート95が延在する、いわゆるワード線方向断面では、図9(c)に示すように、その側端部が揃うように自己整合的に垂直加工されており、ゲート間にはn型拡散層97が形成されている。

【0017】

一方、上記メモリセルの拡散層97に電位を供給する、いわゆるビット線方向の断面では、図9(b)に示すように、導電膜93bは素子分離領域91上でゲート間絶縁膜94で切断されて各々のメモリセル毎に分断されているため、電荷蓄積層93は各々のメモリセル毎に電氣的に分離されている。電荷蓄積層93はゲート間絶縁膜94を介して制御ゲート95と容量結合する。

30

【0018】

図10は図9で示した構成のメモリセルを作製する工程手順の説明図を示している。図中の左列の図(b1),(b2),(b3),(b4),(b5)は夫々の工程における図9のb-b線断面図を、右列の図(c1),(c2),(c3),(c4),(c5)は夫々の工程における図9のc-c線断面図を示している。

【0019】

図10(b1),(c1)に示すように、たとえばP型のウエル90上にトンネル酸化膜となる第1のゲート絶縁膜92を介して第一の導電層93aを形成し、導電層93aの加工マスクとなるマスク材101を形成する。

40

【0020】

つぎに、図10(b2),(c2)に示すように、リソグラフィ技術を用いてマスク材101及び第一の導電層93aをパターニングして素子領域96にマスク材101及び導電層93aを残し、素子分離領域91形成予定領域上のマスク材及び導電層を除去する。このため、残ったマスク材101を用いて第1のゲート絶縁膜92及びPウエル90をドライエッチングにより除去してトレンチ溝102を形成する。

【0021】

この際にトレンチ溝102と第一導電層93aの側端部は揃えられる。また、トレンチ溝

50

102の深さは所望の素子分離耐圧に合わせて選ぶことが出来る。

【0022】

つぎに、清浄処理あるいは適当な表面処理を行った後に、図10(b3)、(c3)に示すように、素子分離用絶縁膜91をトレンチ溝102内部に埋め込み、ポリッシングあるいはエッチバック等により埋め込み膜91の平坦化および膜厚調整を行う。これにより素子分離領域91が完成する。

【0023】

次に、図10(b4)、(c4)に示すように、マスク材101を除去した後、第2の導電膜93bを導電層83a上に直接形成し、図10(b4)に示すように、素子分離領域91上でスリット103により導電膜93bを切断して、電荷蓄積層93を各メモリセル

10

【0024】

最後に、図10(b5)、(c5)に示すように、第2のゲート絶縁膜94及び制御ゲート95となる導電膜を形成してから、制御ゲート95、第2のゲート絶縁膜94、電荷蓄積層93をドライエッチングによって素子領域96と交差する方向に一括加工する。これにより図10(c5)に示すように、各々の部材93, 94, 95の側端部が揃えられる。

【0025】

このような自己整合型の素子分離構造を形成する場合、トレンチ溝102内に素子分離用の絶縁膜91を埋め込む際の絶縁膜91の厚さと幅との比であるアスペクト比が第一の導電層93aの厚さ分大きくなるため埋め込み特性が損なわれる問題がある。具体的には、埋め込まれた素子分離絶縁膜91内にボイドが発生して、後の平坦化時に表面にこのボイドが露出して平坦性が損なわれる。また、ゲート加工時に残さが発生し、この残さにより電荷蓄積層93が隣接メモリセル間で短絡するおそれがある。

20

【0026】

このような問題は前述の様にアスペクト比が高くなるほど問題となるため、素子の微細化に伴い、素子分離幅が狭くなる場合、ビット線のピッチが狭くなり実効的に素子領域幅が狭くなる場合、トレンチ溝が深い場合に顕著になる。

【0027】

例えば素子分離幅が0.25μm以下でトレンチ溝深さが0.25μm以上では重大な問題である。

30

【0028】

一方、図10(b5)、(c5)のゲート加工の際に隣接ゲート95間の導電層93は完全に除去しなければならない。しかし、微細化に伴いワード線ピッチが狭くなるとゲート幅及びゲート間隔が狭くなるためドライエッチングのエッチング速度が低下する。ゲート幅及びゲート間隔の広い部分と狭い部分が混在する場合に、広い領域に合わせてエッチングするとメモリセルのようなアレイ部の電荷蓄積層93が素子分離領域91側端で除去されずに残さとなって残り、隣接メモリセル間の短絡不良を生じる。上述の問題は0.2μm以下のゲート幅及びゲート間隔でメモリセルを形成する際に急に顕著となる。

【0029】

40

以上に述べた通り、不揮発性半導体記憶装置の大容量化、高密度化を図るために自己整合素子分離法を用いた場合、セルの微細化寸法がある値を超えると、これに伴ってトレンチ溝内への素子分離用絶縁膜の埋め込み性能の急激な悪化と素子分離領域側端の電荷蓄積層の除去特性の急激な悪化という問題が発生する可能性が大きくなる。

【0030】

以上の問題はNOR型、AND型、DINOR型等のNAND型以外のセルアレイ構成においても自己整合法で形成された素子分離構造を有する全ての不揮発性半導体記憶装置に起こりうる問題である。

【0031】

【発明が解決しようとする課題】

50

以上に述べた通り、不揮発性半導体記憶装置の大容量化、高密度化を図るために自己整合型素子分離法を用いた場合、セルの微細化に伴ってトレンチ溝内への素子分離絶縁膜の埋め込み性能の急激な悪化と素子分離領域側端の電荷蓄積層の除去特性の急激な悪化という問題が発生する可能性があった。

【0032】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、ゲート加工時に素子分離領域の側端に残さを生じさせないように構成でき、上記の問題を解決して、大容量、高密度かつ低コストな不揮発性半導体記憶装置を提供することにある。

【0033】

【課題を解決するための手段】

上記課題を解決するために、本発明に係る不揮発性半導体記憶装置において以下の手段を講じた。

【0034】

(1) 請求項1に記載の不揮発性半導体記憶装置は、半導体基板内に形成されたトレンチ溝に絶縁材が埋め込まれて形成された複数の素子分離領域と、該複数の素子分離領域によって各々が分離された複数の素子領域と、該素子領域上に第1のゲート絶縁膜を介して形成された電荷蓄積層と、該電荷蓄積層上に第2のゲート絶縁膜を介して形成された制御ゲートを有するメモリセルが複数個アレイ状に配置されてセルアレイを構成している不揮発性半導体記憶装置において、

前記電荷蓄積層のうち、前記素子分離領域により挟まれた部分はその上端の幅よりも下端の幅が広くなるように形成され、且つ上記素子分離領域の幅が $0.25\mu\text{m}$ 以下であることを特徴とする。

【0035】

前記電荷蓄積層のうち、前記素子分離領域により挟まれた部分はその上端の幅を下端の幅より広くすることにより、素子分離領域の埋め込み形状を改善し、 $0.25\mu\text{m}$ 以下の素子分離幅を可能とする。

【0036】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

【0037】

図1は本発明による一実施例の不揮発性半導体記憶装置を示している。(a)は平面図であり(b) b-b線断面図、(c)はc-c線断面図を示す。

【0038】

図1において、pウエル10に素子分離用トレンチ溝が形成され、このトレンチ溝内部に素子分離用絶縁材料、例えば二酸化シリコン材が埋め込まれて、複数の素子分離領域11が形成されている。このような素子分離領域11で素子分離されたpウエル10上のチャネル領域全面にトンネル電流が流れ得る薄いトンネル絶縁膜12が形成され、この上に素子領域13とその側端部が揃えられた導電層14aが形成されている。

【0039】

導電層14a上に別の導電膜14bが形成されて、前記導電層14aと導電膜14bが電氣的に同電位となり積層型の電荷蓄積層14が形成される。この上にさらにゲート間絶縁膜15を介して制御ゲート16が形成されている。制御ゲート16及び積層型の電荷蓄積層14は制御ゲート15が延在する、いわゆるワード線に垂直な断面ではその側端部が揃うように自己整合的に垂直加工されており、ゲート間にはn型拡散層17が形成されている。

【0040】

一方、上記メモリセルの拡散層17に電位を供給する、いわゆるビット線に垂直な断面では導電膜14bは素子分離領域11上で切断されて、各々のメモリセル毎に分断されているため、電荷蓄積層14は各々のメモリセル毎に電氣的に分離されている。電荷蓄積層14はゲート間絶縁膜15を介して制御ゲート16と容量結合する。

10

20

30

40

50

【0041】

電荷蓄積層14のうち、素子分離領域11に挟まれた導電層14aはその下端の幅が上端の幅よりも広くなるように側面が斜面として形成され、その斜面と導電層14aの底面とが成すテーパ角は80度以上90度未満に制御されている。

【0042】

このように、導電層14aの素子分離領域11に面する側端部間の下端の幅が上端の幅よりも広くなるようにテーパを形成し、且つそのテーパ角を80度以上90度未満にすることにより、

電荷蓄積層に隣接する素子分離領域の埋め込み形状を改善し、0.25 μm 以下の素子分離幅を可能とし、

導電層のテーパ角を80度以上90度未満にすることでゲート加工時の素子分離領域側端の導電層残さを完全に除去できるようにし、導電層側端部をテーパ形状とすることで埋め込み形状を改善し、0.2 μm 以下の制御ゲート幅を有するメモリセルの素子分離を可能とし、さらに周辺トランジスタ領域に形成されたトレンチ溝よりも深く形成されたメモリセルアレイ内のボイドを生じないトレンチ溝の埋め込みを可能とする。

【0043】

なお、図1(b)に示す素子分離領域11間に形成されたトンネル絶縁膜12の直下にはチャンネル領域が形成されるが、このチャンネル領域のトンネル絶縁膜11間の距離であるチャンネル幅をWとし、図1(c)のn型拡散層17間の距離であるチャンネル長をLとしたとき、W/Lの値が1以下であることが子の実施の形態におけるゲート部の特徴となっている。

【0044】

図2は図1で示した構成のメモリセルを作製する工程手順の説明図を示している。図中の左列の図(b1)、(b2)、(b3)、(b4)、(b5)は夫々の工程における図1のb-b線断面図を、右列の図(c1)、(c2)、(c3)、(c4)、(c5)は夫々の工程における図1のc-c線断面図を示している。

【0045】

図2(b1)、(c1)に示すように、たとえばP型のウエル10上にトンネル絶縁膜となる第1のゲート絶縁膜12を介して第1の導電層14aを形成し、導電層14aの加工マスクとなるマスク材21を形成する。

【0046】

つぎに、図2(b2)、(c2)に示すように、リソグラフィ技術を用いてマスク材21及び第1の導電層14aをパターンニングして素子領域13にマスク材21及び導電層14aを残し、素子分離領域11形成予定領域上のマスク材21及び導電層14aを除去する。このため、残ったマスク材21を用いて第1のゲート絶縁膜12及びPウエル10をドライエッチングにより除去してトレンチ溝22を形成する。

【0047】

このドライエッチングの際にエッチング条件を適当に選ぶことにより導電層14a下端の幅を導電層14a上端の幅よりも広くして導電層14aをテーパ形状にすることが可能となる。

【0048】

この際にトレンチ溝22と第1導電層14aの側端部は揃えられる。また、トレンチ溝22の深さは所望の素子分離耐圧に合わせて選ぶことが出来る。

【0049】

つぎに、清浄処理あるいは適当な表面処理を行った後に、図2(b3)、(c3)に示すように、素子分離用絶縁膜11をトレンチ溝22内部に埋め込み、ポリッシングあるいはエッチバック等により埋め込み膜11の平坦化および膜厚調整を行う。これにより素子分離領域11が完成する。

【0050】

導電層14aの素子分離領域11に面する側面にをテーパを形成することにより、埋め込みアスペクトが高い場合でも素子分離領域11をボイド等の発生なく埋め込むことが可

10

20

30

40

50

能となる。従って、素子分離領域 11 により挟まれた導電層 14 a の幅が $0.25\ \mu\text{m}$ 以下である場合や、素子分離領域 11 の幅が $0.25\ \mu\text{m}$ 以下である場合においても埋め込みが可能となる。また、トレンチ溝 22 の深さが $0.1\ \mu\text{m}$ 以上であっても埋め込むことが可能となる。

【0051】

次に、図 2 (b4)、(c4) に示すように、マスク材 21 を除去した後、第2の導電膜 14 b を導電層 14 a 上に直接形成し、図 2 (b4) に示すように、素子分離領域 11 上でスリット 23 により導電膜 14 b を切断して、電荷蓄積層 13 を各メモリセル毎に分離する。

【0052】

最後に、図 2 (b5)、(c5) に示すように、第2のゲート絶縁膜 15 及び制御ゲート 16 となる導電膜を形成してから、制御ゲート 16、第2のゲート絶縁膜 15、電荷蓄積層 14 をドライエッチングによって素子領域 13 と交差する方向に一括加工する。これにより図 2 (c5) に示すように、各々の部材 14, 15, 16 のワード線方向の側端部が揃えられる。

【0053】

ここで、図 3 を参照して前記導電層 14 a に形成されたテーパを詳細に説明する。図 3 (a) は図 1 (a) の線 III - III で矢視した断面図を示し、(b) はテーパ部の拡大図である。

【0054】

導電層 14 a をテーパ形状にした場合には導電層 14 a の一部が素子分離領域 11 に上部を覆われた形状となる。このため、ゲート加工の際に導電層 14 a の斜線で示した領域が残さとなる可能性がある。これは微細化によりゲート幅及びゲート間隔が $0.2\ \mu\text{m}$ 以下になるとエッチング速度が急激に低下するため顕在化する。

【0055】

この問題を解決するために、導電層 14 a のテーパ角 を 80° 以上 90° 未満に制御することが有効であることが分かった。この角度範囲に設定した場合、例えば導電層 14 a が $0.1\ \mu\text{m}$ 厚であれば、素子分離領域 11 下の導電層 14 a の残さの最大幅は $0.02\ \mu\text{m}$ 程度であるので、ゲート加工後の側壁酸化処理により十分除去可能となる。

【0056】

導電層 14 a の素子分離領域 11 に面する側面をテーパ形状にする利点として、素子分離領域 11 の幅を狭く形成できることから、チャネル幅を広く出来ることが挙げられる。

【0057】

一般に、チャネル幅、すなわちゲート幅が $0.2\ \mu\text{m}$ 以下では短チャネル効果によりメモリセルのしきい電圧が低下するため、トランジスタのカットオフ特性が著しく悪化してしまう。素子分離方法としてトレンチ素子分離を用いた場合、チャネル幅が狭くなるにつれてしきい電圧が下がることが知られている。従って、チャネル長とチャネル幅の微細化により上記の特性悪化が顕著に表れる。

【0058】

一方、この発明では、導電層 14 a の素子分離領域 11 に面する側面をテーパ形状とすることで、ゲート幅即ちチャネル幅を広くすることができ、実質的にチャネル長を大きくしたことになる、上述のしきい電圧低下を抑制することが可能となり、メモリセルの微細化が図れる。

【0059】

ここで、導電層 14 a のテーパ角 を 80° 以上 90° 未満に制御することが有効であることの理由を図 4、図 5 を参照して説明する。

【0060】

図 4 は $0 < \text{ゲート幅} \leq 0.2\ \mu\text{m}$ で、 $0 < \text{導電層 14 a 厚} \leq 0.1\ \mu\text{m}$ では、テーパ角を 80° 以上とすることがゲート加工時の導電層残さによる短絡不良の改善に効果大であることを説明する図である。

10




20

30

40

50

【0061】

図4はゲート加工時の導電層残さによる短絡不良がテーパ角度でどのように起こるかを実験した結果を示し、同図(a)はテーパ角が78度の場合、(b)はテーパ角が80度の場合、(c)はテーパ角が86度の場合、(d)はテーパ角が88度の場合を夫々示す。図中、は短絡不良なし、は50%の短絡不良、は100%の短絡不良を示す。なお、図中の縦軸は導電層の膜厚(μm)を示し、横軸はゲート幅(μm)を示している。

【0062】




実験の結果、ゲート長0.2μmのメモリセルを形成する場合、テーパ角が78度では殆ど効果が認められなかった。これに対して、80度以上(80度、86度、88度)ではいずれも顕著な効果が認められた。即ち、結論として、0<ゲート幅 0.2μmで、0<導電層14a厚 0.1μmでは、テーパ角を80度以上とすることがゲート加工時の導電層残さによる短絡不良の改善に効果大であることが立証された。

10

【0063】

次に、図5を参照して、0<素子分離幅 0.25μmで、トレンチ溝深さ 0.1μmではテーパ角を90度未満とすることが埋め込み形状改善に効果大であることが分かった。

【0064】

図5はトレンチ溝内に発生するボイドが、テーパ角度でどのように起こるかを実験した結果を示し、同図(a)はテーパ角が80度の場合、(b)はテーパ角が86度の場合、(c)はテーパ角が88度の場合、(d)はテーパ角が91度の場合を夫々示す。図中、はボイドなし、は50%ボイド発生、は100%ボイド発生を示す。なお、図中の縦軸はトレンチ溝深さ(μm)を示し、横軸は素子分離幅(μm)を示している。

20

【0065】

実験の結果、テーパ角が91度では素子分離幅、トレンチ溝深さの如何にかかわらずにボイドが100%発生してしまい、全く効果が認められないが、90度未満(88度、86度、80度)ではボイド発生が抑制され、いずれも顕著な効果が認められた。即ち、結論として、0<素子分離幅 0.25μmで、トレンチ溝深さ 0.1μmではテーパ角を90度未満とすることがボイドをなくし、埋め込み形状改善に効果大であることが立証された。

30

【0066】

以上のような製造工程により、電荷蓄積層の一部である導電層を80度以上90度未満のテーパ形状とすることにより素子分離用絶縁膜の埋め込み特性を改善しつつ、ゲート加工時に素子分離領域の側端に残さを生じさせないような角度に制御することができ、素子分離0.25μm以下及びゲート長、間隔0.2μm以下の不揮発性半導体記憶装置の加工制御性を著しく向上させることができる。

【0067】

図6は別の実施例による不揮発性半導体記憶装置を示している。図6において、P-ウエル60内に形成されたメモリセルアレイ内の導電層62a下の第一のゲート絶縁膜63の厚みは例えば100オングストロームであるが、これに比べて周辺回路部では、導電層66a下の第3のゲート絶縁膜69の厚みが例えば200オングストロームと非常に厚い周辺トランジスタを含む。このようにゲート絶縁膜の厚みに差があるため、上述の加工方法で素子作製を行う場合、メモリセルアレイ内のトレンチ溝、即ち素子分離絶縁膜61は周辺回路部の素子分離絶縁膜61Aに比べて厚くなる傾向にある。

40

【0068】

これは、トレンチ溝を形成する際の第1のゲート絶縁膜63及び第3のゲート絶縁膜69をエッチングする時に、第3のゲート絶縁膜69の除去が終わらないうちにメモリセルアレイでは第1のゲート絶縁膜63が早期に除去されてシリコン基板またはPウエル60もエッチングされるためである。つまり、最もアスペクト比の高いメモリセルアレイのトレンチ溝が最も深くなるという問題が生じる。

50

【0069】

このような問題に対してもこの発明によれば導電層をテーパ形状化することで埋め込み特性を改善することが可能であるので十分制御性を確保することが可能となる。

【0070】

この発明は上述した各実施の形態に限定されるものではない。自己整合法によるトレンチ素子分離を行う半導体記憶装置、特にスタックゲート構造を有する不揮発性半導体記憶装置において、素子分離領域幅が0より大きく0.25 μm 以下及びゲート長が0より大きく0.2 μm 以下で極めて有効である。

【0071】

また、本発明の要旨を逸脱しない範囲で、種々変形して実施する事ができる。

10

【0072】

【発明の効果】

以上詳述したようにこの発明によれば、ゲート加工時に素子分離領域の側端に残さを生じさせないように制御でき、素子分離領域幅0.25 μm 以下及びチャネル幅0.2 μm 以下の不揮発性半導体記憶装置の加工制御性を著しく向上させることができ、大容量、高密度かつ低コストな不揮発性半導体記憶装置を提供することが可能となる。

【図面の簡単な説明】

【図1】第1の実施の形態に係わる不揮発性半導体記憶装置の一部を示し、(a)は平面図、(b)はb-b線断面図、(c)はc-c線断面図である。

【図2】図1に示した不揮発性半導体記憶装置の製造方法の種々の工程における断面構造を示す断面図。

20

【図3】図1の線III-IIIに沿って切断して示す断面図。

【図4】ゲート加工時の導電層残さによる短絡不良を種々のテーパ角で検証した結果データを示す図。

【図5】トレンチ溝内に発生するボイドを種々のテーパ角で検証した結果データを示す図。

【図6】メモリセル形成部と周辺回路部とのトレンチ溝深さの差を説明する断面図。

【図7】従来のスタックゲート構造のメモリセルを示す平面図ならびに断面図。

【図8】従来のNAND構成のメモリセルアレイの平面図。

【図9】従来の自己整合型素子分離法を用いたメモリセルの構成を示す平面図ならびに断面図。

30

【図10】図9の従来の自己整合型素子分離メモリセルの製造方法を示す図。

【符号の説明】

10 ... P - ウエル、

11 ... 素子分離領域、

12 ... トンネル絶縁膜、

14a ... 導電層、

14b ... 導電膜、

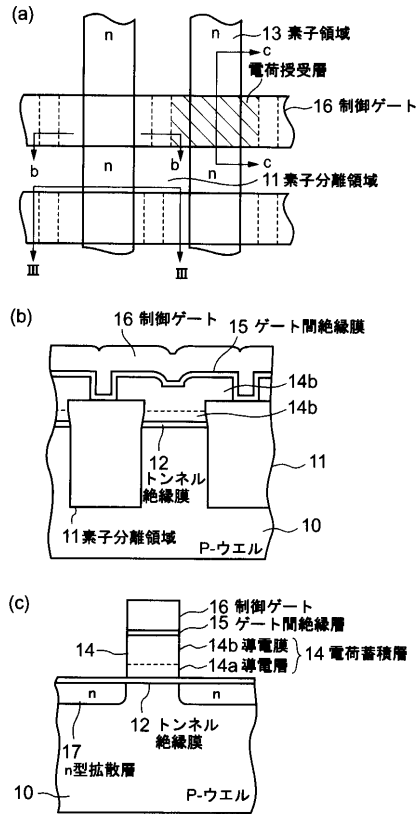
14 ... 電荷蓄積層、

15 ... ゲート間絶縁膜、

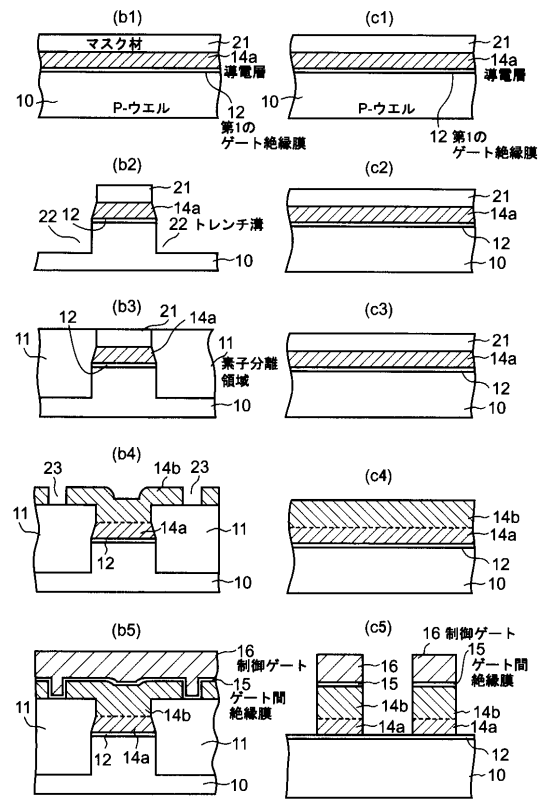
16 ... 制御ゲート。

40

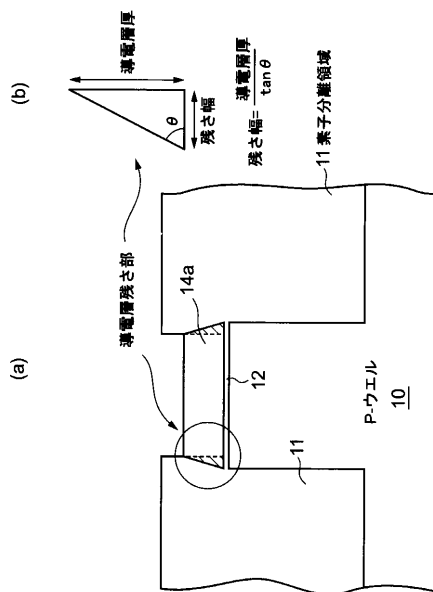
【図 1】



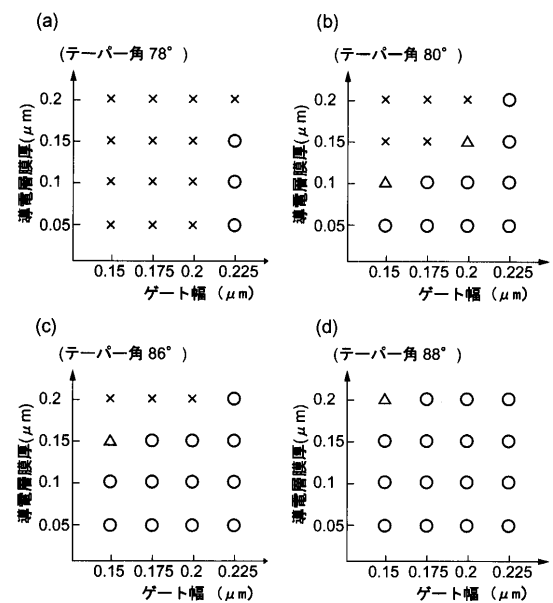
【図 2】



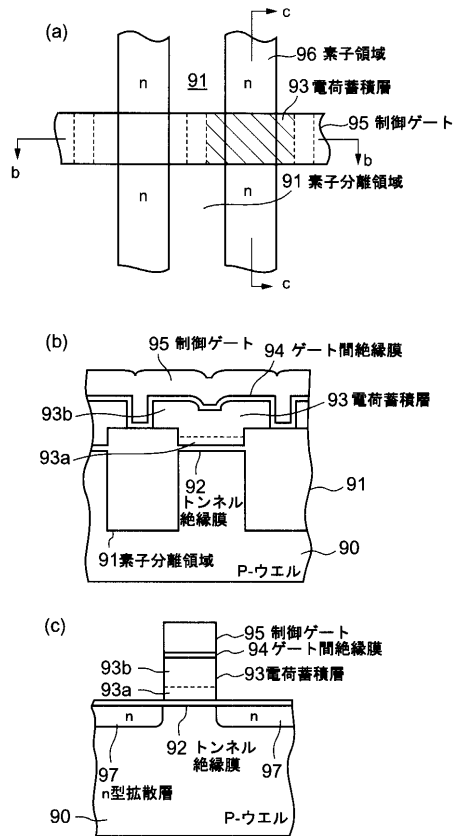
【図 3】



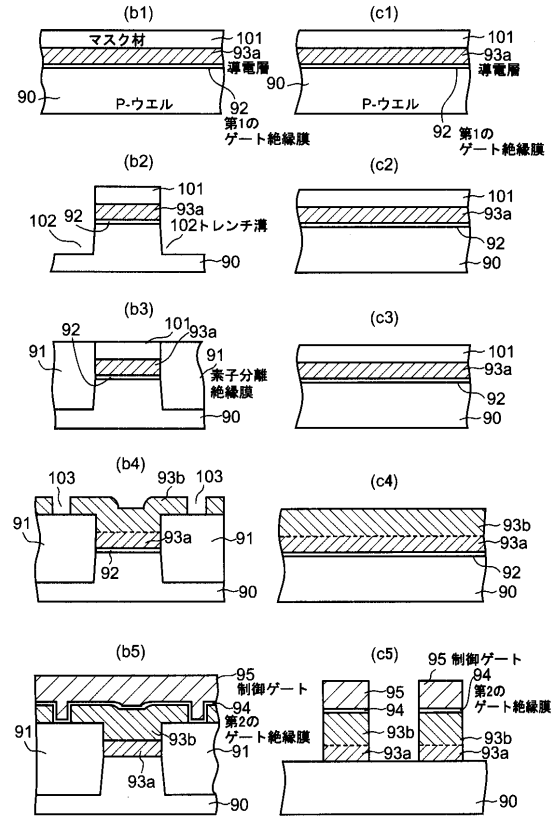
【図 4】



【図 9】



【図 10】



フロントページの続き

- (72)発明者 清水 和裕
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 白田 理一郎
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 有留 誠一
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 小井土 直樹
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 飯塚 裕久
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 角田 弘昭
三重県四日市市山之一色町 8 0 0 番地 株式会社東芝四日市工場内
- (72)発明者 井口 直
三重県四日市市山之一色町 8 0 0 番地 株式会社東芝四日市工場内
- (72)発明者 成田 一仁
三重県四日市市山之一色町 8 0 0 番地 株式会社東芝四日市工場内
- (72)発明者 寺坂 国博
三重県四日市市山之一色町 8 0 0 番地 株式会社東芝四日市工場内

審査官 井原 純

- (56)参考文献 特開 2 0 0 0 - 1 7 4 2 4 2 (J P , A)
特開平 0 8 - 3 1 6 3 4 8 (J P , A)
特開平 1 1 - 1 7 7 0 6 6 (J P , A)
特開平 1 1 - 1 6 3 3 0 4 (J P , A)
特開平 1 0 - 2 8 9 9 9 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792