

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年9月6日(06.09.2019)



(10) 国際公開番号

WO 2019/167490 A1

(51) 国際特許分類:

G09F 9/30 (2006.01) G02F 1/1368 (2006.01)
G02F 1/1335 (2006.01) H01L 21/336 (2006.01)
G02F 1/1343 (2006.01) H01L 29/786 (2006.01)

(74) 代理人: 特許業務法人スズエ国際特許事務所
(S & S INTERNATIONAL PPC); 〒1050001 東京
都港区虎ノ門一丁目12番9号 スズエ
・アンド・スズエビル Tokyo (JP).

(21) 国際出願番号: PCT/JP2019/002354

(22) 国際出願日: 2019年1月24日(24.01.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2018-037618 2018年3月2日(02.03.2018) JP

(71) 出願人: 株式会社ジャパンディスプレイ (JAPAN
DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区
西新橋三丁目7番1号 Tokyo (JP).

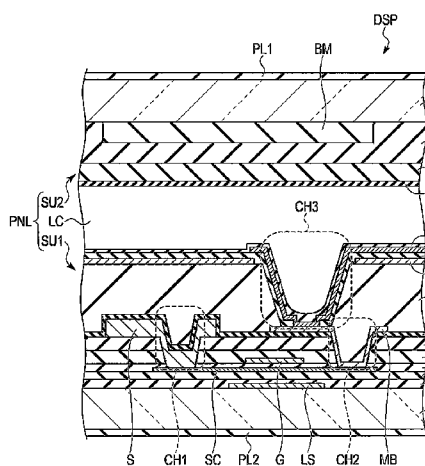
(72) 発明者: 伊東 理 (ITOU, Osamu); 〒1050003 東京
都港区西新橋三丁目7番1号 株式会社ジ
ャパンディスプレイ内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: A display device according to one embodiment of the present invention is provided with a semiconductor layer, a scanning line facing the semiconductor layer and supplied with a scanning signal, a first insulating layer provided above the semiconductor layer, a signal line electrically connected to the semiconductor layer through a first contact hole that penetrates the first insulating layer and supplied with a video signal, a pedestal being in contact with the semiconductor layer through a second contact hole that penetrates the first insulating layer, a second insulating layer provided above the pedestal, and a pixel electrode connected to the pedestal through a third contact hole that penetrates the second insulating layer. The signal line and the pedestal are provided in mutually different layers.

(57) 要約: 一実施形態に係る表示装置は、半導体層と、前記半導体層に対向し、走査信号が供給される走査線と、前記半導体層の上方に設けられた第1絶縁層と、前記第1絶縁層を貫通する第1コンタクトホールを通じて前記半導体層と電氣的に接続され、映像信号が供給される信号線と、前記第1絶縁層を貫通する第2コンタクトホールを通じて前記半導体層と接触する台座と、前記台座の上方に設けられた第2絶縁層と、前記第2絶縁層を貫通する第3コンタクトホールを通じて前記台座と接続された画素電極と、を備えている。さらに、前記信号線と前記台座とは、互いに異なる層に設けられている。

ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明の実施形態は、表示装置に関する。

背景技術

[0002] 表示装置は、映像信号が供給される信号線と、画素に配置された画素電極と、信号線と画素電極の間に介在するスイッチング素子とを備えている。スイッチング素子は、信号線および画素電極の各々と電氣的に接続された半導体層を備えている。

[0003] 画素電極は、例えばITO（インジウム・ティン・オキサイド）のような透明導電材料で形成されることがある。この場合、半導体層と透明導電材料の密着性が低いために、半導体層と画素電極とを直接接続することが困難である。そこで、従来の表示装置においては、信号線と同じ材料で同時にパターンニングすることにより形成された金属製の台座を半導体層と画素電極の間に介在させ、両者を間接的に接続させている。

先行技術文献

特許文献

[0004] 特許文献1：特開平7-13180号公報

発明の概要

発明が解決しようとする課題

[0005] 近年、表示装置の高精細化や動画表示能の改善に関する要求が増大している。動画表示能は、例えば駆動周波数を高めることで改善されるが、この場合には映像信号の遅延を防ぐために信号線を十分に厚くする必要がある。そうすると、信号線と台座の元となる層を微細にパターンニングしなければならないが、これには製造技術上の困難が伴う。したがって、表示装置を十分に高精細化することができない。

[0006] そこで、本開示は、高精細化が可能な表示装置を提供することを目的の一

つとする。

課題を解決するための手段

[0007] 一実施形態に係る表示装置は、半導体層と、前記半導体層に対向し、走査信号が供給される走査線と、前記半導体層の上方に設けられた第1絶縁層と、前記第1絶縁層を貫通する第1コンタクトホールを通じて前記半導体層と電氣的に接続され、映像信号が供給される信号線と、前記第1絶縁層を貫通する第2コンタクトホールを通じて前記半導体層と接触する台座と、前記台座の上方に設けられた第2絶縁層と、前記第2絶縁層を貫通する第3コンタクトホールを通じて前記台座と接続された画素電極と、を備えている。さらに、前記信号線と前記台座とは、互いに異なる層に設けられている。

図面の簡単な説明

[0008] [図1]図1は、第1実施形態に係る液晶表示装置の外観の一例を示す斜視図である。

[図2]図2は、第1実施形態における第1基板の一例を概略的に示す斜視図である。

[図3]図3は、第1実施形態における副画素の一例を概略的に示す平面図である。

[図4]図4は、図3におけるI-V-I-V線に沿う表示パネルの概略的な断面図である。

[図5]図5は、図3におけるV-V線に沿う表示パネルの概略的な断面図である。

[図6A]図6Aは、第1実施形態における第1基板の製造プロセスを示す概略的な断面図である。

[図6B]図6Bは、図6Aに続く製造プロセスを示す概略的な断面図である。

[図6C]図6Cは、図6Bに続く製造プロセスを示す概略的な断面図である。

[図6D]図6Dは、図6Cに続く製造プロセスを示す概略的な断面図である。

[図6E]図6Eは、図6Dに続く製造プロセスを示す概略的な断面図である。

[図6F]図6Fは、図6Eに続く製造プロセスを示す概略的な断面図である。

[図7]図7は、比較例に係る表示パネルの概略的な断面図である。

[図8]図8は、比較例に係る表示パネルが備える要素の概略的な平面図である。

[図9]図9は、第1実施形態に係る表示パネルが備える要素の概略的な平面図である。

[図10]図10は、第2実施形態に係る表示装置が備える表示パネルの概略的な断面図である。

[図11A]図11Aは、第2実施形態における第1基板の製造プロセスを示す概略的な断面図である。

[図11B]図11Bは、図11Aに続く製造プロセスを示す概略的な断面図である。

[図11C]図11Cは、図11Bに続く製造プロセスを示す概略的な断面図である。

[図11D]図11Dは、図11Cに続く製造プロセスを示す概略的な断面図である。

[図11E]図11Eは、図11Dに続く製造プロセスを示す概略的な断面図である。

[図11F]図11Fは、図11Eに続く製造プロセスを示す概略的な断面図である。

[図12A]図12Aは、第2実施形態における第1基板の製造プロセスを示す概略的な平面図である。

[図12B]図12Bは、図12Aに続く製造プロセスを示す概略的な平面図である。

[図12C]図12Cは、図12Bに続く製造プロセスを示す概略的な平面図である。

[図13]図13は、第3実施形態に係る表示装置が備える表示パネルの概略的な断面図である。

[図14A]図14Aは、第3実施形態における第1基板の製造プロセスを示す概

略的な断面図である。

[図14B]図14Bは、図14Aに続く製造プロセスを示す概略的な断面図である。

[図14C]図14Cは、図14Bに続く製造プロセスを示す概略的な断面図である。

[図14D]図14Dは、図14Cに続く製造プロセスを示す概略的な断面図である。

[図14E]図14Eは、図14Dに続く製造プロセスを示す概略的な断面図である。

[図14F]図14Fは、図14Eに続く製造プロセスを示す概略的な断面図である。

[図14G]図14Gは、図14Fに続く製造プロセスを示す概略的な断面図である。

[図14H]図14Hは、図14Gに続く製造プロセスを示す概略的な断面図である。

[図15]図15は、第4実施形態に係る表示装置が備える表示パネルの概略的な断面図である。

[図16]図16は、第5実施形態に係る表示装置が備える表示パネルの概略的な断面図である。

[図17]図17は、図16とは異なる位置における表示パネルの概略的な断面図である。

[図18]図18は、第6実施形態に係る表示装置が備える表示パネルの概略的な断面図である。

発明を実施するための形態

[0009] いくつかの実施形態について、図面を参照しながら説明する。なお、開示はあくまで一例に過ぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実際の態様に比

べて、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する詳細な説明を適宜省略することがある。

[0010] 各実施形態においては、表示装置の一例として、透過型の液晶表示装置を開示する。この液晶表示装置は、例えば、Virtual Reality (VR) ビュアー、スマートフォン、タブレット端末、携帯電話端末、パーソナルコンピュータ、テレビ受像装置、車載装置、ゲーム機器、デジタルカメラ用モニタ等の種々の装置に用いることができる。

[0011] なお、各実施形態は、他種の表示装置に対する、各実施形態にて開示される個々の技術的思想の適用を妨げるものではない。例えば、各実施形態にて開示する構成の少なくとも一部は、反射型の液晶表示装置、有機エレクトロルミネッセンス素子を備える自発光型の表示装置、電気泳動素子を有する電子ペーパー型の表示装置、Micro Electro Mechanical System (MEMS) を応用した表示装置、或いはエレクトロクロミズムを応用した表示装置等にも適用可能である。

[0012] [第1実施形態]

図1は、第1実施形態に係る液晶表示装置DSP（以下、表示装置DSPと呼ぶ）の外観の一例を示す斜視図である。以下の説明においては、図示したようにX方向、Y方向およびZ方向を定義する。X方向、Y方向およびZ方向は、例えば互いに垂直に交わる方向であるが、垂直以外の角度で交わってもよい。Z方向の矢印が示す方向を上または上方と呼び、その反対方向を下または下方と呼ぶことがある。

[0013] 表示装置DSPは、表示パネルPNLと、照明装置BLと、第1偏光板PL1とを備えている。これら表示パネルPNL、照明装置BLおよび第1偏光板PL1は、Z方向に積層されている。なお、表示パネルPNLおよび照明装置BLの間には、後述する第2偏光板PL2が配置されている。

- [0014] 表示パネル PNL は、第 1 基板 SU1 と、第 2 基板 SU2 と、第 1 基板 SU1 および第 2 基板 SU2 の間に配置された液晶層（後述する液晶層 LC）とを備えている。第 1 基板 SU1 は、接続部 CN を備えている。接続部 CN は、フレキシブル回路基板や IC チップなどの信号供給源を接続するための端子を含む。
- [0015] 例えば、照明装置 BL は、第 1 基板 SU1 と対向する導光板と、この導光板の端部に沿って配置された複数の発光ダイオード（LED）などの光源と、導光板と表示パネル PNL の間に配置されたプリズムシートや拡散シートなどの光学シートとを備えている。ただし、照明装置 BL の構成はこの例に限定されない。
- [0016] 図 2 は、第 1 基板 SU1 の一例を概略的に示す斜視図である。第 1 基板 SU1 は、表示領域 DA と、表示領域 DA の外側に配置された一对の駆動回路 PC とを備えている。表示領域 DA は、X 方向および Y 方向に配列された多数の画素 PX を含む。画素 PX は、例えば赤、緑、青を表示する複数の副画素 SP を含む。画素 PX は、白などの他の色を表示する副画素 SP を含んでもよい。駆動回路 PC は、副画素 SP を駆動するための信号（後述の走査信号）を供給する。
- [0017] 図 3 は、副画素 SP の一例を概略的に示す平面図である。第 1 基板 SU1 は、複数の走査線 G と、複数の信号線 S とを備えている。複数の走査線 G は、X 方向に延びるとともに Y 方向に並んでいる。複数の信号線 S は、Y 方向に延びるとともに X 方向に並んでいる。
- [0018] この図の例においては、隣り合う 2 本の走査線 G と、隣り合う 2 本の信号線 S とで区画された領域が 1 つの副画素 SP に相当する。第 1 基板 SU1 は、各副画素 SP に対して設けられた画素電極 EL1 と、スイッチング素子 SW と、台座 MB とを備えている。図示した例において、画素電極 EL1 は線状に延びる形状であるが、このような線状に延びる形状あるいはスリットを複数含んだ櫛歯状であってもよい。
- [0019] スwitchング素子 SW は、半導体層 SC を含む。半導体層 SC は、例えば

ポリシリコンで形成することができるが、この例に限定されない。半導体層 S C は、屈曲しながら延びて走査線 G と 1 回交差している。半導体層 S C は、走査線 G と 2 回交差してもよい。

[0020] 台座 M B は、画素電極 E L 1 および半導体層 S C と平面視において重畳している。図示した例において、台座 M B は矩形状であるが、この例に限定されない。

[0021] 信号線 S は、第 1 コンタクトホール C H 1 を通じて半導体層 S C と電氣的に接続されている。台座 M B は、第 2 コンタクトホール C H 2 を通じて半導体層 S C と電氣的に接続されている。画素電極 E L 1 は、第 3 コンタクトホール C H 3 を通じて台座 M B と電氣的に接続されている。

[0022] 図 4 は、図 3 における I V - I V 線に沿う表示パネル P N L の概略的な断面図である。図 5 は、図 3 における V - V 線に沿う表示パネル P N L の概略的な断面図である。図 4 および図 5 に示すように、第 1 基板 S U 1 は、第 1 基材 B 1 と、アンダーコート層 U C 1、U C 2 と、絶縁層 I L 1 ~ I L 6 と、配向膜 A L 1 と、遮光層 L S と、半導体層 S C と、走査線 G と、信号線 S と、画素電極 E L 1 と、共通電極 E L 2 とを備えている。

[0023] 遮光層 L S は、第 1 基材 B 1 の上面に設けられている。アンダーコート層 U C 1 は、遮光層 L S および第 1 基材 B 1 の上面を覆っている。アンダーコート層 U C 2 は、アンダーコート層 U C 1 を覆っている。半導体層 S C は、アンダーコート層 U C 2 の上に設けられ、走査線 G と対向している。さらに、半導体層 S C の走査線 G と対向する領域は、遮光層 L S と対向している。絶縁層 I L 1 は、半導体層 S C およびアンダーコート層 U C 2 を覆っている。走査線 G は、絶縁層 I L 1 の上に設けられている。絶縁層 I L 2 は、走査線 G および絶縁層 I L 1 を覆っている。絶縁層 I L 3 は、絶縁層 I L 2 を覆っている。

[0024] 信号線 S は、絶縁層 I L 3 の上に設けられている。絶縁層 I L 4 は、信号線 S および絶縁層 I L 3 を覆っている。台座 M B は、絶縁層 I L 4 の上に設けられている。絶縁層 I L 5 は、台座 M B および絶縁層 I L 4 を覆っている。

。共通電極E L 2は、絶縁層I L 5の上に設けられており、複数の副画素S Pにわたって延在している。絶縁層I L 6は、共通電極E L 2および絶縁層I L 5を覆っている。画素電極E L 1は、絶縁層I L 6の上に設けられている。配向膜A L 1は、画素電極E L 1および絶縁層I L 6を覆っている。

[0025] 図4および図5に示すように、第2基板S U 2は、第2基材B 2と、ブラックマトリクスBM（遮光層）と、カラーフィルタ層C Fと、オーバーコート層O Cと、配向膜A L 2とを備えている。ブラックマトリクスBMは、第2基材B 2の下面に設けられ、走査線Gおよび信号線Sと対向している。カラーフィルタ層C Fは、ブラックマトリクスBMおよび第2基材B 2の下面を覆っている。カラーフィルタ層C Fは、副画素S Pに対応した色の複数のカラーフィルタを備えている。ブラックマトリクスBMは、カラーフィルタ層C Fの下方に設けられてもよい。オーバーコート層O Cは、カラーフィルタ層C Fを覆っている。配向膜A L 2は、オーバーコート層O Cを覆っている。

[0026] 配向膜A L 1と配向膜A L 2の間に上述の液晶層L Cが配置されている。液晶層L Cは、正または負の誘電率異方性を有している。第1偏光板P L 1は、第2基材B 2の上面に配置されている。第2偏光板P L 2は、第1基材B 1の下面に配置されている。第1偏光板P L 1と第2偏光板P L 2の吸収軸は、互いに直交している。

[0027] 第1基材B 1および第2基材B 2は、例えば厚さが0.2 mm程度のホウケイサンガラス製とすることができるが、ポリイミドのような樹脂製であってもよい。配向膜A L 1, A L 2は、例えば光配向処理が施されたポリイミド膜であるが、ラビング配向処理が施されたポリイミド膜であってもよい。アンダーコート層U C 1は例えば酸化珪素膜であり、アンダーコート層U C 2は例えば窒化珪素膜である。絶縁層I L 1, I L 2は、例えば酸化珪素膜である。絶縁層I L 3, I L 4, I L 6は、例えば窒化珪素膜である。絶縁層I L 5は、例えばポジ型の有機絶縁膜である。オーバーコート層O Cは、例えば非感光性の有機膜である。カラーフィルタ層C Fに含まれる各色のカ

ラーフィルタは、例えば各色の顔料を含むネガ型のレジストである。ブラックマトリクスBMは、例えば黒色顔料を含むネガ型のレジストである。

[0028] 画素電極EL1および共通電極EL2は、例えばITO（インジウム・ティン・オキサイド）のような透明導電材料で形成することができる。走査線Gおよび遮光層LSは、例えばモリブデンタングステン合金製である。半導体層SCは、例えばアモルファスシリコンをレーザーアニール法で多結晶化したポリシリコンである。

[0029] 信号線Sは、例えばチタン、アルミニウム、チタンを順に積層した3層構造である。台座MBは、例えばチタン製の単層構造であるが、多層構造であってもよい。台座MBの厚さは、信号線Sの厚さよりも小さい。一例として、台座MBの厚さは、信号線Sの厚さの半分以下である。また、一例として、台座MBの厚さは、 $0.1\mu\text{m}$ 以上かつ $0.2\mu\text{m}$ 以下である。図4においては、信号線Sの厚さが走査線Gの厚さよりも大きい、この例に限られない。

[0030] なお、以上例示した第1基板SU1および第2基板SU2の各要素の材料に限定されることなく、各要素は種々の材料で形成することができる。

[0031] 第1コンタクトホールCH1は、絶縁層IL1～IL3を貫通している。第2コンタクトホールCH2は、絶縁層IL1～IL4を貫通している。第3コンタクトホールCH3は、絶縁層IL5，IL6を貫通している。信号線Sは、第1コンタクトホールCH1を通じて半導体層SCに接触している。台座MBは、第2コンタクトホールCH2を通じて半導体層SCに接触している。画素電極EL1は、第3コンタクトホールCH3を通じて台座MBに接触している。

[0032] このように、本実施形態においては、信号線Sが第1絶縁層（絶縁層IL1～IL3）を貫通する第1コンタクトホールCH1を通じて半導体層SCと電氣的に接続され、台座MBが上記第1絶縁層を貫通する第2コンタクトホールCH2を通じて半導体層SCと電氣的に接続され、画素電極EL1が第2絶縁層（絶縁層IL5，IL6）を貫通する第3コンタクトホールCH

3を通じて台座MBと電氣的に接続されている。さらに、第1基板SU1は、上記第1絶縁層と上記第2絶縁層の間に設けられた第3絶縁層（絶縁層IL4）を備えており、第2コンタクトホールCH2は上記第1絶縁層に加えて上記第3絶縁層を貫通している。信号線Sは、少なくとも一部（第1コンタクトホールCH1の外の部分）が上記第1絶縁層と上記第3絶縁層の間に位置し、台座MBは少なくとも一部（第2コンタクトホールCH2の外の部分）が上記第3絶縁層と上記第2絶縁層の間に位置している。すなわち、本実施形態においては、信号線Sと台座MBが互いに異なる層に設けられている。

[0033] ITO等の透明導電材料は半導体層SCとの密着性が低いため、画素電極EL1と半導体層SCを直接接続する構造であると導通不良が生じ得る。これに対し、本実施形態では画素電極EL1と半導体層SCの間に金属製の台座MBが介在している。画素電極EL1と台座MBの密着性、および、台座MBと半導体層SCの密着性はいずれも良好であるため、上記導通不良を抑制することができる。

[0034] 共通電極EL2には、共通電圧が印加される。走査線Gに走査信号が供給され、信号線Sに映像信号が供給されると、この映像信号が半導体層SCおよび台座MBを介して画素電極EL1に印加される。図5に示すように、画素電極EL1と共通電極EL2の間の電位差に基づいてフリンジ電界EFが生じる。このフリンジ電界EFが液晶層LCに作用し、液晶層LCに含まれる液晶分子を初期配向方向から回転させる。表示装置DSPは、フリンジ電界EFが作用した副画素SPが明表示となるノーマリブラックモードであってもよいし、フリンジ電界EFが作用した副画素SPが暗表示となるノーマリホワイトモードであってもよい。

[0035] 表示パネルPNLの構造は、図4および図5に示した例に限られない。例えば、画素電極EL1と共通電極EL2が同じ層に配置されてもよいし、液晶層LCと画素電極EL1の間に共通電極EL2が配置されてもよい。また、表示パネルPNLは、フリンジ電界EFではなく、Z方向と平行な縦電界

を利用するモードであってもよい。この場合において、共通電極E L 2は、第2基板S U 2に配置される。その他にも、種々のモードを表示パネルP N Lに適用できる。

[0036] ここで、第1基板S U 1の製造プロセスの一例について説明する。図6 A～図6 Fは、第1基板S U 1の製造プロセスを示す概略的な断面図である。図6 Aにおいては、第1基材B 1にアンダーコート層U C 1、U C 2、絶縁層I L 1～I L 3、遮光層L S、半導体層S Cおよび走査線Gが形成されている。

[0037] 図6 Bにおいては、絶縁層I L 1～I L 3を貫通する第1コンタクトホールC H 1が形成されている。この状態においては、半導体層S Cの一部が第1コンタクトホールC H 1を通じて露出する。図6 Cにおいては、第1コンタクトホールC H 1を通過するように信号線Sが形成されている。これにより、信号線Sは、第1コンタクトホールC H 1を通じて半導体層S Cに接触する。

[0038] 図6 Dにおいては、信号線Sおよび絶縁層I L 3を覆う絶縁層I L 4が形成されている。図6 Eにおいては、絶縁層I L 1～I L 4を貫通する第2コンタクトホールC H 2が形成されている。この状態においては、半導体層S Cの一部が第2コンタクトホールC H 2を通じて露出する。

[0039] 図6 Fにおいては、第2コンタクトホールC H 2を覆うように台座M Bが形成されている。台座M Bは、第2コンタクトホールC H 2を通じて半導体層S Cに接触する。その後、絶縁層I L 5、共通電極E L 2、絶縁層I L 6、画素電極E L 1および配向膜A L 1が順に形成され、図4に示した第1基板S U 1が完成する。

[0040] このように、本実施形態においては、半導体層S Cを含むスイッチング素子S Wのソース電極およびドレイン電極としてそれぞれ機能する信号線Sと台座M Bが、異なる製造プロセスで、異なる層に、異なる材料で形成される。

[0041] ここで、本実施形態の効果について以下に説明する。図7は、本実施形態

との比較例に係る表示パネルXPNLの概略的な断面図である。表示パネルXPNLは、台座MBが信号線Sと同じ層に設けられており、かつ絶縁層ILL4を備えていない点で図4に示した本実施形態に係る表示パネルPNLと相違する。台座MBは、信号線Sと同じ製造プロセスで同じ材料により形成されている。したがって、表示パネルXPNLにおいては、台座MBの厚さが信号線Sの厚さと同じである。

[0042] 図8は、表示パネルXPNLが備える信号線S、台座MB、第1コンタクトホールCH1および第2コンタクトホールCH2の概略的な平面図である。高精細な副画素SPを実現するためには、隣り合う信号線Sの間の距離D1を小さくする必要がある。しかしながら、この比較例においては、信号線Sと台座MBが同じ層に形成されているため、信号線Sと台座MBの短絡を防ぐために両者の間に十分な距離D2を確保しなければならない。この距離D2を極小さくして副画素SPを高精細化する場合には、極めて高い加工精度が必要となり、精細度の向上には限界がある。

[0043] さらに、信号線Sにおける信号遅延を防ぐためには、信号線Sの厚さを大きくする必要がある。特に、VRビューアーのような電子機器においては、駆動周波数を上げて動画表示能を高めることがあり、この場合には信号遅延の抑制に対する要求が大きい。比較例においては、信号線Sの厚さを大きくすると台座MBの厚さも大きくなり、これらの加工精度の向上がより困難である。

[0044] 図9は、本実施形態に係る表示パネルPNLが備える信号線S、台座MB、第1コンタクトホールCH1および第2コンタクトホールCH2の概略的な平面図である。本実施形態においては、信号線Sと台座MBが異なる層に形成されているため、距離D2を小さくしても両者が短絡することはない。また、信号線Sの厚さを大きくする場合であっても、比較例ほど高い加工精度は要求されない。

[0045] 本実施形態の場合は、隣り合う信号線Sの間の距離D1と、隣り合う台座MBの間の距離D3とが副画素SPの精細度を決定する要因となる。一例と

して、第2コンタクトホールCH2の直径を $2.0\mu\text{m}$ とし、台座MBのX方向における幅を第2コンタクトホールCH2の全体を覆うことができるように $3.0\mu\text{m}$ とする。さらに、信号線SのX方向における幅を $1.5\mu\text{m}$ とし、距離D2を $1.5\mu\text{m}$ と極小さい値にすると、副画素SPのX方向における幅は $7.5\mu\text{m}$ になる。これは、 1100ppi 以上の高い精細度に相当する。

[0046] このように、本実施形態においては、台座MBを信号線Sと異なる層に形成したことで、副画素SPを高精細化することができる。さらに、信号線Sを厚くしてもこの高精細化の効果を得ることができるので、信号線Sにおける信号遅延も抑制することが可能である。さらに、台座MBが信号線Sよりも薄いために、台座MBに起因した凹凸が生じにくい。

[0047] [第2実施形態]

第2実施形態について以下に説明する。特に言及しない構成に対しては、第1実施形態と同様の構成を適用できる。

[0048] 図10は、本実施形態に係る表示装置DSPが備える表示パネルPNLの概略的な断面図である。図10に示す表示パネルPNLは、配線接続層SEおよび絶縁層IL7（第4絶縁層）をさらに備え、かつ絶縁層IL4を備えていない点で、図4に示す表示パネルPNLと異なる。

[0049] 例えば、配線接続層SEは、台座MBと同じ層に、台座MBと同じ材料で形成することができる。配線接続層SEは、例えばチタン製の単層構造であるが、この例に限られない。配線接続層SEは、第1コンタクトホールCH1を覆っており、第1コンタクトホールCH1を通じて半導体層SCと電氣的に接続されている。

[0050] 配線接続層SEおよび台座MBの厚さは、信号線Sの厚さよりも小さい。一例として、配線接続層SEおよび台座MBの厚さは、信号線Sの厚さの半分以下である。また、一例として、配線接続層SEおよび台座MBの厚さは、 $0.1\mu\text{m}$ 以上かつ $0.2\mu\text{m}$ 以下である。

[0051] 絶縁層IL7は、絶縁層IL3、IL5の間に設けられており、台座MB

および絶縁層 I L 3 を覆っている。絶縁層 I L 7 は、配線接続層 S E の一部も覆っている。第 1 コンタクトホール C H 1 は、絶縁層 I L 2, I L 3 に加え、絶縁層 I L 7 を貫通している。信号線 S は、絶縁層 I L 7 の上に設けられ、第 1 コンタクトホール C H 1 において配線接続層 S E に接触している。このように、信号線 S と半導体層 S C は、第 1 コンタクトホール C H 1 を通じて、かつ配線接続層 S E を介して電氣的に接続される。

[0052] 第 3 コンタクトホール C H 3 は、絶縁層 I L 5 に加え、絶縁層 I L 7 を貫通している。画素電極 E L 1 は、第 3 コンタクトホール C H 3 を通じて台座 M B と電氣的に接続されている。

[0053] ここで、本実施形態における第 1 基板 S U 1 の製造プロセスの一例について説明する。図 1 1 A ~ 図 1 1 F は、第 1 基板 S U 1 の製造プロセスを示す概略的な断面図である。図 1 2 A ~ 図 1 2 C は、第 1 基板 S U 1 の製造プロセスを示す概略的な平面図である。

[0054] 図 1 1 A においては、第 1 基材 B 1 にアンダーコート層 U C 1, U C 2、絶縁層 I L 1 ~ I L 3、遮光層 L S、半導体層 S C および走査線 G が形成されている。図 1 1 B においては、絶縁層 I L 1 ~ I L 3 を貫通する第 1 コンタクトホール C H 1 および第 2 コンタクトホール C H 2 が形成されている。これら第 1 コンタクトホール C H 1 および第 2 コンタクトホール C H 2 は、同じプロセスで同時に形成することができる。

[0055] 図 1 1 C においては、例えば絶縁層 I L 3 の上に全体的に形成されたチタン膜をパターニングすることにより、配線接続層 S E と台座 M B が形成されている。配線接続層 S E は第 1 コンタクトホール C H 1 を通じて半導体層 S C に接触し、台座 M B は第 2 コンタクトホール C H 2 を通じて半導体層 S C に接触する。例えば、図 1 2 A に示すように、配線接続層 S E と台座 M B は、Y 方向における位置がずれている。配線接続層 S E の面積は台座 M B の面積より小さいが、この例に限られない。

[0056] 図 1 1 D においては、絶縁層 I L 3、配線接続層 S E および台座 M B を覆う絶縁層 I L 7 が形成されている。図 1 1 E においては、配線接続層 S E の

上方で絶縁層 I L 7 を開口させることにより、絶縁層 I L 1 ~ I L 3, I L 7 を貫通する第 1 コンタクトホール C H 1 が完成し、かつ信号線 S が形成されている。図 1 2 B に示すように、信号線 S は、配線接続層 S E を通過するように形成されている。

[0057] 図 1 1 F においては、絶縁層 I L 7 および信号線 S の上方に絶縁層 I L 5、共通電極 E L 2 および絶縁層 I L 6 が順に形成され、かつ絶縁層 I L 5 ~ I L 7 を貫通する第 3 コンタクトホール C H 3 が形成されている。その後、図 1 2 C に示すように画素電極 E L 1 を形成し、さらに配向膜 A L 1 を形成することで、図 1 0 に示した第 1 基板 S U 1 が完成する。

[0058] 配線接続層 S E および台座 M B は、いずれも図 1 2 A ~ 1 2 C に示すように島状であり、かつ Y 方向における位置がずれている。したがって、X 方向に隣り合う台座 M B の間の距離 D 3 (図 1 2 C 参照)、および、X 方向に隣り合う配線接続層 S E の間の距離 D 4 (同じく図 1 2 C 参照) を小さくしても、配線接続層 S E と台座 M B が短絡することはない。

[0059] さらに、本実施形態においては、第 1 コンタクトホール C H 1 と第 2 コンタクトホール C H 2 とを同時に形成するので、両者を別々のプロセスで形成する場合に比べて、両者の位置精度を向上できる。これにより、高精細な副画素 S P の設計が容易となる。

[0060] 一例として、第 1 コンタクトホール C H 1 および第 2 コンタクトホール C H 2 の直径を $2.0 \mu\text{m}$ とする。さらに、配線接続層 S E の X 方向における幅を第 1 コンタクトホール C H 1 の全体を覆うことができるように $3.0 \mu\text{m}$ とし、台座 M B の X 方向における幅を第 2 コンタクトホール C H 2 の全体を覆うことができるように $3.0 \mu\text{m}$ とする。距離 D 3, D 4 をいずれも $3.0 \mu\text{m}$ とすれば、配線接続層 S E の繰り返し周期および台座 M B の繰り返し周期は、いずれも $6.0 \mu\text{m}$ となる。この場合、副画素 S P の X 方向における幅は、 $6.0 \mu\text{m}$ になる。これは、 1400 ppi 以上の高い精細度に相当する。

[0061] なお、配線接続層 S E および台座 M B の X 方向における幅は、上記した例

に限られず、例えば2.0 μm 以上かつ3.0 μm 以下の範囲で適宜に定め得る。

[0062] [第3実施形態]

第3実施形態について以下に説明する。特に言及しない構成に対しては、上述の各実施形態と同様の構成を適用できる。

[0063] 図13は、本実施形態に係る表示装置DSPが備える表示パネルPNLの概略的な断面図である。図13に示す表示パネルPNLは、信号線Sが絶縁層IL3に設けられた溝GRに形成され、かつ薄くなっている点で、図4に示す表示パネルPNLと異なる。

[0064] 第1コンタクトホールCH1は、溝GRの底面から半導体層SCの上面にわたって設けられている。信号線Sは、銅または銅を含む合金で形成されており、単層構造である。例えば、第1コンタクトホールCH1の位置を除き、信号線Sの上面は、溝GRの周囲における絶縁層IL3の上面と繋がる平面である。ただし、信号線Sの上面は、溝GRの周囲における絶縁層IL3の上面より上方に位置してもよいし、絶縁層IL3の上面より下方に位置してもよい。図13においては、信号線Sの厚さが台座MBの厚さよりも僅かに大きい、信号線Sの厚さが台座MBの厚さ以下であってもよい。

[0065] ここで、本実施形態における第1基板SU1の製造プロセスの一例について説明する。図14A～図14Hは、第1基板SU1の製造プロセスを示す概略的な断面図である。図14Aにおいては、第1基材B1にアンダーコート層UC1、UC2、絶縁層IL1～IL3、遮光層LS、半導体層SCおよび走査線Gが形成されている。

[0066] 図14Bにおいては、絶縁層IL3の上面に溝GRが形成されている。溝GRは、信号線Sと同様の平面形状を有している。このような溝GRは、例えばハーフトーンマスクを利用したパターニングにより、絶縁層IL3の厚さを部分的に小さくすることで形成できる。

[0067] 図14Cにおいては、溝GRと重畳する位置に第1コンタクトホールCH1が形成されている。図14Dにおいては、絶縁層IL3の上および第1コ

ンタクトホールCH1の内部に連続的な銅膜SXが形成されている。

[0068] 図14Eにおいては、溝GRの外の銅膜SXを例えば機械的に削り取ることで、信号線Sが形成されている。このように、本実施形態においては、信号線Sをダマシン法により形成しているが、他の方法で信号線Sを形成してもよい。

[0069] 図14Fにおいては、信号線Sおよび絶縁層IL3を覆う絶縁層IL4が形成されている。図14Gにおいては、絶縁層IL1～IL4を貫通する第2コンタクトホールCH2が形成されている。図14Hにおいては、第2コンタクトホールCH2を覆うように台座MBが形成されている。台座MBは、第2コンタクトホールCH2を通じて半導体層SCに接触する。その後、絶縁層IL5、共通電極EL2、絶縁層IL6、画素電極EL1および配向膜AL1が順に形成され、図13に示した第1基板SU1が完成する。

[0070] 銅は、アルミニウムに比べて抵抗が6割程度である。さらに、銅は、熱的に安定しているため、上下にチタン膜を形成する必要がない。したがって、本実施形態においては、信号線Sの厚さを上述の各実施形態に比べて半分以上にしたとしても、上述の信号遅延を好適に抑制できる。

[0071] 図13に示したように信号線Sを溝GRに形成した場合、信号線Sの上方における絶縁層IL4の凹凸が抑制される。例えば図4に示した例においては、信号線Sの上方で絶縁層IL4が突出している。この場合、台座MBは、X方向に隣り合う信号線Sに起因した突出部分の間に配置されることになる。一方で、図13に示したように信号線Sの上方で絶縁層IL4が平坦であれば、信号線Sと台座MBをより近接して配置することができ、副画素SPをより高精細化することが可能となる。

[0072] [第4実施形態]

第4実施形態について以下に説明する。特に言及しない構成に対しては、上述の各実施形態と同様の構成を適用できる。

[0073] 図15は、本実施形態に係る表示装置DSPが備える表示パネルPNLの概略的な断面図である。本実施形態に係る表示装置DSPは、基本的な構成

は図10の例と同様であるが、信号線Sを銅または銅を含む合金にて形成している。

[0074] 上述の通り銅は低抵抗であるため、本実施形態における信号線Sは図10の例と比べて厚さが小さい。図15においては、信号線Sの厚さが配線接続層SEおよび台座MBの厚さよりも僅かに大きい、信号線Sの厚さが配線接続層SEおよび台座MBの厚さ以下であってもよい。

[0075] 第1基板SU1の製造プロセスは、図11A～11Fを用いて説明したものと同様である。本実施形態では、第1コンタクトホールCH1と第2コンタクトホールCH2を同時に形成する。したがって、ダマシン法のための溝を設けようとする、第1コンタクトホールCH1が過度にエッチングされてしまう。溝と第1コンタクトホールCH1の形成順を逆にしても同様である。そこで、信号線Sは、例えばウェットエッチングにより形成することができる。

[0076] 本実施形態の構成であっても、信号線Sの厚さを低減できる。したがって、第3実施形態と同様に信号線Sと台座MBをより近接して配置し、副画素SPを高精細化することが可能となる。

[0077] [第5実施形態]

第5実施形態について以下に説明する。特に言及しない構成に対しては、上述の各実施形態と同様の構成を適用できる。

[0078] 図16は、本実施形態に係る表示装置DSPが備える表示パネルPNLの概略的な断面図である。図17は、図16とは異なる位置における表示パネルPNLの概略的な断面図である。図16および図17に示す表示パネルPNLは、絶縁層IL8（第5絶縁層）と、電極接続層ECとをさらに備える点で、図4および図5に示す表示パネルPNLと異なる。

[0079] 絶縁層IL8は、絶縁層IL4、IL5の間に設けられており、台座MBおよび絶縁層IL4を覆っている。絶縁層IL8は、例えばポジ型の有機絶縁膜であるが、この例に限られない。電極接続層ECは、絶縁層IL8の上に設けられ、絶縁層IL8を貫通する第4コンタクトホールCH4を通じて

台座MBと電氣的に接続されている。電極接続層ECおよび絶縁層IL8は、絶縁層IL5で覆われている。画素電極EL1は、第3コンタクトホールCH3を通じて電極接続層ECと電氣的に接続されている。電極接続層ECは、例えばITOなどの透明導電材料で形成することができる。

[0080] 一般に、絶縁層を貫通するコンタクトホールは、絶縁層が厚いほど頂部と底部の寸法差が大きくなる。したがって、絶縁層が厚い場合、十分なコンタクトホールの底部面積を確保しようとする、頂部面積も増大する。つまりは、絶縁層を薄くすることでコンタクトホールの頂部面積を小さくでき、高精細化に有利である。

[0081] 図16に示した構造においては、共通電極EL2と台座MBの間が2つの絶縁層IL5、IL8に分割されている。そして、これら2つの絶縁層IL5、IL8をそれぞれ貫通する2つのコンタクトホールCH3、CH4を通じて、画素電極EL1と台座MBが接続されている。例えば上述の各実施形態における絶縁層IL5の厚さが、本実施形態における絶縁層IL5、IL6の合計の厚さと同程度である場合、本実施形態の構造であれば絶縁層IL5の厚さが低減している分だけ第3コンタクトホールCH3を小さくできる。

[0082] 第3コンタクトホールCH3は、液晶層LCに近い、その形状に応じて配向膜AL1に凹凸が生じ、配向膜AL1の膜厚が不安定となる。本実施形態においては、第3コンタクトホールCH3を小さくできるので、配向膜AL1に生じる凹凸を抑制することができ、配向膜AL1の膜厚も安定する。これにより、第3コンタクトホールCH3の近傍における液晶分子の配向が安定するとともに、副画素SPのサイズを小さくすることができる。

[0083] 一例として、絶縁層IL8の厚さは2 μm 以下であると好ましく、1 μm 以下であるとより好ましい。電極接続層ECの幅は、例えば副画素SPの幅（信号線SのX方向における間隔）の2/3以上とすれば、隣接する電極接続層EC同士を絶縁しつつ、画素電極EL1と電氣的に接続するための十分な面積が得られる。

[0084] [第6実施形態]

第6実施形態について以下に説明する。特に言及しない構成に対しては、上述の各実施形態と同様の構成を適用できる。

[0085] 図18は、本実施形態に係る表示装置DSPが備える表示パネルPNLの概略的な断面図である。図18に示す表示パネルPNLは、第2基板SU2がカラーフィルタ層CFを備えず、第1基板SU1が絶縁層IL8に代えてカラーフィルタ層CFを備える点で、図16に示す表示パネルPNLと相違する。

[0086] 図18の例においては、絶縁層IL1（第1無機膜）、絶縁層IL2（第2無機膜）、絶縁層IL3（第3無機膜）、絶縁層IL4（第4無機膜）、カラーフィルタ層CF、絶縁層IL5（有機膜）、絶縁層IL6（第5無機膜）および配向膜AL1がこの順序でZ方向（第1方向）に並んでいる。

[0087] 信号線Sは、半導体層SCと接する第1コンタクト部CP1を有している。台座MBは、半導体層SCと接する第2コンタクト部CP2を有している。画素電極EL1は、電極接続層ECと接する第3コンタクト部CP3を有している。電極接続層ECは、台座MBと接する第4コンタクト部CP4を有している。

[0088] 第1コンタクト部CP1は、第1コンタクトホールCH1を通じて半導体層SCと接している。第2コンタクト部CP2は、第2コンタクトホールCH2を通じて半導体層SCと接している。第3コンタクト部CP3は、第3コンタクトホールCH3を通じて電極接続層ECと接している。第4コンタクト部CP4は、第4コンタクトホールCH4を通じて台座MBと接している。

[0089] 第3コンタクトホールCH3は、Z方向に絶縁層IL5を貫通するスルーホールTHを含む。第3コンタクト部CP3は、スルーホールTHの内側に位置している。図18の例において、スルーホールTHは、第2コンタクトホールCH2とZ方向において重なっている。さらに、第4コンタクトホールCH4は、第2コンタクトホールCH2および第3コンタクトホールCH

3とZ方向において重なっていない。

[0090] 絶縁層I L 4は、第1面F 1と、Z方向において第1面F 1に対向する第2面F 2とを有している。第1面F 1は、信号線Sおよび絶縁層I L 3に接している。第2面F 2は、台座MBおよびカラーフィルタ層CFに接している。

[0091] 例えば、第4コンタクトホールCH 4は、カラーフィルタ層CFに含まれる各色のカラーフィルタを隙間なく形成した後に、カラーフィルタ層CFに対してドライエッチングを施すことにより形成することができる。他の例として、カラーフィルタ層CFに含まれる各色のカラーフィルタを形成する際に、台座MBの上方の少なくとも一部にいずれのカラーフィルタも設けられていない隙間領域を設けてもよい。この場合、隙間領域を通じて電極接続層ECが台座MBと電氣的に接続される。隙間領域は、例えば複数の副画素SPにわたってX方向またはY方向に延びる形状としてもよい。この場合、カラーフィルタ層CFは、ストライプ状に並ぶ複数の隙間領域を有することとなる。このようなカラーフィルタ層CFを実現する場合、各色のカラーフィルタを加工する際のマスク寸法と完成寸法の差を例えば $0.5\mu\text{m}$ 以下とすればよく、 $0.2\mu\text{m}$ 以下とすればより好ましい。

[0092] 液晶表示装置においては、照明装置から発せられて副画素を通過する光が、この副画素に対応するカラーフィルタを通過しない場合がある。以下、このような光を非整合光と呼ぶ。非整合光は、本来表示しようとしている色とは異なる色を表示してしまうので、隣り合う副画素の混色を生じ得る。基板法線方向に対して傾いた方向から観察される領域においては、この混色が生じやすい。

[0093] 例えばVRビューアーでは、視野角を広げるために表示パネルとユーザの目の間に凸レンズが配置され、求められる視野角が大きいほど凸レンズの曲率が大きくなる。この場合、視野の端に近い領域ほど表示パネルを斜めから通過した光を観察することになるので、混色が顕著に生じ得る。また、副画素を高精細化するほど混色が生じやすい。

[0094] 本実施形態における表示パネル PNL は、カラーフィルタ層 CF が第 1 基板 SU1（アレイ基板）に設けられた、いわゆる COA（Color Filter on Array）方式である。COA 方式においては、カラーフィルタ層 CF と画素電極 EL1 とが近いことや、第 1 基板 SU1 と第 2 基板 SU2 の貼り合わせに誤差があってもカラーフィルタ層 CF と副画素 SP の位置がずれないことなどの利点があり、これらによって非整合光が生じにくい。したがって、混色を抑制することができる。さらに、副画素 SP を高精細化した場合であっても混色が生じにくいことから、極めて良好な表示品位を実現することができる。

[0095] 以上、本発明の実施形態として説明した表示装置を基にして、当業者が適宜設計変更して実施し得る全ての表示装置も、本発明の要旨を包含する限り、本発明の範囲に属する。

本発明の思想の範疇において、当業者であれば、各種の変形例に想到し得るものであり、それら変形例についても本発明の範囲に属するものと解される。例えば、上述の各実施形態に対して、当業者が適宜、構成要素の追加、削除、若しくは設計変更を行ったもの、又は、工程の追加、省略若しくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

また、各実施形態において述べた態様によりもたらされる他の作用効果について、本明細書の記載から明らかなもの、又は当業者において適宜想到し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

[0096] DSP…表示装置、PNL…表示パネル、SU1…第 1 基板、SU2…第 2 基板、LC…液晶層、EL1…画素電極、EL2…共通電極、S…信号線、G…走査線、SC…半導体層、MB…台座、IL1～IL8…絶縁層、CH1…第 1 コンタクトホール、CH2…第 2 コンタクトホール、CH3…第 3 コンタクトホール、CH4…第 4 コンタクトホール、CF…カラーフィルタ層、GR…溝、SE…配線接続層、EC…電極接続層。

請求の範囲

- [請求項1] 半導体層と、
 前記半導体層に対向し、走査信号が供給される走査線と、
 前記半導体層の上方に設けられた第1絶縁層と、
 前記第1絶縁層を貫通する第1コンタクトホールを通じて前記半導体層と電氣的に接続され、映像信号が供給される信号線と、
 前記第1絶縁層を貫通する第2コンタクトホールを通じて前記半導体層と接触する台座と、
 前記台座の上方に設けられた第2絶縁層と、
 前記第2絶縁層を貫通する第3コンタクトホールを通じて前記台座と接続された画素電極と、
 を備え、
 前記信号線と前記台座とは、互いに異なる層に設けられている、
 表示装置。
- [請求項2] 前記台座の厚さは、前記信号線の厚さよりも小さい、
 請求項1に記載の表示装置。
- [請求項3] 前記第1絶縁層と前記第2絶縁層の間に設けられた第3絶縁層をさらに備え、
 前記信号線は、少なくとも一部が前記第1絶縁層と前記第3絶縁層の間に位置し、
 前記台座は、少なくとも一部が前記第3絶縁層と前記第2絶縁層の間に位置する、
 請求項2に記載の表示装置。
- [請求項4] 前記台座と同じ層に設けられた配線接続層をさらに備え、
 前記配線接続層は、前記第1コンタクトホールを通じて前記半導体層と接触し、
 前記信号線は、前記配線接続層を介して前記半導体層と電氣的に接続されている、

請求項 2 に記載の表示装置。

[請求項5] 前記第 1 絶縁層と前記第 2 絶縁層の間に設けられた第 4 絶縁層をさらに備え、

前記信号線は、少なくとも一部が前記第 4 絶縁層と前記第 2 絶縁層の間に位置し、

前記台座は、少なくとも一部が前記第 1 絶縁層と前記第 4 絶縁層の間に位置する、

請求項 4 に記載の表示装置。

[請求項6] 前記信号線は、銅を含み、

前記第 1 絶縁層は、前記信号線に沿う溝を有し、

前記信号線は、前記溝に設けられている、

請求項 1 に記載の表示装置。

[請求項7] 前記第 1 絶縁層と前記第 2 絶縁層の間に設けられた第 5 絶縁層と、

前記第 5 絶縁層と前記第 2 絶縁層の間に少なくとも一部が位置する電極接続層と、

をさらに備え、

前記画素電極は、前記第 3 コンタクトホールを通じて前記電極接続層と電氣的に接続され、

前記電極接続層は、前記第 5 絶縁層を貫通する第 4 コンタクトホールを通じて前記台座と電氣的に接続されている、

請求項 2 に記載の表示装置。

[請求項8] 前記第 1 絶縁層と前記第 2 絶縁層の間に位置するカラーフィルタ層をさらに備える、

請求項 2 に記載の表示装置。

[請求項9] 前記カラーフィルタ層と前記第 2 絶縁層の間に少なくとも一部が位置する電極接続層をさらに備え、

前記電極接続層は、前記カラーフィルタ層を貫通する第 4 コンタクトホールを通じて前記台座と電氣的に接続されている、

請求項 8 に記載の表示装置。

[請求項10] 前記半導体層、前記走査線、前記第 1 絶縁層、前記信号線、前記台座、前記第 2 絶縁層、および前記画素電極を備える第 1 基板と、
前記第 1 基板と対向する第 2 基板と、
前記第 1 基板と前記第 2 基板の間に配置された液晶層と、
を備える請求項 2 に記載の表示装置。

[請求項11] 第 1 基板と、前記第 1 基板と第 1 方向に対向する第 2 基板と、前記第 1 方向において前記第 1 基板と前記第 2 基板の間に配置された液晶層と、を備え、

前記第 1 基板は、

第 1 基材と、第 1 無機膜と、第 2 無機膜と、第 3 無機膜と、第 4 無機膜と、カラーフィルタ層と、半導体層と、映像信号が供給される信号線と、金属製の台座と、を有し、

前記第 1 無機膜、前記第 2 無機膜、前記第 3 無機膜、前記第 4 無機膜、前記カラーフィルタ層は、前記第 1 方向においてこの順序で並び、

前記半導体層は、前記第 1 方向において前記第 1 基材と前記第 1 無機膜との間にあり、

前記信号線は、前記半導体層と接する第 1 コンタクト部を有し、前記第 1 コンタクト部は、前記第 1 無機膜、前記第 2 無機膜および前記第 3 無機膜を貫通する第 1 コンタクトホールを通じて前記半導体層と接し、

前記台座は、前記半導体層と接する第 2 コンタクト部を有し、前記第 2 コンタクト部は、前記第 1 無機膜、前記第 2 無機膜、前記第 3 無機膜および前記第 4 無機膜を貫通する第 2 コンタクトホールを通じて前記半導体層と接し、

前記第 4 無機膜は、第 1 面と、前記第 1 面に前記第 1 方向に対向する第 2 面とを有し、前記第 1 面は、前記信号線に接し、前記第 2 面は

、前記台座に接し、

前記第1コンタクト部の前記第1方向における厚さは、前記第2コンタクト部の前記第1方向における厚さよりも大きい、

液晶表示装置。

[請求項12] 前記第1基板はさらに、画素電極と、前記画素電極と前記台座とを接続する電極接続層と、を有し、

前記電極接続層は、透明導電材料である、

請求項11に記載の液晶表示装置。

[請求項13] 前記第1基板はさらに、有機膜と、第5無機膜と、配向膜と、を備え、

前記有機膜、前記第5無機膜、および前記配向膜は、前記第1方向において前記カラーフィルタ層から前記液晶層に向けてこの順序で並び、

前記画素電極は、前記第1方向において前記カラーフィルタ層と前記配向膜との間にあり、

前記電極接続層は、前記第1方向において前記第4無機膜と前記有機膜との間にあり、

前記画素電極は、前記電極接続層と接する第3コンタクト部を有し、前記第3コンタクト部は、前記第5無機膜を貫通する第3コンタクトホールを通じて前記電極接続層と接し、

前記電極接続層は、前記台座と接する第4コンタクト部を有し、前記第4コンタクト部は、前記カラーフィルタ層を貫通する第4コンタクトホールを通じて前記台座と接し、

前記画素電極の前記第3コンタクト部は、前記有機膜に形成されたスルーホールの内側に位置する、

請求項12に記載の液晶表示装置。

[請求項14] 前記スルーホールは、前記第2コンタクトホールと前記第1方向において重なり、

前記第4コンタクトホールは、前記第2コンタクトホールと前記第1方向において重ならない、

請求項13に記載の液晶表示装置。

[請求項15] 前記第1基板はさらに、前記第1方向において前記有機膜と前記第5無機膜との間に位置する共通電極を有し、

前記画素電極、前記共通電極、および前記電極接続層は、透明導電材料である、

請求項13に記載の液晶表示装置。

[請求項16] 前記第4無機膜の前記第2面は、前記カラーフィルタ層に接し、前記第4無機膜の前記第1面は、前記第3無機膜に接する、

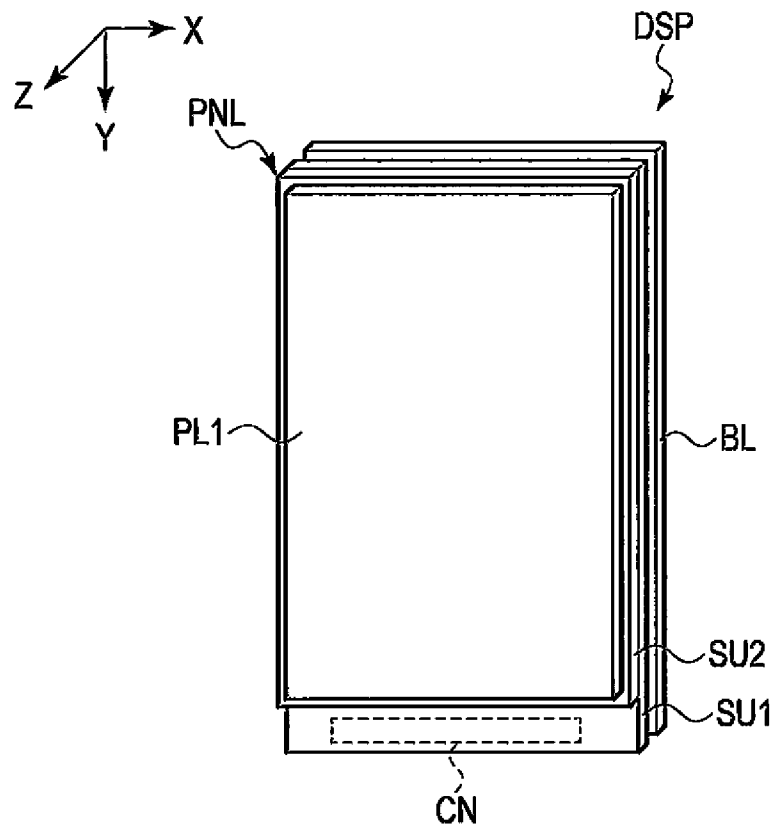
請求項11に記載の液晶表示装置。

[請求項17] 前記第3無機膜、前記第4無機膜、および前記第5無機膜は、窒化珪素膜であり、

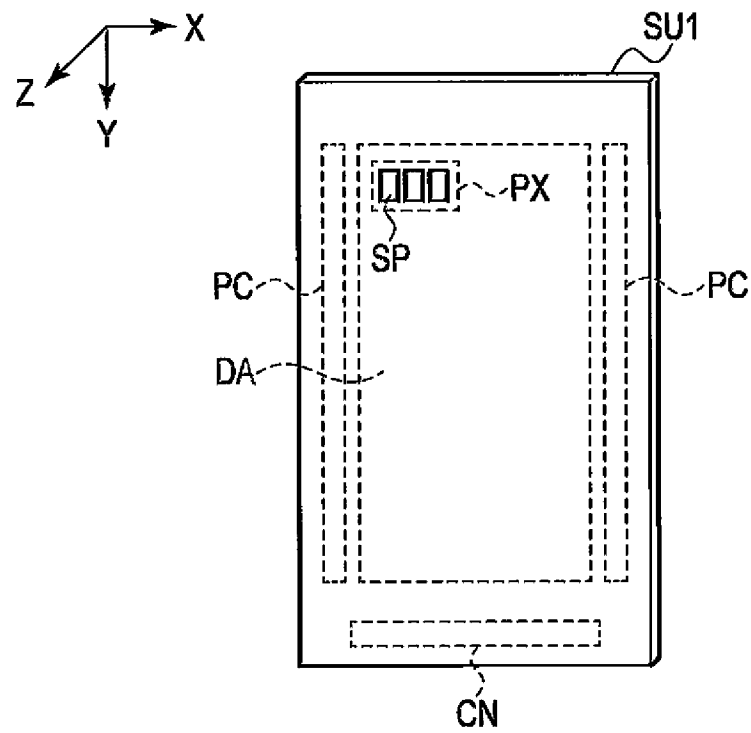
前記第1無機膜および前記第2無機膜は、酸化珪素膜である、

請求項16に記載の液晶表示装置。

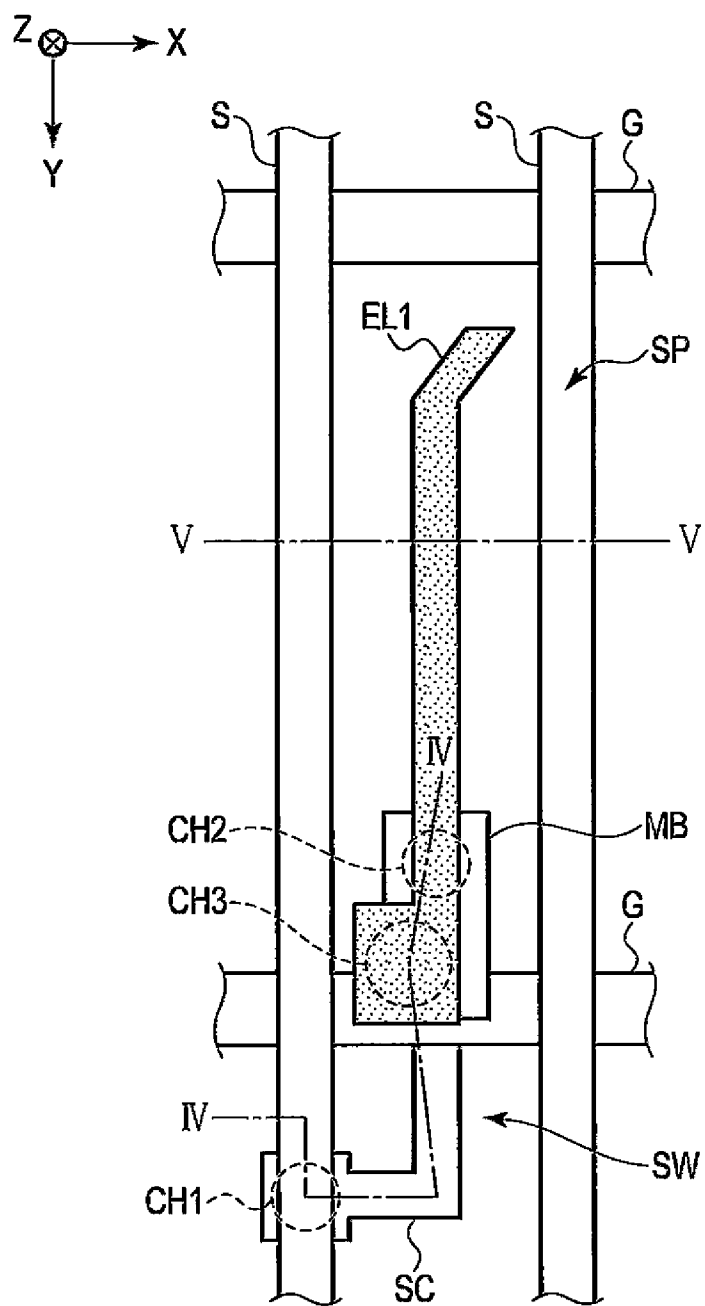
[図1]



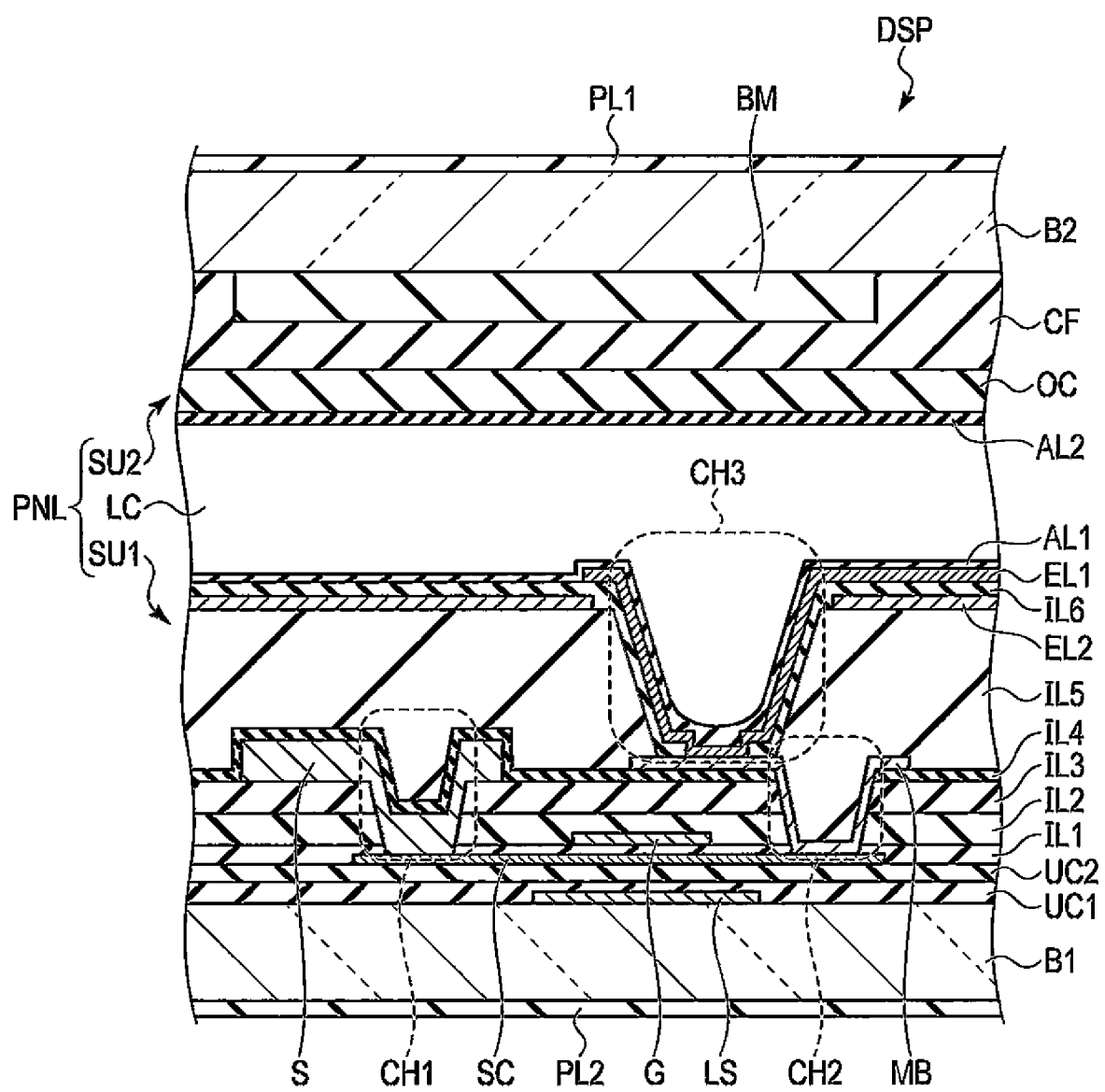
[図2]



[図3]



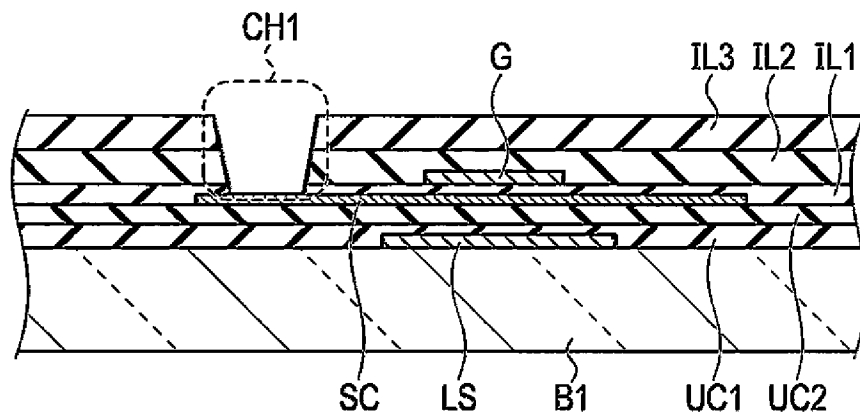
[図4]



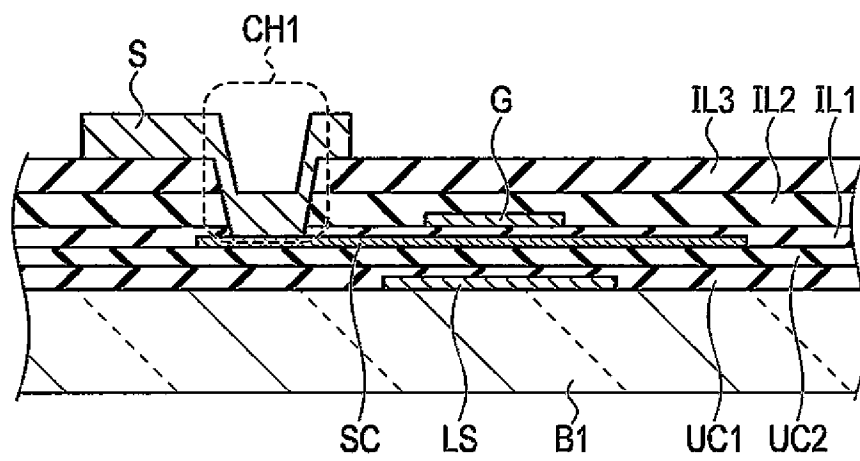
A detailed cross-sectional view of a liquid crystal display (LCD) panel. The panel is composed of several layers and components. At the top, there is a layer labeled BM (Black Matrix) with a pattern of rectangular openings. Below this is a layer labeled PL1 (Polyimide). The main body of the panel consists of a series of horizontal layers: B2 (Base), CF (Color Filter), OC (Optical Coating), AL2 (Aluminum), AL1 (Aluminum), IL6 (Insulating Layer), EL2 (Emissive Layer), IL5 (Insulating Layer), IL4 (Insulating Layer), IL3 (Insulating Layer), IL2 (Insulating Layer), IL1 (Insulating Layer), UC2 (Undercoat), UC1 (Undercoat), and B1 (Base). A central layer is labeled PNL (Pixelated Nematic Liquid Crystal), which is further divided into sub-layers SU2, LC (Liquid Crystal), and SU1. A central electrode is labeled EL1 (Emissive Layer) and is surrounded by two electrodes labeled EF (Electrode). The bottom of the panel features a layer labeled PL2 (Polyimide) and a layer labeled S (Substrate). The entire panel is labeled DSP (Display Substrate).

A cross-sectional view of a semiconductor device. The device consists of a substrate with a central layer labeled 'G' (gate) and two side layers labeled 'SC' (source contact) and 'LS' (local interconnect). Above the 'G' layer are three insulating layers labeled 'IL1', 'IL2', and 'IL3'. Below the 'G' layer are two layers labeled 'B1' (barrier) and 'UC1' (undercoat). The bottom layer is labeled 'UC2' (undercoat). The device is shown in a perspective view with dashed lines indicating the underlying structure.

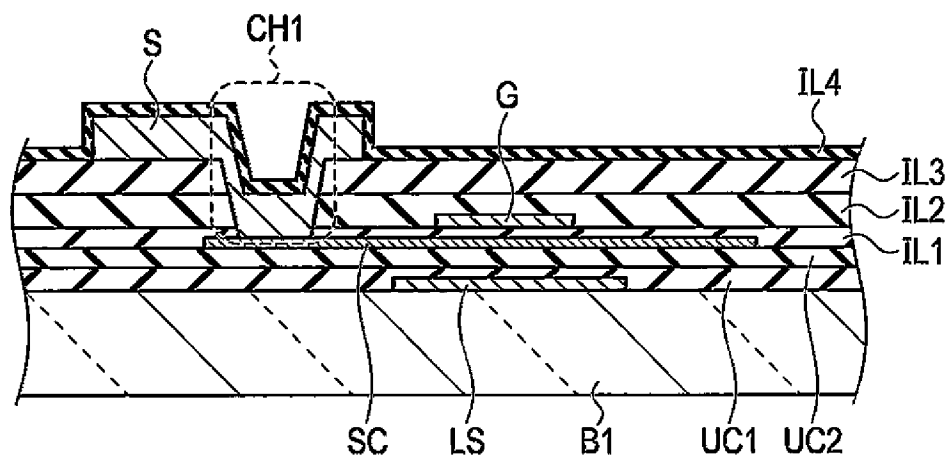
[図6B]



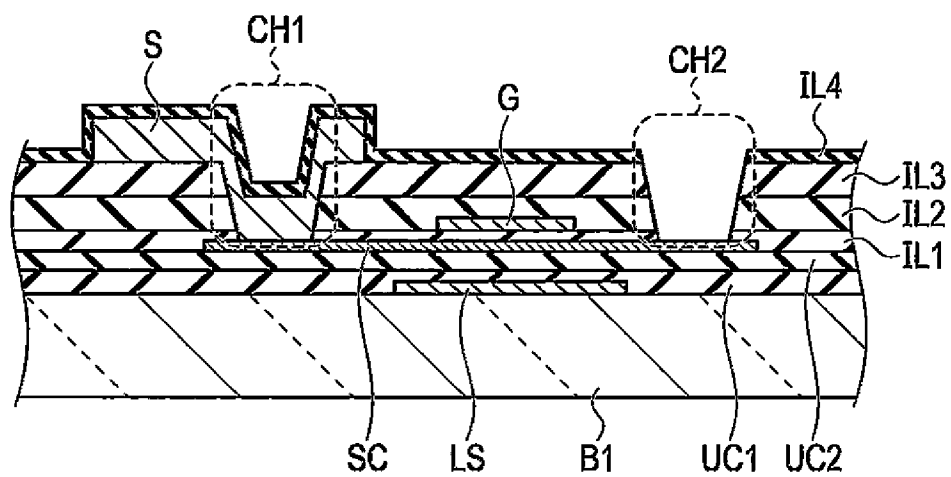
[図6C]



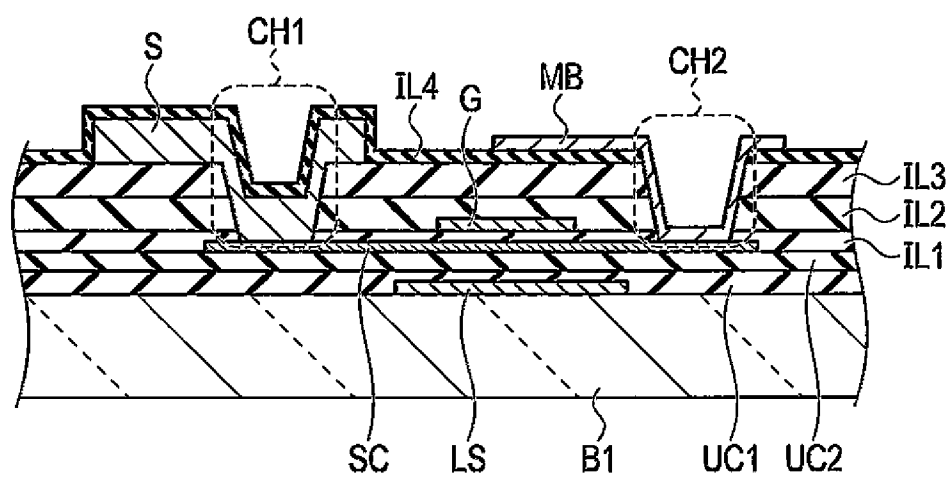
[図6D]



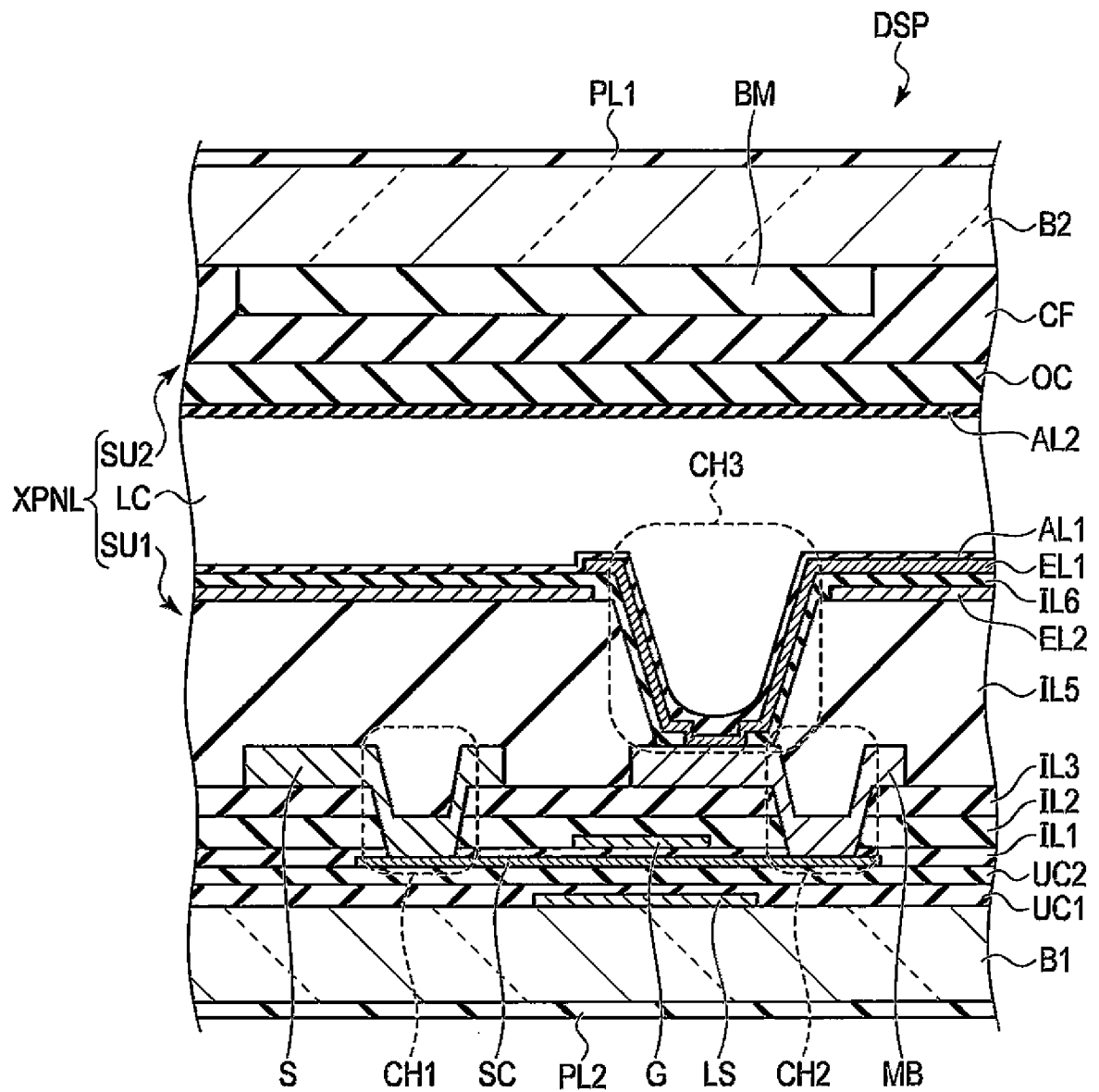
[図6E]



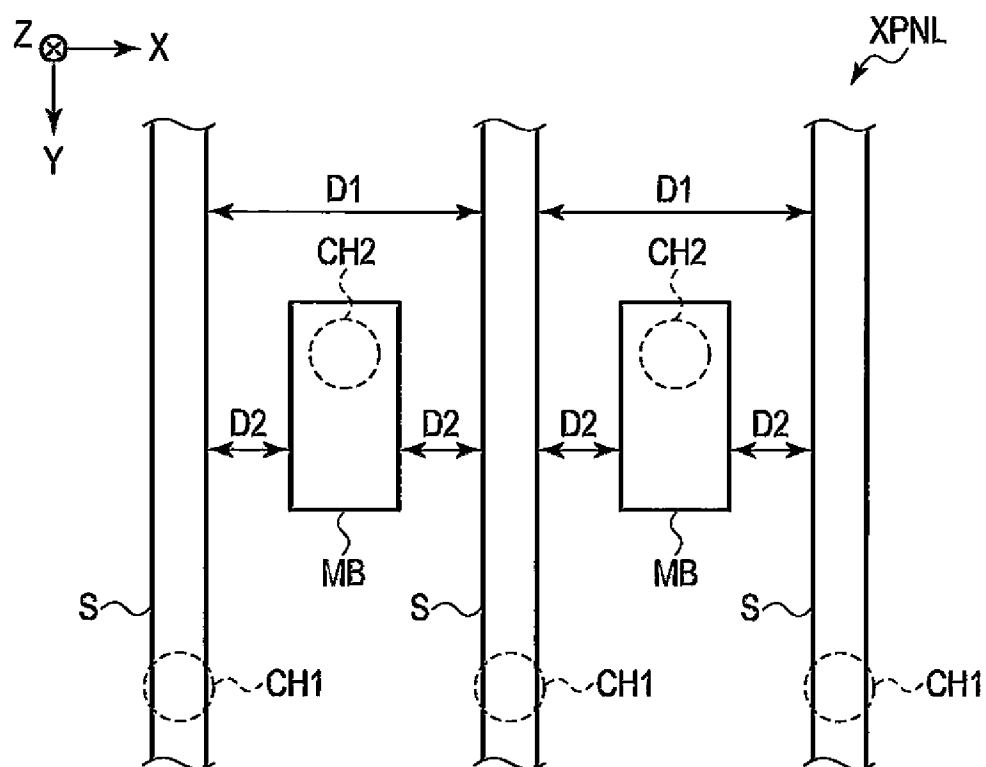
[図6F]



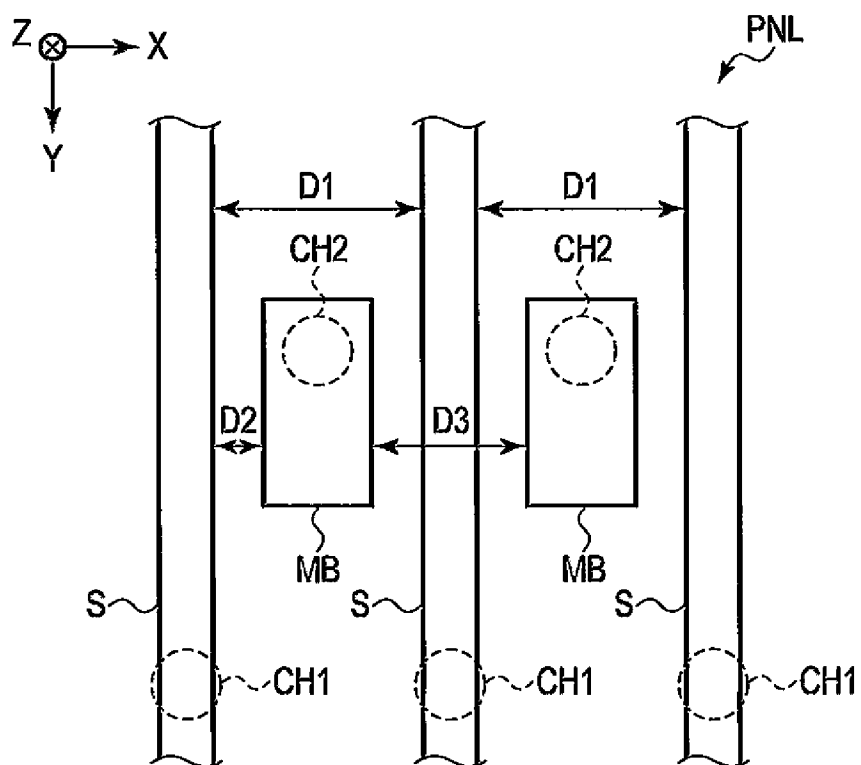
[図7]



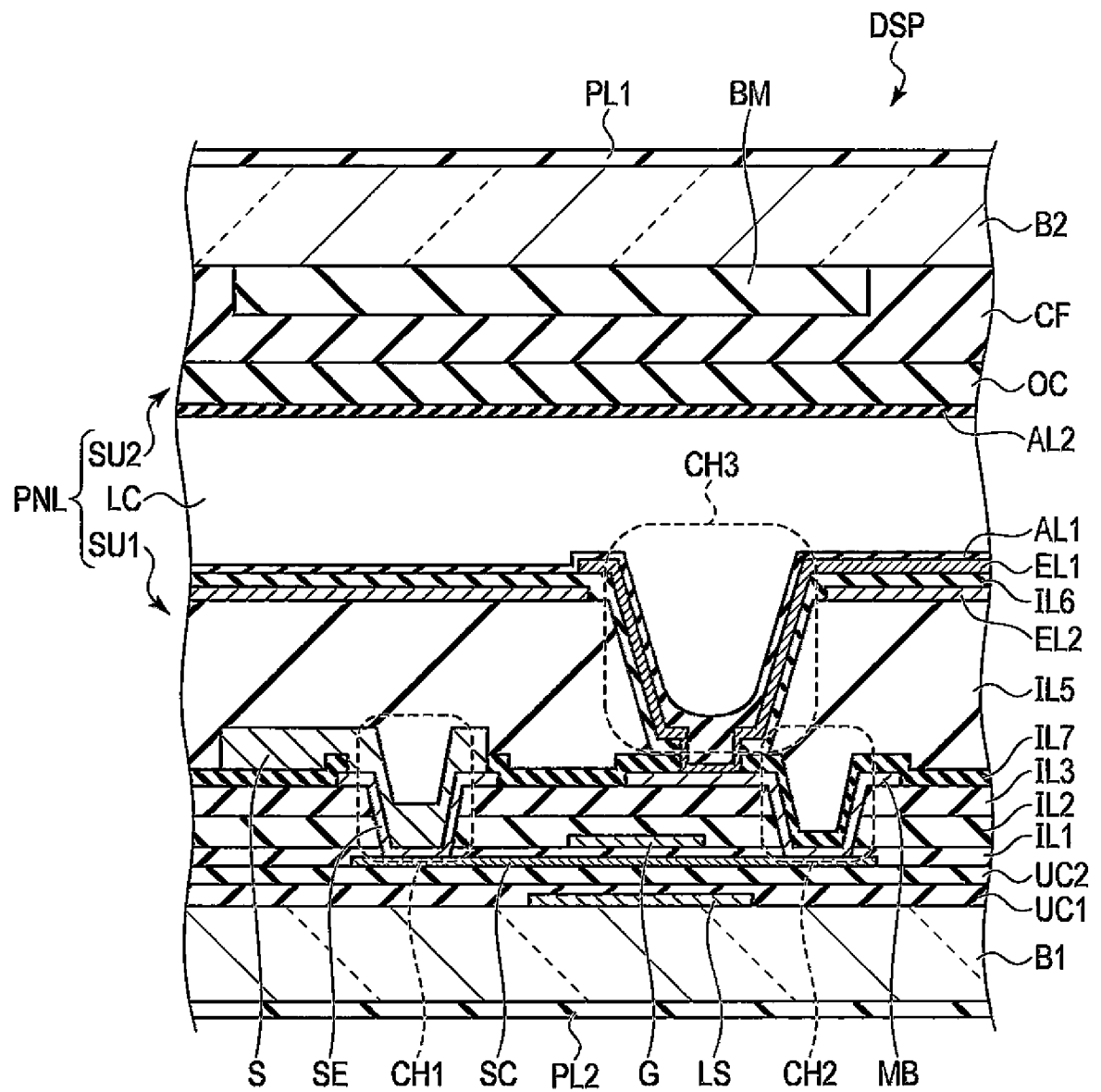
[図8]



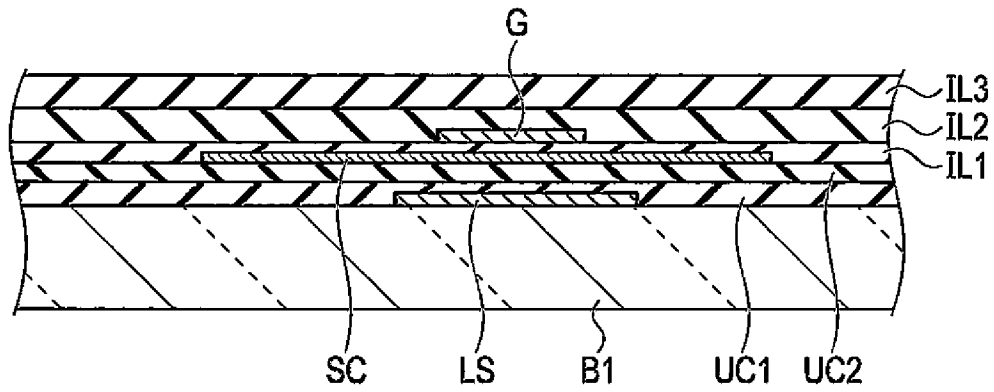
[図9]



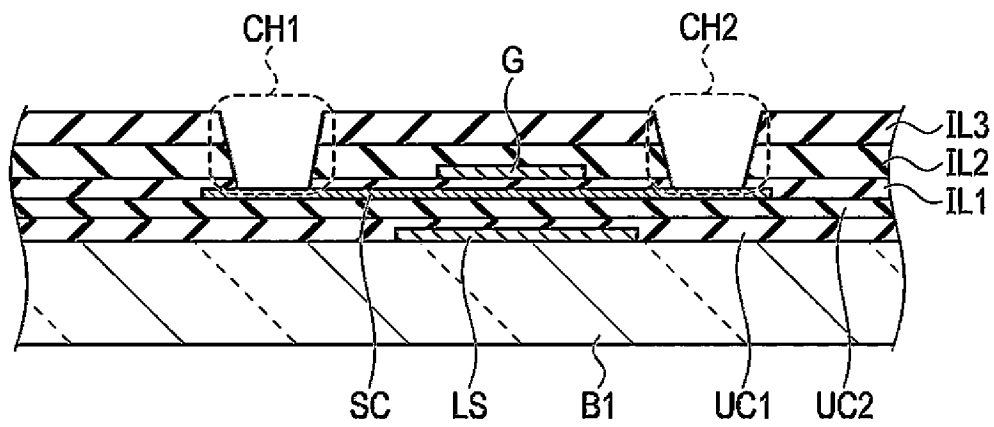
[図10]



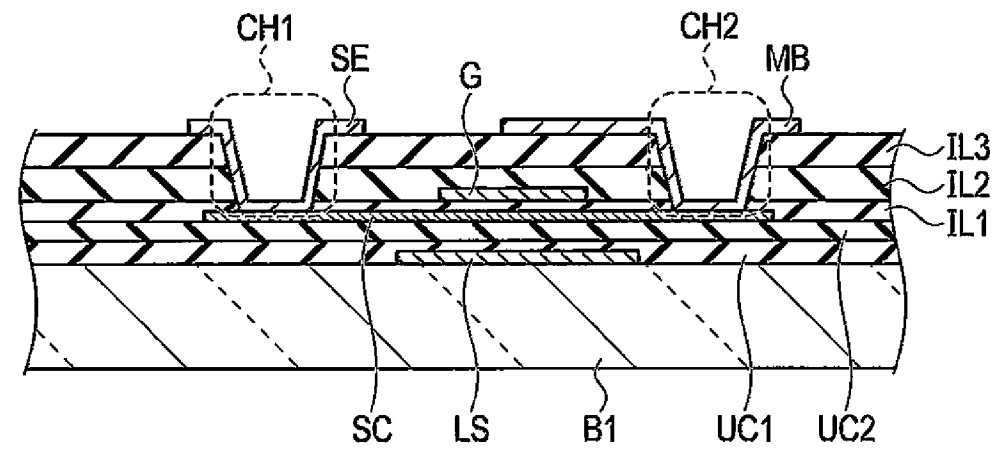
[図11A]



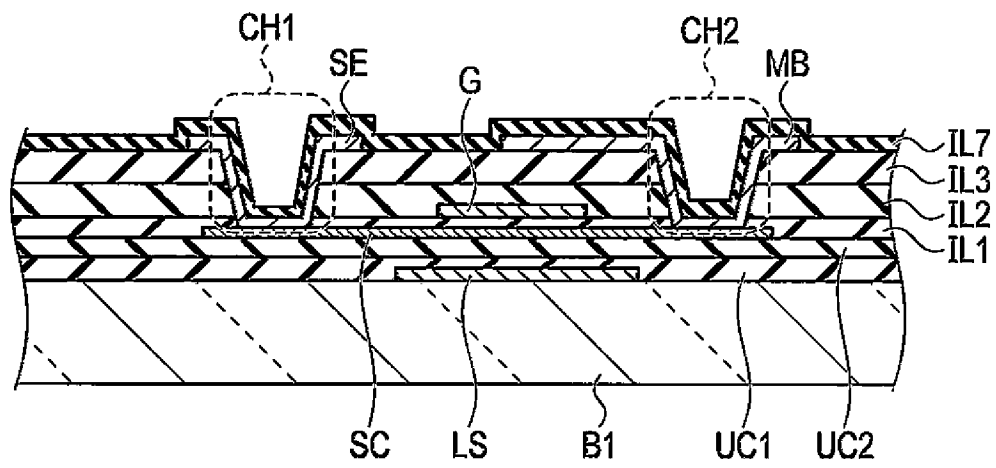
[図11B]



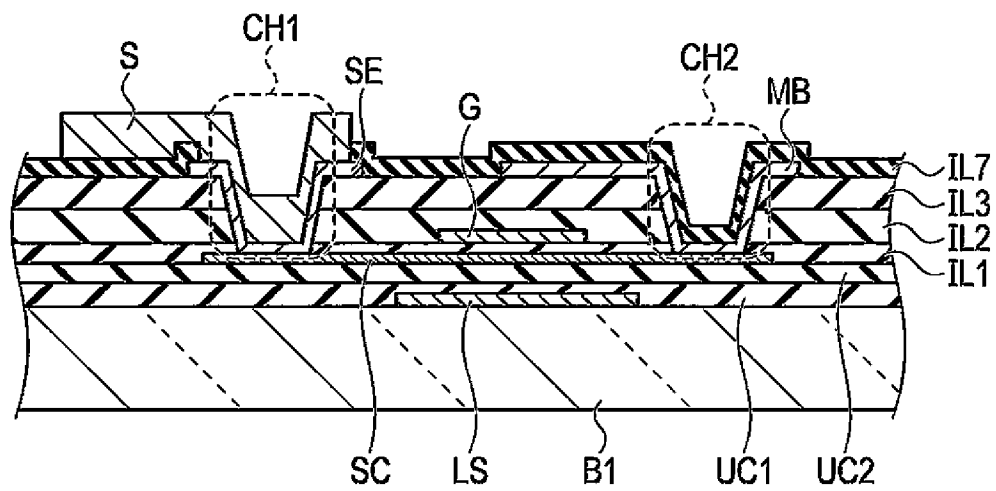
[図11C]



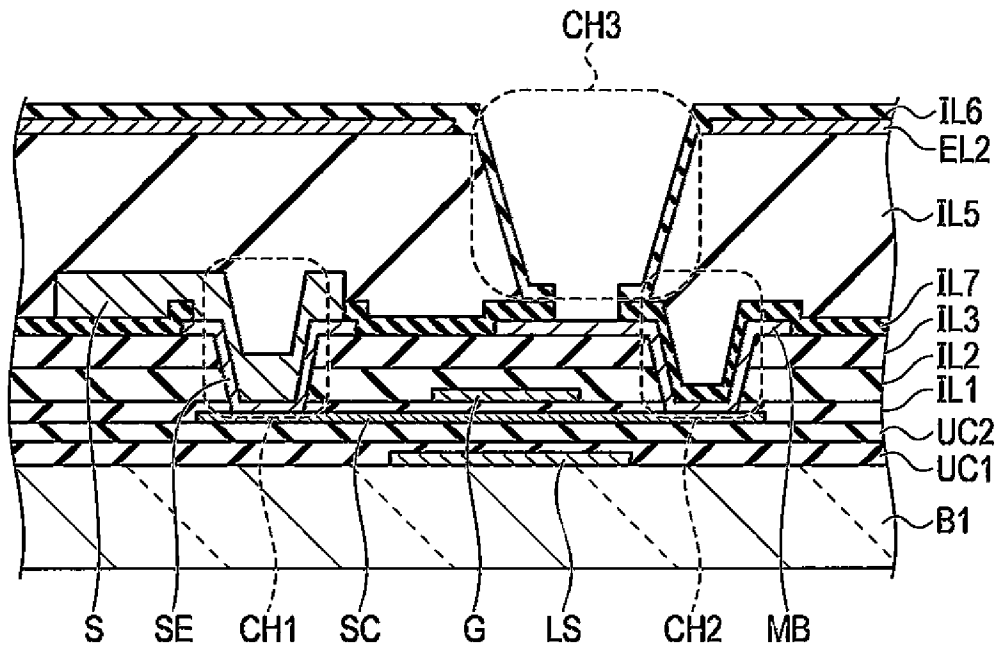
[図11D]



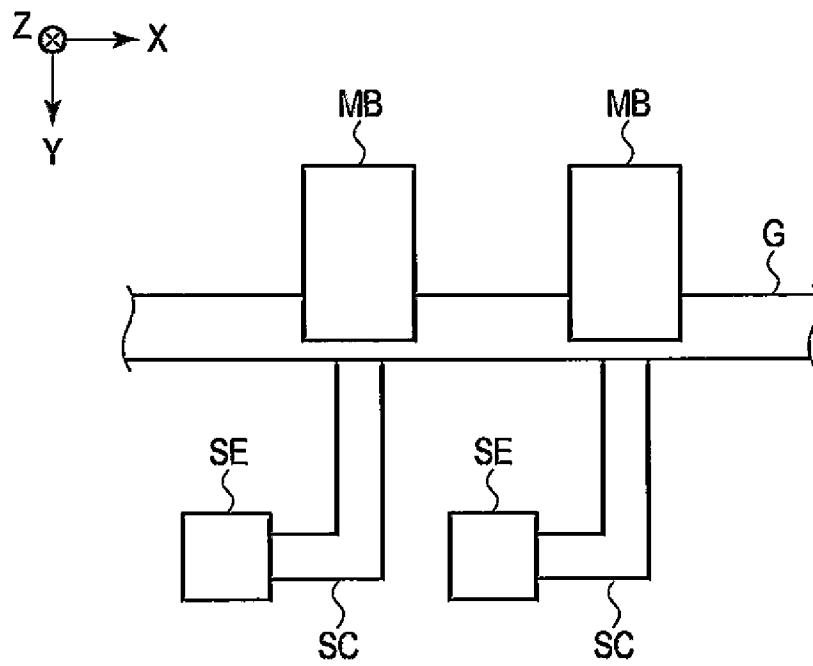
[図11E]



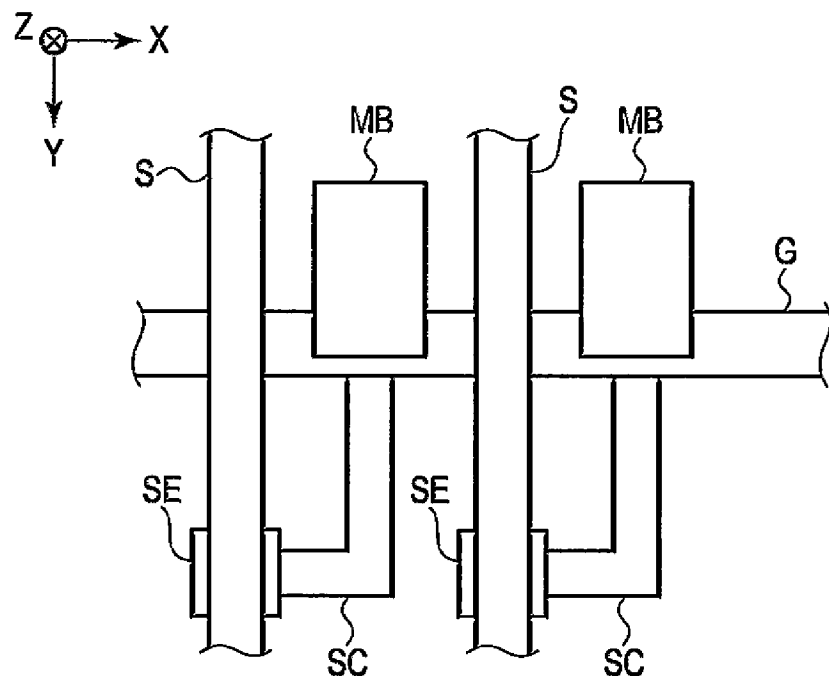
[図11F]



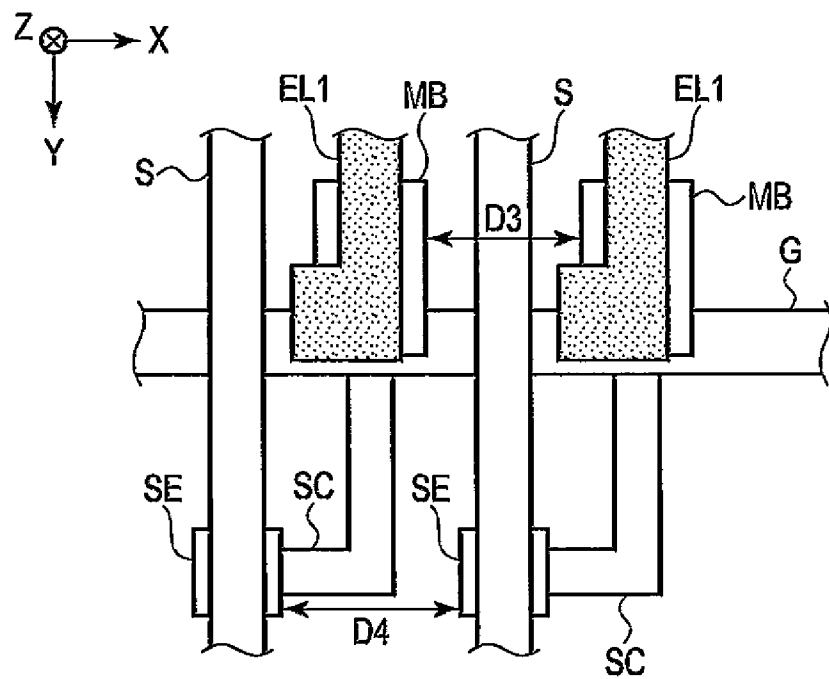
[図12A]



[図12B]

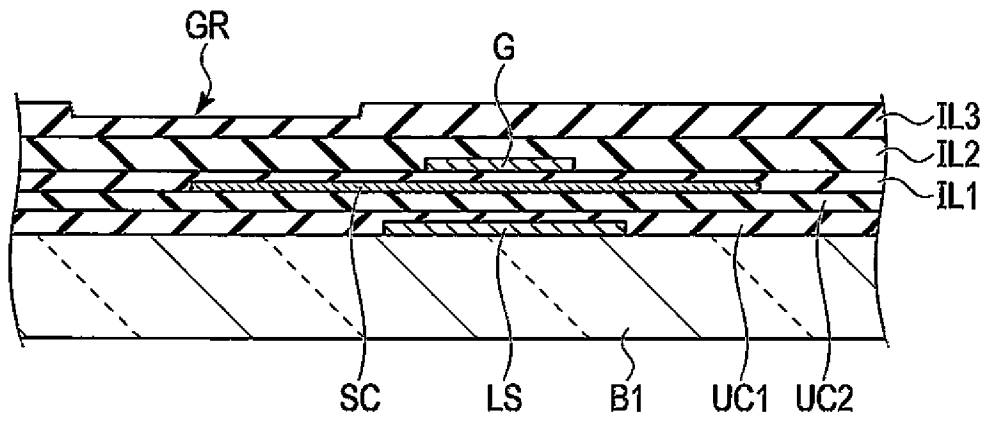


[図12C]

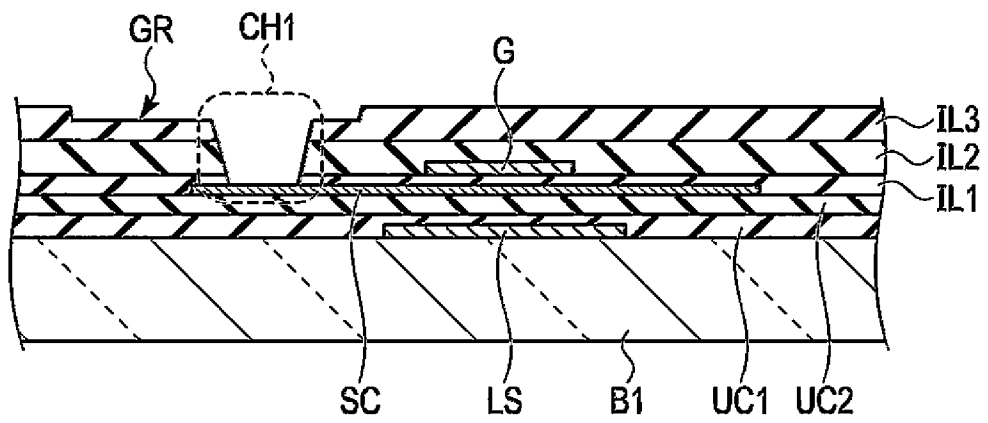


[illegible]

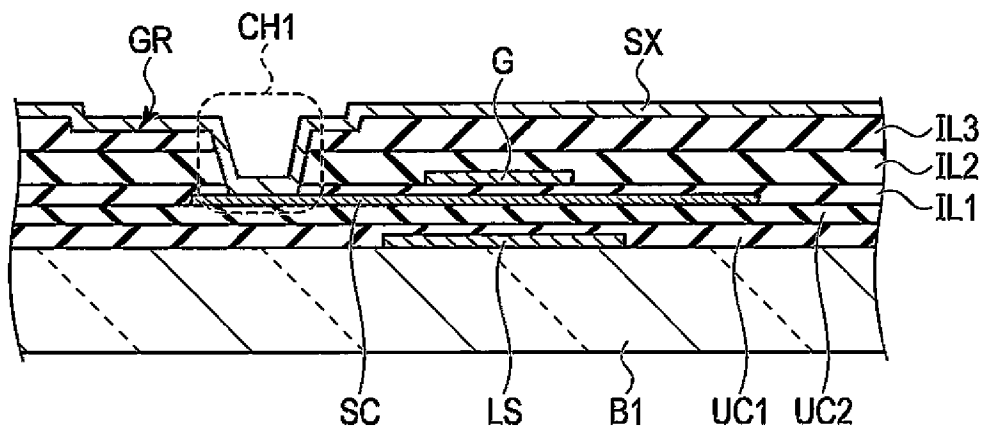
[図14B]



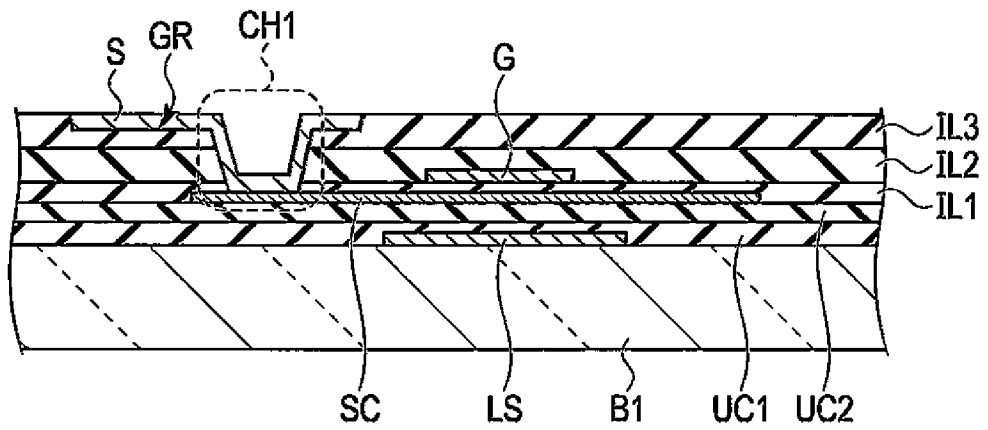
[図14C]



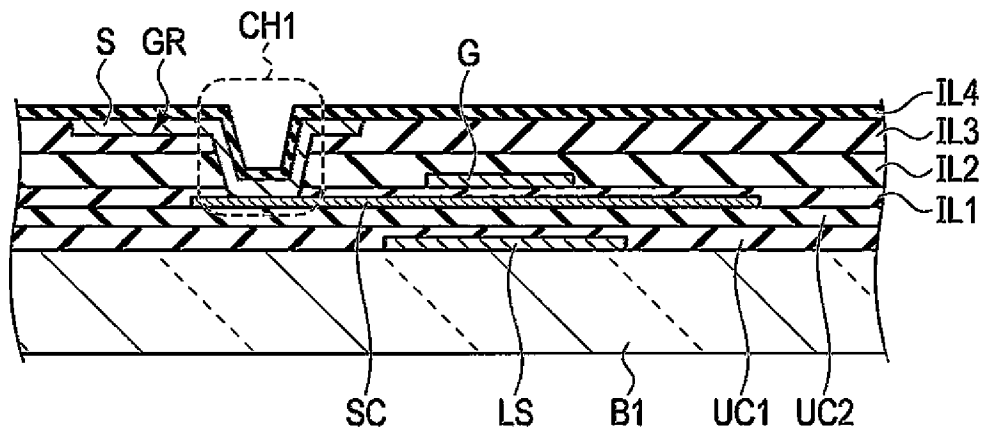
[図14D]



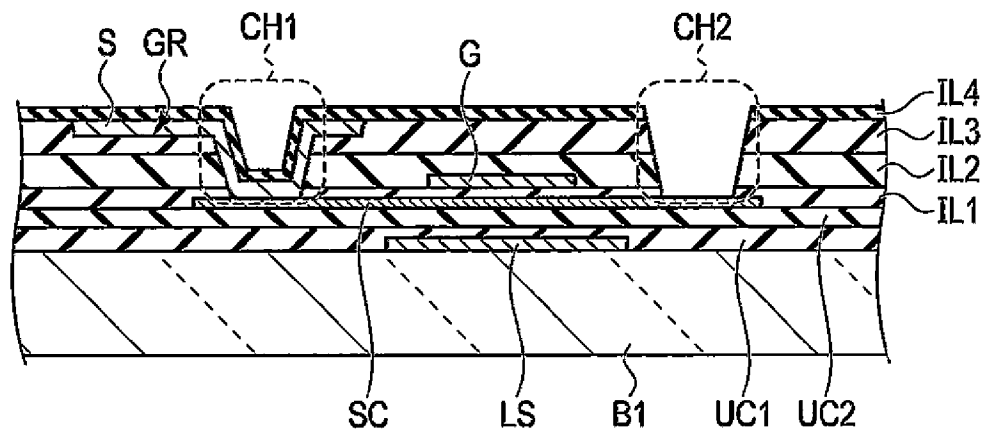
[図14E]



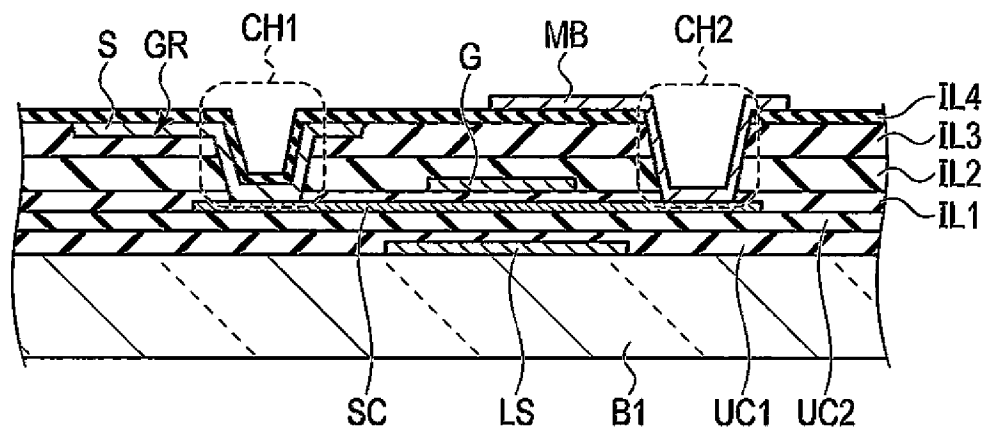
[図14F]



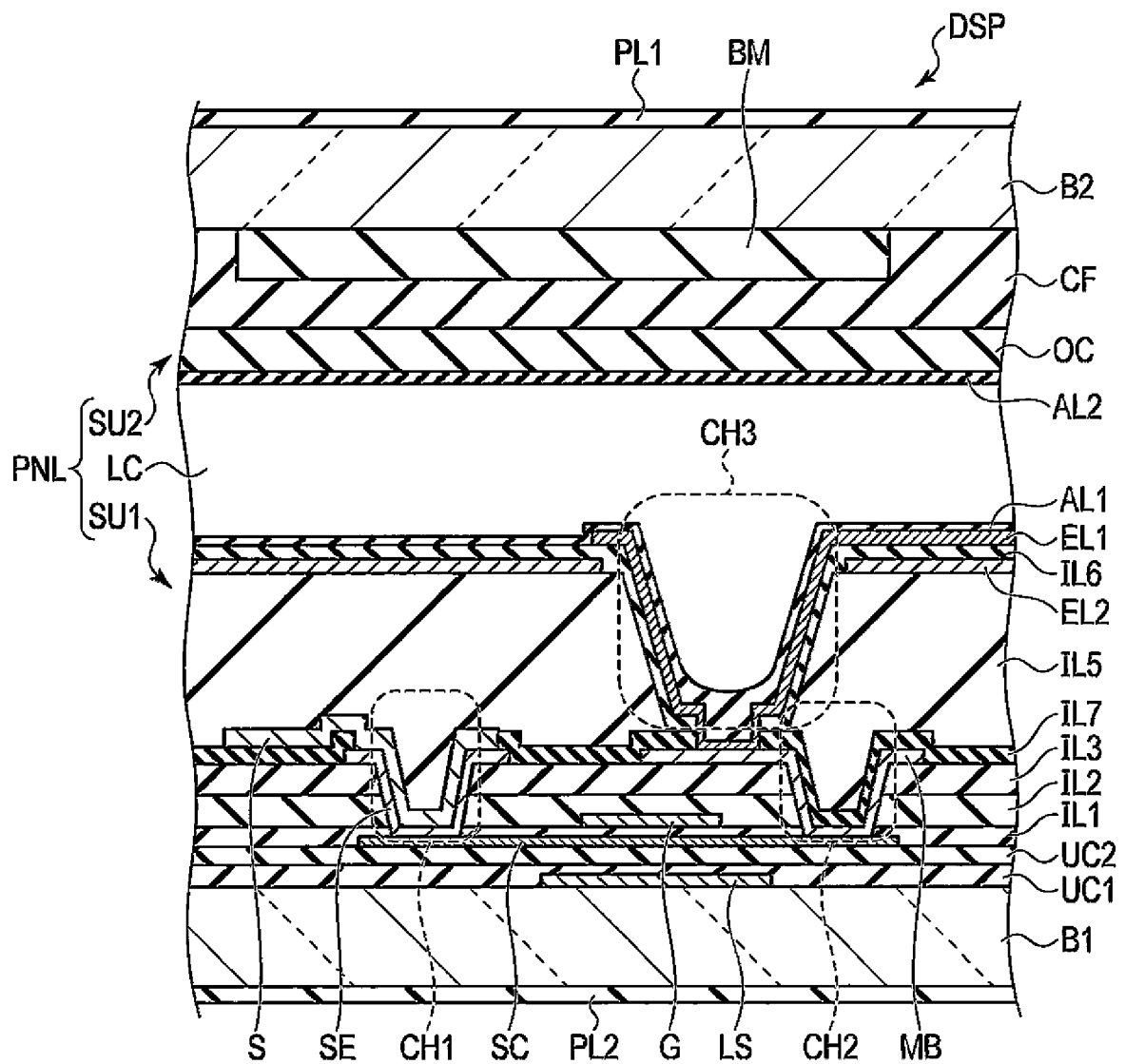
[図14G]



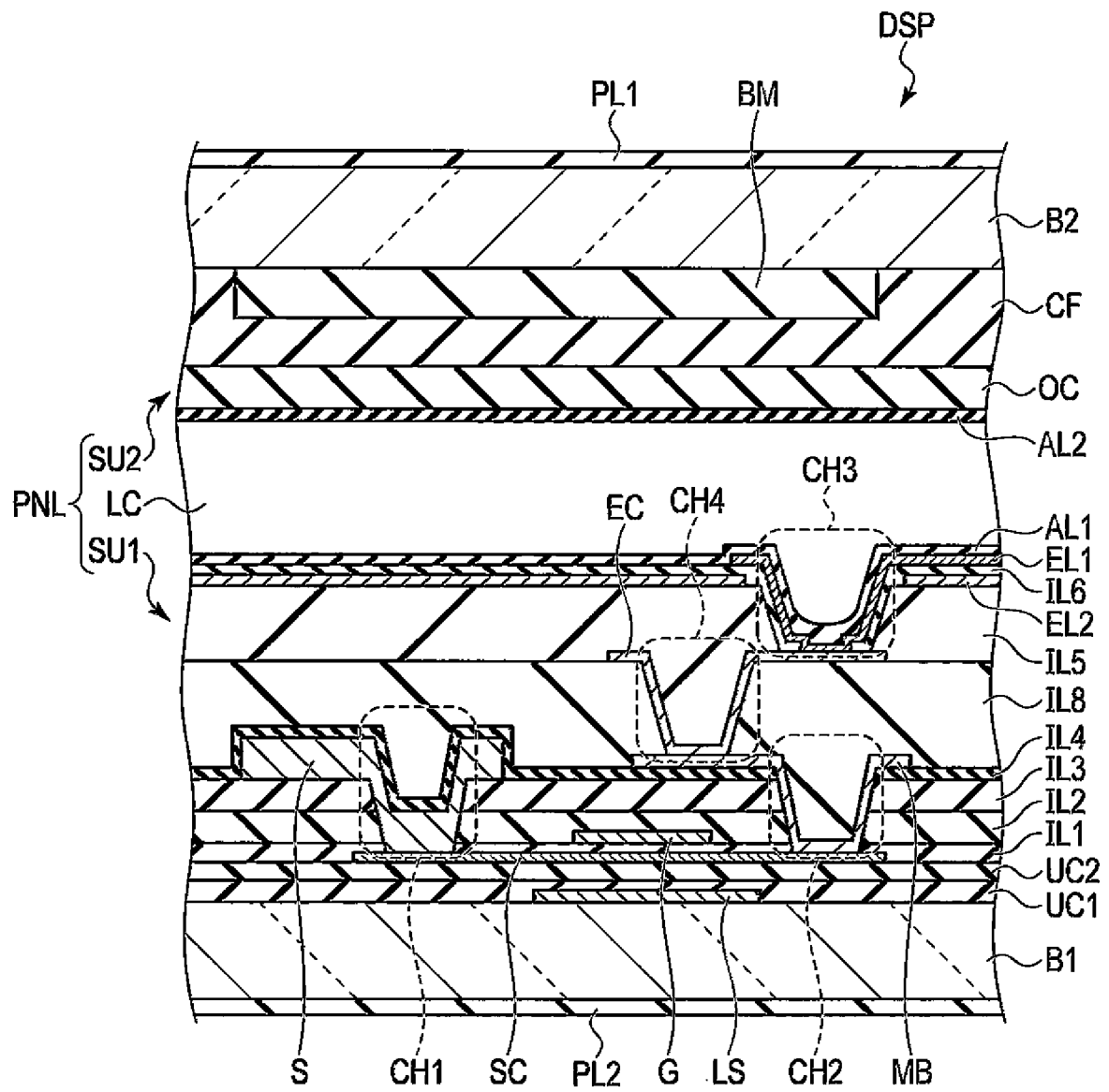
[図14H]



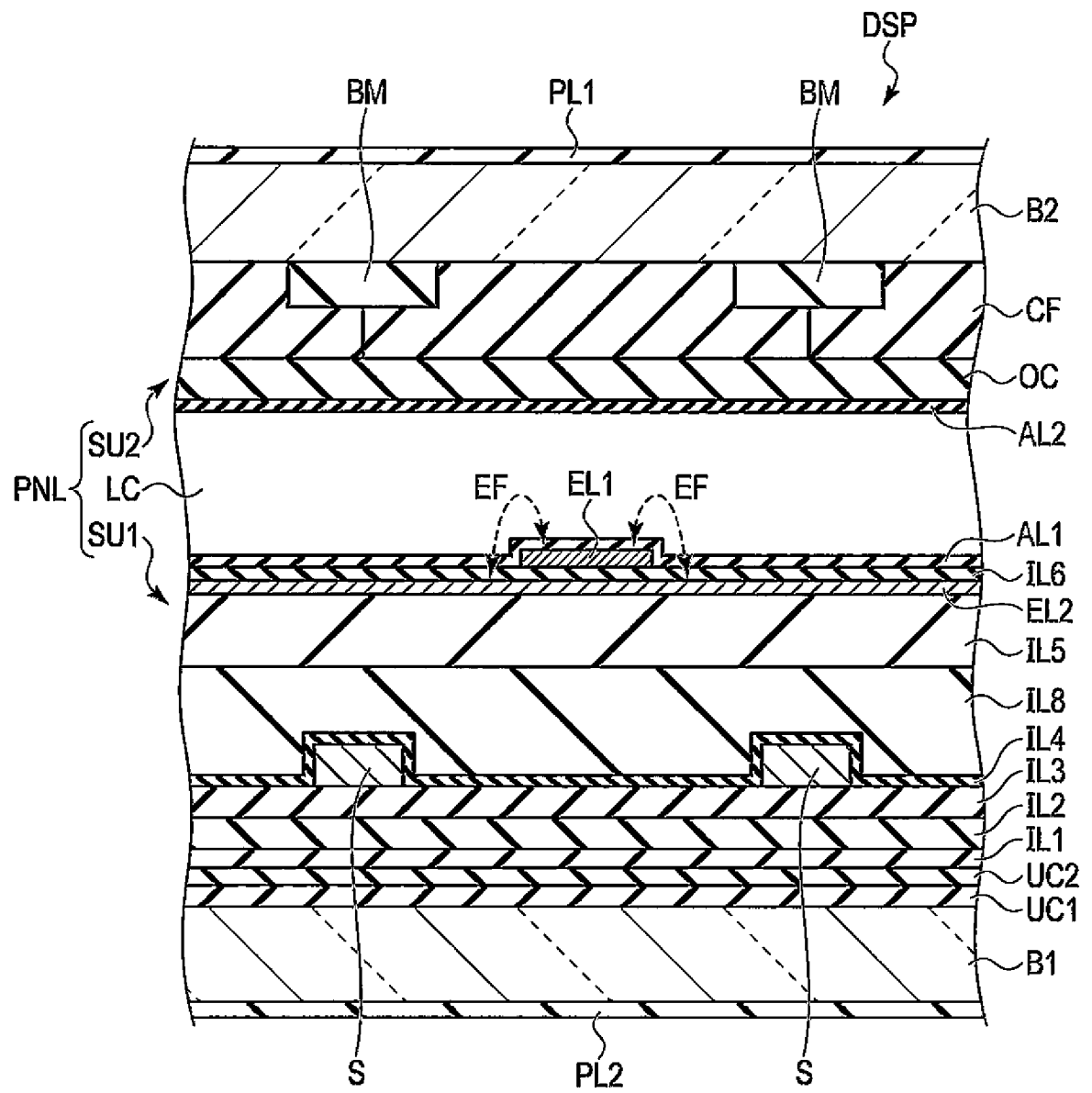
[図15]



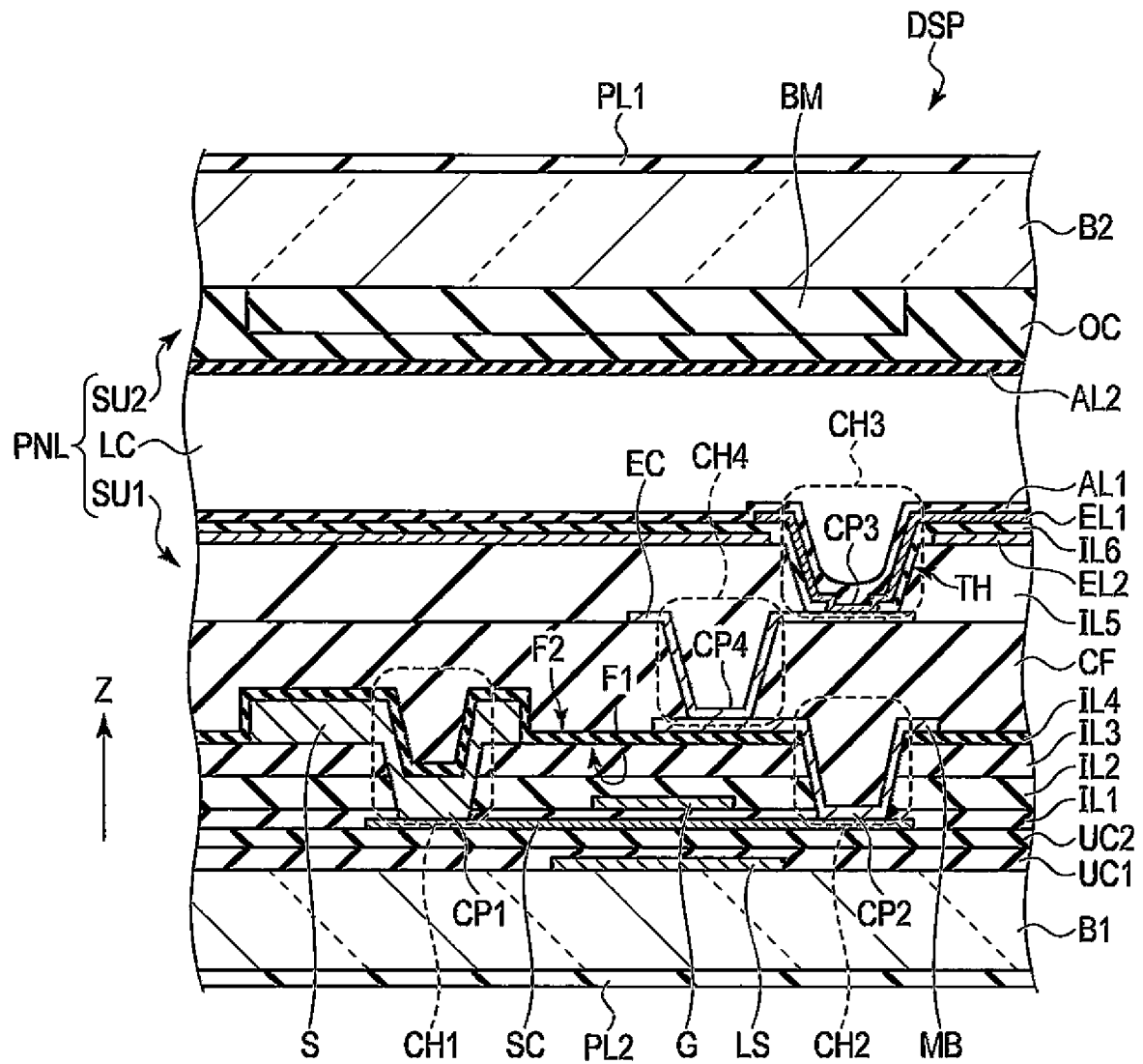
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/002354

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09F9/30(2006.01)i, G02F1/1335(2006.01)i, G02F1/1343(2006.01)i,
G02F1/1368(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09F9/00-9/46, G02F1/136-1/1368, H01L27/32, H05B33/00-33/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-191183 A (JAPAN DISPLAY INC.) 19 October 2017, entire text & US 2017/0293191 A1 & CN 107290906 A	1-17
A	JP 2017-111386 A (JAPAN DISPLAY INC.) 22 June 2017, entire text & US 2017/0176803 A1	1-17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 March 2019 (25.03.2019)

Date of mailing of the international search report
09 April 2019 (09.04.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/002354

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-182165 A (SONY CORP.) 20 September 2012, entire text & US 2012/0218495 A1	1-17
A	JP 2011-49539 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10 March 2011, entire text & US 2011/0024751 A1 & WO 2011/013596 A1 & CN 102473734 A & KR 10-2012-0051720 A & TW 201133858 A	1-17
A	JP 2008-218960 A (MITSUBISHI ELECTRIC CORP.) 18 September 2008, entire text & US 2008/0191207 A1 & KR 10-2008-0074729 A & TW 200837961 A & CN 101241937 A	1-17
A	US 2017/0125726 A1 (SAMSUNG DISPLAY CO., LTD.) 04 May 2017, entire text & KR 10-2017-0051615 A	1-17
A	US 2017/0040394 A1 (AU OPTRONICS CORPORATION) 09 February 2017, entire text & TW 201707195 A & CN 105161509 A	1-17

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09F9/30(2006.01)i, G02F1/1335(2006.01)i, G02F1/1343(2006.01)i, G02F1/1368(2006.01)i,
H01L21/336(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09F9/00-9/46, G02F1/136-1/1368, H01L27/32, H05B33/00-33/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-191183 A (株式会社ジャパンディスプレイ) 2017.10.19, 全文 & US 2017/0293191 A1 & CN 107290906 A	1-17
A	JP 2017-111386 A (株式会社ジャパンディスプレイ) 2017.06.22, 全文 & US 2017/0176803 A1	1-17

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

25.03.2019

国際調査報告の発送日

09.04.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

中村 直行

電話番号 03-3581-1101 内線 3272

21

9214

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-182165 A (ソニー株式会社) 2012.09.20, 全文 & US 2012/0218495 A1	1-17
A	JP 2011-49539 A (株式会社半導体エネルギー研究所) 2011.03.10, 全文 & US 2011/0024751 A1 & WO 2011/013596 A1 & CN 102473734 A & KR 10-2012-0051720 A & TW 201133858 A	1-17
A	JP 2008-218960 A (三菱電機株式会社) 2008.09.18, 全文 & US 2008/0191207 A1 & KR 10-2008-0074729 A & TW 200837961 A & CN 101241937 A	1-17
A	US 2017/0125726 A1 (SAMSUNG DISPLAY CO., LTD.) 2017.05.04, 全文 & KR 10-2017-0051615 A	1-17
A	US 2017/0040394 A1 (AU OPTRONICS CORPORATION) 2017.02.09, 全文 & TW 201707195 A & CN 105161509 A	1-17