



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0054185
(43) 공개일자 2019년05월21일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 27/12 (2006.01)
H01L 29/417 (2006.01) H01L 29/66 (2006.01)
- (52) CPC특허분류
H01L 29/78618 (2013.01)
H01L 27/1225 (2013.01)
- (21) 출원번호 10-2019-7013785(분할)
- (22) 출원일자(국제) 2009년10월26일
심사청구일자 없음
- (62) 원출원 특허 10-2018-7005773
원출원일자(국제) 2009년10월26일
심사청구일자 2018년02월27일
- (85) 번역문제출일자 2019년05월14일
- (86) 국제출원번호 PCT/JP2009/068735
- (87) 국제공개번호 WO 2010/053060
국제공개일자 2010년05월14일
- (30) 우선권주장
JP-P-2008-286278 2008년11월07일 일본(JP)

- (71) 출원인
가부시킴가이사 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
아기모토 겐고
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시킴가이사 한도오따이 에네루기 켄큐쇼 내
- 야마자키 슌페이
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시킴가이사 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
장수길, 박충범, 이중희

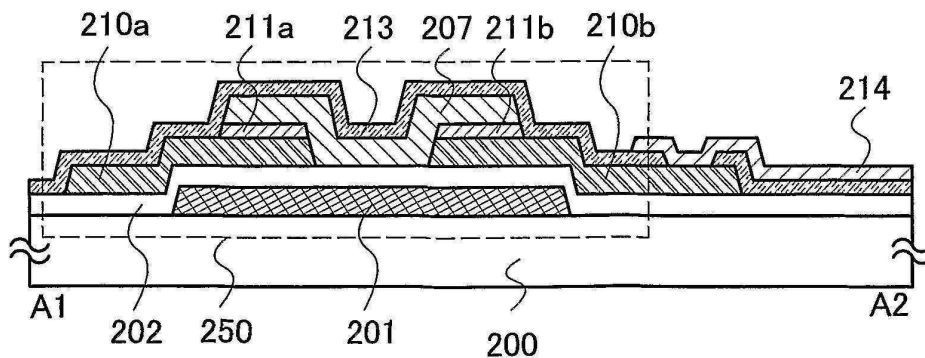
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 **반도체 장치의 제작 방법**

(57) 요약

본 발명의 목적은 산화물 반도체에 수분 및 산소 등의 불순물이 혼입되는 것을 방지하고, 산화물 반도체를 사용한 반도체 장치의 반도체 특성의 변동을 억제하는 것이다. 본 발명의 다른 목적은 신뢰성이 높은 반도체 장치를 제공하는 것이다. 절연 표면을 구비하는 기관 위에 제공된 게이트 절연막과, 상기 게이트 절연막 위에 제공된 소스 및 드레인 전극과, 상기 소스 전극 및 상기 드레인 전극 위에 제공된 제1 산화물 반도체층과, 상기 소스 전극 및 상기 드레인 전극과 상기 제1 산화물 반도체층 사이에 제공된 소스 및 드레인 영역이 제공된다. 상기 제1 산화물 반도체층과 접하여 배리어막이 제공된다.

대표도 - 도7b



(52) CPC특허분류

H01L 27/1248 (2013.01)

H01L 29/41733 (2013.01)

H01L 29/66742 (2013.01)

H01L 29/78606 (2013.01)

H01L 29/7869 (2013.01)

명세서

청구범위

청구항 1

표시 장치로서,

기관 위에 복수의 화소를 포함하는 화소부; 및

단자부

를 포함하고,

상기 복수의 화소 각각은,

게이트 전극, 상기 게이트 전극 위의 게이트 절연막, 및 상기 게이트 절연막 위의 비-단결정 산화물 반도체층을 포함하는 트랜지스터;

상기 비-단결정 산화물 반도체층 위의 한 쌍의 도전층으로서, 구리를 포함하는 상기 한 쌍의 도전층;

상기 한 쌍의 도전층 위의 배리어막; 및

상기 배리어막 위의 화소 전극으로서, 상기 배리어막의 제1 콘택트홀을 통해 상기 한 쌍의 도전층 중 하나에 전기적으로 접속되는 상기 화소 전극

을 포함하고,

상기 단자부는,

상기 한 쌍의 도전층과 동일한 재료를 포함하는 접속 전극; 및

상기 배리어막을 개재하여 상기 접속 전극 위에 있는 투명 도전층으로서, 상기 배리어막의 제2 콘택트홀을 통해 상기 접속 전극과 전기적으로 접속되는 상기 투명 도전층

을 포함하는, 표시 장치.

청구항 2

제1항에 있어서, 상기 비-단결정 산화물 반도체층은 상기 한 쌍의 도전층 사이의 오목부를 포함하는, 표시 장치.

청구항 3

제1항에 있어서, 상기 비-단결정 산화물 반도체층은 In, Ga 및 Zn을 포함하는, 표시 장치.

청구항 4

제1항에 있어서, 상기 표시 장치는 액정 표시 장치인, 표시 장치.

청구항 5

제1항에 있어서, 상기 표시 장치는 전계 발광 표시 장치인, 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 산화물 반도체를 사용하는 반도체 장치 및 그 제작 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 액정 표시 장치에서 알 수 있는 바와 같이, 유리 기판 등의 평판 위에 형성되는 박막 트랜지스터는

비결정(amorphous) 실리콘 또는 다결정 실리콘을 사용하여 제작된다. 비결정 실리콘을 사용하여 제작된 박막 트랜지스터는 전계 효과 이동도가 낮지만, 보다 큰 유리 기판 위에 형성될 수 있다. 반면, 다결정 실리콘을 사용하여 제작된 박막 트랜지스터는 전계 효과 이동도가 높지만, 레이저 어닐링 등의 결정화 단계로 인해, 이러한 트랜지스터는 보다 큰 유리 기판 위에 형성되기에는 항상 적합한 것은 아니다.

[0003] 산화물 반도체를 사용하는 박막 트랜지스터를 제작하여, 전자 디바이스 또는 광 디바이스에 적용하는 기술이 주목받고 있다. 예를 들면, 산화물 반도체막으로서 산화아연 또는 In-Ga-Zn-O계 산화물 반도체를 사용하여 박막 트랜지스터를 제작하고, 이러한 트랜지스터를 화상 표시 장치의 스위칭 소자 등에 사용하는 기술이 특허문헌 1 및 특허문헌 2에 개시되어 있다.

선행기술문헌

[0004] 일본 공개 특허 공보 제2007-123861호

[0005] 일본 공개 특허 공보 제2007-096055호

발명의 내용

해결하려는 과제

[0006] 이러한 산화물 반도체의 반도체 특성은 산화물 반도체 내의 산소 중공 농도에 의해 크게 영향을 받는다. 그 때문에, 산화물 반도체의 반도체 특성의 변동을 억제하기 위해, 산화물 반도체의 산화 환원 반응을 억제하고 산소 중공 농도를 유지하는 것이 중요하다. 따라서, 산화물 반도체 위에 규소를 주로 포함하고 산화막 또는 질화막을 제공함으로써 수분 및 산소가 산화물 반도체에 혼입하는 것을 방지하고 있었다.

[0007] 그러나, 산화실리콘막 또는 질화실리콘막을 사용함으로써, 수분 및 산소가 산화물 반도체에 혼입되는 것을 만족스럽게 방지하는 것은 곤란했다. 또한, 수분 및 산소의 투과를 방지하기 위해 산화실리콘막 또는 질화실리콘막의 두께를 증가시키면, 크랙(crack)이 야기되기 쉽다.

[0008] 또한, 수분 및 산소뿐만 아니라 알칼리 금속(Li, Cs, Na 등), 알칼리토류 금속(Ca, Mg 등), 또는 다른 금속 원소 등의 불순물이 산화물 반도체 내로 확산되면, 산화물 반도체의 반도체 특성이 변화되는 문제가 있었다.

[0009] 상기 문제점을 고려하여, 본 발명의 목적은 산화물 반도체에 수분 및 산소 등의 불순물이 혼입되는 것을 방지하고, 산화물 반도체를 사용한 반도체 장치의 반도체 특성의 변동을 억제하는 것이다. 본 발명의 다른 목적은 신뢰성이 높은 반도체 장치를 제공하는 것이다.

과제의 해결 수단

[0010] 개시되는 본 발명의 실시의 형태는 반도체 장치로서, 절연 표면을 구비하는 기판 위에 제공된 게이트 전극층과, 상기 게이트 전극층 위에 제공된 게이트 절연막과, 상기 게이트 절연막 위에 제공된 소스 전극 및 드레인 전극과, 상기 소스 전극 및 상기 드레인 전극 위에 제공된 제1 산화물 반도체층과, 상기 소스 전극 및 상기 드레인 전극과 상기 제1 산화물 반도체층 사이에 제공된 소스 영역 및 드레인 영역을 포함하는 반도체 장치이다. 상기 반도체 장치에서는, 상기 제1 산화물 반도체층과 접하여 배리어막이 제공된다.

[0011] 개시되는 본 발명의 다른 실시의 형태는 반도체 장치로서, 절연 표면을 구비하는 기판 위에 제공된 게이트 전극층과, 상기 게이트 전극층 위에 제공된 게이트 절연막과, 상기 게이트 전극층 위에서 상기 게이트 절연막이 개재되어 제공된 제1 산화물 반도체층과, 상기 제1 산화물 반도체층 위에서 서로 이간(離間)되어 제공된 소스 영역 및 드레인 영역과, 상기 소스 영역 위에서 접하여 제공된 소스 전극과, 상기 드레인 영역 위에서 접하여 제공된 드레인 전극을 포함하는 반도체 장치이다. 상기 반도체 장치에서는, 상기 제1 산화물 반도체층과 접하여 배리어막이 제공된다.

[0012] 개시되는 본 발명의 다른 실시의 형태는 반도체 장치로서, 절연 표면을 구비하는 기판 위에 제공된 게이트 전극층과, 상기 게이트 전극층 위에 제공된 게이트 절연막과, 상기 게이트 절연막 위에 제공된 제1 산화물 반도체층과, 상기 제1 산화물 반도체층의 채널 형성 영역과 중첩하는 영역에 제공된 채널 보호층과, 상기 제1 산화물 반도체층 위에 제공된 소스 전극 및 드레인 전극과, 상기 소스 전극 및 상기 드레인 전극과 상기 제1 산화물 반도체층 사이의 소스 영역 및 드레인 영역을 포함하는 반도체 장치이다. 상기 반도체 장치에서는, 상기 채널 보호층과 접하여 배리어막이 제공된다.

- [0013] 상술된 구성에서, 상기 배리어막은 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막 및 질화산화알루미늄막 중 하나 이상을 포함한다. 상기 배리어막의 두께는 1nm 이상 200nm 이하인 것이 바람직하다.
- [0014] 또한, 상술된 구성에서, 절연 표면을 구비하는 기판 위에 바탕 절연막이 제공될 수 있다. 상기 바탕 절연막은 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막 및 질화산화알루미늄막 중 하나 이상을 포함한다.
- [0015] 또한, 상술된 구성에서, 상기 게이트 절연막은 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막 및 질화산화알루미늄막 중 하나 이상을 포함한다.
- [0016] 또한, 상술된 구성에서, 상기 채널 보호층은 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막 및 질화산화알루미늄막 중 하나 이상을 포함한다. 상기 채널 보호층의 두께는 0nm보다 크고 5nm 이하이다.
- [0017] 상술된 구성에서, 상기 소스 영역 및 상기 드레인 영역은 상기 제1 산화물 반도체층보다 도전율이 높은 제2 산화물 반도체층이다.
- [0018] 본 명세서에서 사용될 수 있는 산화물 반도체의 예는 $InMO_3(ZnO)_m(m>0)$ 을 포함한다. 여기서, "M"은 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn) 및 코발트(Co)로부터 선택되는 하나의 금속 원소 또는 복수의 금속 원소이다. 예를 들면, M이 Ga이라면, Ga만이 포함되거나, 또는 Ga 이외에 상기 금속 원소가 포함되고, 예를 들어, M은 Ga 및 Na, Ga 및 Fe 등을 포함한다. 또한, 상기 산화물 반도체에서, M으로서 포함되는 원소 이외에, 불순물 원소로서 Fe 또는 Ni 등의 천이 금속 원소, 또는 상기 천이 금속의 산화물이 포함될 수 있다. 본 명세서에서는, 상기 산화물 반도체 중에서, M으로서 적어도 갈륨을 포함하는 산화물 반도체를 In-Ga-Zn-O계 산화물 반도체라 하고, 소정의 경우 그 재료를 이용한 박막을 In-Ga-Zn-O계 비-단결정막이라 한다.
- [0019] 또한, 본 명세서에서 용어 "반도체 장치"는 반도체 특성을 이용하여 동작할 수 있는 장치 전반을 가리키며, 표시 장치, 전기 광학 소자, 반도체 회로 및 전자 기기가 반도체 장치의 범주에 포함된다.

발명의 효과

- [0020] 본 발명의 실시의 형태에 따르면, 수분 및 산소 등의 불순물에 대한 장벽 성능이 높은 막을 사용하여 수분 및 산소 등의 불순물이 산화물 반도체에 혼입하는 것을 방지하여, 산화물 반도체를 사용한 반도체 장치의 반도체 특성의 변동을 억제할 수 있다. 또한, 반도체 장치의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

- [0021] 도 1a는 실시의 형태 1에 따른 반도체 장치의 평면도이고, 도 1b는 도 1a의 선 A1-A2를 따라 취해진 단면도.
- 도 2a 내지 도 2e는 실시의 형태 1에 따른 반도체 장치의 제작 방법을 설명하는 도면.
- 도 3a 내지 도 3c는 실시의 형태 1에 따른 반도체 장치의 제작 방법을 설명하는 도면.
- 도 4a 내지 도 4c는 실시의 형태 1에 따른 반도체 장치의 제작 방법을 설명하는 도면.
- 도 5aa 및 도 5ab와 도 5ba 및 도 5bb는 실시의 형태 1에 따른 반도체 장치를 설명하는 도면.
- 도 6은 실시의 형태 1에 따른 반도체 장치를 설명하는 도면.
- 도 7a는 실시의 형태 2에 따른 반도체 장치의 평면도이고, 도 7b는 도 7a의 선 A1-A2를 따라 취해진 단면도.
- 도 8a 내지 도 8c는 실시의 형태 2에 따른 반도체 장치의 제작 방법을 설명하는 도면.
- 도 9a 및 도 9b는 실시의 형태 2에 따른 반도체 장치의 제작 방법을 설명하는 도면.
- 도 10a 내지 도 10c는 실시의 형태 2에 따른 반도체 장치의 제작 방법을 설명하는 도면.
- 도 11a는 실시의 형태 3에 따른 반도체 장치의 평면도이고, 도 11b는 도 11a의 선 A1-A2를 따라 취해진 단면도.
- 도 12a 내지 도 12d는 실시의 형태 3에 따른 반도체 장치의 제작 방법을 설명하는 도면.
- 도 13은 실시의 형태 6에 따른 반도체 장치를 설명하는 도면.
- 도 14a 및 도 14b는 각각이 반도체 장치를 각각 도시하는 블록도.
- 도 15는 신호선 구동 회로의 구성을 설명하는 도면.

- 도 16은 신호선 구동 회로의 동작을 설명하는 타이밍 차트.
- 도 17은 신호선 구동 회로의 동작을 설명하는 타이밍 차트.
- 도 18은 시프트 레지스터의 구성을 설명하는 도면.
- 도 19는 도 18에 도시된 플립플롭의 접속 구성을 설명하는 도면.
- 도 20은 실시의 형태 7에 따른 반도체 장치의 화소의 등가 회로를 설명하는 도면.
- 도 21a 내지 도 21c는 각각 실시의 형태 7에 따른 반도체 장치를 설명하는 도면.
- 도 22aa 및 도 22ab와 도 22b는 실시의 형태 5에 따른 반도체 장치를 설명하는 도면.
- 도 23은 실시의 형태 5에 따른 반도체 장치를 설명하는 도면.
- 도 24a 및 도 24b는 실시의 형태 7에 따른 반도체 장치를 설명하는 도면.
- 도 25a 및 도 25b는 각각 전자 페이퍼의 사용 패턴의 예를 설명하는 도면.
- 도 26은 전자 서적 판독기의 예의 외관도.
- 도 27a는 텔레비전 장치의 예의 외관도이고, 도 27b는 디지털 포토 프레임의 예의 외관도.
- 도 28a 및 도 28b는 각각 오락기의 예를 도시하는 도면.
- 도 29a 및 도 29b는 각각 휴대 전화기의 예를 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0022] 실시의 형태에 대해 도면을 참조하여 설명한다. 본 발명은 이하의 실시의 형태의 기재 내용에 한정되지 않고, 발명의 취지로부터 이탈하지 않고 본 발명의 모드 및 상세를 다양하게 변경할 수 있다는 것은 당업자에 있어서 자명하다는 것을 알아야 한다. 또한, 상이한 실시의 형태에 따른 구성 및 방법이 적절한 조합에 의해 실행될 수 있다. 이하에 설명하는 발명의 구성 및 방법에서, 동일 부분 또는 같은 기능을 소유하는 부분에는 동일한 부호를 채용하고, 그 반복된 설명은 생략한다.
- [0023] 본 명세서에서, "막"이란 전체면에 형성되어 패턴 형성되지 않은 것을 의미한다. "층"이란 레지스트 마스크 등에 의해 원하는 형상으로 패턴 형성된 것을 의미한다. "막"과 "층"의 구별은 편의적으로 행하는 것이며, 소정의 경우에는 이들을 특별히 구별하지 않고 사용한다. 또한, 적층막의 각층에 관해서도, 소정의 경우에는 "막" 및 "층"을 특별히 구별하지 않고 사용한다.
- [0024] 본 명세서에서 "제1", "제2" 및 "제3" 등의 용어에 포함된 수사는 요소를 구별하기 위해 편의적으로 부여하고 있는 것이며, 숫자, 배치 및 단계의 순서를 한정하는 것이 아니다.
- [0025] (실시의 형태 1)
- [0026] 본 실시의 형태에서는, 반도체 장치 및 그 제작 공정에 대해서 도 1a 및 도 1b, 도 2a 내지 도 2e, 도 3a 내지 도 3c, 도 4a 내지 도 4c, 도 5aa, 도 5ab, 도 5ba, 도 5bb 및 도 6을 참조하여 설명한다.
- [0027] 도 1a 및 도 1b는 본 실시의 형태의 박막 트랜지스터를 포함하는 화소를 도시한다. 도 1a는 평면도이며, 도 1b는 도 1a에서의 선 A1-A2를 따라 취한 단면도이다.
- [0028] 도 1a 및 도 1b에 도시된 박막 트랜지스터(150)는 소위 역-스태거드(inverted-staggered) 박막 트랜지스터이다. 박막 트랜지스터(150)는 기판(100) 위에 마련된 게이트 전극층(101)과, 상기 게이트 전극층(101)을 피복하는 게이트 절연막(102)과, 상기 게이트 절연막(102) 위에 마련된 산화물 반도체층(107)과, 상기 산화물 반도체층(107) 위에 접하고 서로 이간되어 마련된 한 쌍의 산화물 반도체층(111a, 111b)과, 한 쌍의 산화물 반도체층(111a, 111b)에 각각 접하고 서로 이간되어 마련된 한 쌍의 도전층(110a, 110b)을 포함한다.
- [0029] 산화물 반도체층(107)은 In-Ga-Zn-O계 비-단결정막을 사용하여 형성된다. 또한, 산화물 반도체층(111a, 111b)은 산화물 반도체층(107)보다 도전율이 높은 In-Ga-Zn-O계 비-단결정막을 사용하여 형성되고, 소스 영역 및 드레인 영역을 형성한다. 또한 도전층(110a, 110b)은 소스 전극층 및 드레인 전극층을 형성한다. 서로 이간되어 형성된 산화물 반도체층(111a, 111b)에 대응하고, 소스 전극 및 드레인 전극으로서 기능하는 도전층(110a, 110b)이 이간되어 마련된다. 즉, 산화물 반도체층(111a)의 위에 도전층(110a)이 제공되고, 산화물 반도체층

(111b) 위에 도전층(110b)이 제공된다. 또한, 각 층은 원하는 형상으로 패턴 형성된다. 또한, 산화물 반도체층(111a, 111b)을 n+층이라고도 한다.

[0030] 도 1a 및 도 1b에 도시되는 박막 트랜지스터(150)는 소스 영역 및 드레인 영역을 형성하는 산화물 반도체층(111a, 111b) 사이에 위치하는 산화물 반도체층(107)에 오목부를 포함하는 예이다. 이러한 박막 트랜지스터는 채널-에치형 박막 트랜지스터라고도 한다.

[0031] 도 1b에서, 도전층(110a, 110b) 위에는 배리어막(113)이 마련된다. 또한, 배리어막(113)은 산화물 반도체층(107)의 일부와 접하여 마련된다. 배리어막(113)은 대기 중에 부유하는 유기물 및 금속 등의 불순물; 수분; 산소 등의 침입을 방지하도록 제공되고, 고밀도(dense) 막이 바람직하다. 고밀도 막을 사용하여 형성하는 것에 의해 수분 및 산소 등의 불순물에 대한 장벽 성능이 향상되게 된다. 배리어막(113)은 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막 또는 질화산화알루미늄막을 사용하여 단층 또는 적층으로 형성될 수 있다. 배리어막(113)의 두께는 1nm 이상 200nm 이하가 바람직하다. 또한, 배리어막(113)의 성질은 XRR(X-ray reflectometer), TDS(thermal desorption spectroscopy), AES(auger electron spectroscopy), 또는 SIMS(secondary ion mass spectroscopy)에 의해 발견될 수 있다.

[0032] 산화물 반도체층 위에 수분 및 산소에 대한 높은 장벽 성질을 갖는 막이 형성되어 산화물 반도체층을 커버하면, 수분 및 산소가 산화물 반도체층에 혼입하는 것을 방지할 수 있다. 이에 따라, 산화물 반도체층의 산화 환원 반응을 억제하고, 산소 증공 농도의 변동을 억제할 수 있다. 또한, 대기 또는 근본재(base material) 내에 포함되는 유기물 및 금속 등의 불순물이 산화물 반도체층에 혼입하는 것을 방지할 수 있다. 따라서, 산화물 반도체를 채용한 반도체 장치의 반도체 특성의 변동을 억제할 수 있다. 또한, 반도체 장치의 신뢰성을 향상시킬 수 있다.

[0033] 또한 도 1b에서, 기관(100)과 게이트 전극층(101) 사이에 기부 절연막을 마련하는 경우에는, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 질화산화알루미늄막 등을 사용하여 단층 또는 적층으로 형성할 수도 있다. 기부 절연막을 고밀도 막을 사용하여 형성하면, 기관(100)측으로부터 산화물 반도체층에 수분 및 산소가 침입하는 것을 방지할 수 있다. 또한 기관(100)에 포함되는 알칼리 금속(Li, Cs, Na 등), 알칼리토류 금속(Ca, Mg 등), 또는 다른 금속 원소 등의 불순물이 산화물 반도체층에 침입하는 것을 방지할 수 있다. 또한, 반도체 장치가 완성될 때 산화물 반도체층(107) 내에는 Na가 $5 \times 10^{19} / \text{cm}^3$ 이하, 또는 바람직하게는 $1 \times 10^{18} / \text{cm}^3$ 이하로 포함된다. 따라서, 산화물 반도체를 채용한 반도체 장치의 반도체 특성의 변동을 억제할 수 있다. 따라서, 반도체 장치의 신뢰성을 향상시킬 수 있다.

[0034] 도 1a에 도시되는 박막 트랜지스터(150)는 액정 표시 장치 또는 EL(electroluminescent) 표시 장치로 대표되는 표시 장치의 화소부에 마련되어지는 화소 트랜지스터에 적용될 수 있다. 그 때문에, 도시한 예에서는, 배리어막(113)에 콘택트홀(126)이 마련되어져, 배리어막(113) 위에 화소 전극층(투명 도전층(114))이 마련되어져, 배리어막(113)에 마련되어진 콘택트홀(126)을 통해 화소 전극층(투명 도전층(114))과 도전층(110b)이 서로 접속되어 있다.

[0035] 도 1a에 나타나 있는 바와 같이, 박막 트랜지스터(150)의 소스 전극 및 드레인 전극 중 하나는 U자형(또는 회전된 C자형 또는 말굽형) 형상을 갖고, 소스 전극 및 드레인 전극 중 다른 하나를 둘러싸고 있다. 소스 전극과 드레인 전극 간의 거리는 거의 일정하게 유지되어 있다.

[0036] 박막 트랜지스터(150)는 상기 형상을 가짐으로써, 박막 트랜지스터(150)의 채널 폭을 크게 할 수 있고, 따라서 전류량이 증대한다. 또한, 전기 특성의 편차를 저감할 수 있다. 또한, 제작 공정에서의 마스크 패턴의 오정렬에 의한 신뢰성의 저하를 억제할 수 있다. 본 실시의 형태는 이 형상에 한정되지 않고, 박막 트랜지스터(150)의 소스 전극 및 드레인 전극 중 하나가 반드시 U자형이 아니더라도 좋다.

[0037] 다음, 반도체 장치의 제작 공정의 일예에 대해서 도 2a 내지 도 2e를 참조하여 설명한다.

[0038] 우선, 절연 표면을 구비하는 기관(100) 위에 게이트 전극층(101)을 형성하고, 그 후 게이트 전극층(101) 위에 게이트 절연막(102)을 형성한다. 그 후, 산화물 반도체막(103)과 산화물 반도체막(104)을 적층하여 형성한다(도 2a 참조).

[0039] 절연 표면을 구비하는 기관(100)으로서, 예를 들면, 액정 표시 장치 등에 사용되는 가시광선 투과성을 갖는 유리 기판을 사용할 수 있다. 상술된 유리 기판은 무-알칼리 유리 기판인 것이 바람직하다. 무-알칼리 유리 기판의 재료로서, 예를 들면, 알루미늄노실리케이트 유리, 알루미늄노보로실리케이트 유리, 또는 바륨 보로실리케이트

유리 등의 유리 재료가 이용되고 있다. 그 밖에도, 절연 표면을 구비하는 기판(100)으로서, 세라믹 기판, 석영 기판, 또는 사파이어 기판 등의 절연체로 형성되는 절연성 기판; 규소 등의 반도체 재료로 형성되는 반도체 기판의 표면을 절연 재료로 피복한 것; 금속 또는 스테인레스 강철 등의 도전체로 형성되는 도전성 기판의 표면을 절연 재료로 피복한 것 등을 이용할 수 있다.

[0040] 또한, 도 2a에 나타나 있는 바와 같이, 절연 표면을 구비하는 기판(100) 위에 바탕막이 되는 절연막(130)을 제공해도 된다. 절연막(130)은 기판(100)으로부터의 알칼리 금속(Li, Cs, Na 등), 알칼리토류 금속(Ca, Mg 등), 또는 다른 금속 원소 등의 불순물의 확산을 방지하는 기능을 갖는다. 또한, 반도체 장치 완성 시에 산화물 반도체층(107) 내에는 Na가 $5 \times 10^{19} / \text{cm}^3$ 이하, 또는 바람직하게는 $1 \times 10^{18} / \text{cm}^3$ 이하로 포함된다. 절연막(130)은 질화실리콘막, 산화실리콘막, 질화산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막 및 질화산화알루미늄막으로부터 선택되는 하나 또는 복수의 막에 의한 적층 구조로 형성될 수 있다.

[0041] 게이트 전극층(101)은, 기판(100) 위에 도전막을 형성한 후, 포토리소그래피법에 의해 형성된 레지스트 마스크를 사용하여 선택적으로 도전막을 에칭하는 것에 의해 형성할 수 있다. 이러한 경우에, 후에 형성되는 게이트 절연막(102)의 피복성을 향상하고 절단을 방지하기 위해, 게이트 전극층(101)의 에지가 테이퍼 형상이 되도록 에칭하는 것이 바람직하다. 또한, 게이트 전극층(101)은 게이트 배선 등의 도전막을 사용하여 형성되는 전극 및 배선을 포함한다.

[0042] 게이트 전극층(101)은 알루미늄, 구리, 몰리브덴, 티타늄, 크롬, 탄탈 또는 텅스텐 등의 금속 재료; 이들 재료 중 임의의 것을 주성분으로 포함하는 합금 재료; 또는 이들 재료 중 임의의 것을 주성분으로 포함하는 질화물을 사용하여 단층 또는 적층으로 형성될 수 있다. 게이트 전극층(101)은 알루미늄 등의 저저항 도전성 재료를 사용하여 형성되는 것이 바람직하다. 또한, 배선 및 전극으로서 알루미늄을 사용하는 경우, 알루미늄만을 사용하면 내열성이 낮고 부식되기 쉬운 등의 문제점이 있으므로, 알루미늄은 내열성 도전성 재료와 조합시켜 사용되는 것이 바람직하다.

[0043] 내열성 도전성 재료로서, 티타늄, 탄탈, 텅스텐, 몰리브덴 및 크롬으로부터 선택된 원소, 또는 이들 원소 중 임의의 것을 포함하는 합금, 이들 원소들의 조합을 포함하는 합금막, 또는 이들 원소 중 임의의 것을 포함하는 질화물을 사용할 수 있다. 이러한 내열성 도전성 재료로 형성되는 막과, 알루미늄(또는 구리)을 적층시켜, 배선 및 전극을 형성할 수 있다.

[0044] 게이트 절연막(102)은 산화실리콘막, 산화질화실리콘막, 질화실리콘막, 질화산화실리콘막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 질화산화알루미늄막, 또는 산화탄탈막을 사용하여 단층 또는 적층으로 형성될 수 있다. 게이트 절연막(102)은 스퍼터링법 등을 사용하여 막두께를 50nm 이상 250nm 이하로 형성될 수 있다. 예를 들면 게이트 절연막(102)으로서, 스퍼터링법에 의해 산화실리콘막을 100nm의 두께로 형성할 수 있다. 대안적으로, 스퍼터링법에 의해 산화알루미늄막을 100nm의 두께로 형성할 수 있다.

[0045] 절연막(130) 또는 게이트 절연막(102)을 고밀도 막을 사용하여 형성할 때, 기판(100)측으로부터 산화물 반도체층에 수분 및 산소가 침입하는 것을 방지할 수 있다. 또한, 기판(100)에 포함되는 알칼리 금속(Li, Cs, Na 등), 알칼리토류 금속(Ca, Mg 등), 또는 다른 금속 원소 등의 불순물이 산화물 반도체층에 침입하는 것을 방지할 수 있다. 또한, 반도체 장치 완성 시에 산화물 반도체층(107) 내에는 Na가 $5 \times 10^{19} / \text{cm}^3$ 이하, 또는 바람직하게는 $1 \times 10^{18} / \text{cm}^3$ 이하로 포함된다. 따라서, 산화물 반도체를 채용한 반도체 장치의 반도체 특성의 변동을 억제할 수 있다. 따라서, 반도체 장치의 신뢰성을 향상시킬 수 있다.

[0046] 게이트 절연막(102) 위에 산화물 반도체막(103)을 형성하기 전에, 게이트 절연막(102)의 표면에 플라즈마 처리를 행해도 된다. 플라즈마 처리에 의해, 게이트 절연막(102)의 표면에 부착되어 있는 먼지를 제거할 수 있다.

[0047] 플라즈마 처리는 진공 챔버에 아르곤(Ar) 가스 등의 불활성 가스를 도입하고, 피처리물(여기서는, 기판(100) 위에 형성된 게이트 절연막(102))에 바이어스 전압을 인가하여 플라즈마 상태를 생성하는 방식으로 행해질 수 있다. 챔버에 Ar 가스를 도입했을 경우, 플라즈마 중에는 전자와 Ar의 양이온이 존재하고, 음극 방향으로(기판(100)측으로) Ar의 양이온이 가속된다. 가속된 Ar의 양이온이 기판(100) 위에 형성된 게이트 절연막(102)의 표면에 충돌함으로써, 게이트 절연막(102)의 표면이 스퍼터링에 의해 에칭되어 개질된다. 상술된 이러한 플라즈마 처리를 소정의 경우 "역스퍼터링(reverse sputtering)"이라 한다. 본 실시의 형태에서는, 플라즈마 처리 시에 기판(100) 측에 바이어스 전압을 인가한다. 대안적으로, 게이트 절연막(102)의 표면을 개질에서 개질할 수 있다면, 바이어스 전압을 인가하지 않고 플라즈마 처리를 행해도 된다.

- [0048] 플라즈마 처리에서 사용하는 가스로서, 아르곤 가스 대신에, 헬륨 가스를 사용해도 된다. 대안적으로, 아르곤 분위기에 산소, 수소, 질소 등을 첨가한 분위기로 행해도 된다. 또한, 아르곤 분위기에 Cl_2 , CF_4 등을 더한 분위기로 행해도 된다.
- [0049] 산화물 반도체막(103)은 In-Ga-Zn-O계 비-단결정막을 사용하여 형성할 수 있다. 예를 들면 In, Ga, 및 Zn을 포함하는 산화물 반도체 타겟($In_2O_3:Ga_2O_3:ZnO=1:1:1$)을 채용한 스퍼터링법에 의해 산화물 반도체막(103)을 형성한다. 스퍼터링을 위해 예를 들어 아래의 조건을 채용할 수 있다: 기관(100)과 타겟 간의 거리를 30mm 내지 500mm; 압력을 0.1Pa 내지 2.0Pa; DC 전원을 0.25kW 내지 5.0kW(지름 8인치의 크기를 갖는 타겟 사용 시); 및 분위기를 아르곤 분위기, 산소 분위기, 또는 아르곤과 산소의 혼합 분위기로 함.
- [0050] 먼지를 경감할 수 있고 두께가 균일할 수 있으므로, 펄스 DC 전원을 사용하는 것이 바람직하다. 또한, 상기 플라즈마 처리를 행한 후, 대기에 노출되지 않고 산화물 반도체막(103)을 형성하여, 게이트 절연막(102)과 산화물 반도체막(103) 사이의 계면에 먼지 및 수분이 부착되는 것을 방지할 수 있다. 산화물 반도체막(103)의 두께는 대략 5nm 내지 200nm일 수 있다.
- [0051] 상기 스퍼터링법으로서, 스퍼터링 전원으로 고주파 전원을 채용하는 RF 스퍼터링법, DC 스퍼터링법, 펄스식 직류 바이어스를 인가하는 펄스 DC 스퍼터링법 등을 이용할 수 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 채용될 수 있고, DC 스퍼터링법은 주로 금속막을 성막할 경우에 채용될 수 있다.
- [0052] 대안적으로, 다른 재료로 형성되는 타겟을 복수 설치할 수 있는 멀티-타겟 스퍼터링 장치를 사용해도 된다. 멀티-타겟 스퍼터링 장치에서는, 하나의 챔버에 다른 막을 적층 형성할 수 있거나, 또는 하나의 챔버에서 복수 종류의 재료를 동시에 스퍼터링하여 하나의 막을 형성할 수도 있다. 대안적으로, 챔버 내부에 자체 발생 기구를 구비하는 마그네트론 스퍼터링 장치를 채용하는 방법(마그네트론 스퍼터링법), 마이크로파를 사용하여 발생시킨 플라즈마를 채용하는 ECR 스퍼터링법 등을 사용해도 된다. 또한, 대안적으로, 성막 중에 타겟 물질과 스퍼터링 가스 성분을 서로 화학 반응시켜 그것들의 화합물을 형성하는 반응성 스퍼터링법, 성막 중에 기관에도 전압을 인가하는 바이어스 스퍼터링법 등을 사용해도 된다.
- [0053] 다음, 산화물 반도체막(103) 위에 산화물 반도체막(103)보다 도전율이 높은 산화물 반도체막(104)을 형성한다. 산화물 반도체막(104)은 In-Ga-Zn-O계 비-단결정막을 사용하여 형성할 수 있다. 예를 들면, In, Ga 및 Zn을 포함하는 산화물 반도체 타겟($In_2O_3:Ga_2O_3:ZnO=1:1:1$)을 채용한 스퍼터링법에 의해 산화물 반도체막(103) 위에 산화물 반도체막(104)을 형성할 수 있다.
- [0054] 또한, 산화물 반도체막(104)은 산화물 반도체막(103)의 형성을 위해 채용한 타겟($In_2O_3:Ga_2O_3:ZnO=1:1:1$)을 사용하여 형성될 수 있다. 스퍼터링의 조건으로서, 예를 들면, 온도를 20도 내지 100도, 압력을 0.1Pa 내지 2.0Pa, 전력을 250W 내지 3kW(8-인치 ϕ 의 경우)로 한다. 또한, 유량 40sccm으로 아르곤 가스를 도입하고 있다. 타겟의 성분비 또는 다른 스퍼터링 성막 조건을 적절하게 조절함으로써, 결정립의 유무, 밀도 등을 조절할 수 있다. 결정립의 직경은 대략 1nm 내지 10nm일 수 있다. 산화물 반도체막(104)의 두께는 대략 2nm 내지 20nm일 수 있다. 물론, 막 중에 결정립이 포함되는 경우에는, 결정립의 크기는 막두께를 초과하지 않는다.
- [0055] 여기서, 상기 산화물 반도체막(103)과 산화물 반도체막(104)의 성막 조건을 다르게 하는 것이 바람직하다. 예를 들면, 산화물 반도체막(103)의 성막 조건에서는 산화물 반도체막(104)의 성막 조건보다 아르곤 가스의 유량에 대한 산소 가스의 유량비를 크게 한다. 구체적으로는, 산화물 반도체막(104)의 성막 조건에서는, 희가스(rare gas)(아르곤, 헬륨 등) 분위기, 또는 산소 가스 10% 이하 및 희가스 90% 이상을 포함하는 분위기를 채용한다. 산화물 반도체막(103)의 성막 조건에서는, 산소 분위기, 또는 희가스에 대한 산소 가스의 유량비가 1 이상인 분위기를 채용한다. 산화물 반도체막(103)을 대기에 노출하지 않도록 산화물 반도체막(104)을 연속해서 형성해도 좋다. 또한, 산화물 반도체막(103)과 산화물 반도체막(104)은 서로 다른 재료를 이용하여 형성해도 좋다.
- [0056] 다음, 산화물 반도체막(104) 위에 레지스트 마스크(106)를 형성하고, 레지스트 마스크(106)를 사용하여 산화물 반도체막(103) 및 산화물 반도체막(104)을 선택적으로 에칭하여, 섬 형상의 산화물 반도체층(107) 및 섬 형상의 산화물 반도체층(108)을 형성한다(도 2b참조).
- [0057] 이 때의 에칭 방법으로서 웨트 에칭 또는 드라이 에칭을 사용할 수 있다. 여기서, 아세트산, 질산 및 인산의 혼합액을 채용한 웨트 에칭에 의해 산화물 반도체막(103) 및 산화물 반도체막(104)의 불필요한 부분을 제거함으로써, 섬 형상의 산화물 반도체층(107) 및 섬 형상의 산화물 반도체층(108)을 형성한다. 또한, 상기 에칭 후에

는 레지스트 마스크(106)를 제거한다. 또한, 웨트 에칭에 사용되는 에칭제는 산화물 반도체막(103) 및 산화물 반도체막(104)을 상기 에칭제를 사용하여 에칭할 수 있는 것이면 상기 용액에 한정되지 않는다. 드라이 에칭을 행하는 경우에는, 염소를 포함하는 가스, 또는 염소를 포함하는 가스에 산소가 첨가된 가스를 사용하는 것이 바람직하다. 이는 염소와 산소를 포함하는 가스를 채용함으로써 게이트 절연막(102)에 대한 산화물 반도체막(103)(및 산화물 반도체막(104))의 에칭 선택비가 용이하게 얻어질 수 있어, 게이트 절연막(102)에의 손상을 충분히 저감할 수 있기 때문이다.

[0058] 이 실시의 형태에서는, 산화물 반도체층(107)과, 산화물 반도체층(107)보다 도전율이 높은 산화물 반도체층(108)을 적층시킨 예를 설명했다. 대안적으로, 산화물 반도체층(107)의 단층만을 형성할 수도 있다.

[0059] 다음, 섬 형상의 산화물 반도체층(107) 위에 도전막을 형성한다. 도전막은 스퍼터링법, 진공 증착법 등에 의해, 알루미늄, 구리, 티타늄, 탄탈, 텅스텐, 몰리브덴, 니켈, 망간, 크롬, 네오디뮴 및 스칸듐으로부터 선택된 원소를 포함하는 금속; 상기 원소 중 임의의 것을 포함하는 합금; 상기 원소 중 임의의 것을 포함하는 질화물 등으로 형성되는 재료를 사용하여 형성될 수 있다. 또한, 도전막의 형성 후에 열처리(예를 들면, 대략 200도 내지 600도의 열처리)를 행할 경우에는, 도전막에 소정의 내열성을 갖게 하는 것이 바람직하다.

[0060] 예를 들면, 도전막은 티타늄막의 단층 구조로 형성될 수 있다. 대안적으로, 도전막을 적층 구조로 형성해도 된다. 예를 들면, 도전막은 알루미늄막과 티타늄막과의 적층 구조로 형성될 수 있다. 또한, 대안적으로, 티타늄막과, 네오디뮴을 포함하는 알루미늄(Al-Nd)막과, 티타늄막의 3층 구조로 해도 된다. 또한, 대안적으로, 도전막은 실리콘을 포함하는 알루미늄막의 단층 구조로 해도 된다.

[0061] 다음, 도전막 위에 레지스트 마스크(109a, 109b)를 형성하고, 그 후 도전막을 선택적으로 에칭하여, 도전층(110a, 110b)을 형성한다. 동시에, 섬 형상의 산화물 반도체층(108)을 에칭해서 산화물 반도체층(107)보다 도전율이 높은 반도체 영역(산화물 반도체층(111a, 111b))을 형성하고, 산화물 반도체층(107)의 일부의 영역(표면 부근의 일부)을 제거(채널-에칭)하여, 산화물 반도체층(107)에 오목부(112)를 형성한다(도 2c 참조).

[0062] 산화물 반도체층(107)의 일부가 제거되어 형성되는 오목부(112)는 도전층(110a)과 도전층(110b) 사이 및 산화물 반도체층(107)보다 도전율이 높은 반도체 영역(산화물 반도체층(111a))과 산화물 반도체층(107)보다 도전율이 높은 반도체 영역(산화물 반도체층(111b)) 사이의 영역에 해당한다. 그 때문에, 도전층(110a)은 트랜지스터의 소스 전극 및 드레인 전극 중 하나로서 기능하고, 도전층(110b)은 트랜지스터의 소스 전극 및 드레인 전극 중 다른 하나로서 기능한다. 또한, 상기 에칭 후에는, 레지스트 마스크(109a, 109b)는 제거된다.

[0063] 이 때의 에칭 방법으로서 웨트 에칭 또는 드라이 에칭을 사용할 수 있다. 여기서는, 염소를 포함하는 가스를 이용해서 드라이 에칭을 행하는 것이 바람직하다. 드라이 에칭을 사용함으로써 웨트 에칭을 사용하는 경우에 비해 배선 구조 등의 미세화가 가능해진다. 또한, 드라이 에칭을 사용함으로써, 드라이 에칭의 제어성이 좋기 때문에, 산화물 반도체층(107)의 제거를 높은 제어성으로 행할 수 있다. 염소를 포함하는 가스에는 산소가 첨가되는 것이 보다 바람직하다. 이는 염소와 산소를 포함하는 가스를 채용함으로써, 게이트 절연막(102)에 대한 산화물 반도체층(107)(및 산화물 반도체층(108))의 에칭 선택비가 용이하게 얻어질 수 있어, 게이트 절연막(102)에의 손상을 충분히 저감할 수 있기 때문이다.

[0064] 그 후에, 200도 내지 600도, 전형적으로는 300도 내지 500도의 열처리를 행하면 좋다. 여기서는, 질소 분위기 하에서 350도로 1시간의 열처리를 행한다. 이 열처리에 의해, 산화물 반도체층(107) 및 산화물 반도체층(111a, 111b)에 포함되는 In-Ga-Zn-O계 산화물 반도체의 원자 레벨의 재배열이 행해진다. 이 열처리(포토 어닐링 등도 포함)는 이 열처리에 의해 산화물 반도체층(107) 및 산화물 반도체층(111a, 111b) 내의 캐리어의 이동을 저해하는 비틀어짐(distortion)을 해제할 수 있으므로 중요하다. 또한, 상기 열처리가 산화물 반도체층(107)의 형성 후에 행해진다면 상기 열처리를 행하는 타이밍은 특별하게 한정되지 않는다.

[0065] 다음, 배리어막(113)을 형성하기 전에 산화물 반도체층(107)의 표면에 대하여 플라즈마 처리를 행하는 것이 바람직하다. 산화물 반도체층(107) 표면의 플라즈마 처리로서는, 산소 래디칼에 의한 산소 래디칼 처리 또는 역 스퍼터링을 행하면 좋다.

[0066] 산소 래디칼에 의한 산소 래디칼 처리는 O₂, N₂O, 산소를 포함하는 N₂, 산소를 포함하는 He, 산소를 포함하는 Ar 등의 분위기에서 행하는 것이 바람직하다. 대안적으로, 산소 래디칼 처리는 상기 분위기에 Cl₂, CF₄를 추가한 분위기에서 행해도 된다. 또한, 래디칼 처리는 기판(100) 측에 바이어스 전압을 인가하지 않고 행하는 것이 바람직하다. 산소 래디칼 처리를 함으로써, 섬 형상의 산화물 반도체층(107)이 채널 형성 영역을 포함하는 박막

트랜지스터는 게이트 전극에 전압이 인가되지 않을 때 오프 상태로 되는 노멀리-오프(normally-off) 트랜지스터일 수 있다. 또한, 래디컬 처리를 행함으로써, 섬 형상의 산화물 반도체층(107)의 에칭에 의한 손상을 회복할 수 있다.

[0067] 역스퍼터링은 진공 챔버에 아르곤(Ar) 가스 등의 불활성 가스를 도입하고, 피처리물(여기서는, 기판(100))에 바이어스 전압을 인가하여 플라즈마 상태를 발생하는 방식으로 행해질 수 있다. 이 경우, 플라즈마 중에는 전자와 Ar의 양이온이 존재하고, 음극 방향으로(기판(100) 측으로) Ar의 양이온이 가속된다. 가속된 Ar의 양이온이 기판(100) 위에 형성된 산화물 반도체층(107), 게이트 절연막(102) 및 도전층(110a, 110b)의 표면에 충돌함으로써, 표면이 스퍼터링에 의해 에칭되어 개질될 수 있다. 또한, 아르곤 가스 대신에, 헬륨 가스를 사용해도 된다. 대안적으로, 아르곤 분위기에 산소, 수소, 질소 등을 첨가한 분위기로 행해도 된다. 또한, 대안적으로, 아르곤 분위기에 Cl₂, CF₄ 등을 첨가한 분위기로 행해도 된다.

[0068] 산화물 반도체층(107)의 표면에 대하여 역스퍼터링을 행하면, 산화물 반도체층(107)의 표면의 대기 중의 노출로 인해 형성되는 산화물 및 흡착 유기물을 에칭에 의해 제거할 수 있다. 또한, 산화물 반도체층(107)의 표면을 활성화하고, 따라서 다음에 형성되는 배리어막(113)과의 화학 결합을 강화할 수 있다. 역스퍼터링은 RF 스퍼터링법을 사용하여 행하는 것이 바람직하다. 이는 다음에 형성되는 배리어막(113)을 RF 스퍼터링법에 의해 형성할 경우, 배리어막(113)을 대기 중 노출하지 않고 형성할 수 있기 때문이다.

[0069] 다음, 게이트 전극층(101), 산화물 반도체층(107), 산화물 반도체층(111a, 111b), 도전층(110a, 110b) 등을 포함하는 박막 트랜지스터(150)를 커버하도록 배리어막(113)을 형성한다(도 2d 참조). 배리어막(113)은 산화물 반도체층(107)이 노출되어 있는 영역에 접하여 형성되는 것이 바람직하다. 배리어막은 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 또는 질화산화알루미늄막을 사용하여 단층 또는 적층으로 형성될 수 있다.

[0070] 산화물 반도체층(107) 및 산화물 반도체층(111a, 111b)의 반도체 특성은 산화물 반도체 내의 산소 중공 농도에 의해 크게 영향을 받는다. 산화물 반도체층(107) 및 산화물 반도체층(111a, 111b)에 수분 및 산소가 침입하면, 산화물 반도체층의 반도체 특성에 큰 영향을 끼친다. 배리어막(113)은 대기 중에 부유하는 유기물 및 금속 등의 불순물, 수분, 산소 등의 침입을 막을 수 있는 고밀도 막을 사용하여 형성되는 것이 바람직하다. 배리어막(113)으로서 산화실리콘막 또는 질화실리콘막을 사용하는 경우, 막에는 분자 사슬 등에 의한 실리콘 원자의 공극이 존재하는 것에 의해 수분 및 산소에 대한 장벽 성능이 저해된다. 그러나, 산화알루미늄막 등은 산화실리콘막, 질화실리콘막 등에 비해 밀도가 높기 때문에 장벽 성능이 우수하다. 따라서, 산화물 반도체층의 배리어막으로서 산화알루미늄막 등을 사용함으로써, 산화물 반도체층에 수분 및 산소 등의 불순물이 침입하는 것을 막을 수 있다.

[0071] 배리어막(113)으로서 기능하는 산화알루미늄막을 형성할 경우, 스퍼터링법에 의해, 예를 들면 산화알루미늄(Al₂O₃) 타겟을 이용하여, 아르곤 분위기에서 형성한다. 매우 높은 투광성을 얻기 위해서는, 산화알루미늄막은 불순물, 특히, 0 atom%보다 크고 2.5 atom%보다 작은 질소를 포함할 수 있다. 스퍼터링 조건(기판 온도, 원료 가스 및 그 유량, 성막 압력 등)을 적절하게 조절함으로써 질소 농도를 조절할 수 있다. 대안적으로, 산화알루미늄막은 알루미늄(Al) 타겟을 이용하여, 산소 가스를 포함하는 분위기에서 성막되어도 좋다. 구체적으로는, 산화알루미늄막은 RF 스퍼터링법에 의해 Φ 8-inch의 알루미늄 타겟을 사용하여 이하의 조건을 채용하여 형성된다: 성막 전력을 1kW; 성막 압력을 0.4Pa; 아르곤 가스 10sccm의 유량; 산소 가스 5sccm의 유량; 타겟과 기판간 거리 160mm; 성막시 기판 온도를 20도 내지 25도; 및 성막 레이트를 1.5 nm/min으로 함.

[0072] 배리어막(113)으로서 기능하는 질화알루미늄막을 형성할 경우, 질화알루미늄막은 스퍼터링법에 의해, 예를 들면, 질화알루미늄(AlN) 타겟을 이용하여, 아르곤 가스와 질소 가스를 혼합한 분위기에서 성막된다. 구체적으로는, 질화알루미늄막은 질화알루미늄(AlN) 타겟을 이용하여, 아르곤 가스 20sccm의 유량과 질소 가스 20sccm의 유량을 혼합한 분위기에서 성막된다. 질화알루미늄막은 불순물, 특히 산소 0atom% 이상 10atom% 미만을 포함할 수 있다. 스퍼터링 조건(기판 온도, 원료 가스 및 그 유량, 성막 압력 등)을 적절하게 조절함으로써 산소 농도를 조절할 수 있다. 대안적으로, 질화알루미늄막은 알루미늄(Al) 타겟을 이용하여, 질소 가스를 포함하는 분위기에서 성막해도 좋다.

[0073] 배리어막(113)으로서 기능하는 질화산화알루미늄막을 형성할 경우, 질화산화알루미늄막은 스퍼터링법을 사용하여, 예를 들면, 질화알루미늄(AlN) 타겟을 이용하여, 아르곤 가스와, 질소 가스와, 산소 가스를 혼합한 분위기에서 성막된다. 구체적으로는, 질화산화알루미늄막은 질화알루미늄(AlN) 타겟을 이용하여, 아르곤 가스 20sccm의 유량과, 질소 가스 15sccm의 유량과, 산소 가스 5sccm의 유량을 혼합한 분위기에서 성막된다. 질화산화알루

미늄막은 질소를 수 atom% 이상, 바람직하게는 2.5 atom% 내지 47.5 atom%를 포함할 수 있다. 스퍼터링 조건(기관 온도, 원료 가스 및 그 유량, 성막 압력 등)을 적절하게 조절함으로써 질소 농도를 조절할 수 있다. 대안적으로, 질화산화알루미늄막은 알루미늄(Al) 타겟을 이용하여, 질소 가스 및 산소 가스를 포함하는 분위기에서 성막해도 좋다.

- [0074] 또한, 이들 막을 형성하는 방법은 스퍼터링법에 한정되지 않는다. 대안적으로, 증착법 또는 그 밖의 공지 기술을 사용해도 된다.
- [0075] 또한, 형성된 배리어막(113)에 대하여 플라즈마 처리 또는 오존수 등의 산화력이 강한 용액에서의 처리를 행하여, 배리어막(113) 내의 산소 결함을 보상해도 좋다. 플라즈마 처리는 산소, 질소, 1산화 2질소, 또는 상기 가스와 그 밖의 가스의 혼합 기체의 분위기에서 행해도 된다. 플라즈마 처리를 행함으로써, 배리어막을 더 고밀도 막으로 할 수 있다.
- [0076] 산화물 반도체층 위에 수분 및 산소에 대한 높은 장벽성의 막을 형성하여 상기 산화물 반도체층을 커버하면, 수분 및 산소가 산화물 반도체층에 혼입하는 것을 방지할 수 있다. 이에 따라, 산화물 반도체층의 산화 환원 반응을 억제하고, 산소 증공 농도의 변동을 억제할 수 있다. 또한, 대기중에 부유하는 유기물 및 금속 등의 불순물이 산화물 반도체층에 혼입하는 것을 방지할 수 있다. 따라서, 산화물 반도체를 채용한 반도체 장치의 반도체 특성의 변동을 억제할 수 있다. 또한, 반도체 장치의 신뢰성을 향상시킬 수 있다.
- [0077] 또한, 바탕막으로서 기능하는 절연막(130) 또는 게이트 절연막(102)을 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막 또는 질화산화알루미늄막을 사용하여 형성할 경우, 상기의 제작 방법을 채용할 수 있다.
- [0078] 다음, 배리어막(113) 위에 레지스트 마스크를 형성하고, 배리어막(113)을 선택적으로 에칭하여 콘택트홀을 형성한다. 그 후, 투명 도전층(114)을 형성한다(도 2e 참조). 이 때의 에칭은 염소 가스를 사용하는 드라이 에칭인 것이 바람직하다.
- [0079] 투명 도전층(114)은 산화인듐(In_2O_3), 산화인듐 및 산화주석의 합금($In_2O_3-SnO_2$, 이하에서는 ITO라 약기함), 산화인듐 및 산화아연의 합금(In_2O_3-ZnO) 등을 사용하여 스퍼터링법, 진공 증착법 등에 의해 형성될 수 있다. 예를 들면, 투명 도전막을 성막한 후, 투명 도전막 위에 레지스트 마스크를 형성한다. 그 후, 에칭에 의해 불필요한 부분을 제거하여, 투명 도전층(114)을 형성할 수 있다.
- [0080] 이상의 공정에 의해, 박막 트랜지스터(150)를 형성할 수 있다. 이러한 방식으로, 박막 트랜지스터(150)를 형성하는 것에 의해, 수분 및 산소 등의 불순물에 대한 높은 장벽성을 갖는 막을 사용하여 수분 및 산소 등의 불순물이 산화물 반도체에 혼입하는 것을 방지한다. 이에 따라, 산화물 반도체를 채용한 반도체 장치의 반도체 특성의 변동을 억제할 수 있고, 또한 반도체 장치의 신뢰성을 향상시킬 수 있다.
- [0081] 다음, 반도체 장치의 일예인 표시 장치의 제작 공정에 대해서 도 3a 내지 도 3c 및 도 4a 내지 도 4c를 참조하여 설명한다. 또한, 도 3a 내지 도 3c 및 도 4a 내지 도 4c에 도시되는 제작 공정의 많은 부분은 도 2a 내지 도 2e에 도시된 것과 공통된다. 따라서, 이하에서는 동일 부분의 설명은 생략하고, 다른 부분에 대해 설명한다.
- [0082] 우선, 절연 표면을 구비하는 기관(100) 위에 배선 및 전극(게이트 전극층(101)을 포함하는 게이트 배선, 용량 배선(120) 및 제1 단자(121))을 형성한다(도 3a 참조). 용량 배선(120) 및 제1 단자(121)는 게이트 전극층(101)과 동일한 재료를 이용해서 형성될 수 있다. 또한, 기관(100)의 재료 및 게이트 전극층(101)의 재료 및 형성 방법에 대해서는 도 2a를 참조할 수 있다. 또한, 절연 표면을 구비하는 기관(100) 위에 바탕막이 되는 절연막(130)을 제공해도 된다. 절연막(130)의 재료 및 형성 방법에 대해서는 도 2a를 참조할 수 있다.
- [0083] 다음, 게이트 전극층(101) 위에 게이트 절연막(102)을 형성하고, 게이트 전극층(101) 위에 절연막(102)을 개재하여 섬 형상의 산화물 반도체층(107) 및 섬 형상의 산화물 반도체층(108)을 형성한다(도 3b 참조). 게이트 절연막(102)의 재료 및 형성 방법에 대해서는 도 2a를 참조할 수 있다. 산화물 반도체층(107) 및 산화물 반도체층(108)의 재료 및 형성 방법에 대해서는 도 2a 및 도 2b를 참조할 수 있다.
- [0084] 다음, 제1 단자(121)를 노출시키도록 게이트 절연막(102)에 콘택트홀(122)을 형성한 후, 게이트 절연막(102), 산화물 반도체층(107) 및 산화물 반도체층(108)을 커버하도록 도전막(123)을 형성한다(도 3c 참조).
- [0085] 도전막(123)은 스퍼터링법, 진공 증착법 등에 의해, 알루미늄(Al), 구리(Cu), 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd) 및 스칸듐(Sc)으로부터 선택된 원소를 포함하는 금속; 상기 원소들

중 임의의 것을 포함하는 합금; 상기 원소들 중 임의의 것을 포함하는 질화물 등으로 형성되는 재료를 사용하여 형성될 수 있다. 또한, 도전막(123)의 형성 후에 열처리(예를 들면, 200도 내지 600도 정도의 열처리)를 행할 경우에는, 도전막(123)은 소정의 내열성을 갖는 것이 바람직하다.

[0086] 예를 들면, 도전막(123)은 티타늄막의 단층 구조로 형성될 수 있다. 대안적으로, 도전막(123)을 적층 구조로 형성해도 된다. 예를 들면, 도전막(123)은 알루미늄막과 티타늄막의 적층 구조로 형성될 수 있다. 또한, 대안적으로, 티타늄막과, 네오디뮴을 포함하는 알루미늄(Al-Nd)막과, 티타늄막의 3층 구조로 해도 된다. 또한, 대안적으로, 도전막(123)은 실리콘을 포함하는 알루미늄막의 단층 구조로 형성되어도 된다. 도전막(123)과 제1 단자(121)는 컨택트홀(122)을 통해 서로 전기적으로 접속된다.

[0087] 다음, 도전막(123) 위에 레지스트 마스크(109a, 109b, 109c, 109d)를 형성하고, 그 후 도전막(123)을 선택적으로 에칭하여, 도전층(110a, 110b), 제2 단자(124), 및 접속 전극(125)을 형성한다. 동시에, 산화물 반도체층(108)을 에칭하여 산화물 반도체층(107)보다 도전율이 높은 반도체 영역(산화물 반도체층(111a, 111b))을 형성하고, 산화물 반도체층(107)의 일부(표면 부근의 일부)를 제거(채널-에칭)하여, 산화물 반도체층(107)에 오목부(112)를 형성한다(도 4a 참조).

[0088] 산화물 반도체층(111a, 111b)은 트랜지스터의 소스 영역 및 드레인 영역으로서 기능한다. 도전층(110a)은 트랜지스터의 소스 전극 및 드레인 전극 중 하나로서 기능하고, 도전층(110b)은 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 하나로서 기능한다. 제2 단자(124)는 소스 배선(도전층(110a) 또는 도전층(110b))을 포함하는 소스 배선에 전기적으로 접속될 수 있다. 또한, 접속 전극(125)은 게이트 절연막(102)에 형성된 컨택트홀(122)을 통해 제1 단자(121)와 직접 접속될 수 있다.

[0089] 여기서, 이 단계에서의 에칭으로서, 드라이 에칭을 행하는 것이 바람직하다. 드라이 에칭을 사용함으로써 웨트 에칭을 사용하는 경우에 비해 배선 구조 등의 미세화가 가능해진다. 또한, 드라이 에칭에 의해 드라이 에칭의 제어성이 좋아지기 때문에 섬 형상의 산화물 반도체층(107)의 제거를 높은 제어성으로 행할 수 있다. 드라이 에칭에 사용하는 가스 등에 관해서는 도 2c를 참조할 수 있다. 또한, 상기 에칭 후에는, 레지스트 마스크(109a, 109b, 109c, 109d)를 제거한다.

[0090] 다음, 200도 내지 600도, 전형적으로는 300도 내지 500도의 열처리를 행하는 것이 바람직하다. 예를 들면, 질소 분위기 하에서 350도 1시간의 열처리를 행한다. 이 열처리에 의해, 산화물 반도체층(107) 및 산화물 반도체층(111a, 111b)에 포함되는 In-Ga-Zn-O계 비-단결정막의 원자 레벨의 재배열이 행해진다. 이 열처리에 의해 캐리어의 이동을 저해하는 비틀어짐을 해제할 수 있으므로, 여기서 열처리(포토 어닐링 등도 포함함)는 효과적이다. 또한, 열처리를 행하는 타이밍은 열처리가 산화물 반도체층(107) 및 산화물 반도체층(111a, 111b)의 성막 후에 행해진다면 특별하게 한정되지 않는다. 예를 들면, 열처리는 화소 전극의 형성 후에 행해도 된다.

[0091] 다음, 배리어막(113)을 형성하기 전에 산화물 반도체층(107)의 표면에 대하여 플라즈마 처리를 행하는 것이 바람직하다. 산화물 반도체층(107)의 표면의 플라즈마 처리로서, 산소 래디컬에 의한 산소 래디컬 처리 또는 엑스퍼터링을 행하면 좋다.

[0092] 산소 래디컬에 의한 산소 래디컬 처리는 O₂, N₂O, 산소를 포함하는 N₂, 산소를 포함하는 He, 산소를 포함하는 Ar 등의 분위기에서 행하는 것이 바람직하다. 대안적으로, 산소 래디컬 처리는 상기 분위기에 Cl₂ 또는 CF₄를 첨가한 분위기에서 행해도 된다. 또한, 래디컬 처리는 기판(100) 측에 바이어스 전압을 인가하지 않고 행하는 것이 바람직하다. 산소 래디컬 처리를 행함으로써, 섬 형상의 산화물 반도체층(107)이 채널 형성 영역을 포함하는 박막 트랜지스터는 게이트 전극에 전압이 인가되지 않을 때 오프 상태로 되는 노멀리-오프 트랜지스터일 수 있다. 또한, 래디컬 처리를 행함으로써, 섬 형상의 산화물 반도체층(107)의 에칭에 의한 손상을 회복할 수 있다.

[0093] 엑스퍼터링은 진공 챔버에 아르곤(Ar) 가스 등의 불활성 가스를 도입하고, 피처리물(여기서는, 기판(100))에 바이어스 전압을 인가하여 플라즈마 상태를 발생하는 방식으로 행해질 수 있다. 이 경우, 플라즈마 중에는 전자와 Ar의 양이온이 존재하고, 음극 방향으로(기판(100) 측으로) Ar의 양이온이 가속된다. 가속된 Ar의 양이온이 기판(100) 위에 형성된 산화물 반도체층(107), 게이트 절연막(102) 및 도전층(110a, 110b)의 표면에 충돌함으로써, 표면이 스퍼터링에 의해 에칭되어 개질될 수 있다. 또한, 아르곤 가스 대신에, 헬륨 가스를 사용해도 된다. 대안적으로, 아르곤 분위기에 산소, 수소, 질소 등을 첨가한 분위기로 행해도 된다. 또한, 대안적으로, 아르곤 분위기에 Cl₂, CF₄ 등을 첨가한 분위기로 행해도 된다.

[0094] 산화물 반도체층(107)의 표면에 대하여 엑스퍼터링을 행하면, 산화물 반도체층(107)의 표면의 대기에의 노출로

의해 형성되는 산화물 및 흡착 유기물을 에칭에 의해 제거할 수 있다. 또한, 산화물 반도체층(107)의 표면을 활성화하고, 따라서 다음에 형성되는 배리어막(113)과의 화학 결합을 강화할 수 있다. 역스퍼터링은 RF 스퍼터링법을 사용하여 행하는 것이 바람직하다. 이는 다음에 형성되는 배리어막(113)을 RF 스퍼터링법에 의해 형성할 경우, 배리어막(113)을 대기에 노출하지 않고 형성할 수 있기 때문이다.

[0095] 다음, 박막 트랜지스터(150)를 커버하도록 배리어막(113)을 형성한다. 배리어막(113)은 산화물 반도체층(107)이 노출되어 있는 영역에 접하여 형성되는 것이 바람직하다. 배리어막(113)은 대기 중에 부유하는 유기물 또는 금속 등의 불순물, 수분, 산소 등의 침입을 막기 위해 형성되기 때문에, 배리어막(113)은 고밀도 막을 사용하여 형성되는 것이 바람직하다. 고밀도 막을 사용하여 형성하는 것에 의해 수분 및 산소 등의 불순물에 대한 장벽 성능이 향상된다. 배리어막(113)은 스퍼터링법 등을 사용하여, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막 또는 질화산화알루미늄막을 사용하는 단층 또는 적층으로 형성될 수 있다. 배리어막(113)의 제작 방법에 대해서는 도 2d를 참조할 수 있다.

[0096] 또한, 형성된 배리어막(113)에 대하여 플라즈마 처리 또는 오존수 등의 산화력이 강한 용액에 의한 처리를 행하여, 배리어막(113) 내의 산소 결합을 보상해도 좋다. 플라즈마 처리는 산소, 질소, 1산화 2질소, 또는 상기 가스 및 그 밖의 가스의 혼합 기체의 분위기에서 행해도 된다. 플라즈마 처리에 의해, 배리어막을 더 고밀도 막으로 할 수 있다.

[0097] 산화물 반도체층 위에 수분 및 산소에 대한 장벽 성능이 높은 막이 형성되어 상기 산화물 반도체층을 커버하면, 수분 및 산소가 산화물 반도체층에 혼입하는 것을 방지할 수 있다. 이에 따라, 산화물 반도체층의 산화 환원 반응을 억제하고, 산소 증공 농도의 변동을 억제할 수 있다. 또한, 대기 중에 부유하는 유기물 및 금속 등의 불순물이 산화물 반도체층에 혼입하는 것을 방지할 수 있다. 따라서, 산화물 반도체를 채용한 반도체 장치의 반도체 특성의 변동을 억제할 수 있다. 따라서, 반도체 장치의 신뢰성을 향상시킬 수 있다.

[0098] 다음, 배리어막(113) 위에 레지스트 마스크를 형성하고, 배리어막(113)을 선택적으로 에칭하여, 도전층(110b)에 도달하는 콘택트홀(126b), 접속 전극(125)에 도달하는 콘택트홀(126c) 및 제2 단자(124)에 도달하는 콘택트홀(126a)을 형성한다(도 4b 참조). 이 단계에서의 에칭은 염소 가스를 사용하는 드라이 에칭을 채용하여 행하는 것이 바람직하다.

[0099] 다음, 도전층(110b)과 전기적으로 접속하는 투명 도전층(114a), 접속 전극(125)에 전기적으로 접속하는 투명 도전층(114c), 및 제2 단자(124)에 전기적으로 접속하는 투명 도전층(114b)을 형성한다(도 4c 참조). 이 단계에서의 평면도가 도 1a에 해당한다.

[0100] 투명 도전층(114a, 114b, 114c)은 산화인듐(In_2O_3), 산화인듐 및 산화주석의 합금($In_2O_3-SnO_2$, 이하에서는 ITO라 약기함), 산화인듐 및 산화아연의 합금(In_2O_3-ZnO) 등을 사용하여, 스퍼터링법, 진공 증착법 등에 의해 형성될 수 있다. 예를 들면, 투명 도전막을 성막한 후, 투명 도전막 위에 레지스트 마스크를 형성한다. 그 후, 에칭에 의해 불필요한 부분을 제거하여, 투명 도전층(114a, 114b, 114c)을 형성할 수 있다.

[0101] 투명 도전층(114a)은 화소 전극으로서 기능한다. 투명 도전층(114b, 114c)은 FPC에의 접속을 위해 채용될 수 있는 전극 또는 배선으로서 기능한다. 특히, 접속 전극(125) 위에 형성된 투명 도전층(114c)을, 게이트 배선용 입력 단자로서 기능하는 접속용 단자 전극으로서 사용할 수 있다. 제2 단자(124) 위에 형성된 투명 도전층(114b)을, 소스 배선용 입력 단자로서 기능하는 접속용 단자 전극으로서 사용할 수 있다.

[0102] 또한, 용량 배선(120), 게이트 절연막(102), 배리어막(113) 및 투명 도전층(114a)에 의해 저장 용량을 형성할 수 있다. 이 경우, 용량 배선(120)과 투명 도전층(114a)이 전극으로서 기능하고, 게이트 절연막(102)과 배리어막(113)이 유전체로서 기능한다.

[0103] 또한, 도 5aa 및 도 5ab는 이 단계에서의 게이트 배선 단자부의 단면도 및 평면도를 각각 도시하고 있다. 도 5aa는 도 5ab의 선 C1-C2을 따라 취한 단면도이다. 도 5aa에서, 배리어막(113) 위에 형성되는 투명 도전층(114c)은 입력 단자로서 기능하는 접속용 단자 전극이다. 또한, 도 5aa에서, 단자부에서는, 게이트 배선과 같은 재료를 사용하여 형성되는 제1 단자(121)와, 소스 배선과 같은 재료를 사용하여 형성되는 접속 전극(125)이 게이트 절연막(102)을 개재하여 서로 중첩되고, 단자부에서 서로 직접 접촉하여 도통되어 있다. 또한, 접속 전극(125)과 투명 도전층(114c)이 배리어막(113)에 형성된 콘택트홀을 통해 서로 직접 접촉하여 도통되어 있다.

[0104] 도 5ba 및 도 5bb는 소스 배선 단자부의 단면도 및 평면도를 각각 도시하고 있다. 도 5ba는 도 5bb의 선 D1-D2에 따라 취해진 단면도에 해당한다. 도 5ba에서, 배리어막(113) 위에 형성되는 투명 도전층(114b)은 입력 단자

로서 기능하는 접속용 단자 전극이다. 또한, 도 5ba는 게이트 배선의 재료와 같은 재료로 형성되는 전극(127)이, 소스 배선과 전기적으로 접속되는 제2 단자(124)의 하방에 위치되어, 게이트 절연막(102)을 개재하여 단자부에서 제2 단자(124)와 중첩되는 경우를 도시한다. 전극(127)은 제2 단자(124)와 전기적으로 접속하고 있지 않다. 전극(127)을 제2 단자(124)와 다른 전위, 예를 들면, 플로팅, GND, 0 V 등으로 설정하면, 노이즈 대책으로 유용한 용량 또는 정전기 대책을 위한 용량을 형성할 수 있다. 또한, 제2 단자(124)는 배리어막(113)을 개재하여 투명 도전층(114b)과 전기적으로 접속하고 있다.

[0105] 게이트 배선, 소스 배선, 및 용량 배선은 화소 밀도에 따라 복수 마련된다. 또한, 단자부에서는, 게이트 배선과 동일한 전위의 복수의 제1 단자, 소스 배선과 동일한 전위의 복수의 제2 단자, 용량 배선과 동일한 전위의 복수의 제3 단자 등이 배열된다. 각각의 단자의 수에는 특별한 제한은 없고, 단자의 수는 실시자가 적절하게 결정할 수 있다.

[0106] 이상의 공정에 의해, 6개의 포토마스크를 사용하여, n채널 보텀(bottom) 게이트형 박막 트랜지스터 및 저장 용량 등의 소자를 완성할 수 있다. 또한, 이들 소자를 개개의 화소에 대응하도록 매트릭스 모양으로 배치함으로써, 액티브 매트릭스형 표시 장치를 제작하기 위해 사용되는 하나의 기판을 얻을 수 있다. 본 명세서에서는, 편의상, 이러한 기판을 액티브 매트릭스 기판이라 한다.

[0107] 액티브 매트릭스형의 액정 표시 장치를 제작할 경우에는, 액티브 매트릭스 기판과, 상대 전극이 마련되어진 상대 기판을 액정층을 개재하여 서로 접합한다. 또한, 상대 기판에 마련되어진 상대 전극과 전기적으로 접속하는 공통 전극을 액티브 매트릭스 기판 위에 마련하고, 공통 전극과 전기적으로 접속하는 제4 단자를 단자부에 마련한다. 이 제4 단자는 공통 전극을 미리 결정된 전위, 예를 들면 GND, 0V 등으로 설정하기 위해 마련된다.

[0108] 본 실시의 형태에 따른 구성은 도 1a에 도시된 화소 구성에 한정되지 않는다. 다른 구성의 일례를 도 6에 나타낸다. 도 6은 용량 배선을 마련하지 않고, 화소 전극과, 인접하는 화소의 게이트 배선이 전극으로서 기능하고, 배리어막 및 게이트 절연막이 유전체로서 기능함으로써, 저장 용량을 형성하는 구성을 나타내고 있다. 이 경우, 용량 배선 및 용량 배선과 접속하는 제3 단자는 생략할 수 있다.

[0109] 본 실시의 형태는 다른 임의의 실시의 형태와 적절하게 조합시켜 구현될 수 있다.

[0110] (실시의 형태 2)

[0111] 본 실시의 형태에서는, 실시의 형태 1과는 다른 반도체 장치 및 그 제작 공정에 대해서 도 7a 및 도 7b, 도 8a 내지 도 8c, 도 9a 및 도 9b, 및 도 10a 내지 도 10c를 참조하여 설명한다. 또한, 본 실시의 형태에서 설명되는 반도체 장치 및 그 제작 공정의 많은 부분은 실시의 형태 1에 설명된 것들과 동일하다. 따라서, 이하에서는 동일 부분의 설명을 생략하고, 다른 부분에 대해서 상세하게 설명한다.

[0112] 도 7a 및 도 7b는 본 실시의 형태의 박막 트랜지스터를 도시한다. 도 7a는 평면도이며, 도 7b는 도 7a의 선 A1-A2로 절단한 단면도이다.

[0113] 도 7a 및 도 7b는 절연 표면을 구비하는 기판(200) 위에 게이트 전극층(201)이 형성되고, 상기 게이트 전극층(201) 위에 게이트 절연막(202)이 형성되어 있는 박막 트랜지스터(250)를 도시한다. 게이트 전극층(201)과 중첩되는 게이트 절연막(202) 위에는 소스 전극 또는 드레인 전극으로서 기능하는 도전층(210a, 210b)이 마련되어 있다. 또한, 도전층(210a, 210b) 위에는 각각 산화물 반도체층(211a, 211b)이 마련되어 있다. 산화물 반도체층(211a, 211b)을 커버하도록 산화물 반도체층(207)이 마련되어 있다. 산화물 반도체층(207)은 In-Ga-Zn-O계 비-단결정막을 사용하여 형성되어 있다. 산화물 반도체층(211a, 211b)은 산화물 반도체층(207)보다 도전율이 높은 In-Ga-Zn-O계 비-단결정막이며, 소스 영역 및 드레인 영역을 형성한다. 또한, 산화물 반도체층(211a, 211b)을 n+층이라고도 한다.

[0114] 또한, 도 7b에 나타나 있는 바와 같이, 산화물 반도체층(207)과 접하여 배리어막(213)이 설치되어 있고, 배리어막(213)의 콘택트홀에서 도전층(210b)과 접하도록 투명 도전층(214)이 마련되어 있다.

[0115] 도 7a 및 도 7b에 도시되는 박막 트랜지스터(250)는 보텀 게이트 보텀 콘택트형 구조를 갖는다. 본 실시의 형태에서 제시하는 반도체 장치에서는, 박막 트랜지스터(250)를 포함하는 영역 모두에 게이트 절연막(202)이 존재하고, 게이트 절연막(202)과, 절연 표면을 구비하는 기판(200) 사이에 게이트 전극층(201)이 마련되어 있다. 또한, 게이트 절연막(202) 위에는, 소스 전극 및 드레인 전극으로서 기능하는 도전층(210a, 210b)을 포함하는 배선을 구비하고, 도전층(210a, 210b) 위에 산화물 반도체층(207)을 구비하고 있다. 또한, 배선은, 산화물 반도체층(207)의 외주부의 외측으로 연장한다. 도전층(210a, 210b) 위에는 산화물 반도체층(211a, 211b)이 각각

적층되어 있다.

- [0116] 다음, 반도체 장치의 제작 공정의 일예에 대해서 도 8a 내지 도 8c 및 도 9a 및 도 9b를 참조하여 설명한다.
- [0117] 우선, 절연 표면을 구비하는 기판(200) 위에 게이트 전극층(201)을 형성한다. 계속해서, 게이트 전극층(201) 위에 게이트 절연막(202)을 형성한다(도 8a 참조).
- [0118] 기판(200)의 재료, 게이트 전극층(201) 및 게이트 절연막(202)의 재료 및 제작 방법에 대해서는 실시의 형태 1에 설명되는 기판(100), 게이트 전극층(101) 및 게이트 절연막(102)을 참조할 수 있다. 또한, 절연 표면을 구비하는 기판(200) 위에 바탕 절연막으로서 기능하는 절연막(230)을 형성해도 된다. 절연막(230)의 재료 및 제작 방법에 대해서는 실시의 형태 1에 설명되는 절연막(130)을 참조할 수 있다.
- [0119] 다음, 게이트 절연막(202) 위에 도전막을 형성한다. 도전막의 재료 및 제작 방법에 대해서는 실시의 형태 1에 설명되는 도전막(123)을 참조할 수 있다.
- [0120] 다음, 도전막 위에 제1 산화물 반도체막을 형성한다. 제1 산화물 반도체막의 재료 및 제작 방법에 대해서는 실시의 형태 1에 설명되는 산화물 반도체막(104)을 참조할 수 있다. 또한, 도전막과 제1 산화물 반도체막은 연속해서 형성하는 것이 바람직하다. 도전막과 제1 산화물 반도체막을 대기에 노출하지 않고 스퍼터링법에 의해 형성하여, 제조 프로세스 중에 도전막의 노출에 의해 도전막에 먼지가 부착되는 것을 방지할 수 있다.
- [0121] 다음, 제1 산화물 반도체막 위에 레지스트 마스크를 형성한다. 레지스트 마스크를 사용하여 도전막 및 제1 산화물 반도체막의 불필요한 부분을 선택적으로 에칭해서 제거하여, 도전층(210a, 210b) 및 산화물 반도체층(211a, 211b)을 형성한다(도 8b 참조). 산화물 반도체층(211a, 211b)은 소스 영역 및 드레인 영역으로서 기능한다. 도전막 및 제1 산화물 반도체막은 웨트 에칭 또는 드라이 에칭에 의해 에칭될 수 있다.
- [0122] 다음, 산화물 반도체층(211a, 211b) 위에 제1 산화물 반도체막보다 도전율이 낮은 제2 산화물 반도체막을 형성한다. 제2 산화물 반도체막의 재료 및 제작 방법에 대해서는 실시의 형태 1에 설명되는 산화물 반도체막(103)을 참조할 수 있다.
- [0123] 다음, 제2 산화물 반도체막 위에 레지스트 마스크를 형성한다. 레지스트 마스크를 사용하여 제2 산화물 반도체막의 불필요한 부분을 선택적으로 에칭해서 제거하여, 산화물 반도체층(207)을 형성한다(도 8c 참조). 또한, 이 때, 산화물 반도체층(207)과 중첩되고 있는 영역 이외의 산화물 반도체층(211a, 211b)의 부분도 에칭된다. 제2 산화물 반도체막은 웨트 에칭 또는 드라이 에칭에 의해 에칭될 수 있다.
- [0124] 본 실시의 형태에서는, 산화물 반도체층(211a, 211b)과, 산화물 반도체층(211a, 211b)보다 도전율이 낮은 산화물 반도체층(207)을 구비하는 예를 설명했다. 대안적으로, 산화물 반도체층(207)의 단층만을 형성할 수도 있다.
- [0125] 그 후에, 200도 내지 600도, 전형적으로는 300도 내지 500도의 열처리를 행하면 좋다. 여기서는, 질소 분위기 하에서 350도로 1시간의 열처리를 행한다. 이 열처리에 의해, 섬 형상의 산화물 반도체층(207)과 산화물 반도체층(211a, 211b)에 포함되는 In-Ga-Zn-O계 산화물 반도체의 원자 레벨의 재배열이 행해진다. 이 열처리(포토 어닐링 등도 포함)는 섬 형상의 산화물 반도체층(207) 내의 캐리어의 이동을 저해하는 비틀어짐을 해제할 수 있으므로 중요하다. 또한, 상기 열처리를 행하는 타이밍은, 열처리가 산화물 반도체층(207)과 산화물 반도체층(211a, 211b)의 형성 이후에 행해진다면 특별하게 한정되지 않는다.
- [0126] 배리어막(213)을 형성하기 전에 산화물 반도체층(207)의 표면에 플라즈마 처리를 행하는 것이 바람직하다. 산화물 반도체층(207) 표면의 플라즈마 처리로서, 산소 래디칼에 의한 산소 래디칼 처리 또는 역스퍼터링을 행하면 좋다. 산화물 반도체층(207)의 표면에 행하는 산소 래디칼 처리 또는 역스퍼터링의 방법에 대해서는 실시의 형태 1에 설명되는 산화물 반도체층(107)의 표면에 행하는 산소 래디칼 처리 또는 역스퍼터링의 방법을 참조할 수 있다.
- [0127] 다음, 박막 트랜지스터(250) 위에 배리어막(213)을 형성한다(도 9a 참조). 배리어막(213)은 산화물 반도체층(207)에 접하여 마련하는 것이 바람직하다. 배리어막(213)은 대기 중에 부유하는 유기물 및 금속 등의 불순물, 및 수분, 산소 등의 침입을 막기 위해 형성되므로, 배리어막(213)은 고밀도 막을 이용하여 형성되는 것이 바람직하다. 고밀도 막을 사용하여 형성하는 것에 의해 수분 및 산소 등의 불순물에 대한 장벽 성능이 향상되게 된다. 배리어막(213)은 스퍼터링법 등에 의해, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막 또는 질화산화알루미늄막을 사용하여 단층 또는 적층으로 형성될 수 있다. 배리어막(213)의 제작 방법에 대해서는 실시의 형태 1에 설명되는 배리어막(113)을 참조할 수 있다. 또한, 형성된 배리어막(213)에 대하여 플라즈마 처리

또는 오존수 등의 산화력이 강한 용액에 의한 처리를 행하여, 배리어막 내의 산소 결합을 보상해도 좋다.

- [0128] 산화물 반도체층 위에 수분 및 산소에 대한 장벽이 높은 막을 형성하여 상기 산화물 반도체층을 커버하면, 수분 및 산소가 산화물 반도체층에 혼입하는 것을 방지할 수 있다. 이에 따라, 산화물 반도체층의 산화 환원 반응을 억제하고, 산소 증공 농도의 변동을 억제할 수 있다. 또한, 대기중에 부유하는 유기물 또는 금속 등의 불순물이 산화물 반도체층에 혼입하는 것을 방지할 수 있다. 따라서, 산화물 반도체를 채용한 반도체 장치의 반도체 특성의 변동을 억제할 수 있고, 또한 반도체 장치의 신뢰성을 향상시킬 수 있다.
- [0129] 다음, 배리어막(213) 위에 레지스트 마스크를 형성하고, 배리어막(213)을 선택적으로 에칭하여, 도전층(210b)에 도달하는 컨택트홀을 형성한다. 그 후, 투명 도전층(214)을 형성한다(도 9b 참조). 이 때의 에칭은 염소 가스를 사용하여 드라이 에칭에 의해 행하는 것이 바람직하다. 또한, 이 단계에서의 평면도가 도 7a에 해당한다. 투명 도전층(214)의 재료 및 형성 방법에 대해서는 실시의 형태 1에 설명되는 투명 도전층(114)을 참조할 수 있다.
- [0130] 이상의 공정에 의해, 박막 트랜지스터(250)를 형성할 수 있다. 이러한 방식으로, 박막 트랜지스터(250)를 형성하는 것에 의해, 수분 및 산소 등의 불순물에 대한 장벽 성능이 높은 막을 사용하여 수분 및 산소 등의 불순물이 산화물 반도체에 혼입하는 것을 방지한다. 따라서, 산화물 반도체를 채용한 반도체 장치의 반도체 특성의 변동을 억제할 수 있고, 또한 반도체 장치의 신뢰성을 향상시킬 수 있다.
- [0131] 본 실시의 형태에 설명된 반도체 장치 및 그 제작 공정은 도 7a 및 도 7b, 도 8a 내지 도 8c, 도 9a 및 도 9b에 도시된 것에 한정되지 않는다. 본 실시의 형태의 다른 반도체 장치 및 다른 제작 공정에 대해서도 도 10a 내지 도 10c를 참조하여 설명한다. 또한, 도 7a 및 도 7b, 도 8a 내지 도 8c, 도 9a 및 도 9b와 동일한 부분의 설명은 생략하고, 다른 부분에 관하여 설명한다.
- [0132] 도 10a에는, 도 8a 및 도 8b에 도시된 방법에 따라 기관(200) 위에 절연막(230)과, 게이트 전극층(201)과, 게이트 절연막(202)과, 도전층(210a, 210b)과, 산화물 반도체층(211a, 211b)을 형성한다.
- [0133] 다음, 산화물 반도체층(211a, 211b) 위에 산화물 반도체층(211a, 211b)보다 도전율이 낮은 산화물 반도체막(203)을 형성한다. 산화물 반도체막(203)의 재료 및 형성 방법에 대해서는 실시의 형태 1에 설명되는 산화물 반도체막(103)을 참조할 수 있다.
- [0134] 다음, 산화물 반도체막(203) 위에 배리어막(213)을 형성한다(도 10b 참조). 배리어막(213)의 재료 및 형성 방법에 대해서는 실시의 형태 1에 설명되는 배리어막(113)을 참조할 수 있다.
- [0135] 다음, 배리어막(213) 위에 층간 절연막(231)을 형성한다. 층간 절연막(231)은 아크릴 수지, 폴리이미드 수지, 폴리아미드 수지, 페놀 수지, 노보락 수지, 멜라민 수지, 에폭시 수지, 우레탄 수지 등의 유기물로 형성되는 절연막을 사용하여 형성될 수 있다. 또한, 층간 절연막(231)에는, 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 또는 질화산화실리콘막, 또는 실록산(실리콘(Si)과 산소(O)의 결합에 의해 형성되는 골격 구조를 포함) 수지 등의 무기물로 형성되는 절연막을 사용할 수 있고, 또는 이들 유기물로 형성되는 이들 절연막 중 임의의 것 과 이들 무기물로 형성되는 이들 절연막 중 임의의 것을 적층해도 좋다.
- [0136] 다음, 층간 절연막(231) 위에 레지스트 마스크를 형성하고, 층간 절연막(231), 배리어막(213), 산화물 반도체막(203) 및 산화물 반도체층(211b)을 선택적으로 에칭하여, 도전층(210b)에 도달하는 컨택트홀을 형성한다. 그 후, 투명 도전층(214)을 형성한다(도 10c 참조).
- [0137] 도 10에 도시된 반도체 장치는 산화물 반도체막(203)을 에칭하지 않고 형성될 수 있다. 따라서, 산화물 반도체막(203)을 에칭하기 위한 마스크를 생략할 수 있으므로, 도 7a 및 도 7b, 도 8a 내지 도 8c, 도 9a 및 도 9b에 도시된 것에 비해 제작 공정을 저감할 수 있다.
- [0138] 본 실시의 형태는 임의의 다른 실시의 형태와 적절하게 조합시켜 구현될 수 있다.
- [0139] (실시의 형태 3)
- [0140] 본 실시의 형태에서는, 실시의 형태 1 및 2와는 다른 반도체 장치 및 그 제작 공정에 대해서도 도 11a 및 도 11b 및 도 12a 내지 도 12d를 참조하여 설명한다. 또한, 본 실시의 형태에서 설명되는 제작 공정의 많은 부분은 실시의 형태 1 및 2에 설명되는 것들과 동일하다. 따라서, 이하에서는, 동일 부분은 생략하고, 다른 부분에 대해서 상세하게 설명한다.
- [0141] 도 11a 및 도 11b는 본 실시의 형태의 박막 트랜지스터를 도시한다. 도 11a는 평면도이며, 도 11b는 도 11a에

서의 선 A1-A2로 절단한 단면도이다.

- [0142] 도 11a 및 도 11b는 절연 표면을 구비하는 기관(300) 위에 게이트 전극층(301)이 형성되고, 상기 게이트 전극층(301) 위에는 게이트 절연막(302)이 형성되어 있는 박막 트랜지스터(350)를 도시한다. 게이트 절연막(302) 위에는, 산화물 반도체층(307)과, 산화물 반도체층(307)의 채널 형성 영역과 중첩되는 영역을 커버하는 채널 보호층(315)이 형성되어 있다. 산화물 반도체층(307)을 개재하여 게이트 전극층(301) 위에 서로 대면하도록 도전층(310a, 310b)이 형성되어 있다.
- [0143] 산화물 반도체층(307)은 서로 대면하는 도전층(310a, 310b) 아래에서 게이트 절연막(302)을 산화물 반도체층(307)과 게이트 전극층(301) 사이에 개재하여 게이트 전극층(301)을 커버하도록 마련되어 있다. 즉, 산화물 반도체층(307)은 채널 형성 영역과 중첩하는 영역을 커버하는 채널 보호층(315)의 밑면부와, 게이트 전극층(301)과 중첩하는 게이트 절연막(302)의 윗면부와, 산화물 반도체층(311a 및 311b)의 밑면부와 접하여 마련되어 있다. 여기서, 산화물 반도체층(307) 측으로부터 제2 산화물 반도체층(311a)과 도전층(310a)이 이 순서로 적층되어 있다. 마찬가지로, 산화물 반도체층(307) 측으로부터 산화물 반도체층(311b)과 도전층(310b)이 이 순서로 적층되어 있다. 산화물 반도체층(307)은 In-Ga-Zn-O계 비-단결정막을 사용하여 형성되어 있다. 산화물 반도체층(311a 및 311b)은 산화물 반도체층(307)보다 도전율이 높은 In-Ga-Zn-O계 비-단결정층이며, 소스 영역 및 드레인 영역을 형성한다. 또한, 산화물 반도체층(311a, 311b)을 n+층이라고도 한다. 배리어막(313) 및 투명 도전층(314)이 도 11a 및 도 11b에 도시된 바와 같이 구비되어 있다.
- [0144] 도 11b는 역-스태거드(보텀 게이트형) 트랜지스터의 단면 구조를 도시한 도면이다. 특히, 도 11b에 도시되는 트랜지스터는 채널 보호형(채널 스톱형) 구조를 갖는다.
- [0145] 다음, 반도체 장치의 제작 공정의 일예에 대해서 도 12a 내지 도 12d를 참조하여 설명한다.
- [0146] 우선, 절연 표면을 구비하는 기관(300) 위에 게이트 전극층(301)을 형성한다. 계속해서, 게이트 전극층(301) 위에 게이트 절연막(302)을 형성한다. 기관(300)의 재료, 게이트 전극층(301) 및 게이트 절연막(302)의 재료 및 형성 방법에 대해서는 실시의 형태 1에 설명된 기관(100), 게이트 전극층(101) 및 게이트 절연막(102)을 참조할 수 있다. 또한, 바텀 절연막으로서 기능하는 절연막(330)을 구비해도 된다.
- [0147] 다음, 게이트 전극층(301) 위에 게이트 절연막(302)을 개재하여 제1 산화물 반도체막(303)을 형성한다(도 12a 참조). 제1 산화물 반도체막(303)의 재료 및 형성 방법에 대해서는 실시의 형태 1에 설명되는 산화물 반도체막(103)을 참조할 수 있다.
- [0148] 다음, 제1 산화물 반도체막(303) 위에 절연막을 형성한다. 절연막은 스퍼터링법 등에 의해 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막 또는 질화산화알루미늄막을 사용하여 단층 또는 적층으로 형성될 수 있다. 절연막의 두께는 0보다 크고 5nm 이하로 형성하는 것이 바람직하다. 절연막의 제작 방법은 실시의 형태 1에 도시되는 배리어막(113)을 참조할 수 있다. 절연막 위에 레지스트 마스크를 형성한다. 상기 레지스트 마스크를 사용하여 절연막의 불필요한 부분을 선택적으로 에칭해서 제거하여, 채널 보호층(315)을 형성한다(도 12b 참조). 절연막의 에칭은 웨트 에칭 및 드라이 에칭을 사용하여 행할 수 있다.
- [0149] 채널 보호층(315)은 산화물 반도체층(307)의 채널 형성 영역과 중첩되는 영역에 접해서 마련한다. 채널 보호층(315)을 설치함으로써, 산화물 반도체층(307)의 채널 형성 영역에 대한 제조 공정에서의 손상(예를 들어, 에칭시의 플라즈마 또는 에칭제에 의한 두께 감소, 또는 산화)을 막을 수 있다. 따라서, 박막 트랜지스터(350)의 신뢰성을 향상시킬 수 있다. 또한, 채널 보호층(315)은 0보다 크고 5nm 이하의 두께로 형성할 수 있다. 따라서, 산화물 반도체층(307)의 에칭에 의한 두께 감소를 억제할 수 있다.
- [0150] 채널 보호층(315)을 형성하기 전에, 산화물 반도체층(307)의 표면에 플라즈마 처리를 행하는 것이 바람직하다. 산화물 반도체층(307) 표면의 플라즈마 처리로서는, 산소 래디칼에 의한 산소 래디칼 처리, 또는 역스퍼터링을 행하면 좋다. 산화물 반도체층(307) 표면에 행하는 산소 래디칼 처리 또는 역스퍼터링의 방법에 대해서는 실시의 형태 1에 설명되는 산화물 반도체층(107)의 표면에 행하는 산소 래디칼 처리 또는 역스퍼터링의 방법을 참조할 수 있다.
- [0151] 다음, 제1 산화물 반도체막 및 채널 보호층(315) 위에 제2 산화물 반도체막을 형성한다. 제2 산화물 반도체막의 재료 및 형성 방법에 대해서는 실시의 형태 1에 도시되는 산화물 반도체막(104)을 참조할 수 있다.
- [0152] 다음, 제2 산화물 반도체막 위에 레지스트 마스크를 형성하고, 제1 산화물 반도체막 및 제2 산화물 반도체막을 선택적으로 에칭하여, 섬 형상의 산화물 반도체층(307) 및 섬 형상의 산화물 반도체층(308)을 형성한다.

- [0153] 본 실시의 형태에서는, 산화물 반도체층(307)과, 산화물 반도체층(307)보다 도전율이 높은 산화물 반도체층(308)을 마련하는 예를 설명한다. 대안적으로, 산화물 반도체층(307)의 단층만을 형성할 수도 있다.
- [0154] 다음, 산화물 반도체층(308) 및 게이트 절연막(302) 위에 도전막(323)을 형성한다(도 12c 참조). 도전막(323)의 재료 및 형성 방법에 대해서는 실시의 형태 1에 도시되는 도전막(123)을 참조할 수 있다.
- [0155] 도전막(323) 위에 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 도전막(323)의 불필요한 부분을 선택적으로 에칭해서 제거하여, 도전층(310a, 310b)을 형성한다. 동시에, 섬 형상의 산화물 반도체층(308)을 에칭하여 도전율이 높은 반도체 영역(산화물 반도체층(311a, 311b))을 형성한다(도 12d 참조). 산화물 반도체층(311a, 311b)은 소스 영역 및 드레인 영역으로서 기능한다.
- [0156] 그 후에, 200도 내지 600도, 전형적으로는 300도 내지 500도의 열처리를 행하면 좋다. 여기서는, 질소 분위기 하에서 350도로 1시간의 열처리를 행한다. 이 열처리에 의해, 섬 형상의 산화물 반도체층(307)에 포함되는 In-Ga-Zn-O계 산화물 반도체의 원자 레벨의 재배열이 행해진다. 이 열처리(포토 어닐링 등도 포함)는 섬 형상의 산화물 반도체층(307) 내의 캐리어의 이동을 저해하는 비틀어짐을 해제할 수 있으므로, 상기 열처리는 중요하다. 또한, 상기 열처리를 행하는 타이밍은 열처리가 산화물 반도체층(307)의 형성 후에 행해진다면 특별하게 한정되지 않는다.
- [0157] 다음, 게이트 전극층(301), 산화물 반도체층(307), 산화물 반도체층(311a, 311b), 도전층(310a, 310b) 등을 포함하는 박막 트랜지스터(350)를 커버하도록 배리어막(313)을 형성한다. 배리어막(313)은 채널 보호층(315)에 접해서 마련되는 것이 바람직하다. 배리어막(313)은 대기 중에 부유하는 유기물 및 금속 등의 불순물, 수분, 산소 등의 침입을 막기 위해 형성되므로, 배리어막(313)은 고밀도 막을 이용하여 형성되는 것이 바람직하다. 고밀도 막을 이용하여 형성하는 것에 의해, 수분 및 산소 등의 불순물에 대한 장벽 성능이 향상되게 된다. 배리어막(313)은 스퍼터링법 등에 의해, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막 또는 질화산화알루미늄막을 사용하여 단층 또는 적층으로 형성될 수 있다.
- [0158] 본 실시의 형태에서는, 채널 보호층(315)을 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막 또는 질화산화알루미늄막을 이용하여 단층 또는 적층으로 형성한다. 따라서, 배리어막(313)으로서, 산화실리콘막, 질화실리콘막, 산화질화실리콘막 또는 질화산화실리콘막을 사용해도 된다.
- [0159] 산화물 반도체층(307)의 채널 형성 영역과 중첩하는 영역을 커버하는 채널 보호층(315)을 형성하므로, 수분 및 산소가 산화물 반도체층에 혼입하는 것을 방지할 수 있다. 이에 따라, 산화물 반도체층의 산화 환원 반응을 억제하고, 산소 증공 농도의 변동을 억제할 수 있다.
- [0160] 다음, 배리어막(313) 위에 레지스트 마스크를 형성하고, 배리어막(313)을 선택적으로 에칭하여 도전층(310b)에 도달하는 콘택트홀을 형성한다. 그 후, 투명 도전층(314)을 형성한다(도 12d 참조). 또한, 이 단계에서의 평면도가 도 11a에 해당한다. 투명 도전층(314)의 재료 및 형성 방법에 대해서는 실시의 형태 1에 도시되는 투명 도전층(114)을 참조할 수 있다.
- [0161] 이상의 공정에 의해, 박막 트랜지스터(350)를 형성할 수 있다. 이러한 방식으로, 박막 트랜지스터(350)를 형성하는 것에 의해, 수분 및 산소 등의 불순물에 대한 장벽 성능이 높은 막을 사용하여 수분 및 산소 등의 불순물이 산화물 반도체에 혼입하는 것을 방지할 수 있다. 따라서, 산화물 반도체를 채용한 반도체 장치의 반도체 특성의 변동을 억제할 수 있고, 또한 반도체 장치의 신뢰성을 향상시킬 수 있다.
- [0162] 본 실시의 형태는 임의의 다른 실시의 형태와 적절하게 조합시켜 구현될 수 있다.
- [0163] (실시의 형태 4)
- [0164] 본 실시의 형태에서는, 표시 장치에서 하나의 기관 위에 적어도 구동 회로의 일부와, 화소부에 배치하는 박막 트랜지스터를 형성하는 예에 대해서 설명할 것이다.
- [0165] 화소부에 배치하는 박막 트랜지스터는 실시의 형태 1에 따라 형성된다. 또한, 실시의 형태 1에 도시되는 박막 트랜지스터는 n채널형 TFT이다. 따라서, 구동 회로 중 n채널형 TFT를 이용하여 형성될 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일한 기관 위에 형성한다.
- [0166] 도 14a는 표시 장치의 일예인 액티브 매트릭스형 액정 표시 장치의 블록도의 일예를 도시한다. 도 14a에 도시되는 표시 장치는 기관(5300) 위에, 표시 소자를 각각 구비하는 복수의 화소를 포함하는 화소부(5301)와; 화소를 선택하는 주사선 구동 회로(5302); 선택된 화소에의 비디오 신호의 입력을 제어하는 신호선 구동 회로(530

3)를 포함한다.

- [0167] 또한, 실시의 형태 1에 도시되는 박막 트랜지스터는 n채널형 TFT이며, n채널형 TFT를 포함하는 신호선 구동 회로에 대해서 도 15를 참조하여 설명한다.
- [0168] 도 15에 도시되는 신호선 구동 회로는 드라이버 IC(5601), 스위치군(5602_1 내지 5602_M), 제1 배선(5611), 제2 배선(5612), 제3 배선(5613) 및 배선(5621_1 내지 5621_M)을 포함한다. 스위치군(5602_1 내지 5602_M)의 각각은 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 포함한다.
- [0169] 드라이버 IC(5601)는 제1 배선(5611), 제2 배선(5612), 제3 배선(5613) 및 배선(5621_1 내지 5621_M)에 접속된다. 스위치군(5602_1 내지 5602_M)의 각각은 제1 배선(5611), 제2 배선(5612) 및 제3 배선(5613)에 접속되고, 스위치군(5602_1 내지 5602_M)은 각각 배선(5621_1 내지 5621_M)에 접속된다. 배선(5621_1 내지 5621_M)의 각각은 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 통해 3개의 신호선(신호선 Sm-2, 신호선 Sm-1 및 신호선 Sm (m=3M))에 접속된다. 예를 들면, J열째의 배선(5621_J)(배선(5621_1 내지 5621_M) 중 임의의 것)은 스위치군(5602_J)에 포함되는 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 통해 신호선 Sj-2, 신호선 Sj-1 및 신호선 Sj(j=3J)에 접속된다.
- [0170] 제1 배선(5611), 제2 배선(5612), 제3 배선(5613)의 각각에는 신호가 입력된다.
- [0171] 또한, 드라이버 IC(5601)는 단결정 반도체를 사용하여 형성되는 것이 바람직하다. 스위치군(5602_1 내지 5602_M)은 화소부와 동일한 기판 위에 형성되는 것이 바람직하다. 따라서, 드라이버 IC(5601)와 스위치군(5602_1 내지 5602_M)은 FPC 등을 통해 접속되면 좋다. 대안적으로, 화소부와 동일한 기판 위에 본딩 등의 방법에 의해 형성된 단결정 반도체를 사용하여 드라이버 IC(5601)를 형성해도 좋다.
- [0172] 다음, 도 15에 도시된 신호선 구동 회로의 동작에 대해서 도 16의 타이밍 차트를 참조하여 설명한다. 도 16의 타이밍 차트는 i행째의 주사선 Gi가 선택되어 있는 경우를 나타내고 있다. i행째의 주사선 Gi의 선택 기간은 제1 서브 선택 기간 T1, 제2 서브 선택 기간 T2 및 제3 서브 선택 기간 T3로 분할되어 있다. 또한, 도 15의 신호선 구동 회로는 다른 행의 주사선이 선택되는 경우에도 도 16에 도시된 바와 같이 동작한다.
- [0173] 또한, 도 16의 타이밍 차트는 J열째의 배선(5621_J)이 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c) 각각을 통해 신호선 Sj-2, 신호선 Sj-1, 신호선 Sj에 접속되는 경우에 대해 나타내고 있다.
- [0174] 도 16의 타이밍 차트는 i행째의 주사선 Gi가 선택되는 타이밍, 제1 박막 트랜지스터(5603a)의 온/오프의 타이밍(5703a), 제2 박막 트랜지스터(5603b)의 온/오프의 타이밍(5703b), 제3 박막 트랜지스터(5603c)의 온/오프의 타이밍(5703c) 및 J열째의 배선(5621_J)에 입력되는 신호(5721_J)를 나타내고 있다.
- [0175] 배선(5621_1 내지 5621_M)에는 제1 서브 선택 기간 T1, 제2 서브 선택 기간 T2 및 제3 서브 선택 기간 T3에서, 상이한 비디오 신호가 입력된다. 예를 들면, 제1 서브 선택 기간 T1에서 배선(5621_J)에 입력되는 비디오 신호는 신호선 Sj-2에 입력되고, 제2 서브 선택 기간 T2에서 배선(5621_J)에 입력되는 비디오 신호는 신호선 Sj-1에 입력되고, 제3 서브 선택 기간 T3에서 배선(5621_J)에 입력되는 비디오 신호는 신호선 Sj에 입력된다. 또한, 제1 서브 선택 기간 T1, 제2 서브 선택 기간 T2 및 제3 서브 선택 기간 T3에서, 배선(5621_J)에 입력되는 비디오 신호를 각각 Data_j-2, Data_j-1, Data_j로 표시한다.
- [0176] 도 16에 나타나는 바와 같이, 제1 서브 선택 기간 T1에서, 제1 박막 트랜지스터(5603a)가 온으로 되고, 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)가 오프로 된다. 이 때, 배선(5621_J)에 입력되는 Data_j-2가 제1 박막 트랜지스터(5603a)를 통해 신호선 Sj-2에 입력된다. 제2 서브 선택 기간 T2에서, 제2 박막 트랜지스터(5603b)가 온으로 되고, 제1 박막 트랜지스터(5603a) 및 제3 박막 트랜지스터(5603c)가 오프로 된다. 이 때, 배선(5621_J)에 입력되는 Data_j-1이 제2 박막 트랜지스터(5603b)를 통해 신호선 Sj-1에 입력된다. 제3 서브 선택 기간 T3에서는, 제3 박막 트랜지스터(5603c)가 온으로 되고, 제1 박막 트랜지스터(5603a) 및 제2 박막 트랜지스터(5603b)가 오프로 된다. 이 때, 배선(5621_J)에 입력되는 Data_j가 제3 박막 트랜지스터(5603c)를 통해 신호선 Sj에 입력된다.
- [0177] 상술된 바와 같이, 도 15의 신호선 구동 회로에서는, 하나의 게이트 선택 기간을 3개로 분할함으로써, 하나의 게이트 선택 기간에 하나의 배선(5621_J)으로부터 3개의 신호선으로 비디오 신호를 입력할 수 있다. 따라서, 도 15의 신호선 구동 회로에서는, 드라이버 IC(5601)를 구비하는 기판과, 화소부를 구비하는 기판의 접속수를

신호선의 갯수의 대략 1/3로 할 수 있다. 접속수가 신호선의 갯수의 대략 1/3로 감소되므로, 도 15의 신호선 구동 회로의 신뢰성, 수율 등을 향상시킬 수 있다.

- [0178] 또한, 도 16에 도시된 바와 같이, 하나의 게이트 선택 기간을 복수의 서브 선택 기간으로 분할하고, 각각의 서브 선택 기간에서 하나의 배선으로부터 복수의 신호선으로 비디오 신호를 입력한다면, 박막 트랜지스터의 배치, 갯수, 구동 방법 등에 대해서는 특별히 한정되지 않는다.
- [0179] 예를 들면, 3개 이상의 서브 선택 기간 각각에서 하나의 배선으로부터 3개 이상의 신호선 각각으로 비디오 신호를 입력하는 경우에는, 박막 트랜지스터 및 박막 트랜지스터를 제어하기 위한 배선을 추가할 필요가 있다. 다만, 하나의 게이트 선택 기간을 4개 이상의 서브 선택 기간으로 분할하면, 하나의 서브 선택 기간이 짧아진다. 따라서, 하나의 게이트 선택 기간은 2개 또는 3개의 서브 선택 기간으로 분할되는 것이 바람직하다.
- [0180] 다른 예로서, 도 17의 타이밍 차트에 나타나 있는 바와 같이 하나의 선택 기간을 프리차지(precharge) 기간 T_p , 제1 서브 선택 기간 T_1 , 제2 서브 선택 기간 T_2 및 제3 서브 선택 기간 T_3 로 분할해도 좋다. 도 17의 타이밍 차트는 i 행째의 주사선 G_i 가 선택되는 타이밍, 제1 박막 트랜지스터(5603a)의 온/오프의 타이밍(5803a), 제2 박막 트랜지스터(5603b)의 온/오프의 타이밍(5803b), 제3 박막 트랜지스터(5603c)의 온/오프의 타이밍(5803c) 및 J 열째의 배선(5621_J)에 입력되는 신호(5821_J)를 나타내고 있다. 도 17에 나타나 있는 바와 같이, 프리차지 기간 T_p 에서 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)가 온으로 된다. 이 때, 배선(5621_J)에 입력되는 프리차지 전압 V_p 가 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 통해 각각 신호선 S_{j-2} , 신호선 S_{j-1} , 신호선 S_j 에 입력된다. 제1 서브 선택 기간 T_1 에서, 제1 박막 트랜지스터(5603a)가 온으로 되고, 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)가 오프로 된다. 이 때, 배선(5621_J)에 입력되는 $Data_{j-2}$ 가 제1 박막 트랜지스터(5603a)를 통해 신호선 S_{j-2} 에 입력된다. 제2 서브 선택 기간 T_2 에서는, 제2 박막 트랜지스터(5603b)가 온으로 되고, 제1 박막 트랜지스터(5603a) 및 제3 박막 트랜지스터(5603c)가 오프로 된다. 이 때, 배선(5621_J)에 입력되는 $Data_{j-1}$ 이 제2 박막 트랜지스터(5603b)를 통해 신호선 S_{j-1} 에 입력된다. 제3 서브 선택 기간 T_3 에서는, 제3 박막 트랜지스터(5603c)가 온으로 되고, 제1 박막 트랜지스터(5603a) 및 제2 박막 트랜지스터(5603b)가 오프로 된다. 이 때, 배선(5621_J)에 입력되는 $Data_j$ 가 제3 박막 트랜지스터(5603c)를 통해 신호선 S_j 에 입력된다.
- [0181] 상술된 바와 같이, 도 17의 타이밍 차트를 적용한 도 15의 신호선 구동 회로는 서브 선택 기간 이전에 프리차지 선택 기간을 제공함으로써 신호선을 프리차지할 수 있기 때문에 화소에의 비디오 신호의 기입을 고속으로 행할 수 있다. 또한, 도 17에서 도 16과 유사한 부분에 관해서는 공통의 도면 부호를 채용하고, 동일한 부분 및 유사한 기능을 갖는 부분의 상세한 설명은 생략한다.
- [0182] 또한, 주사선 구동 회로의 구성에 관하여 설명한다. 주사선 구동 회로는 시프트 레지스터 및 버퍼를 포함하고 있다. 또한, 경우에 따라서는, 주사선 구동 회로는 레벨 시프터를 포함할 수도 있다. 주사선 구동 회로에서, 시프트 레지스터에 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력되면, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 의해 버퍼링 및 증폭되고, 그에 따른 신호는 대응하는 주사선에 공급된다. 주사선에는, 1라인의 화소의 트랜지스터의 게이트 전극이 접속되어 있다. 또한, 1라인의 화소의 트랜지스터를 동시에 온으로 해야 하므로, 큰 전류를 공급할 수 있는 버퍼가 사용된다.
- [0183] 주사선 구동 회로의 일부에 채용되는 시프트 레지스터의 하나의 예에 대해서 도 18 및 도 19를 참조하여 설명한다.
- [0184] 도 18은 시프트 레지스터의 회로 구성을 도시한다. 도 18에 도시되는 시프트 레지스터는 플립플롭(5701_1 내지 5701_n)인 복수의 플립플롭을 포함한다. 또한, 시프트 레지스터는 제1 클럭 신호, 제2 클럭 신호, 스타트 펄스 신호 및 리셋 신호가 입력되어 동작한다.
- [0185] 도 18에 도시된 시프트 레지스터의 접속 관계에 관하여 설명한다. 1번째 단계의 플립플롭(5701_1)은 제1 배선(5711), 제2 배선(5712), 제4 배선(5714), 제5 배선(5715), 제7 배선(5717_1), 및 제7 배선(5717_2)과 접속된다. 2번째 단계의 플립플롭(5701_2)은 제3 배선(5713), 제4 배선(5714), 제5 배선(5715), 제7 배선(5717_1), 제7 배선(5717_2) 및 제7 배선(5717_3)과 접속된다.
- [0186] 유사한 방식으로, i 번째 단계의 플립플롭(5701_i)(플립플롭(5701_1 내지 5701_n) 중 임의의 하나)은 제2 배선(5712) 및 제3 배선(5713) 중 하나, 제4 배선(5714), 제5 배선(5715), 제7 배선(5717_i-1), 제7 배선(5717_i) 및 제7 배선(5717_i+1)과 접속된다. 여기서, " i "가 홀수인 경우에는, i 번째 단계의 플립플롭(5701_i)은 제2 배

선(5712)과 접속되고; "i"가 짝수인 경우에는, i번째 단계의 플립플롭(5701_i)은 제3 배선(5713)과 접속되게 된다.

- [0187] n번째 단계의 플립플롭(5701_n)은 제2 배선(5712) 및 제3 배선(5713) 중 하나, 제4 배선(5714), 제5 배선(5715), 제7 배선(5717_{n-1}), 제7 배선(5717_n), 및 제6 배선(5716)과 접속된다.
- [0188] 또한, 제1 배선(5711), 제2 배선(5712), 제3 배선(5713) 및 제6 배선(5716)을 각각 제1 신호선, 제2 신호선, 제3 신호선 및 제4 신호선이라 해도 좋다. 제4 배선(5714) 및 제5 배선(5715)을 각각 제1 전원선, 제2 전원선이라 해도 좋다.
- [0189] 다음, 도 19는 도 18에 도시되는 플립플롭의 상세에 대해서 설명한다. 도 19에 나타내는 플립플롭은 제1 박막 트랜지스터(5571), 제2 박막 트랜지스터(5572), 제3 박막 트랜지스터(5573), 제4 박막 트랜지스터(5574), 제5 박막 트랜지스터(5575), 제6 박막 트랜지스터(5576), 제7 박막 트랜지스터(5577) 및 제8 박막 트랜지스터(5578)를 포함한다. 제1 박막 트랜지스터(5571), 제2 박막 트랜지스터(5572), 제3 박막 트랜지스터(5573), 제4 박막 트랜지스터(5574), 제5 박막 트랜지스터(5575), 제6 박막 트랜지스터(5576), 제7 박막 트랜지스터(5577) 및 제8 박막 트랜지스터(5578) 각각은 n채널형 트랜지스터이며, 게이트 소스 전압(Vgs)이 한계치 전압(Vth)을 초과했을 때 온으로 된다.
- [0190] 또한, 도 19에 나타내는 플립플롭은 제1 배선(5501), 제2 배선(5502), 제3 배선(5503), 제4 배선(5504), 제5 배선(5505) 및 제6 배선(5506)을 포함한다.
- [0191] 또한, 여기서는 모든 박막 트랜지스터를 개선-모드의 n채널형 트랜지스터라 한다; 그러나, 본 발명은 여기에 한정되지 않는다. 예를 들면, 구동 회로는 디프레션(depression)-모드의 n채널형 트랜지스터를 사용하여 구동될 수 있다.
- [0192] 다음, 도 19에 도시되는 플립플롭의 접속 구성에 대해서 이하에 설명한다.
- [0193] 제1 박막 트랜지스터(5571)의 제1 전극(소스 전극 및 드레인 전극 중 하나)이 제4 배선(5504)에 접속된다. 제1 박막 트랜지스터(5571)의 제2 전극(소스 전극 및 드레인 전극 중 다른 하나)이 제3 배선(5503)에 접속된다.
- [0194] 제2 박막 트랜지스터(5572)의 제1 전극이 제6 배선(5506)에 접속되고, 제2 박막 트랜지스터(5572)의 제2 전극이 제3 배선(5503)에 접속된다.
- [0195] 제3 박막 트랜지스터(5573)의 제1 전극 및 게이트 전극이 제5 배선(5505)에 접속되고, 제3 박막 트랜지스터(5573)의 제2 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속된다.
- [0196] 제4 박막 트랜지스터(5574)의 제1 전극이 제6 배선(5506)에 접속되고, 제4 박막 트랜지스터(5574)의 게이트 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제4 박막 트랜지스터(5574)의 제2 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속된다.
- [0197] 제5 박막 트랜지스터(5575)의 제1 전극이 제5 배선(5505)에 접속되고, 제5 박막 트랜지스터(5575)의 게이트 전극이 제1 배선(5501)에 접속되고, 제5 박막 트랜지스터(5575)의 제2 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속된다.
- [0198] 제6 박막 트랜지스터(5576)의 제1 전극이 제6 배선(5506)에 접속되고, 제6 박막 트랜지스터(5576)의 게이트 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제6 박막 트랜지스터(5576)의 제2 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속된다.
- [0199] 제7 박막 트랜지스터(5577)의 제1 전극이 제6 배선(5506)에 접속되고, 제7 박막 트랜지스터(5577)의 게이트 전극이 제2 배선(5502)에 접속되고, 제7 박막 트랜지스터(5577)의 제2 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속된다.
- [0200] 제8 박막 트랜지스터(5578)의 제1 전극이 제6 배선(5506)에 접속되고, 제8 박막 트랜지스터(5578)의 게이트 전극이 제1 배선(5501)에 접속되고, 제8 박막 트랜지스터(5578)의 제2 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속된다.
- [0201] 또한, 제1 박막 트랜지스터(5571)의 게이트 전극, 제4 박막 트랜지스터(5574)의 게이트 전극, 제5 박막 트랜지스터(5575)의 제2 전극, 제6 박막 트랜지스터(5576)의 제2 전극 및 제7 박막 트랜지스터(5577)의 제2 전극이 접속되는 지점을 노드(5543)라고 한다. 제2 박막 트랜지스터(5572)의 게이트 전극, 제3 박막 트랜지스터(5573)의

제2 전극, 제4 박막 트랜지스터(5574)의 제2 전극, 제6 박막 트랜지스터(5576)의 게이트 전극 및 제8 박막 트랜지스터(5578)의 제2 전극이 접속되는 지점을 노드(5544)라고 한다.

- [0202] 또한, 제1 배선(5501), 제2 배선(5502), 제3 배선(5503) 및 제4 배선(5504)을 각각 제1 신호선, 제2 신호선, 제3 신호선 및 제4 신호선이라고 할 수도 있다. 제5 배선(5505) 및 제6 배선(5506)을 각각 제1 전원선 및 제2 전원선이라고 할 수도 있다.
- [0203] i 번째 단계의 플립플롭(5701 $_i$)에서, 도 19의 제1 배선(5501)은 도 18의 제7 배선(5717 $_i-1$)에 접속된다. 도 19의 제2 배선(5502)은 도 18의 제7 배선(5717 $_i+1$)에 접속된다. 도 19의 제3 배선(5503)은 제7 배선(5717 $_i$)에 접속된다. 도 19의 제6 배선(5506)은 제5 배선(5715)에 접속된다.
- [0204] " i "가 홀수인 경우, 도 19의 제4 배선(5504)은 도 18의 제2 배선(5712)에 접속된다; " i "가 짝수인 경우, 도 19의 제4 배선(5504)은 도 18의 제3 배선(5713)에 접속된다. 또한, 도 19의 제5 배선(5505)은 도 18의 제4 배선(5714)에 접속된다.
- [0205] 또한, 1번째 단계의 플립플롭(5701 $_1$)에서, 도 19의 제1 배선(5501)은 도 18의 제1 배선(5711)에 접속된다. 또한, n 번째 단계의 플립플롭(5701 $_n$)에서, 도 19의 제2 배선(5502)은 도 18의 제6 배선(5716)에 접속된다.
- [0206] 또한, 신호선 구동 회로 및 주사선 구동 회로를 실시의 형태 1에 도시되는 n 채널형 TFT만을 사용하여 형성하는 것도 가능하다. 실시의 형태 1에 도시되는 n 채널형 TFT는 이동도가 크므로, 구동 회로의 구동 주파수를 높게 할 수 있다. 또한, 실시의 형태 1에 도시되는 n 채널형 TFT에서는, In-Ga-Zn-O계 비-단결정막을 사용하여 형성되는 소스 영역 및 드레인 영역에 의해 기생 용량이 저감되므로, 주파수 특성(f 특성이라고 함)이 높다. 예를 들면, 실시의 형태 1에 나타내는 n 채널형 TFT를 채용한 주사선 구동 회로는 고속으로 동작될 수 있으므로, 프레임 주파수를 높일 수 있고, 흑화상의 삽입 등을 실현하는 것이 가능하다.
- [0207] 또한, 주사선 구동 회로의 트랜지스터의 채널 폭을 크게 하거나, 또는 복수의 주사선 구동 회로를 제공하면, 더 높은 프레임 주파수를 실현할 수 있다. 복수의 주사선 구동 회로를 제공하는 경우에는, 짝수행의 주사선을 구동하기 위한 주사선 구동 회로를 일 측에 배치하고, 홀수행의 주사선을 구동하기 위한 주사선 구동 회로를 반대 측에 제공하여, 프레임 주파수를 높게 할 수 있다. 또한, 복수의 주사선 구동 회로에 의해 하나의 주사선에 신호를 출력하면, 표시 장치의 대형화에 유리하다.
- [0208] 또한, 표시 장치의 일예인 액티브 매트릭스형 발광 표시 장치를 제작하는 경우, 적어도 하나의 화소에 복수의 트랜지스터를 배치하여, 주사선 구동 회로를 복수 배치하는 것이 바람직하다. 도 14b는 액티브 매트릭스형 발광 표시 장치의 일예를 도시하는 블록도이다.
- [0209] 도 14b에 나타내는 발광 표시 장치는 기판(5400) 위에, 각각이 표시 소자를 구비하는 복수의 화소를 구비하는 화소부(5401)와, 화소를 선택하는 제1 주사선 구동 회로(5402) 및 제2 주사선 구동 회로(5404)와, 선택된 화소에의 비디오 신호의 입력을 제어하는 신호선 구동 회로(5403)를 포함한다.
- [0210] 도 14b에 도시되는 표시 장치의 화소에 입력되는 비디오 신호가 디지털 신호인 경우, 화소는 트랜지스터의 온/오프의 전환에 의해 발광 상태 또는 비발광 상태가 된다. 따라서, 면적 계조법(area ratio grayscale method) 또는 시간 계조법(time ratio grayscale method)을 사용하여 계조의 표시를 행할 수 있다. 면적 계조법은 1화소를 복수의 부화소로 분할하고 각 부화소를 독립적으로 비디오 신호에 기초하여 구동시킴으로써 계조 표시를 행하는 구동법이다. 또한, 시간 계조법은 화소가 발광 상태에 있는 기간을 제어함으로써 계조 표시를 행하는 구동법이다.
- [0211] 발광 소자는 액정 소자 등에 비해 응답 속도가 높으므로, 발광 소자는 액정 소자보다 시간 계조법에 더 적합하다. 시간 계조법으로 표시를 행할 경우, 일 프레임 기간을 복수의 서브 프레임 기간으로 분할한다. 그리고, 비디오 신호에 따라, 각 서브 프레임 기간에서 화소의 발광 소자를 발광 상태 또는 비발광 상태로 설정한다. 하나의 프레임을 복수의 서브 프레임 기간으로 분할함으로써, 일 프레임 기간 동안에 화소가 발광하는 기간의 합계의 길이를 비디오 신호에 의해 제어함으로써 계조를 표시할 수 있다.
- [0212] 도 14b에 도시되는 발광 표시 장치에서는, 하나의 화소에 2개의 스위칭용 TFT를 배치할 경우에, 하나의 스위칭용 TFT의 게이트 배선으로서 기능하는 제1 주사선에 입력되는 신호를 제1 주사선 구동 회로(5402)에 의해 생성하고, 다른 스위칭용 TFT의 게이트 배선으로서 기능하는 제2 주사선에 입력되는 신호를 제2 주사선 구동 회로(5404)에 의해 생성한다; 그러나, 제1 주사선에 입력되는 신호와, 제2 주사선에 입력되는 신호를 하나의 주사선 구동 회로에 의해 생성하도록 해도 좋다. 또한, 예를 들면, 하나의 화소가 포함하는 스위칭용 TFT의 수에

따라, 스위칭 소자의 동작을 제어하기 위해 사용되는 복수의 주사선이 각 화소에 마련되어질 수도 있다. 이 경우, 복수의 주사선에 입력되는 모든 신호를 하나의 주사선 구동 회로에 의해 생성해도 좋고, 또는 복수의 주사선에 입력되는 신호를 복수의 주사선 구동 회로에 의해 생성해도 좋다.

- [0213] 또한, 발광 표시 장치에서도, 구동 회로 중 n채널형 TFT로 형성될 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일한 기판 위에 형성할 수 있다. 대안적으로, 신호선 구동 회로 및 주사선 구동 회로를 실시의 형태 1에 도시되는 n채널형 TFT만을 사용하여 형성하는 것도 가능하다.
- [0214] 또한, 상술된 구동 회로는 액정 표시 장치 또는 발광 표시 장치에 적용하는 것에 한정되지 않고, 스위칭 소자와 전기적으로 접속하는 소자를 이용해서 전자 잉크를 구동시키는 전자 페이퍼에 사용해도 된다. 전자 페이퍼는 전기 영동 표시 장치(전기 영동 디스플레이)로도 불리며, 종이와 같은 레벨의 판독성을 갖는 장점을 실현하고, 다른 표시 장치에 비해 소비 전력이 낮고, 박형 및 경량으로 제조될 수 있다.
- [0215] 전기 영동 디스플레이는 다양한 모드를 가질 수 있다. 예를 들면, 전기 영동 디스플레이는 플러스의 전하를 소유하는 제1 입자와, 마이너스의 전하를 소유하는 제2 입자를 각각이 포함하는 복수의 마이크로 캡슐을 용매 또는 용질에 분산하여 포함한다. 이 경우, 마이크로 캡슐에 전계를 인가함으로써, 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜, 일 측에 집합된 입자의 색만을 표시할 수 있다. 또한, 제1 입자 또는 제2 입자는 각각 염료를 포함하고, 전계가 없는 경우에는 이동하지 않는다. 또한, 제1 입자의 색과 제2 입자의 색은 서로 다르다(무색(colorless or achroma)을 포함).
- [0216] 이와 같이, 전기 영동 디스플레이는 전계 등에 의해 미립자가 이동하는 시스템을 이용하는 디스플레이이다. 전기 영동 디스플레이는 액정 표시 장치에는 필요한 편광판 및 상대 기판이 필요하지 않으므로, 전기 영동 디스플레이의 두께 및 무게를 현저하게 저감할 수 있다.
- [0217] 상술된 마이크로 캡슐을 용매 중에 분산되게 하여 얻어지는 용액을 전자 잉크라고 한다. 이러한 전자 잉크는 유리, 플라스틱, 천, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터, 또는 색소를 구비하는 입자를 사용함으로써, 컬러 표시도 가능하다.
- [0218] 액티브 매트릭스 기판 위에 복수의 마이크로 캡슐을 배치하고, 액티브 매트릭스 기판 위에 형성된 전극과 다른 전극 사이에 마이크로 캡슐을 개재하면, 액티브 매트릭스형의 표시 장치가 완성된다. 마이크로 캡슐에 전계를 인가함으로써 액티브 매트릭스형의 표시 장치가 표시를 행할 수 있다. 액티브 매트릭스 기판으로서, 예를 들면, 실시의 형태 1에서 얻어진 박막 트랜지스터를 사용한 액티브 매트릭스 기판을 사용할 수 있다.
- [0219] 또한, 마이크로 캡슐 중의 제1 입자 및 제2 입자는 각각 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로루미네센트 재료, 일렉트로크로믹 재료, 또는 자기 영동 재료로부터 선택된 단일 재료로 형성되거나 또는 이들 중 임의의 것의 복합 재료로 형성될 수 있다.
- [0220] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 표시 장치를 제작할 수 있다.
- [0221] 본 실시의 형태는 다른 실시의 형태 중 임의의 것과 적절하게 조합하여 구현하는 것이 가능하다.
- [0222] (실시의 형태 5)
- [0223] 본 실시의 형태에서는, 박막 트랜지스터를 제작하고, 상기 박막 트랜지스터를 화소부 및 또한 구동 회로에 사용하여 표시 기능을 구비하는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한, 본 발명에 따른 박막 트랜지스터를 사용하여, 구동 회로의 일부 또는 전체를 화소부와 동일한 기판 위에 형성함으로써, 시스템-온-패널을 형성할 수 있다.
- [0224] 표시 장치는 표시 소자를 포함한다. 표시 소자로서, 액정 소자(액정 표시 소자라고도 함) 또는 발광 소자(발광 표시 소자라고도 함)를 사용할 수 있다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는 무기 EL(electroluminescent) 소자, 유기 EL 소자 등을 포함한다. 또한, 전자 잉크 등의, 전기적 작용에 의해 콘트라스트가 변화되는 표시 매체도 사용할 수 있다.
- [0225] 또한, 표시 장치는 표시 소자가 실링되어 있는 패널과, 컨트롤러를 포함하는 IC 등을 상기 패널에 설치한 모듈을 포함한다. 표시 장치는 상기 표시 장치의 제작 과정에서 표시 소자가 완성되기 전의 하나의 예에 상당하는 소자 기판을 포함하고, 상기 소자 기판은 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 구체적으로, 소자 기판은 표시 소자의 화소 전극만을 구비하는 상태, 화소 전극이 되는 도전막을 성막한 후 도전막을 에칭하여 화소 전극을 형성하기 전의 상태, 또는 다른 임의의 상태일 수도 있다.

- [0226] 또한, 본 명세서에서의 표시 장치는 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치 포함)을 의미한다. 또한, 표시 장치는 이하의 모듈 중 임의의 것을 그 범주에 포함한다: 커넥터, 예를 들면 FPC(flexible printed circuit), TAB(tape automated bonding) 테이프, 또는 TCP(tape carrier package)를 부착하는 모듈; TAB 테이프 또는 TCP를 구비하고 인쇄 배선 기판을 그 단부에 구비하는 모듈; 및 표시 소자에 COG(chip on glass) 방식에 의해 직접 설치된 IC(집적 회로)를 구비하는 모듈.
- [0227] 본 실시의 형태에서는, 반도체 장치의 예로서 액정 표시 장치를 도시한다. 본 발명의 반도체 장치의 하나의 예에 상당하는 액정 표시 패널의 외관 및 단면에 대해서 도 22a 내지 도 22b를 참조하여 설명한다. 도 22a 및 도 22b는 각각 실시의 형태 1에 설명된 In-Ga-Zn-O계 비-단결정막을 반도체층으로서 포함하고, 배리어막이 구비된 신뢰성이 높은 박막 트랜지스터(4010, 4011), 및 액정 소자(4013)를 제1 기판(4001)과 제2 기판(4006) 사이에 실린트(4005)에 의해 밀봉한 패널의 평면도이다. 도 22b는 도 22a 및 도 22ab의 선 M-N에서의 단면도이다.
- [0228] 제1 기판(4001) 위에 마련되어진 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 실린트(4005)가 마련되어져 있다. 화소부(4002)와, 주사선 구동 회로(4004) 위에 제2 기판(4006)이 마련되어져 있다. 따라서, 화소부(4002)와, 주사선 구동 회로(4004)는 제1 기판(4001)과, 실린트(4005)와, 제2 기판(4006)에 의해, 액정층(4008)과 함께 실링되어 있다. 제1 기판(4001) 위의 실린트(4005)에 의해 둘러싸여 있는 영역과 다른 영역에는, 별도 준비된 기판 위에 단결정 반도체막 및 다결정 반도체막을 사용하여 형성된 신호선 구동 회로(4003)가 설치되어 있다.
- [0229] 또한, 별도 형성된 구동 회로의 접속 방법은 특별하게 한정되지 않고, COG 방법, 와이어 본딩 방법, TAB 방법 등을 이용할 수 있다. 도 22a는 COG 방법에 의해 신호선 구동 회로(4003)를 설치하는 예를 도시하고, 도 22b는 TAB 방법에 의해 신호선 구동 회로(4003)를 설치하는 예를 도시하고 있다.
- [0230] 제1 기판(4001) 위에 마련되어진 화소부(4002)와 주사선 구동 회로(4004)는 각각 복수의 박막 트랜지스터를 포함한다. 도 22b는 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시하고 있다. 박막 트랜지스터(4010, 4011) 위에는 배리어막(4020) 및 절연층(4021)이 마련되어 있다.
- [0231] 박막 트랜지스터(4010, 4011) 각각은 In-Ga-Zn-O계 비-단결정막을 반도체층으로서 포함하는 실시의 형태 1에 도시되는 신뢰성이 높은 박막 트랜지스터에 해당한다. 본 실시의 형태에서, 박막 트랜지스터(4010, 4011)는 n채널형 박막 트랜지스터이다.
- [0232] 액정 소자(4013)에 포함되는 화소 전극층(4030)은 박막 트랜지스터(4010)에 전기적으로 접속되어 있다. 액정 소자(4013)의 상대 전극층(4031)은 제2 기판(4006) 위에 형성되어 있다. 화소 전극층(4030)과, 상대 전극층(4031)과, 액정층(4008)이 서로 중첩되어 있는 부분이 액정 소자(4013)에 해당한다. 또한, 화소 전극층(4030) 및 상대 전극층(4031)에는 각각 배향막으로서 기능하는 절연층(4032) 및 절연층(4033)이 마련되어, 절연층(4032, 4033)을 개재하여 액정층(4008)을 협지하고(sandwich) 있다.
- [0233] 또한, 제1 기판(4001) 및 제2 기판(4006)은 유리, 금속(전형적으로는, 스테인레스강), 세라믹 또는 플라스틱을 이용하여 형성될 수 있다. 플라스틱의 예로서는, FRP(fiberglass-reinforced plastics)판, PVF(폴리비닐 플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 이용할 수 있다. 또한, 알루미늄 호일을 PVF 필름 또는 폴리에스테르 필름 사이로 협지한 구조의 시트를 사용할 수 있다.
- [0234] 도면 부호 4035는 절연막을 선택적으로 에칭하는 것에 의해 얻어지는 주상(columnar)의 스페이서이며, 화소 전극층(4030)과 상대 전극층(4031) 사이의 거리[셀 갭(cell gap)]를 제어하기 위해 마련되어 있다. 또한, 구상의(spherical) 스페이서를 사용해도 된다. 또한, 상대 전극층(4031)은 박막 트랜지스터(4010)와 동일한 기판 위에 형성된 공통 전위선에 전기적으로 접속된다. 공통 접속부를 사용하여, 한 쌍의 기판 사이에 배치되는 도전성 입자를 개재하여, 상대 전극층(4031)과 공통 전위선을 전기적으로 서로 접속할 수 있다. 또한, 도전성 입자는 실린트(4005)에 포함된다.
- [0235] 대안적으로, 배향막이 불필요한 블루상(blue phase)을 나타내는 액정을 사용해도 된다. 블루상은 액정상의 하나이며, 콜레스테릭(cholesteric) 액정을 승온하면서 콜레스테릭상을 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위 내에서만 발현되므로, 온도 범위를 개선하기 위해 5 중량% 이상의 카이랄제(chiral agent)를 혼합시킨 액정 조성물을 사용하여 액정층(4008)으로 채용한다. 블루상을 나타내는 액정과 카이랄제를 포함하는 액정 조성물은 응답 속도가 10 μ s ~ 100 μ s 만큼 짧은 특성을 갖고, 상기 액정 조성물은 광학적

등방성이기 때문에 배향 처리가 불필요하며, 시야각 의존성이 작다.

- [0236] 또한, 본 실시의 형태에 설명되는 액정 표시 장치는 투과형 액정 표시 장치의 예이다; 그러나, 본 실시의 형태에 설명되는 액정 표시 장치는 반사형 액정 표시 장치 및 반투과형 액정 표시 장치에 적용될 수도 있다.
- [0237] 본 실시의 형태에서는, 기관의 외측 위치(관찰자측)에 편광판을 마련하고, 기관의 내측 위치에 착색층 및 표시 소자로 채용하는 전극층을 마련하는 액정 표시 장치의 일례를 설명한다; 그러나, 편광판은 기관의 내측 위치에 구비될 수도 있다. 편광판과 착색층의 적층 구조는 본 실시의 형태에 한정되지 않고, 편광판 및 착색층의 재료 또는 제작 공정 조건에 따라 적절하게 설정하면 좋다. 또한, 블랙 매트릭스로서 기능하는 차광막을 구비해도 된다.
- [0238] 본 실시의 형태에서는, 박막 트랜지스터의 표면의 요철을 저감하고 박막 트랜지스터의 신뢰성을 향상시키기 위해, 실시의 형태 1에서 얻어진 박막 트랜지스터를 보호막 또는 평탄화 절연막으로서 기능하는 절연층(배리어막(4020) 및 절연층(4021))으로 커버한다. 배리어막(4020)의 두께는 1nm 이상 200nm 이하인 것이 바람직하다. 또한, 배리어막(4020)은 대기 중에 부유하는 유기물, 금속물 또는 수분 등의 오염 불순물의 침입을 막기 위해 제공되고, 고밀도 막이 바람직하다. 고밀도 막으로 형성하는 것에 의해, 수분 및 산소 등의 불순물에 대한 장벽 성능이 향상되게 된다. 배리어막(4020)은 스퍼터링법에 의해 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 및/또는 질화산화알루미늄막을 사용하여 형성된 단층 또는 적층으로 형성하면 좋다. 본 실시의 형태에서는, 보호막을 스퍼터링법에 의해 형성한다; 그러나, 본 실시의 형태는 여기에 특별하게 한정되지 않는다. 보호막은 다양한 방법 중 임의의 것에 의해 형성하면 좋다.
- [0239] 여기서는, 배리어막(4020)을 산화알루미늄막을 사용하여 형성한다. 산화물 반도체층을 커버하기 위해 수분 및 산소에 대한 장벽성이 높은 막을 형성하면, 수분 및 산소가 산화물 반도체층에 혼입하는 것을 방지할 수 있다. 이에 따라, 산화물 반도체층의 산화 환원 반응을 억제하고, 산소 증공 농도의 변동을 억제할 수 있다. 또한, 대기 중이나 근본체 중에 포함되는 유기물 및 금속 등의 불순물이 산화물 반도체층에 혼입하는 것을 방지할 수 있다. 따라서, 산화물 반도체를 채용한 반도체 장치의 반도체 특성의 변동을 억제할 수 있다. 또한, 반도체 장치의 신뢰성을 향상시킬 수 있다.
- [0240] 또한, 배리어막(4020) 위에, 질화실리콘막, 산화실리콘막, 질화산화실리콘막, 산화질화실리콘막을 형성해도 좋다(도시 생략). 예를 들면, 배리어막(4020) 위에 스퍼터링법에 의해 질화실리콘막을 형성한다. 배리어막(4020) 위에 질화실리콘막을 제공함으로써, 나트륨 등의 가동 이온이 반도체 영역에 침입하여 TFT의 전기 특성을 변화시키는 것을 억제할 수 있다.
- [0241] 또한, 배리어막(4020)을 형성한 후에, 반도체층을 어닐링(300도 내지 400도)할 수 있다.
- [0242] 또한, 배리어막(4020) 위에 절연층(4021)을 형성한다. 절연층(4021)으로서, 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리아미드, 또는 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 상기 유기 재료의 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 사용할 수도 있다. 또한, 절연층(4021)은 이들 재료로 형성되는 절연막을 복수 적층시킴으로써 형성되어도 좋다.
- [0243] 또한, 실록산계 수지는 출발 재료인 실록산계 재료로부터 형성된 Si-O-Si의 결합을 포함하는 수지이다. 실록산계 수지는 치환기로서 유기기(organic group)(예를 들면, 알킬기 또는 아릴기) 또는 플루오로기를 포함할 수도 있다. 또한, 유기기는 플루오로기를 포함할 수도 있다.
- [0244] 절연층(4021)의 형성법은 특별하게 한정되지 않고, 절연층(4021)의 재료에 따라 이하의 방법들 중 임의의 것을 채용할 수 있다; 스퍼터링법, SOG법, 스핀 코팅, 디핑(dipping), 스프레이 코팅, 액적 토출법(예를 들어, 잉크젯법, 스크린 프린팅, 오프셋 프린팅 등), 닥터 나이프(doctor knife), 롤 코터(roll coater), 커튼 코터(curtain coater), 나이프 코터(knife coater) 등. 절연층(4021)을 재료액을 사용하여 형성하는 경우, 절연층(4021)의 베이킹 공정과 동시에, 반도체층의 어닐링(300도 내지 400도)을 행해도 된다. 절연층(4021)의 베이킹 공정은 반도체층의 어닐링 공정으로서도 기능하여, 반도체 장치를 효율적으로 제작하는 것이 가능해진다.
- [0245] 화소 전극층(4030) 및 상대 전극층(4031)은 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티탄을 포함하는 인듐산화물, 산화티탄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라 함), 인듐아연산화물, 산화규소를 첨가한 인듐주석산화물 등의 투광성 도전성 재료를 이용하여 형성될 수 있다.

- [0246] 또한, 화소 전극층(4030) 및 상대 전극층(4031)을 형성하기 위해, 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용할 수 있다. 도전성 조성물로 형성된 화소 전극은 시트 저항이 $1.0 \times 10^4 \Omega/\text{square}$ 이하, 파장 550nm에서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 $0.1 \Omega \cdot \text{cm}$ 이하인 것이 바람직하다.
- [0247] 도전성 고분자로서, 소위 π 전자 공역(conjugated) 도전성 고분자가 사용될 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 이들의 2중 이상의 공중합체 등을 들 수 있다.
- [0248] 또한, 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 및 화소부(4002)에는 FPC(4018)로부터 각종 신호 및 전위가 공급된다.
- [0249] 본 실시의 형태에서는, 접속 단자 전극(4015)이, 액정 소자(4013)에 포함되는 화소 전극층(4030)과 동일한 도전막을 사용하여 형성되고, 단자 전극(4016)은 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 동일한 도전막으로 형성되어 있다.
- [0250] 접속 단자 전극(4015)은 FPC(4018)에 포함되는 단자와, 이방성 도전막(4019)을 통해 전기적으로 접속되어 있다.
- [0251] 또한, 도 22aa 내지 도 22b는 신호선 구동 회로(4003)를 별도형 형성하여 제1 기관(4001)에 설치하는 예를 도시하고 있다; 그러나, 본 실시의 형태는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성해서 설치해도 좋고, 또는 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부를 별도로 형성해서 설치해도 좋다.
- [0252] 도 23은 반도체 장치의 하나의 예에 상당하는 액정 표시 모듈에 TFT 기관(2600)을 사용하는 일례를 도시하고 있다.
- [0253] 도 23은 액정 표시 모듈의 일례를 도시하며, TFT 기관(2600)과 상대 기관(2601)이 실린트(2602)에 의해 서로 고정되고, TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 착색층(2605), 및 편광판(2606)이 기관들 사이에 제공되어 표시 영역을 형성하고 있다. 착색층(2605)은 컬러 표시를 행하는데 필요하다. RGB 시스템의 경우에는, 레드, 그린 및 블루의 색에 대응하는 착색층이 각 화소에 대해 제공되어 있다. TFT 기관(2600)과 상대 기관(2601)의 외측에는 편광판(2606, 2607) 및 확산판(2613)이 설치되어 있다. 광원은 냉음극관(2610)과 반사판(2611)을 포함하고, 회로 기관(2612)은 플렉시블 배선 기관(2609)을 통해 TFT 기관(2600)의 배선 회로부(2608)에 접속되고, 제어 회로 또는 전원 회로 등의 외부 회로를 포함한다. 편광판과 액정층은 그 사이에 위상차판을 개재하여 적층해도 좋다.
- [0254] 액정 표시 모듈에는, TN(twisted nematic) 모드, IPS(in-plane-switching) 모드, FFS(fringe field switching) 모드, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optical compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiferroelectric liquid crystal) 모드 등이 사용될 수 있다.
- [0255] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 액정 표시 장치를 제작할 수 있다.
- [0256] 본 실시의 형태는 다른 실시의 형태 중 임의의 것과 적절하게 조합하여 구현되는 것이 가능하다.
- [0257] (실시의 형태 6)
- [0258] 본 실시의 형태에서는, 반도체 장치의 일례로서 전자 패키지를 설명한다.
- [0259] 도 13은 반도체 장치의 일례로서 액티브 매트릭스형의 전자 패키지를 나타낸다. 반도체 장치에 채용될 수 있는 박막 트랜지스터(581)는 실시의 형태 1 내지 3 중 임의의 것에 설명되는 박막 트랜지스터와 유사한 방식으로 제작될 수 있다. 본 실시의 형태에서 설명하는 반도체 장치는 실시의 형태 1에 설명된 반도체 장치이다.
- [0260] 도 13의 전자 패키지는 트위스팅(twisting) 볼 표시 시스템을 사용하는 표시 장치의 일례이다. 트위스팅 볼 표시 방식은 각각 흑색과 백색으로 착색된 구형 입자를 표시 소자에 사용되는 전극층인 제1 전극층과 제2 전극층 사이에 배치하고, 제1 전극층과 제2 전극층 간에 전위차를 발생시켜 구형 입자의 배향을 제어함으로써 표시를 행하는 방법을 언급한다.
- [0261] 도 13은 배리어막을 2층 구조로 형성한 일례에 대해서 설명한다. 기관(580) 위에 형성된 박막 트랜지스터(581)는 보텀 게이트 구조의 박막 트랜지스터이며, 소스 전극층 또는 드레인 전극층이 배리어막(583), 배리어막(584) 및 절연층(585)에 형성된 컨택트홀을 통해 제1 전극층(587)에 전기적으로 접속되어 있다. 제1 전극층

(587)과 제2 전극층(588) 사이에는, 흑색 영역(590a) 및 백색 영역(590b)을 각각 구비하고, 액체로 채워진 캐비티(594)에 의해 둘러싸인 구형 입자(589)가 제공되어 있다. 구형 입자(589) 주위의 공간은 수지 등의 충전재(595)로 채워진다(도 13 참조). 도 13에서는, 제1 전극층(587)이 화소 전극에 해당하고, 제2 전극층(588)이 공통 전극에 해당한다. 제2 전극층(588)은 박막 트랜지스터(581)와 동일한 기판 위에 마련되어지는 공통 전위선에 전기적으로 접속된다. 상기 실시의 형태에 설명되는 공통 접속부를 채용하여, 한 쌍의 기판 사이에 배치되는 도전성 입자를 개재하여, 기판(596)에 마련되어진 제2 전극층(588)과 공통 전위 전극을 전기적으로 서로 접속할 수 있다.

[0262] 또한, 트위스팅 볼 대신에, 전기 영동 소자를 사용하는 것도 가능하다. 그 경우, 투명한 액체와, 양으로 대전된 백색 미립자와, 음으로 대전된 흑색 미립자를 봉입한 지름 10 μ m 내지 200 μ m 정도의 마이크로 캡슐을 사용한다. 제1 전극층과 제2 전극층 사이에 마련되어지는 마이크로 캡슐에서는, 제1 전극층과 제2 전극층에 의해 전장이 인가되면, 백색 미립자와 흑색 미립자가 반대 방향으로 이동하여, 백색 또는 흑색 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기 영동 표시 소자이며, 일반적으로 전자 페이퍼라 불린다. 전기 영동 표시 소자는 액정 표시 소자에 비해 반사율이 높으므로, 보조광은 불필요하여, 소비 전력이 작고, 어둑어둑한 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않는 경우에도, 한번 표시한 화상을 유지하는 것이 가능하다. 이에 따라, 표시 기능을 구비하는 반도체 장치(단순히 표시 장치 또는 표시 장치를 구비하는 반도체 장치라고도 함)가 전과 소스로부터 이격되어 있는 경우에도, 표시된 화상을 보존할 수 있다.

[0263] 이러한 공정을 통해, 반도체 장치로서 신뢰성이 높은 전자 페이퍼를 제작할 수 있다.

[0264] 본 실시의 형태는 다른 실시의 형태에 설명된 구성 중 임의의 것과 적절하게 조합하여 구현되는 것이 가능하다.

[0265] (실시의 형태 7)

[0266] 본 실시의 형태에서는, 반도체 장치의 일례로서 발광 표시 장치를 설명한다. 표시 장치에 포함되는 표시 소자로서, 여기서는 일렉트로루미네선스를 이용하는 발광 소자를 설명한다. 일렉트로루미네선스를 이용하는 발광 소자는 발광 재료가 유기 화합물인지 무기 화합물인지에 따라 구별된다. 일반적으로, 전자는 유기 EL 소자라 하고, 후자는 무기 EL 소자라 한다.

[0267] 유기 EL 소자에서는, 발광 소자에 전압을 인가하는 것에 의해, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어, 전류가 흐른다. 캐리어(전자 및 정공)가 재결합하여, 발광성의 유기 화합물이 여기 상태로 된다. 발광성의 유기 화합물은 여기 상태에서 기저 상태로 복귀되어, 발광한다. 이러한 메커니즘에 의해, 이 발광 소자는 전류 여기형의 발광 소자라 한다.

[0268] 무기 EL 소자는 그 소자 구성에 의해 분산형 무기 EL 소자 및 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더(binder) 중에 분산되게 한 발광층을 구비하며, 그 발광 메커니즘은 도너(donor) 준위와 어셉터(accepter) 준위를 이용하는 도너-어셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층 사이에 끼우고, 또한 전극 사이에 끼운 구조를 가지며, 그 발광 메커니즘은 금속 이온의 내층-셸(inner-shell) 전자 전이를 이용하는 국부형(localized type) 발광이다. 또한, 여기서는 발광 소자로서 유기 EL 소자를 사용하여 설명한다.

[0269] 도 20은 반도체 장치의 일례로서, 디지털 시간 계조 구동을 적용 가능한 화소 구성의 일례를 도시한다.

[0270] 디지털 시간 계조 구동을 적용 가능한 화소의 구성 및 화소의 동작에 관하여 설명한다. 본 예에서는, 하나의 화소가, 각각이 산화물 반도체층(In-Ga-Zn-O계 비-단결정막)을 채널 형성 영역으로서 포함하는 2개의 n채널형의 트랜지스터를 포함한다.

[0271] 화소(6400)는 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404) 및 용량 소자(6403)를 포함하고 있다. 스위칭용 트랜지스터(6401)의 게이트가 주사선(6406)에 접속되고, 스위칭용 트랜지스터(6401)의 제1 전극(소스 전극 및 드레인 전극 중 하나)이 신호선(6405)에 접속되고, 스위칭용 트랜지스터(6401)의 제2 전극(소스 전극 및 드레인 전극 중 다른 하나)이 구동용 트랜지스터(6402)의 게이트에 접속되어 있다. 구동용 트랜지스터(6402)의 게이트는 용량 소자(6403)를 통해 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제1 전극이 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제2 전극이 발광 소자(6404)의 제1 전극(화소 전극)에 접속되어 있다. 발광 소자(6404)의 제2 전극은 공통 전극(6408)에 해당한다. 공통 전극(6408)은 동일 기판 위에 형성되는 공통 전위선에 전기적으로 접속된다.

[0272] 발광 소자(6404)의 제2 전극(공통 전극(6408))에는 저전원 전위가 설정되어 있다. 또한, 저전원 전위는 전원선

(6407)에 설정되는 고전원 전위를 기준으로 "저전원 전위 < 고전원 전위"를 만족시키는 전위이다. 저전원 전위로서는, 예를 들면, GND, 0 V 등이 채용될 수 있다. 고전원 전위와 저전원 전위 간의 전위차를 발광 소자(6404)에 인가하고, 발광 소자(6404)에 전류를 공급하여, 발광 소자(6404)를 발광시킨다. 발광 소자(6404)가 발광하도록 하기 위해, 고전원 전위와 저전원 전위 간의 전위차가 순방향 한계치 전압 이상이 되도록 각각의 전위를 설정한다.

[0273] 또한, 용량 소자(6403)의 대응으로서, 구동 트랜지스터(6402)의 게이트 용량을 사용하는 것도 가능하므로, 용량 소자(6403)를 생략할 수 있다. 구동용 트랜지스터(6402)의 게이트 용량을 채널 영역과 게이트 전극 사이에 형성할 수 있다.

[0274] 전압 입력 전압 구동 방식의 경우에는, 구동용 트랜지스터(6402)가 충분히 온되고 오프되는 2개의 상태 중 하나가 되도록 구동용 트랜지스터(6402)의 게이트에 비디오 신호를 입력한다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작한다. 구동용 트랜지스터(6402)는 선형 영역에서 동작하므로, 전원선(6407)의 전압보다 높은 전압을 구동용 트랜지스터(6402)의 게이트에 인가한다. 또한, 신호선(6405)에는 "전원선 전압 + 구동용 트랜지스터(6402)의 V_{th} " 이상의 전압을 인가한다.

[0275] 디지털 시간 계조 구동 대신에, 아날로그 계조 구동을 행하는 경우, 신호의 입력을 변경함으로써 도 20과 동일한 화소 구성을 사용할 수 있다.

[0276] 아날로그 계조 구동을 행하는 경우, 구동용 트랜지스터(6402)의 게이트에 "발광 소자(6404)의 순방향 전압 + 구동용 트랜지스터(6402)의 V_{th} " 이상의 전압을 인가한다. "발광 소자(6404)의 순방향 전압"은 원하는 휘도가 얻어지는 전압을 나타내고, 적어도 순방향 한계치 전압보다 크다. 구동용 트랜지스터(6402)가 포화 영역에서 동작하게 하는 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류를 공급할 수 있다. 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위해, 전원선(6407)의 전위는 구동용 트랜지스터(6402)의 게이트 전위보다 높게 설정된다. 아날로그 비디오 신호를 사용하면, 발광 소자(6404)에 비디오 신호에 따라 전류를 공급하여, 아날로그 계조 구동을 행할 수 있다.

[0277] 또한, 도 20에 도시되는 화소 구성은 이것에 한정되지 않는다. 예를 들면, 도 20에 도시되는 화소에는, 스위치, 저항 소자, 용량 소자, 트랜지스터, 논리 회로 등을 추가해도 좋다.

[0278] 다음, 발광 소자의 구성에 대해서 도 21a 내지 도 21c를 참조하여 설명한다. 여기서, n 채널형의 구동용 TFT를 예로 들어 화소의 단면 구조에 관하여 설명한다. 도 21a 내지 도 21c에 도시된 반도체 장치에 사용되는 구동용 TFT(7001, 7011, 7021)는 실시의 형태 1에 설명되는 박막 트랜지스터와 유사한 방식으로 제작될 수 있고, In-Ga-Zn-O계 비-단결정막을 반도체층으로서 각각 포함하는 신뢰성이 높은 박막 트랜지스터이다. 또한, 도 21a 내지 도 21c에서, 배리어막에는 2층 구조가 제공된다.

[0279] 도 21a에서, 배리어막(7008, 7009)은 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막 또는 질화산화알루미늄막을 사용하여 형성될 수 있다. 또한, 도 21b에서의 배리어막(7018, 7019) 및 배리어막(7028, 7029)도 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막 또는 질화산화알루미늄막을 사용하여 형성될 수 있다.

[0280] 산화물 반도체층을 커버하도록 수분 및 산소에 대한 장벽성이 높은 막을 형성하면, 수분 및 산소가 산화물 반도체층에 혼입하는 것을 방지할 수 있다. 이에 따라, 산화물 반도체층의 산화 환원 반응을 억제하고, 산소 증농도의 변동을 억제할 수 있다. 또한, 대기 중에 부유하거나 또는 근본재 중에 포함되는 유기물 및 금속 등의 불순물이 산화물 반도체층에 혼입하는 것을 방지할 수 있다. 따라서, 산화물 반도체를 채용한 반도체 장치의 반도체 특성의 변동을 억제할 수 있다. 또한, 반도체 장치의 신뢰성을 향상시킬 수 있다.

[0281] 발광 소자로부터 발광된 광을 추출하기(extract) 위해, 양극 및 음극 중 적어도 하나가 투광성일 것이 요구된다. 기관 위에 박막 트랜지스터 및 발광 소자를 형성한다. 발광 소자는 기관의 반대측 면을 통해 발광을 추출하는 상면 사출 구조; 기관측의 면을 통해 발광을 추출하는 하면 사출 구조; 기관측의 면 및 기관의 반대측 면을 통해 발광을 추출하는 양면 사출 구조를 가질 수 있다. 본 발명의 실시의 형태의 화소 구성은 이들 사출 구조의 임의의 것을 갖는 발광 소자에도 적용될 수 있다.

[0282] 상면 사출 구조를 갖는 발광 소자에 대해서 도 21a를 참조하여 설명한다.

[0283] 도 21a는 구동용 TFT(7001)가 n 채널형 TFT이고, 빛이 발광 소자(7002)로부터 양극(7005) 측으로 사출되는 경우의 화소의 단면도이다. 도 21a에서는, 발광 소자(7002)의 음극(7003)이 구동용 TFT(7001)에 전기적으로 접속되고 있고, 음극(7003) 위에 발광층(7004) 및 양극(7005)이 순차적으로 적층되어 있다. 음극(7003)은 일함수가

작고 빛을 반사한다면 다양한 도전막을 사용하여 형성될 수 있다. 예를 들면, Ca, Al, CaF₂, MgAg, AlLi 등이 사용되는 것이 바람직하다. 발광층(7004)은 단층을 사용하여 또는 복수의 층이 적층되어 형성될 수 있다. 발광층(7004)이 복수의 층을 사용하여 형성되는 경우, 발광층(7004)은 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층 및 홀 주입층의 순차적으로 적층되어 형성된다. 이들 층을 모두 마련할 필요는 없다. 양극(7005)은 투광성 도전성 재료를 이용해서 형성되고, 예를 들면 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티탄을 포함하는 인듐산화물, 산화티탄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라 함), 인듐아연산화물 또는 산화규소를 첨가한 인듐주석산화물 등이 있다.

[0284] 발광 소자(7002)는 음극(7003)과 양극(7005) 사이에 발광층(7004)을 끼운 영역에 상당한다. 도 21a에 도시된 화소의 경우, 빛은 발광 소자(7002)로부터 화살표로 도시하는 바와 같이 양극(7005) 측에 사출된다.

[0285] 다음, 하면 사출 구조를 갖는 발광 소자에 대해서 도 21b를 참조하여 설명한다. 도 21b는 구동용 TFT(7011)가 n채널형 트랜지스터이고 빛이 발광 소자(7012)로부터 음극(7013) 측에 사출되는 경우의 화소의 단면도를 나타낸다. 도 21b에서는, 구동용 TFT(7011)에 전기적으로 접속된 투광성 도전막(7017) 위에 발광 소자(7012)의 음극(7013)이 형성되고, 음극(7013) 위에 발광층(7014) 및 양극(7015)이 순차적으로 적층되어 있다. 양극(7015)이 투광성을 갖는 경우, 양극(7015)을 커버하도록, 빛을 반사 또는 차폐하기 위한 차광막(7016)이 형성되어 있어도 된다. 음극(7013)으로서, 도 21a의 경우와 같이, 도전 재료의 일함수가 작다면 여러 재료를 이용할 수 있다. 음극(7013)은 빛을 투과할 수 있는 두께(바람직하게는, 5nm 내지 30nm 정도)를 갖도록 형성된다. 예를 들면, 20nm의 두께를 갖는 알루미늄막을 음극(7013)으로서 사용할 수 있다. 발광층(7014)은 도 21a의 경우와 같이 단일층 또는 복수의 층이 적층되는 것을 이용하여 형성될 수 있다. 양극(7015)은 빛을 투과할 필요는 없지만, 도 21a와 같이, 투광성 도전성 재료를 이용해서 형성될 수 있다. 차광막(7016)으로서, 예를 들면 빛을 반사하는 금속 등을 사용할 수 있다; 그러나, 이는 금속막에 한정되지 않는다. 예를 들면, 흑의 안료를 첨가한 수지 등을 사용할 수도 있다.

[0286] 발광 소자(7012)는 음극(7013)과 양극(7015) 사이에 발광층(7014)을 끼운 영역에 상당한다. 도 21b에 도시된 화소의 경우, 빛은 발광 소자(7012)로부터 화살표로 도시하는 바와 같이 음극(7013) 측에 사출된다.

[0287] 다음, 양면 사출 구조를 갖는 발광 소자에 대해서 도 21c를 참조하여 설명한다. 도 21c에서는, 구동용 TFT(7021)에 전기적으로 접속된 투광성 도전막(7027) 위에 발광 소자(7022)의 음극(7023)이 형성되고, 음극(7023) 위에 발광층(7024) 및 양극(7025)이 순차적으로 적층되어 있다. 음극(7023)은 도 21a의 경우와 같이 일함수가 작다면 여러 도전성 재료를 사용하여 형성될 수 있다. 음극(7023)은 빛을 투과할 수 있는 두께를 갖도록 형성된다. 예를 들면, 20nm의 두께를 갖는 Al의 막을 음극(7023)으로서 사용할 수 있다. 발광층(7024)은 도 21a와 같이 단일층을 사용하여 또는 복수의 층이 적층되는 것에 의해 형성될 수 있다. 양극(7025)은 도 21a의 경우와 같이 투광성 도전성 재료를 이용해서 형성될 수 있다.

[0288] 발광 소자(7022)는 음극(7023)과, 발광층(7024)과, 양극(7025)이 서로 중첩되는 부분에 해당한다. 도 21c에 도시된 화소의 경우, 빛은 발광 소자(7022)로부터 화살표로 도시하는 바와 같이 양극(7025) 측과 음극(7023) 측 양쪽에 사출된다.

[0289] 또한, 여기서는 발광 소자로서 유기 EL 소자에 대해서 설명했지만, 발광 소자로서 무기 EL 소자를 마련하는 것도 가능하다.

[0290] 본 실시의 형태에서는, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)가 발광 소자에 전기적으로 접속되어 있는 예를 설명했다; 그러나, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되어 있는 구성도 채용될 수 있다.

[0291] 본 실시의 형태에서 설명하는 반도체 장치는 도 21a 내지 도 21c에 도시된 구성에 한정되지 않고, 본 발명에 따른 기술적 사상에 기초하여 다양한 방식으로 변형될 수 있다.

[0292] 다음, 반도체 장치의 하나의 예인 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면에 대해서 도 24a 및 도 24b를 참조하여 설명한다. 도 24a는 실시의 형태 1에서 설명된 제1 기판(4501) 위에 형성되고 각각이 In-Ga-Zn-O계 비-단결정막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터(4509, 4510) 및 발광 소자(4511)를 제1 기판(4501)과 제2 기판(4506) 사이에 실런트(4505)에 의해 실링한 패널의 평면도이다. 도 24b는 도 24a의 H-I에서의 단면도이다.

[0293] 제1 기판(4501) 위에 마련되어진 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a,

4504b)를 둘러싸도록 실런트(4505)가 마련되어 있다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b) 위에 제2 기관(4506)이 마련되어 있다. 따라서, 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는 제1 기관(4501)과, 실런트(4505)와, 제2 기관(4506)에 의해 충전재(4507)와 함께 실링되어 있다. 상술된 바와 같이 패널이 외기에 노출되지 않도록 기밀성이 높고 탈가스성(degasification)이 적은 보호 필름(라미네이트(laminate) 필름 또는 자외선 경화 수지 필름 등) 또는 커버 재료에 의해 패키징(실링)되는 것이 바람직하다.

- [0294] 제1 기관(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는 각각 복수의 박막 트랜지스터를 포함하고, 도 24b에서 화소부(4502)에 포함되는 박막 트랜지스터(4510)와, 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시하고 있다.
- [0295] 박막 트랜지스터(4509, 4510)의 각각으로서, In-Ga-Zn-O계 비-단결정막을 반도체층으로서 포함하는 신뢰성이 높은 실시의 형태 1에 도시되는 박막 트랜지스터를 사용할 수 있다. 본 실시의 형태에서, 박막 트랜지스터(4509, 4510)는 n채널형 박막 트랜지스터이다.
- [0296] 또한, 도면 부호 4511은 발광 소자를 나타낸다. 발광 소자(4511)에 포함되는 화소 전극인 제1 전극층(4517)은 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층에 전기적으로 접속되어 있다. 또한, 발광 소자(4511)의 구성은 제1 전극층(4517), 전계 발광층(4512) 및 제2 전극층(4513)의 적층 구조이지만, 본 발명은 본 실시의 형태에 설명된 구성에 한정되지 않는다. 발광 소자(4511)로부터 추출하는 빛의 방향 등에 따라 발광 소자(4511)의 구성은 적절하게 변경될 수 있다.
- [0297] 분리벽(4520)은 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성된다. 특히 분리벽(4520)은 감광성의 재료를 이용하고 형성되고, 제1 전극층(4517) 위에 개구부를 형성하여 그 개구부의 측벽이 연속한 곡률을 갖는 경사면으로서 형성되는 것이 바람직하다.
- [0298] 전계 발광층(4512)은 단일층을 사용하여 또는 복수의 층이 적층되는 것에 의해 형성될 수 있다.
- [0299] 발광 소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록 제2 전극층(4513) 및 분리벽(4520) 위에 보호막을 형성해도 좋다. 보호막으로서, 질화실리콘막, 질화산화실리콘막, DLC막 등을 형성할 수 있다.
- [0300] 또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b) 및 화소부(4502)에는 각종 신호 및 전위가 FPC(4518a, 4518b)로부터 공급된다.
- [0301] 본 실시의 형태에서는, 접속 단자 전극(4515)이 발광 소자(4511)에 포함되는 제1 전극층(4517)과 동일한 도전막으로 형성되고, 단자 전극(4516)은 박막 트랜지스터(4509, 4510)에 포함되는 소스 및 드레인 전극층과 동일한 도전막으로 형성되어 있다.
- [0302] 접속 단자 전극(4515)은 FPC(4518a)에 포함되는 단자에 이방성 도전막(4519)을 통해 전기적으로 접속되어 있다.
- [0303] 발광 소자(4511)로부터 빛이 추출되는 방향에 위치하는 제2 기관은 투광성을 가질 필요가 있다. 그 경우에는, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성 재료를 사용한다.
- [0304] 충전재(4507)로서는, 질소 또는 아르곤 등의 불활성 가스 이외에, 자외선 경화 수지 또는 열경화 수지를 사용할 수 있다. 예를 들어, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌비닐 아세테이트)를 사용할 수 있다. 본 실시의 형태에서는, 충전재(4507)로서 질소를 사용했다.
- [0305] 또한, 필요하다면, 발광 소자의 발광면에 편광판, 원 편광판(타원 편광판을 포함), 위상차판($\lambda/4$ 판 또는 $\lambda/2$ 판), 또는 컬러 필터 등의 광학 필름을 적절하게 구비해도 된다. 또한, 편광판 또는 원 편광판에는 반사 방지막을 제공해도 된다. 예를 들면, 표면의 요철에 의해 반사광을 확산하여 섬광(glare)을 저감할 수 있는 안티-섬광 처리를 실시할 수 있다.
- [0306] 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는 별도로 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 구동 회로로서 제공되어도 된다. 또한, 신호선 구동 회로 또는 그 일부 또는 주사선 구동 회로 또는 그 일부분을 별도로 형성해서 설치해도 된다. 본 실시의 형태는 도 24a 및 도 24b에 도시된 구성에 한정되지 않는다.
- [0307] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 발광 표시 장치(표시 패널)를 제작할 수 있다.

- [0308] 본 실시의 형태는 다른 실시의 형태 중 임의의 것과 적절하게 조합하여 구현되는 것이 가능하다.
- [0309] (실시의 형태 8)
- [0310] 본 발명에 따른 반도체 장치는 전자 페이퍼로서 적용될 수 있다. 전자 페이퍼는 데이터를 표시할 수 있다면 각종 분야의 전자 기기에 사용되는 것이 가능하다. 예를 들면, 본 발명에 따른 전자 페이퍼를 전자 서적(e-book) 판독기, 포스터(poster), 기차 등의 차내 광고, 크레딧 카드 등의 각종 카드의 표시 등에 적용될 수 있다. 전자 기기의 일예를 도 25a 및 도 25b 및 도 26에 도시한다.
- [0311] 도 25a는 전자 페이퍼를 이용하여 형성된 포스터(2631)를 나타내고 있다. 광고 매체가 종이 인쇄물인 경우에는, 광고의 교환은 노동력에 의해 행해진다; 그러나, 전자 페이퍼를 사용하면, 단시간에 광고의 표시를 변경할 수 있다. 또한, 화상은 비틀어짐 없이 안정되게 표시될 수 있다. 또한, 포스터는 무선으로 데이터를 송수신하도록 구성될 수 있다.
- [0312] 도 25b는 전자 등의 차내 광고(2632)를 나타내고 있다. 광고 매체가 종이 인쇄물인 경우에는, 광고의 교환은 노동력에 의해 행해진다; 그러나, 전자 페이퍼를 사용하면, 많은 노동력 없이 단시간에 광고의 표시를 변경할 수 있다. 또한, 화상은 비틀어짐 없이 안정되게 표시될 수 있다. 또한, 차내 광고는 무선으로 데이터를 송수신하도록 구성될 수 있다.
- [0313] 도 26은 전자 서적 판독기(2700)의 일예를 도시하고 있다. 예를 들면, 전자서적 판독기(2700)는 2개의 하우징인 하우징(2701) 및 하우징(2703)을 포함한다. 하우징(2701) 및 하우징(2703)은 힌지(2711)와 결합되어, 상기 전자 서적 판독기(2700)는 상기 힌지(2711)를 축으로 하여 개폐될 수 있다. 이러한 구성에 의해, 전자 서적 판독기(2700)는 종이 서적과 같이 동작을 행하는 것이 가능해진다.
- [0314] 하우징(2701) 및 하우징(2703)에는 각각 표시부(2705) 및 표시부(2707)가 갖추어져 있다. 표시부(2705) 및 표시부(2707)는 하나의 화상 또는 상이한 화상을 표시하도록 구성될 수 있다. 표시부(2705) 및 표시부(2707)가 상이한 화상을 표시하는 경우에는, 예를 들면 오른쪽의 표시부(도 26에서는 표시부(2705))가 텍스트를 표시하고, 좌측의 표시부(도 26에서는 표시부(2707))가 그래픽을 표시할 수 있다.
- [0315] 도 26은 하우징(2701)에 조작부 등을 제공한 예를 도시하고 있다. 예를 들면, 하우징(2701)에는 전원(2721), 조작 키(2723), 스피커(2725) 등을 제공하고 있다. 조작 키(2723)에 의해, 페이지를 넘길 수 있다. 또한, 하우징에서 표시부가 제공되어 있는 면에 키보드, 포인팅 디바이스 등을 제공할 수 있다. 또한, 하우징의 이면 또는 측면에, 외부 접속용 단자(이어폰 단자, USB 단자, AC 어댑터 및 USB 케이블 등의 각종 케이블에 접속 가능한 단자 등), 기록 매체 삽입부 등을 제공할 수 있다. 또한, 전자 서적 판독부(2700)는 전자 사전으로서의 기능을 가질 수 있다.
- [0316] 전자 서적 판독기(2700)는 무선으로 데이터를 송수신하도록 구성될 수 있다. 무선에 의해 전자 서적 서버로부터 원하는 서적 데이터 등을 구입 및 다운로드하는 구성을 채용할 수 있다.
- [0317] (실시의 형태 9)
- [0318] 본 발명에 따른 반도체 장치는 각종 전자 기기(오락기(amusement machine)를 포함)에 적용될 수 있다. 전자 기기로서는, 예를 들면, 텔레비전 세트(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화 또는 휴대 전화 장치라고도 함), 휴대형 게임 콘솔, 휴대용 정보 단말기, 음향 재생 장치, 파칭코 기기(pachinko machine) 등의 대형 게임기 등을 포함할 수 있다.
- [0319] 도 27a는 텔레비전 세트(9600)의 일예를 도시하고 있다. 텔레비전 세트(9600)에서는, 하우징(9601)에 표시부(9603)가 갖추어져 있다. 표시부(9603)는 화상을 표시할 수 있다. 또한, 여기서는 스탠드(9605)에 의해 하우징(9601)을 지지한다.
- [0320] 텔레비전 세트(9600)의 조작은 하우징(9601)의 조작 스위치 또는 별도의 리모트 컨트롤 조작기(9610)에 의해 행해질 수 있다. 리모트 컨트롤 조작기(9610)의 조작키(9609)에 의해 채널 및 음량이 조절될 수 있고, 표시부(9603)에 표시되는 화상을 조절할 수 있다. 또한, 리모트 컨트롤 조작기(9610)에는, 리모트 컨트롤 조작기(9610)로부터 출력되는 데이터를 표시하는 표시부(9607)가 구비될 수 있다.
- [0321] 또한, 텔레비전 세트(9600)에는 수신기, 모뎀 등이 구비되어 있다. 수신기에 의해, 일반의 텔레비전 방송의 수신을 행할 수 있다. 또한, 텔레비전 세트(9600)가 모뎀을 통해 유선 또는 무선에 의한 통신 네트워크에 접속되

면, 일방향(송신자로부터 수신자로) 또는 쌍방향(송신자와 수신자 간 그리고 수신자 간)의 데이터 통신을 행하는 것도 가능하다.

- [0322] 도 27b는 디지털 포토 프레임(9700)의 일예를 도시하고 있다. 예를 들면, 디지털 포토 프레임(9700)에서는, 하우스(9701)에 표시부(9703)가 갖추어져 있다. 표시부(9703)는 각종 화상을 표시하는 것이 가능하다. 예를 들면, 표시부(9703)는 디지털 카메라 등에 의해 촬영된 화상 데이터를 표시할 수 있고, 일반적인 포토 프레임으로서 기능할 수 있다.
- [0323] 또한, 디지털 포토 프레임(9700)에는 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블에 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비할 수 있다. 이들 부품은 표시부가 제공되어 있는 면에 갖추어져 있을지라도, 디지털 포토 프레임(9700)의 디자인을 위해 이들을 측면 또는 이면에 제공하는 것이 바람직하다. 예를 들면, 디지털 포토 프레임의 기록 매체 삽입부에, 디지털 카메라로 촬영된 화상 데이터를 기억한 메모리를 삽입함으로써, 화상 데이터를 전송하여, 표시부(9703)에 표시시킬 수 있다.
- [0324] 디지털 포토 프레임(9700)은 무선으로 정보를 송수신하도록 구성될 수 있다. 무선에 의해 원하는 화상 데이터를 전송하여 표시시키는 구성을 채용할 수도 있다.
- [0325] 도 28a는 휴대형 게임기이며, 하우스(9881) 및 하우스(9891)의 2개의 하우스를 포함하고, 연결부(9893)에 의해 접속되어, 휴대형 게임기는 개방 또는 절첩될 수 있다. 하우스(9881)에는 표시부(9882)가 갖추어져 있고, 하우스(9891)에는 표시부(9883)가 갖추어져 있다. 또한, 도 28a에 나타내는 휴대형 게임기는 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단[조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 빛, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 구비), 및 마이크로폰(9889)] 등을 구비하고 있다. 물론, 휴대형 게임기의 구성은 상술된 것에 한정되지 않는다. 휴대형 게임기는 적어도 반도체 장치를 구비한다면 추가의 부속 설비가 적절하게 마련되어진 구성을 가질 수 있다. 도 28a에 나타내는 휴대형 게임기는 기록 매체에 기록되는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능 및 다른 휴대형 게임기와 무선 통신을 통해 정보를 공유하는 기능을 갖는다. 또한, 도 28a에 도시되는 휴대형 게임기는 상술된 것에 한정되지 않고, 휴대용 게임기는 다양한 기능을 가질 수 있다.
- [0326] 도 28b는 대형 오락기인 슬롯 머신(9900)의 일예를 도시하고 있다. 슬롯 머신(9900)에서는, 하우스(9901)에 표시부(9903)가 갖추어져 있다. 또한, 슬롯 머신(9900)에는 스타트 레버 및 스톱 스위치 등의 조작 수단, 코인 슬롯, 스피커 등이 구비되어 있다. 물론, 슬롯 머신(9900)의 구성은 상술된 구성에 한정되지 않는다. 슬롯 머신은 적어도 본 발명에 따른 반도체 장치를 구비한다면 추가의 부속 설비가 적절하게 마련되어진 구성을 가질 수 있다.
- [0327] 도 29a는 휴대 전화기(1000)의 일예를 도시하고 있다. 휴대 전화기(1000)는 하우스(1001)에 갖추어진 표시부(1002), 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크로폰(1006) 등을 구비하고 있다.
- [0328] 도 29a에 도시되는 휴대 전화기(1000)의 표시부(1002)를 손가락 등으로 접촉하면, 데이터를 휴대 전화기(1000)에 입력할 수 있다. 또한, 전화 걸기 및 문자 메시지 주고 받기 등의 조작은 표시부(1002)를 손가락 등으로 접촉하는 것에 의해 행할 수 있다.
- [0329] 주로 표시부(1002)의 3개의 화면 모드가 있다. 제1 모드는 화상의 표시를 주로 하는 표시 모드이다. 제2 모드는 문자 등의 데이터의 입력을 주로 하는 입력 모드이다. 제3 모드는 표시 모드 및 입력 모드의 조합, 즉, 2개의 모드의 조합인 표시 및 입력 모드이다.
- [0330] 예를 들면, 전화 걸기 및 문자 메시지 주고 받기의 경우에는, 표시부(1002)를 문자의 입력을 주로 하는 문자 입력 모드로 선택하여, 화면에 표시시킨 문자의 입력을 행할 수 있다. 이 경우, 표시부(1002)의 화면의 대부분에 키보드 또는 번호 버튼을 표시시키는 것이 바람직하다.
- [0331] 휴대 전화기(1000) 내부에, 자이로스코프 또는 가속도 센서 등의 경사를 검출하는 센서를 포함하는 검출 장치를 설치하면, 휴대 전화기(1000)의 배향(휴대 전화기(1000)가 전망(landscape) 모드 또는 초상(portrait) 모드에서 수평 또는 수직으로 배치되어 있는지)을 결정함으로써 표시부(1002)의 화면 표시를 자동적으로 변경할 수 있다.
- [0332] 화면 모드는 표시부(1002)를 접촉하거나 또는 하우스(1001)의 조작 버튼(1003)을 사용함으로써 변경될 수 있다. 대안적으로, 화면 모드는 표시부(1002)에 표시되는 화상의 종류에 따라 변경될 수도 있다. 예를 들면, 표시부에 표시되는 화상 신호가 동영상 데이터이면, 화면 모드는 표시 모드로 변경된다. 신호가 텍스트 데이터이면,

화면 모드는 입력 모드로 변경된다.

- [0333] 또한, 입력 모드에서, 표시부(1002)의 광센서에 의해 검출되는 신호를 검지하고, 표시부(1002)의 터치 조작에 의한 입력이 소정 기간 행해지지 않는 경우에는, 화면 모드를 입력 모드로부터 표시 모드로 변경되도록 제어해도 좋다.
- [0334] 표시부(1002)는 이미지 센서로서 기능할 수도 있다. 예를 들면, 표시부(1002)에 손바닥 또는 손가락을 접촉할 때 장문(palm print), 지문 등의 화상을 촬상함으로써, 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광을 발광하는 백라이트 또는 센싱용 광원을 제공함으로써, 손가락 정맥, 손바닥 정맥 등의 화상을 촬상할 수도 있다.
- [0335] 도 29b도 휴대 전화기의 일예를 도시한다. 도 29b의 휴대 전화기는 표시 장치(9410)와 통신 장치(9400)를 포함한다. 표시 장치(9410)는 표시부(9412) 및 조작 버튼(9413)을 포함하는 하우징(9411)을 포함한다. 통신 장치(9400)는 조작 버튼(9402), 외부 입력 단자(9403), 마이크로폰(9404), 스피커(9405) 및 착신 시에 발광하는 발광부(9406)를 포함하는 하우징(9401)을 포함한다. 표시 기능을 구비하는 표시 장치(9410)는 통신 장치(9400)로부터 화살표로 표시된 2방향으로 탈착 가능하다. 따라서, 표시 장치(9410)와, 전화 기능을 구비하는 통신 장치(9400)는 단축을 따라 또는 장축을 따라 서로 부착될 수 있다. 표시 기능만을 필요로 하는 경우, 통신 장치(9400)를 표시 장치(9410)로부터 분리하여, 표시 장치(9410)를 단독으로 사용할 수도 있다. 통신 장치(9400)와 표시 장치(9410)는 각각 무선 통신 또는 유선 통신에 의해 화상 또는 입력 정보를 송수신할 수 있고, 각각 충전 가능한 배터리를 구비한다.
- [0336] 본 출원은 2008년 11월 7일자로 출원된 일본 특허 출원 제2008-286278호를 기초로 하여 우선권을 주장하며, 그 전체 내용은 본 명세서에 참조로서 인용된다.

부호의 설명

- [0337] 100: 기관
- 101: 게이트 전극층
- 102: 게이트 절연막
- 103: 산화물 반도체막
- 104: 산화물 반도체막
- 106: 레지스트 마스크
- 107: 산화물 반도체층
- 108: 산화물 반도체층
- 109a: 레지스트 마스크
- 109b: 레지스트 마스크
- 110a: 도전층
- 110b: 도전층
- 111a: 산화물 반도체층
- 111b: 산화물 반도체층
- 112: 오목부
- 113: 배리어막
- 114: 투명 도전층
- 114a: 투명 도전층
- 114b: 투명 도전층
- 114c: 투명 도전층

- 120: 용량 배선
- 121: 제1 단자
- 122: 콘택트홀
- 123: 도전막
- 124: 제2 단자
- 125: 접속 전극
- 126: 콘택트홀
- 126a: 콘택트홀
- 126b: 콘택트홀
- 126c: 콘택트홀
- 127: 전극
- 130: 절연막
- 150: 박막 트랜지스터
- 200: 기관
- 201: 게이트 전극층
- 202: 게이트 절연막
- 203: 산화물 반도체막
- 207: 산화물 반도체층
- 210a: 도전층
- 210b: 도전층
- 211a: 산화물 반도체층
- 211b: 산화물 반도체층
- 213: 배리어막
- 214: 투명 도전층
- 230: 절연막
- 250: 박막 트랜지스터
- 300: 기관
- 301: 게이트 전극층
- 302: 게이트 절연막
- 303: 산화물 반도체막
- 307: 산화물 반도체층
- 308: 산화물 반도체층
- 310a: 도전층
- 310b: 도전층
- 311a: 산화물 반도체층
- 311b: 산화물 반도체층

- 313: 배리어막
- 314: 투명 도전층
- 315: 채널 보호층
- 323: 도전층
- 330: 절연막
- 350: 박막 트랜지스터
- 580: 기관
- 581: 박막 트랜지스터
- 583: 배리어막
- 584: 배리어막
- 585: 절연층
- 587: 제1 전극층
- 588: 제2 전극층
- 589: 구형 입자
- 590a: 흑색 영역
- 590b: 백색 영역
- 594: 캐비티
- 595: 충전재
- 596: 기관
- 1000: 휴대 전화기
- 1001: 하우징
- 1002: 표시부
- 1003: 조작 버튼
- 1004: 외부 접속 포트
- 1005: 스피커
- 1006: 마이크로폰
- 2600: TFT 기관
- 2601: 상대 기관
- 2602: 실린트
- 2603: 화소부
- 2604: 표시 소자
- 2605: 착색층
- 2606: 편광판
- 2607: 편광판
- 2608: 배선 회로부
- 2609: 플렉시블 배선 기관

2610: 냉음극관
2611: 반사판
2612: 회로 기관
2613: 확산판
2631: 포스터
2632: 차내 광고
2700: 전자 서적 판독기
2701: 하우징
2703: 하우징
2705: 표시부
2707: 표시부
2711: 축부
2721: 전원
2723: 조작키
2725: 스피커
4001: 제1 기관
4002: 화소부
4003: 신호선 구동 회로
4004: 주사선 구동 회로
4005: 실린트
4006: 제2 기관
4008: 액정층
4010: 박막 트랜지스터
4011: 박막 트랜지스터
4013: 액정 소자
4015: 접속 단자 전극
4016: 단자 전극
4018: FPC
4019: 이방성 도전막
4020: 배리어막
4021: 절연층
4030: 화소 전극층
4031: 상대 전극층
4032: 절연층
4033: 절연막
4035: 주상의 스페이서

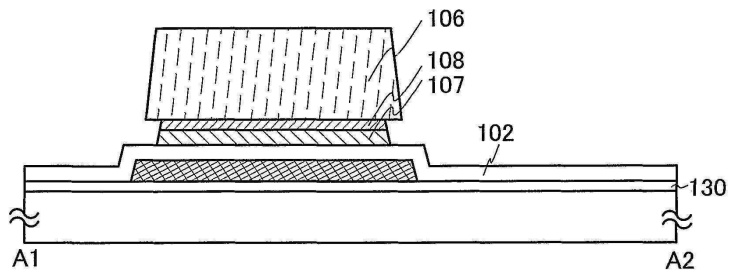
4501: 제1 기관
4502: 화소부
4503a: 신호선 구동 회로
4503b: 신호선 구동 회로
4504a: 주사선 구동 회로
4504b: 주사선 구동 회로
4505: 실린트
4506: 제2 기관
4507: 충전재
4509: 박막 트랜지스터
4510: 박막 트랜지스터
4511: 발광 소자
4512: 전계 발광층
4513: 제2 전극층
4515: 접속 단자 전극
4516: 단자 전극
4517: 제1 전극층
4518a: FPC
4518b: FPC
4519: 이방성 도전막
4520: 분리벽
5300: 기관
5301: 화소부
5302: 주사선 구동 회로
5303: 신호선 구동 회로
5400: 기관
5401: 화소부
5402: 제1 주사선 구동 회로
5403: 신호선 구동 회로
5404: 제2 주사선 구동 회로
5501: 제1 배선
5502: 제2 배선
5503: 제3 배선
5504: 제4 배선
5505: 제5 배선
5506: 제6 배선

5543: 노드
5544: 노드
5571: 제1 박막 트랜지스터
5572: 제2 박막 트랜지스터
5573: 제3 박막 트랜지스터
5574: 제4 박막 트랜지스터
5575: 제5 박막 트랜지스터
5576: 제6 박막 트랜지스터
5577: 제7 박막 트랜지스터
5578: 제8 박막 트랜지스터
5601: 드라이버 IC
5602_1 내지 5602_M: 스위치군
5603a: 제1 박막 트랜지스터
5603b: 제2 박막 트랜지스터
5603c: 제3 박막 트랜지스터
5611: 제1 배선
5612: 제2 배선
5613: 제3 배선
5621_1 내지 5621_M: 배선
5701: 플립플롭
5703a: 타이밍
5703b: 타이밍
5703c: 타이밍
5711: 제1 배선
5712: 제2 배선
5713: 제3 배선
5714: 제4 배선
5715: 제5 배선
5716: 제6 배선
5717_1 내지 5717_n: 제7 배선
5721_J: 신호
5803a: 타이밍
5803b: 타이밍
5803c: 타이밍
5821_J: 신호
6400: 화소

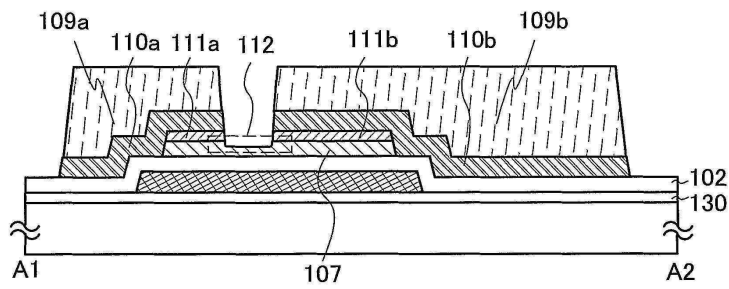
6401: 스위칭용 트랜지스터
6402: 구동용 트랜지스터
6403: 용량 소자
6404: 발광 소자
6405: 신호선
6406: 주사선
6407: 전원선
6408: 공통 전극
7001: 구동용 TFT
7002: 발광 소자
7003: 음극
7004: 발광층
7005: 양극
7008: 배리어막
7009: 배리어막
7011: 구동용 TFT
7012: 발광 소자
7013: 음극
7014: 발광층
7015: 양극
7016: 차광막
7017: 도전막
7018: 배리어막
7019: 배리어막
7021: 구동용 TFT
7022: 발광 소자
7023: 음극
7024: 발광층
7025: 양극
7027: 도전막
7028: 배리어막
7029: 배리어막
9400: 통신 장치
9401:하우징
9402: 조작 버튼
9403: 외부 입력 단자

9404: 마이크로폰
9405: 스피커
9406: 발광부
9410: 표시 장치
9411: 하우징
9412: 표시부
9413: 조작 버튼
9600: 텔레비전 세트
9601: 하우징
9603: 표시부
9605: 스탠드
9607: 표시부
9609: 조작키
9610: 리모트 컨트롤 조작기
9700: 디지털 포토 프레임
9701: 하우징
9703: 표시부
9881: 하우징
9882: 표시부
9883: 표시부
9884: 스피커부
9885: 조작키
9886: 기록 매체 삽입부
9887: 접속 단자
9888: 센서
9889: 마이크로폰
9890: LED 램프
9891: 하우징
9893: 연결부
9900: 슬롯 머신
9901: 하우징
9903: 표시부

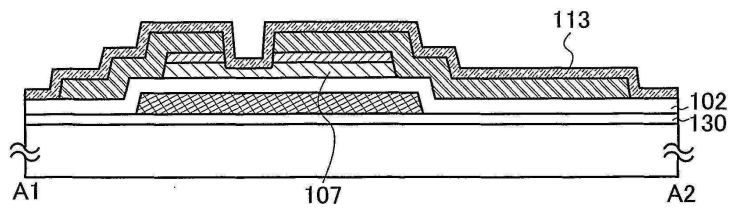
도면2b



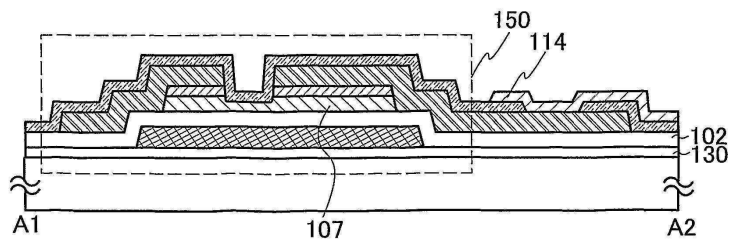
도면2c



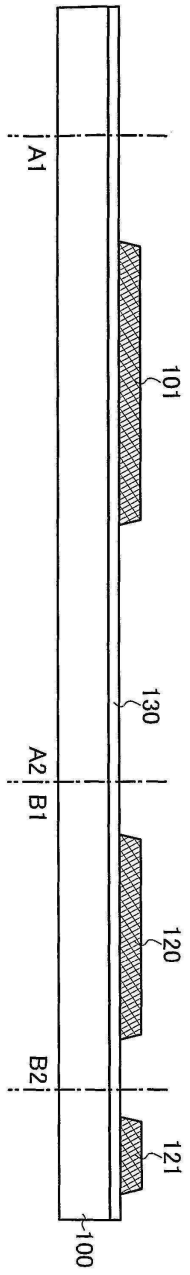
도면2d



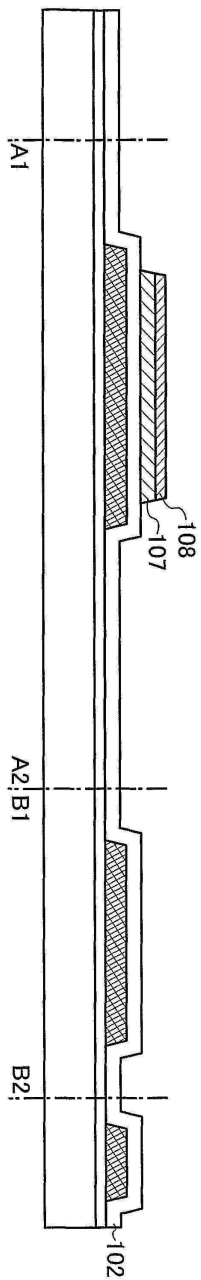
도면2e



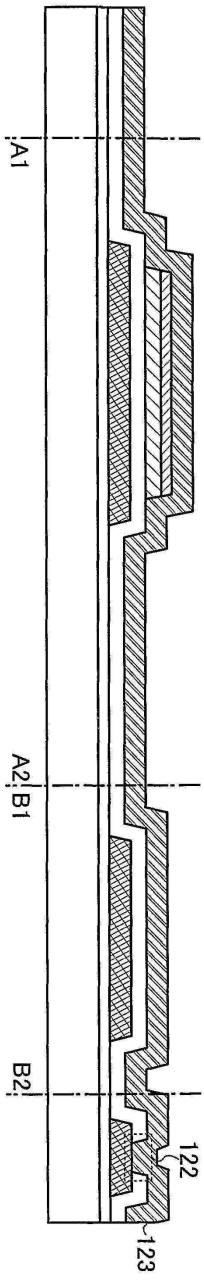
도면3a



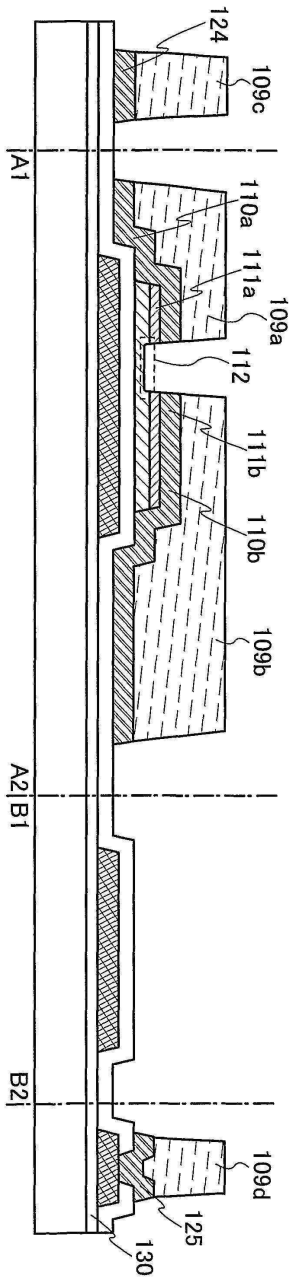
도면3b



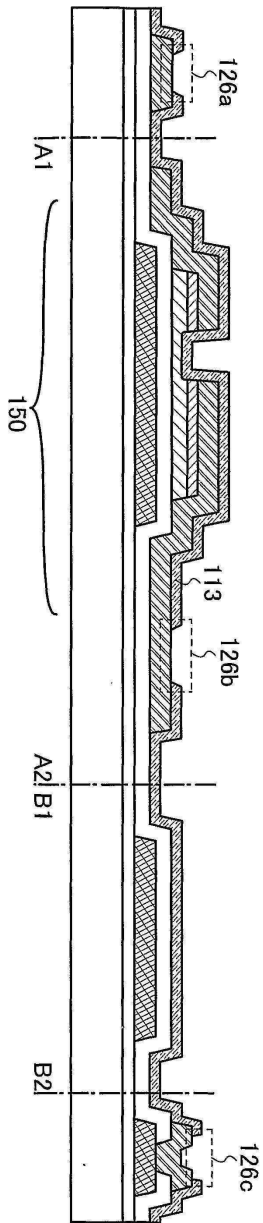
도면3c



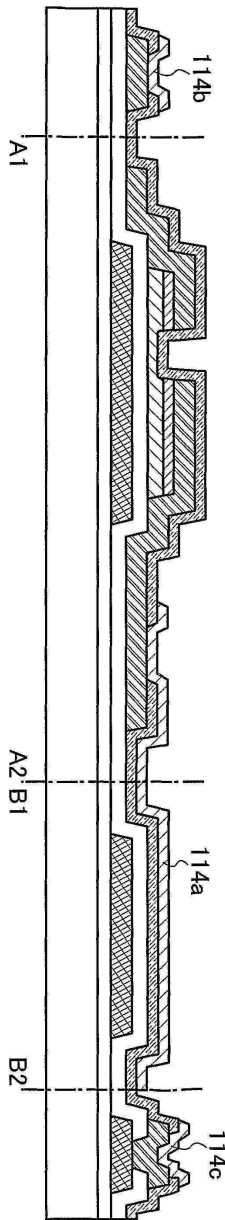
도면4a



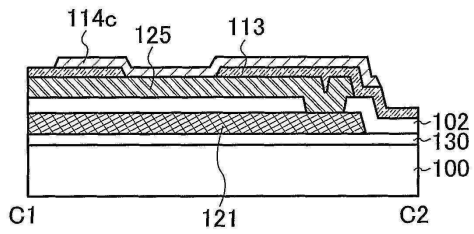
도면4b



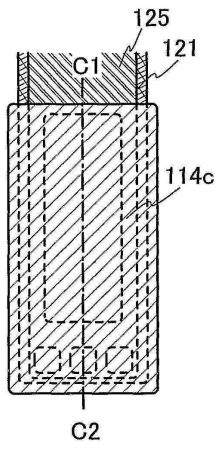
도면4c



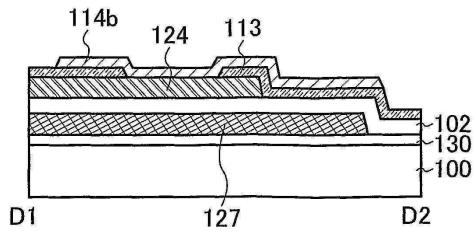
도면5aa



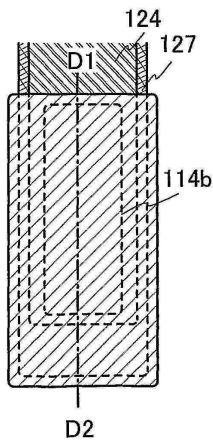
도면5ab



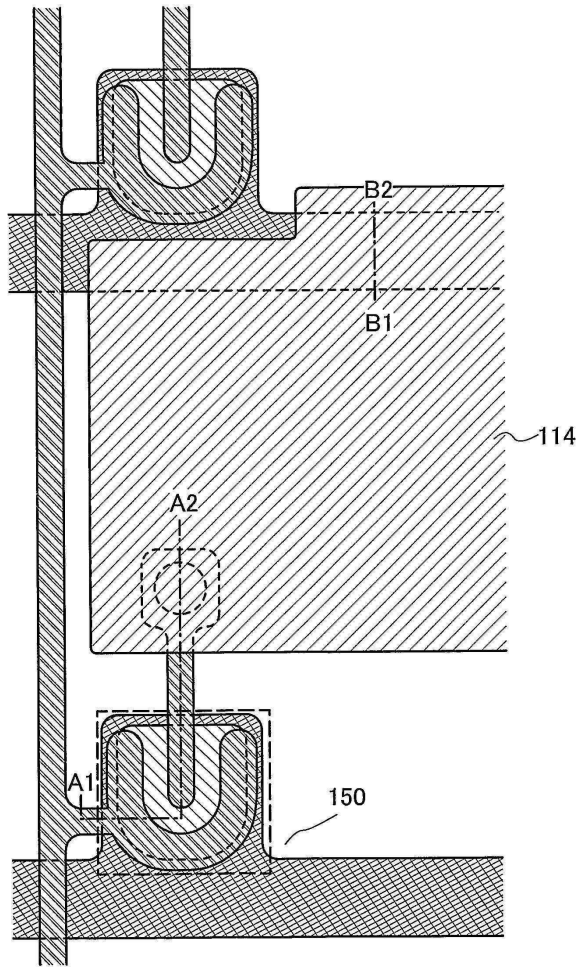
도면5ba



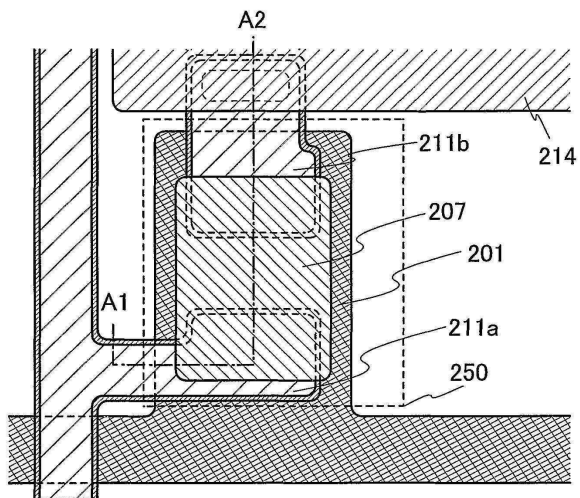
도면5bb



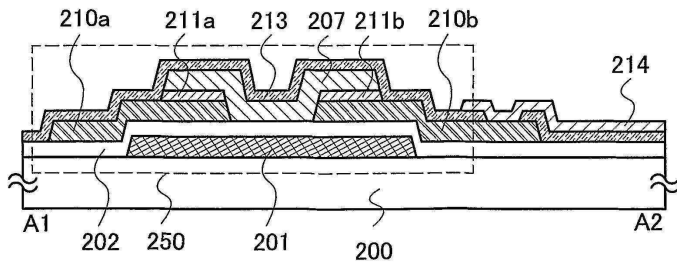
도면6



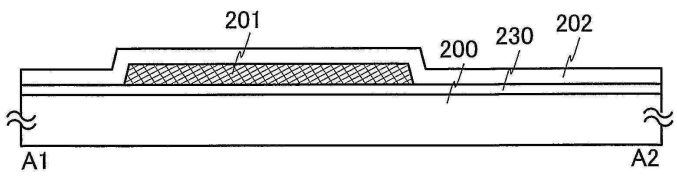
도면7a



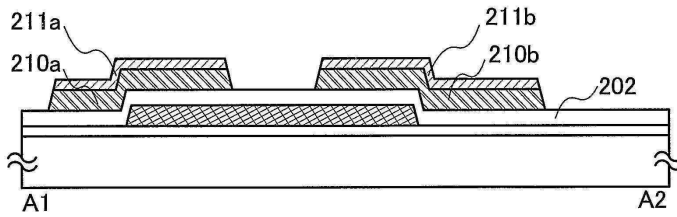
도면7b



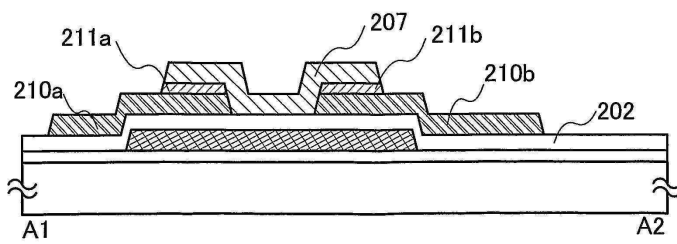
도면8a



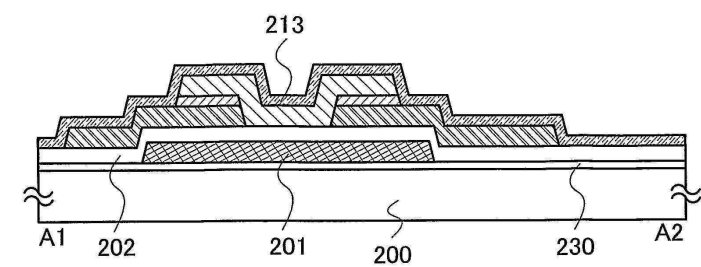
도면8b



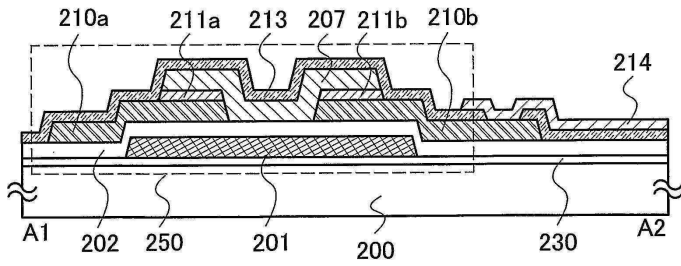
도면8c



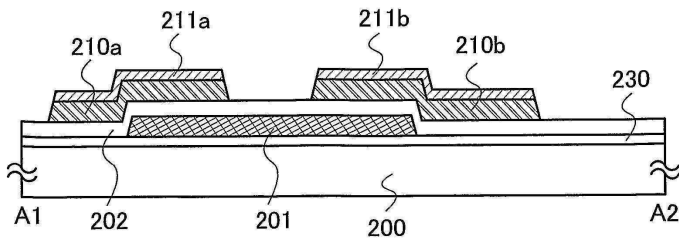
도면9a



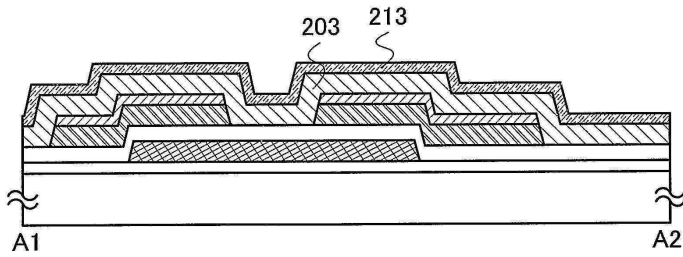
도면9b



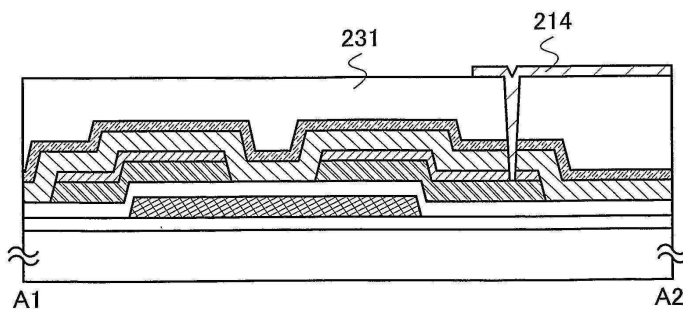
도면10a



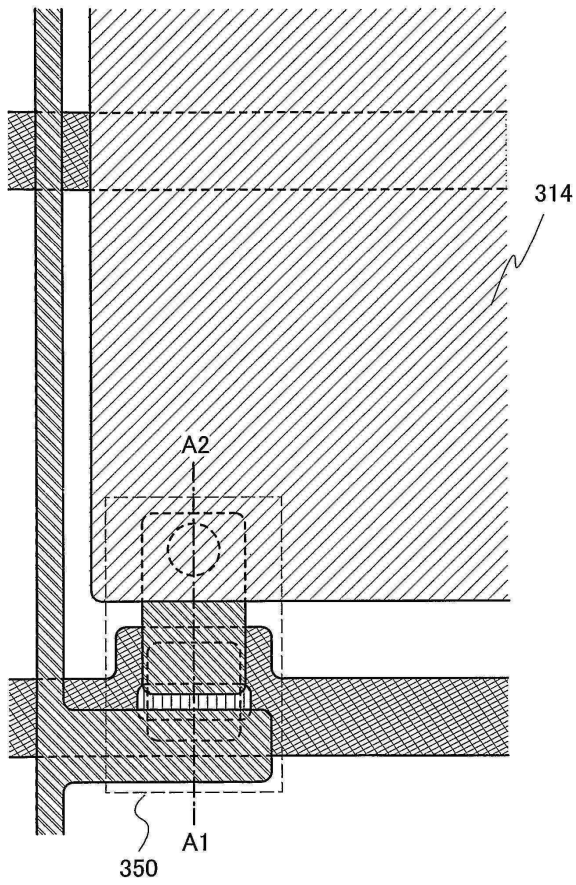
도면10b



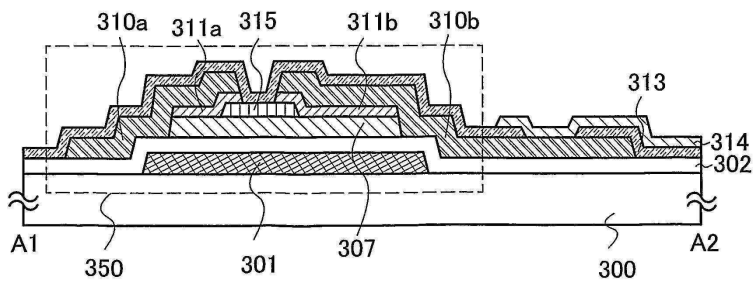
도면10c



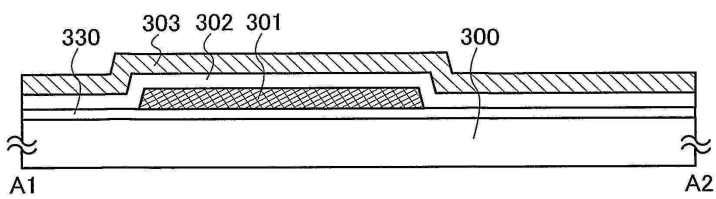
도면11a



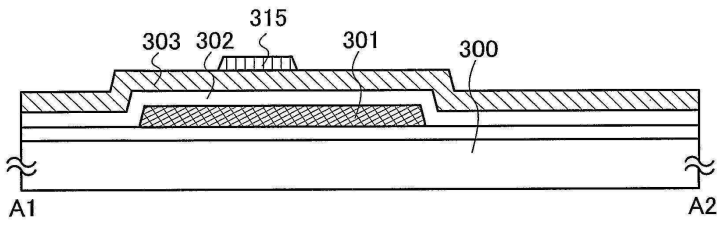
도면11b



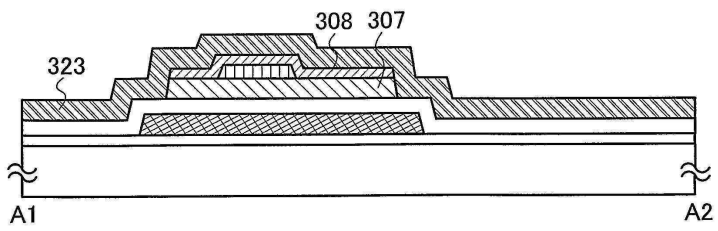
도면12a



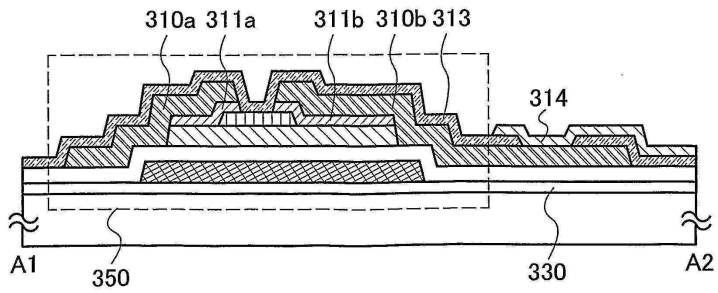
도면12b



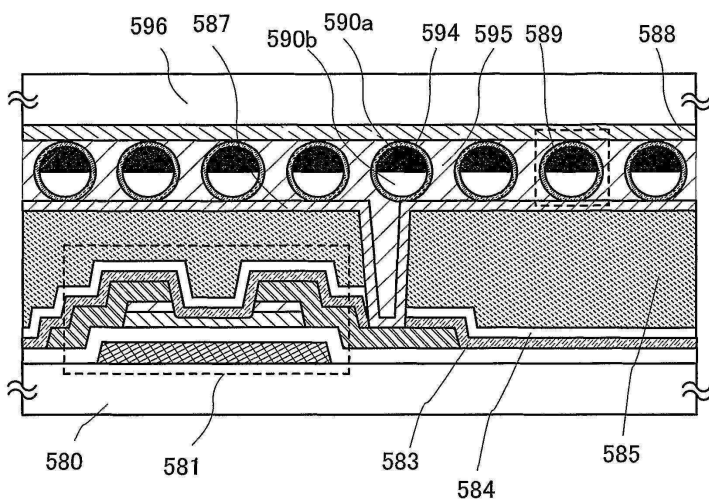
도면12c



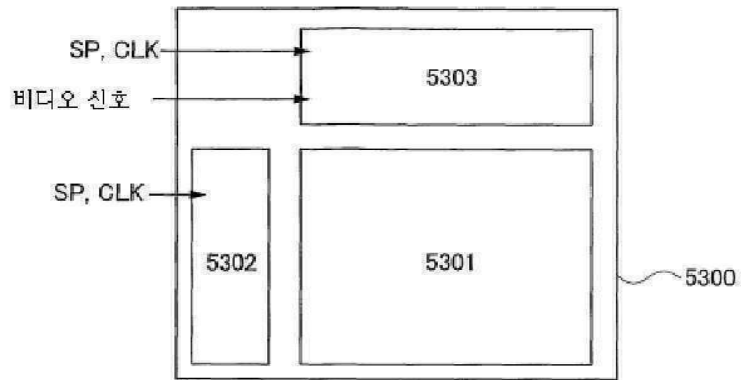
도면12d



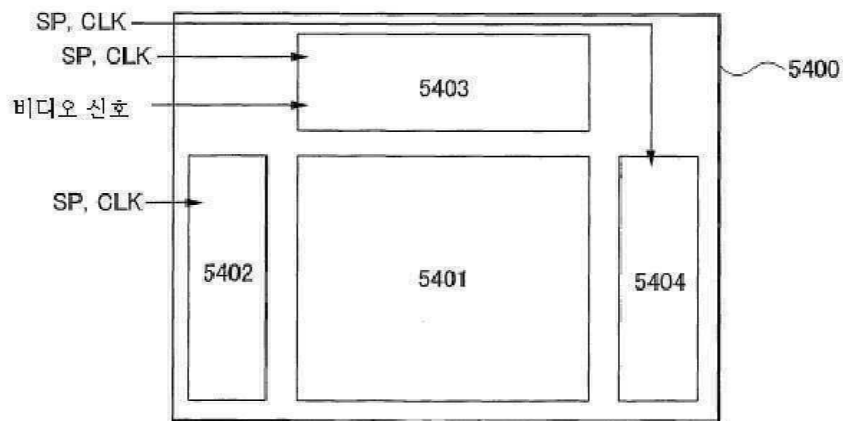
도면13



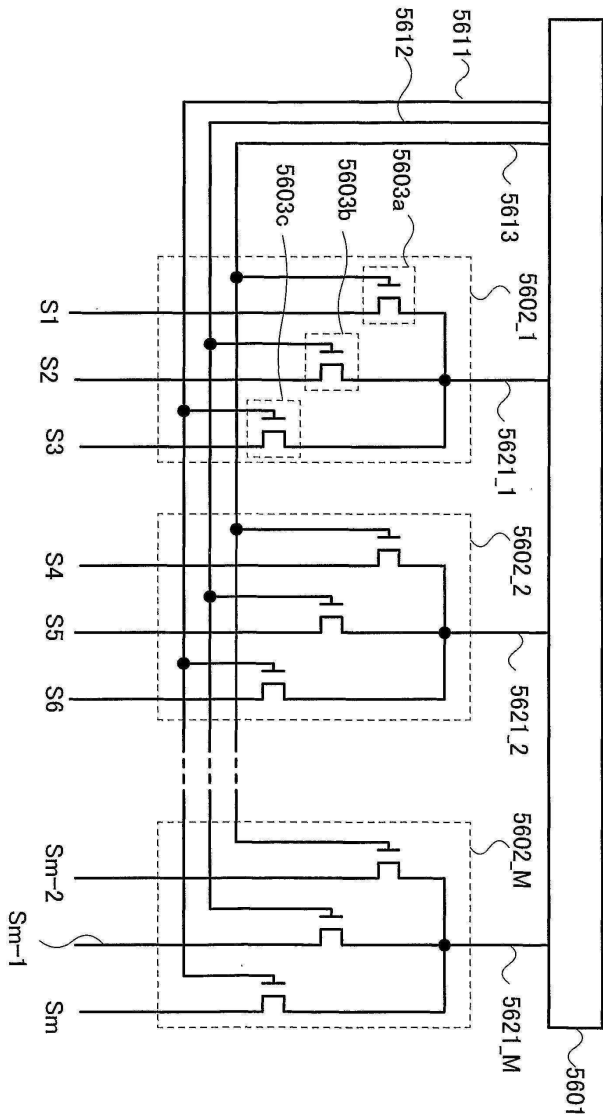
도면14a



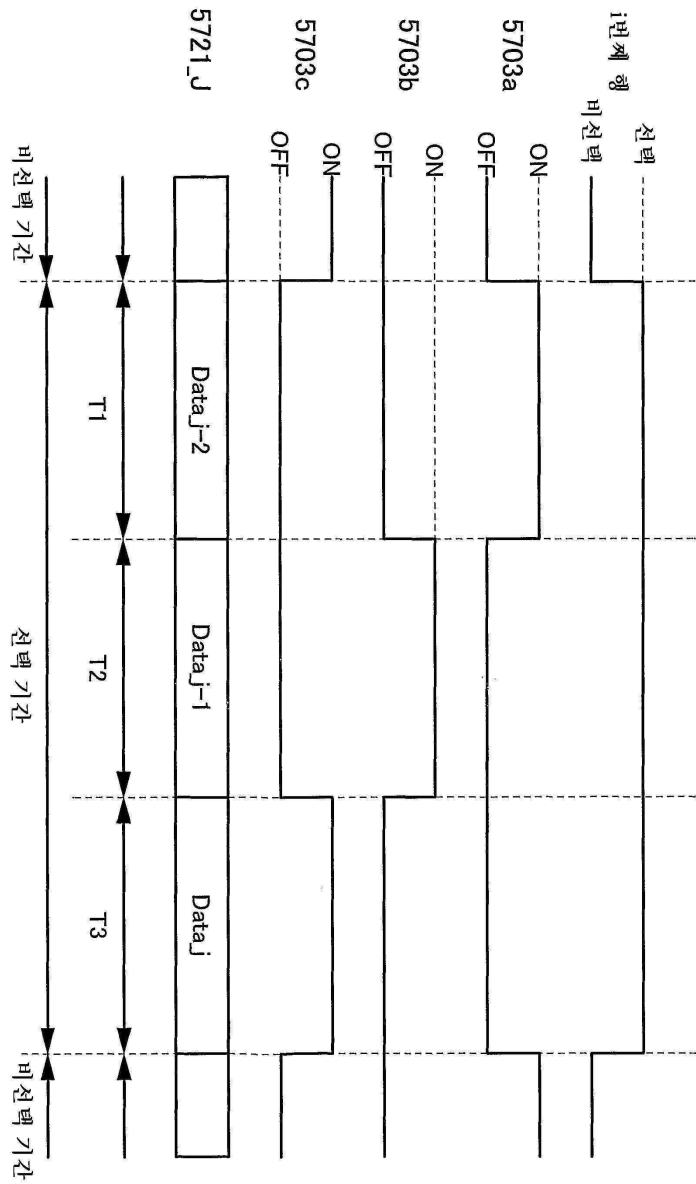
도면14b



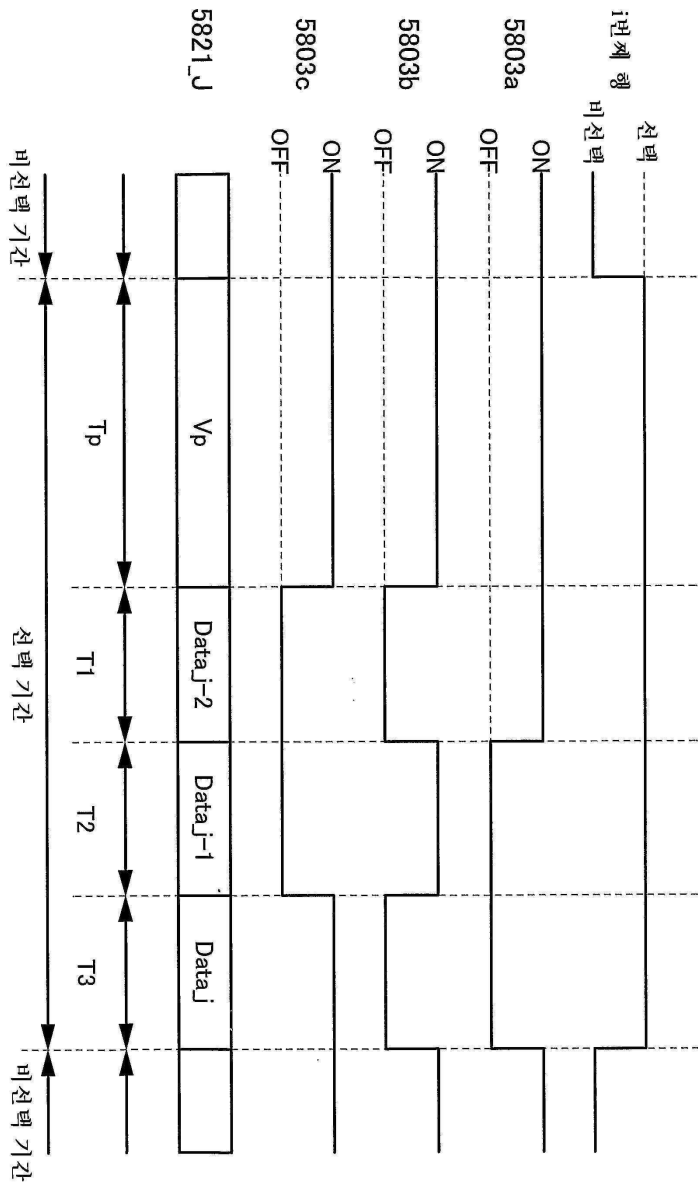
도면15



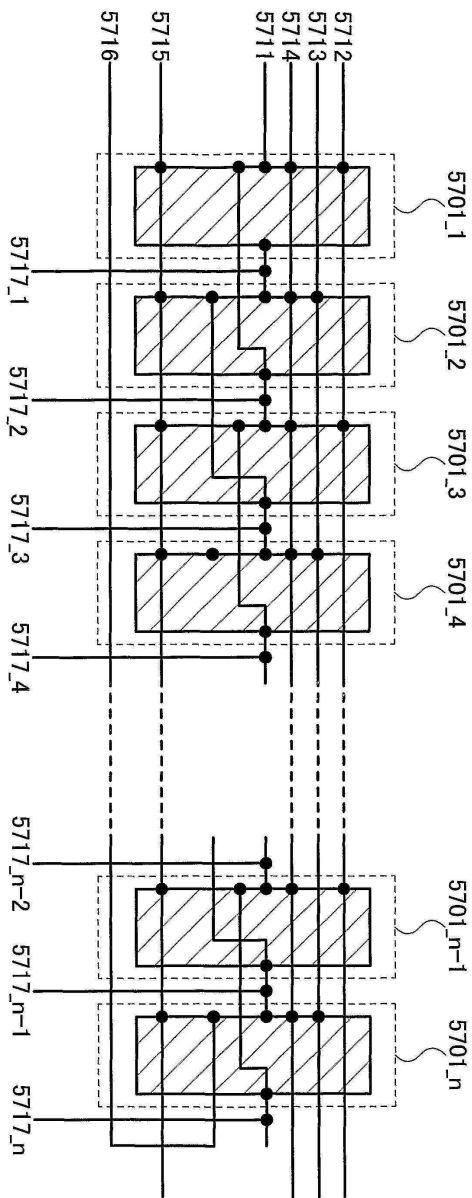
도면16



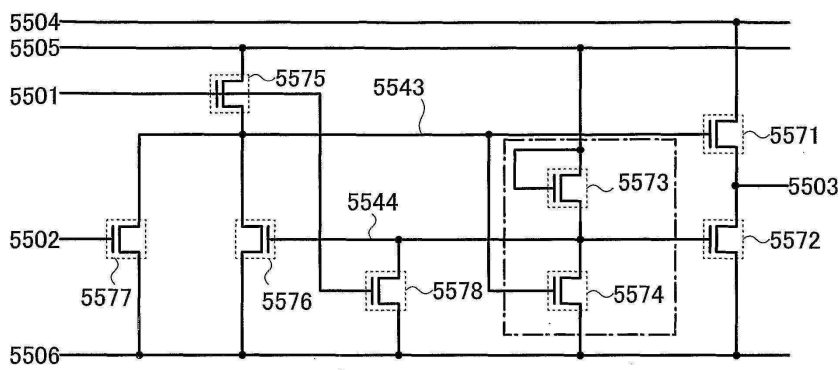
도면17



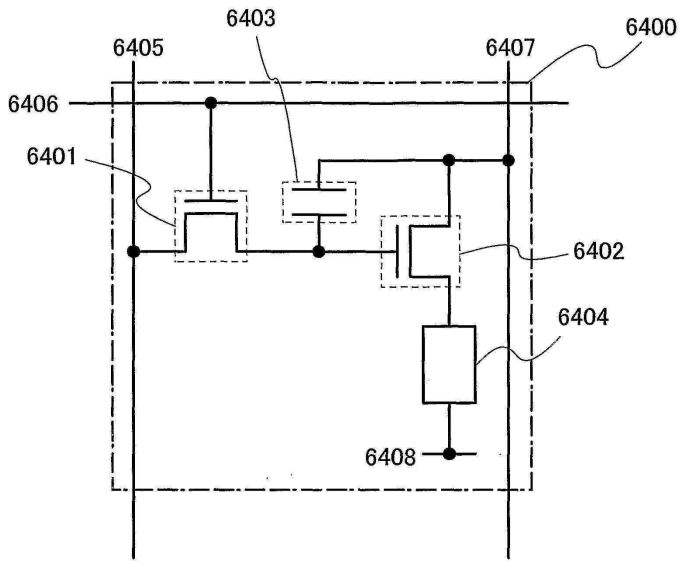
도면18



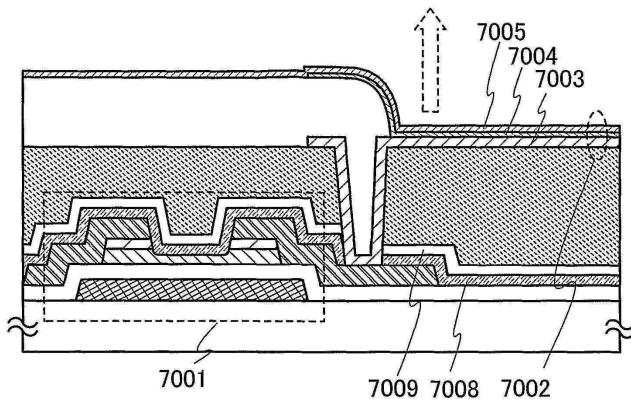
도면19



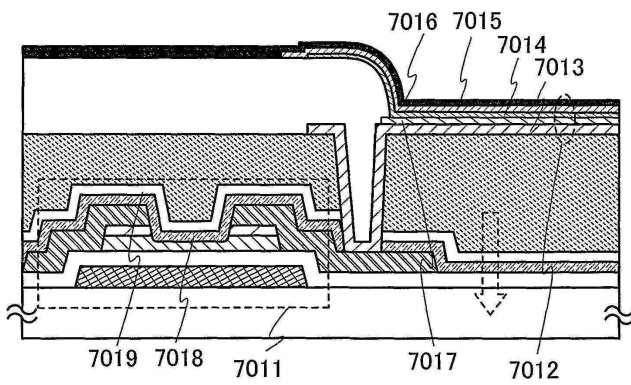
도면20



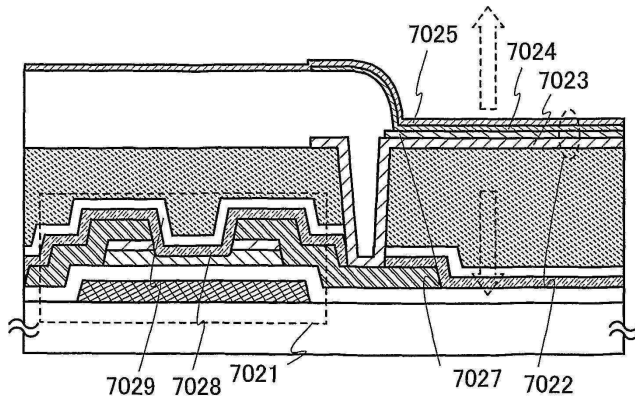
도면21a



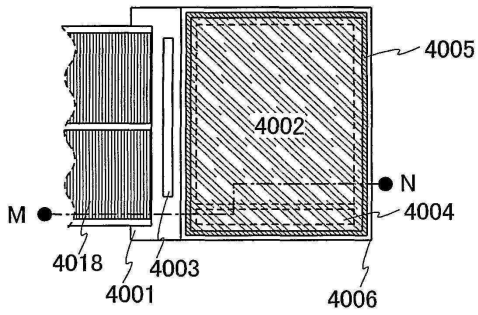
도면21b



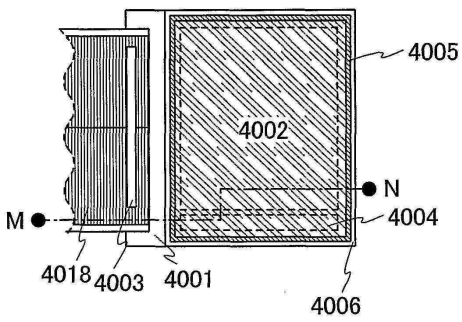
도면21c



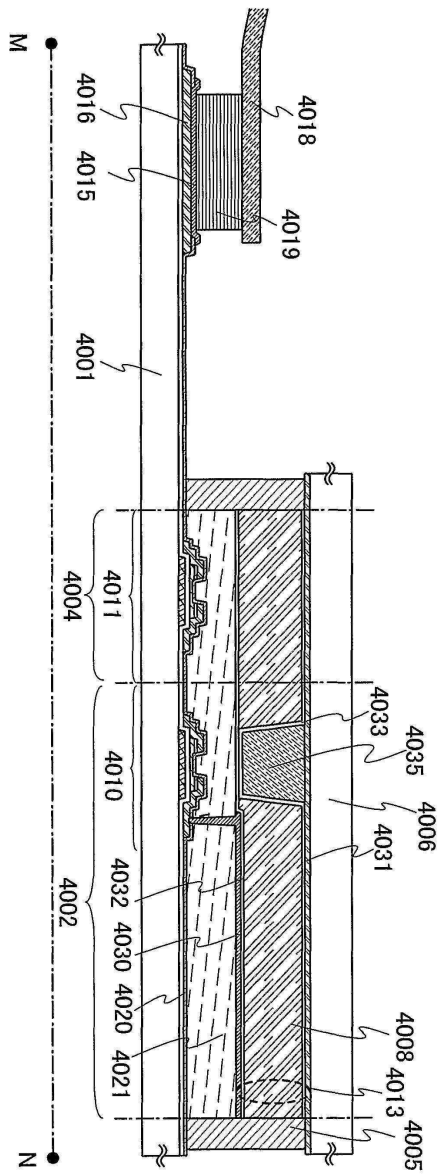
도면22aa



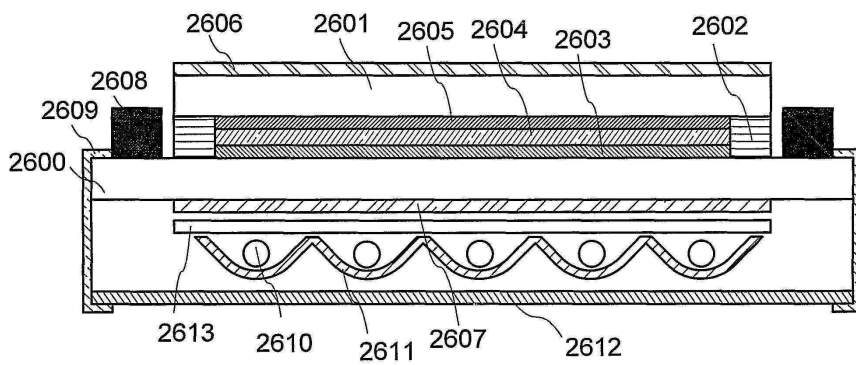
도면22ab



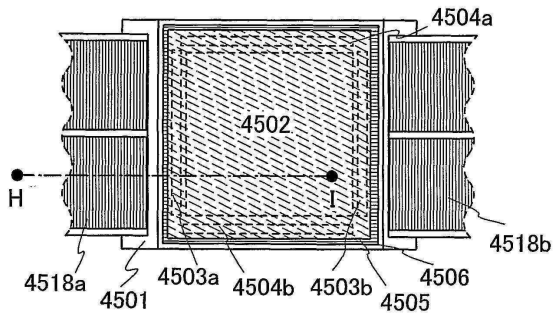
도면22b



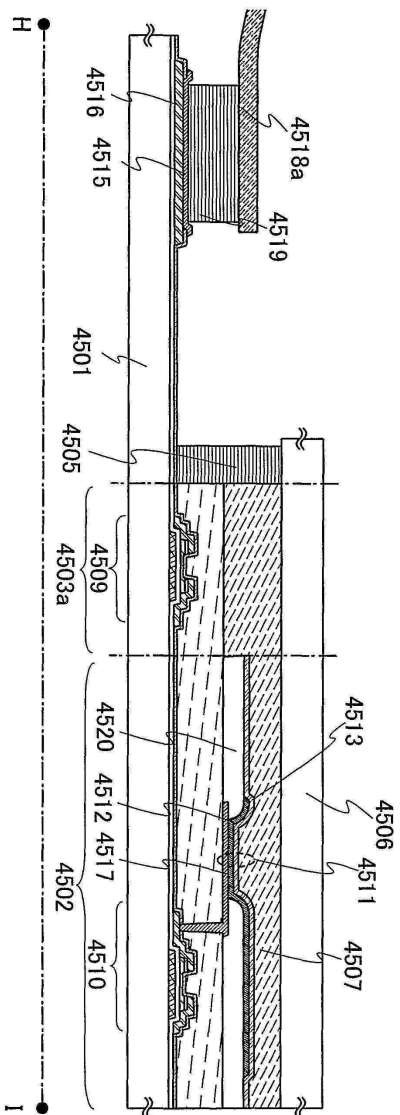
도면23



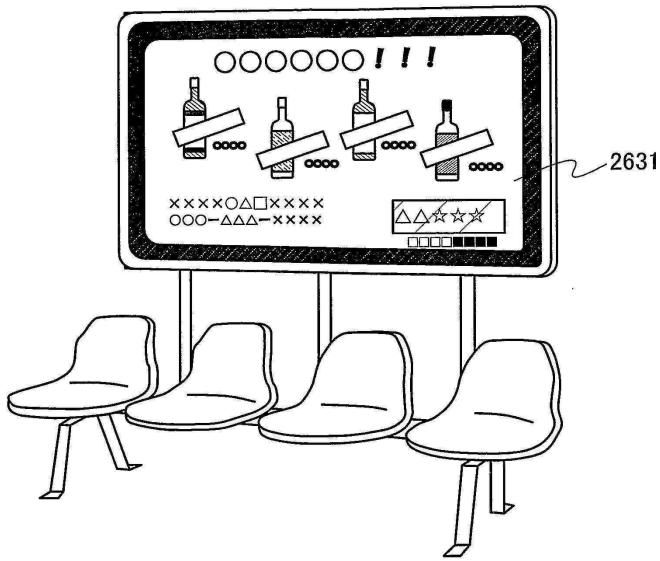
도면24a



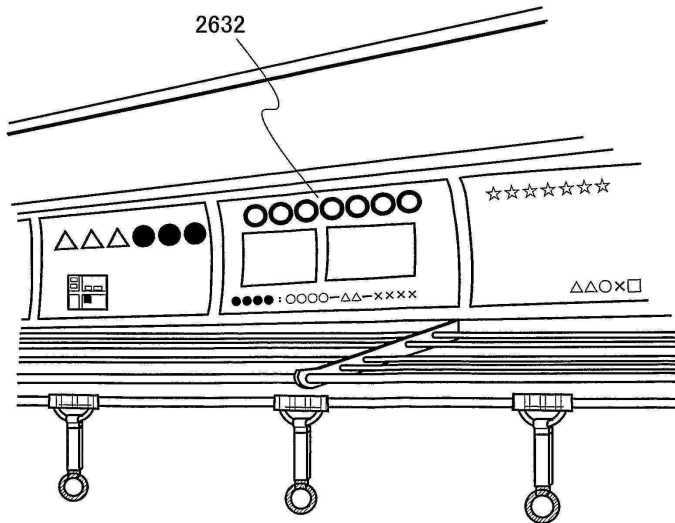
도면24b



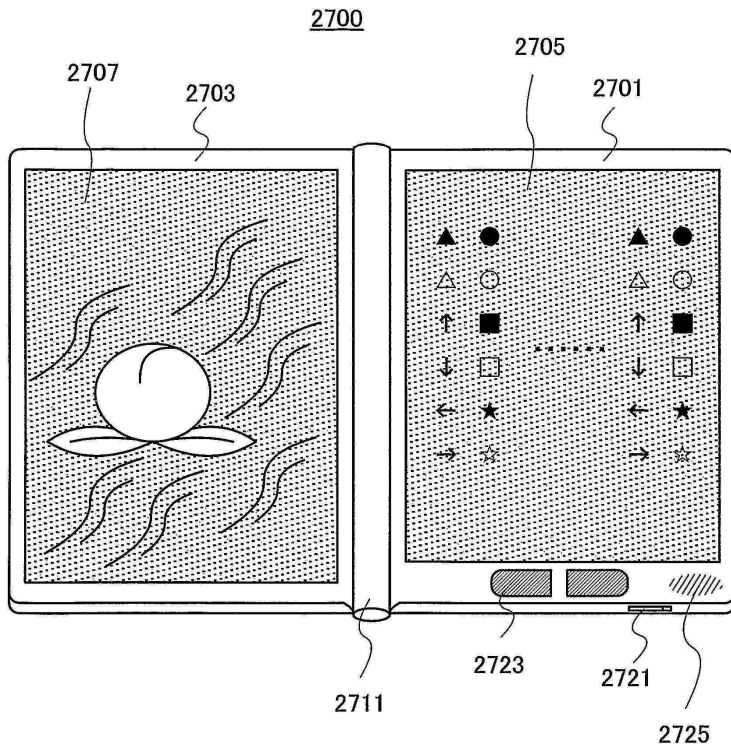
도면25a



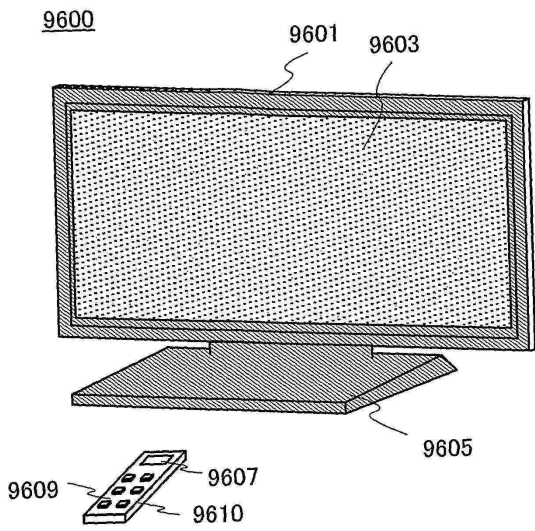
도면25b



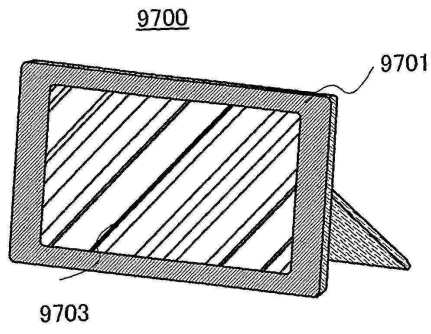
도면26



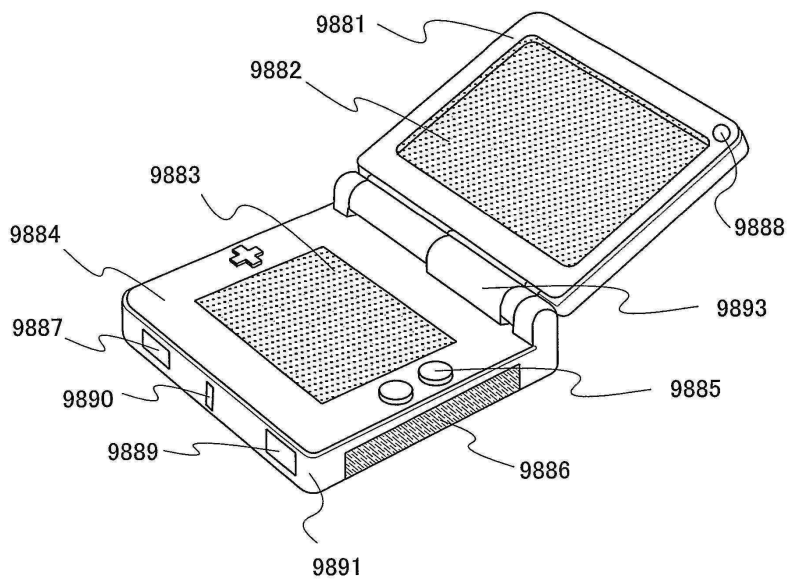
도면27a



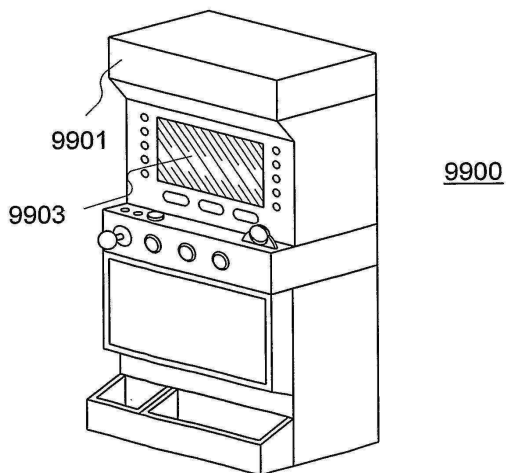
도면27b



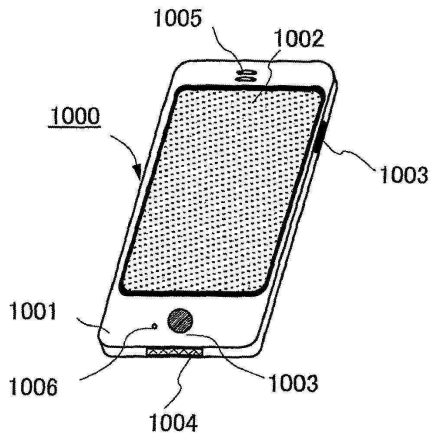
도면28a



도면28b



도면29a



도면29b

