

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6138319号
(P6138319)

(45) 発行日 平成29年5月31日(2017.5.31)

(24) 登録日 平成29年5月12日(2017.5.12)

(51) Int.Cl.	F 1
HO4N 5/376 (2011.01)	HO4N 5/335 760
HO4N 5/32 (2006.01)	HO4N 5/32
HO4N 5/374 (2011.01)	HO4N 5/335 740
HO1L 27/146 (2006.01)	HO1L 27/14 C
HO1L 27/144 (2006.01)	HO1L 27/14 K

請求項の数 10 (全 21 頁) 最終頁に続く

(21) 出願番号	特願2016-119673 (P2016-119673)	(73) 特許権者 000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成28年6月16日(2016.6.16)	(74) 代理人 100090273 弁理士 國分 孝悦
(62) 分割の表示	特願2012-128972 (P2012-128972) の分割	(72) 発明者 大藤 将人 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内
原出願日	平成24年6月6日(2012.6.6)	(72) 発明者 望月 千織 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内
(65) 公開番号	特開2016-201807 (P2016-201807A)	(72) 発明者 渡辺 実 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内
(43) 公開日	平成28年12月1日(2016.12.1)	
審査請求日	平成28年6月16日(2016.6.16)	

最終頁に続く

(54) 【発明の名称】検出装置、及び、検出システム

(57) 【特許請求の範囲】

【請求項 1】

放射線又は光を電荷に変換する複数の変換素子と、

前記複数の変換素子と対応し、前記変換された電荷に応じた電気信号を出力する複数のトランジスタと、

前記複数のトランジスタの制御電極に接続されたゲート線と、前記トランジスタを導通状態にする導通電圧及び前記トランジスタを非導通状態にする非導通電圧を前記ゲート線に供給する駆動回路とを有し、

前記駆動回路は、

相互接続された複数のシフトレジスタ単位回路を有するシフトレジスタと、

前記複数のシフトレジスタ単位回路の出力信号を入力する複数のデマルチプレクサ単位回路を有するデマルチプレクサとを有し、

前記デマルチプレクサ単位回路は、第1トランジスタと第2トランジスタとを有し、

前記第1トランジスタは、導通状態である時に前記ゲート線に前記導通電圧を供給し、非導通状態である時に前記ゲート線に前記導通電圧を供給せず、

前記第2トランジスタは、導通状態である時に前記ゲート線に前記非導通電圧を供給し、非導通状態である時に前記ゲート線に前記非導通電圧を供給せず、

前記第1トランジスタは、前記第2トランジスタが前記導通状態である時に、前記非導通状態から前記導通状態に変化することを特徴とする検出装置。

【請求項 2】

10

20

前記デマルチプレクサ単位回路は、前記第2トランジスタが前記導通状態であるときに前記第1トランジスタを前記非導通状態から前記導通状態に変化させ、且つ、前記ゲート線の電圧が前記導通電圧に変動した後に前記第2トランジスタを非導通状態にする手段を有することを特徴とする請求項1記載の検出装置。

【請求項3】

前記デマルチプレクサ単位回路は、前記第1トランジスタ、前記第2トランジスタ及び前記ゲート線の相互接続ノードの電位を入力信号とし、前記入力信号を反転した信号を前記第2トランジスタの制御電極に出力するインバータを有し、

前記インバータは、

前記第2トランジスタの制御電極に第1電圧を供給する第3トランジスタと、

前記第2トランジスタの制御電極に第2電圧を供給する第4トランジスタとを有することを特徴とする請求項1又は2記載の検出装置。

【請求項4】

前記ゲート線の電圧が前記導通電圧に変動した後に、前記第1トランジスタのチャネル抵抗に対する前記第2トランジスタのチャネル抵抗比が100倍以上になることを特徴とする請求項1～3のいずれか1項に記載の検出装置。

【請求項5】

前記第1電圧を V_{DD} 、

前記第2電圧を V_{SS} 、

前記第1トランジスタのチャネル抵抗に対し前記第2トランジスタのチャネル抵抗が100倍となるときの前記第2トランジスタのゲート及びソース間電圧を V_{LL} 、

前記第1トランジスタのチャネル幅及びチャネル長を W_6 及び L_6 、

前記第2トランジスタのチャネル幅及びチャネル長を W_7 及び L_7 、

前記第3トランジスタのチャネル幅及びチャネル長を W_8 及び L_8 、

前記第4トランジスタのチャネル幅及びチャネル長を W_9 及び L_9 、

前記第1～第4トランジスタの閾値電圧の平均値を V_{TH} とすると、

次式の関係を満たすことを特徴とする請求項3記載の検出装置。

【数5】

$$\frac{W_9/L_9}{W_8/L_8} \geq \frac{(V_{DD}-V_{LL}-V_{TH})^2}{2(V_{DD}-V_{SS}-V_{TH})(V_{LL}-V_{SS})-(V_{LL}-V_{SS})^2}$$

$$V_{LL} = V_{SS} + V_{TH} + \sqrt{\frac{1}{100} \frac{W_6/L_6}{W_7/L_7} \cdot 2(V_{DD}-V_{SS})(V_{DD}-V_{SS}-2V_{TH})}$$

【請求項6】

前記ゲート線の電圧が導通電圧に変動した後に、前記第2トランジスタの制御電極の電圧が前記第2トランジスタの閾値電圧以下になることを特徴とする請求項1～5のいずれか1項に記載の検出装置。

【請求項7】

次式の関係を満たすことを特徴とする請求項6記載の検出装置。

【数6】

$$\frac{W_9/L_9}{W_8/L_8} \geq \frac{(V_{DD}-2V_{TH})^2}{2(V_{DD}-V_{SS}-V_{TH})(V_{TH}-V_{SS})-(V_{TH}-V_{SS})^2}$$

【請求項8】

前記デマルチプレクサ単位回路は、前記第2トランジスタの制御電極及び第3電圧のノード間に接続される第5トランジスタを有し、

前記第5トランジスタのチャネル幅及びチャネル長を W_{10} 及び L_{10} とし、 $R_9 = (W_9/L_9) / (W_8/L_8)$ 、 $R_{10} = (W_{10}/L_{10}) / (W_8/L_8)$ とし、前記第1～第5ト

10

20

40

50

ランジスタの閾値電圧の平均値を V_{TH} とすると、
次式の関係を満たすことを特徴とする請求項 3 記載の検出装置。

【数 7】

$$V_{DD} - V_{TH} - \sqrt{(V_{DD} - V_{TH})^2 - \frac{(V_{DD} - V_{TH})(\beta_{R9}V_{SS} + \beta_{R10}V_{GG}) - (\beta_{R9}V_{SS}^2 + \beta_{R10}V_{GG}^2)}{1 + \beta_{R9} + \beta_{R10}}} \leq V_{LL}$$

【請求項 9】

次式の関係を満たすことを特徴とする請求項 8 記載の検出装置。

【数 8】

10

$$V_{DD} - V_{TH} - \sqrt{(V_{DD} - V_{TH})^2 - \frac{(V_{DD} - V_{TH})(\beta_{R9}V_{SS} + \beta_{R10}V_{GG}) - (\beta_{R9}V_{SS}^2 + \beta_{R10}V_{GG}^2)}{1 + \beta_{R9} + \beta_{R10}}} \leq V_{TH}$$

【請求項 10】

請求項 1 ~ 9 のいずれか 1 項に記載の検出装置と、

前記検出装置からの信号を処理する信号処理手段と
を有することを特徴とする検出システム。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、検出装置、及び、検出システムに関する。

【背景技術】

【0002】

薄膜トランジスタ（TFT）等のスイッチ素子と、光電変換素子等の変換素子とを組み合わせた画素のアレイ（画素アレイ）を有する検出装置は、薄膜半導体製造技術を利用して製造される。近年、検出装置において、画素の小ピッチ化、部品点数の削減、狭額縫化などのため、ゲートドライバ回路などの駆動回路を TFT プロセスで基板上に一体形成するシステムオンパネル化が求められている。特に、マンモグラフィ等の放射線検出装置においては、システムオンパネル化によって額縫領域を狭め、患者への肉体的負担を減らすことが求められている。このような検出装置に用いられるシステムオンパネル型のゲートドライバ回路において、下記の技術課題がある。

30

【0003】

(1) ゲート線の駆動本数の切り替え機能

駆動回路は、1本から数本ずつのゲート線に順次、ゲート線に接続された画素 TFT を導通させる電圧（導通電圧）を印加する。一度に駆動するゲート線の本数を 1 本ずつとすれば通常（高解像度）モードとなり、複数本ずつとすれば、複数画素の光信号電荷が加算される画素加算（高感度）モードとなる。特に、放射線検出装置においては、患者の被ばく線量を抑えながら最適な画像を得るために、これらのモードを切り替え可能とすることが望ましい。

40

【0004】

(2) 非選択期間のゲート線電位の安定化

読み出し動作中であっても、大部分のゲート線には導通電圧が印加されていない。これらのゲート線がフローティング状態となると、信号線との容量結合や外部電磁場などによってゲート線の電圧が変動し、読み出し画質が低下する。特に、放射線検出装置においては、表示装置と比べてゲート線の本数が 3 倍程度と多い一方、画素の電荷量を高分解能で測定するため、導通電圧が印加されない期間（非選択期間）のゲート線電圧を安定化させることが特に重要である。

【0005】

上記に類似の課題を解決する回路として、特許文献 1 は、液晶表示装置（LCD）向け

50

の駆動回路を開示する。駆動回路は、单一導電型の TFT によって基板と一体形成されている。特許文献 1 の駆動回路は、シフトレジスタと走査電圧生成回路とを含む。走査電圧生成回路は、シフトレジスタの出力電圧を複数のゲート線に分岐出力するデマルチプレクサとして機能する。走査電圧生成回路に供給するクロックのタイミングを制御することで、一度に駆動するゲート線の本数を変化させることができる。また、シフトレジスタは、主たる出力信号（第 1 シフトパルス電圧）とともに、その相補出力信号（第 2 シフトパルス電圧）を出力することができる。これらを利用することで、非選択期間の大部分においてゲート線は直流電源と結ばれており、フローティング状態を回避できる。

【先行技術文献】

【特許文献】

10

【0006】

【特許文献 1】特開 2008 - 309922 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献 1 のシフトレジスタは、第 1、第 2 シフトパルスという 2 種類の出力信号を生成するために、複雑な回路構成を用いている。特許文献 1 におけるシフトレジスタは、単位回路 1 段あたり 18 個の TFT を含む。特許文献 1 の図 4 における Tr₁、Tr₂ など、冗長化された TFT を 1 つの TFT として数えても、単位回路 1 段あたり 10 個の TFT を含む。このような複雑な回路構成の駆動回路は、レイアウト面積が大きく、また製造歩留まり低下の要因ともなる。

20

【0008】

本発明の目的は、検出装置におけるゲート線の駆動回路のレイアウト面積を削減し、製造歩留まりを向上させることである。

【課題を解決するための手段】

【0009】

本発明の検出装置は、放射線又は光を電荷に変換する複数の変換素子と、前記複数の変換素子と対応し、前記変換された電荷に応じた電気信号を出力する複数のトランジスタと、前記複数のトランジスタの制御電極に接続されたゲート線と、前記トランジスタを導通状態にする導通電圧及び前記トランジスタを非導通状態にする非導通電圧を前記ゲート線に供給する駆動回路とを有し、前記駆動回路は、相互接続された複数のシフトレジスタ単位回路を有するシフトレジスタと、前記複数のシフトレジスタ単位回路の出力信号を入力する複数のデマルチプレクサ単位回路を有するデマルチプレクサとを有し、前記デマルチプレクサ単位回路は、第 1 トランジスタと第 2 トランジスタとを有し、前記第 1 トランジスタは、導通状態である時に前記ゲート線に前記導通電圧を供給し、非導通状態である時に前記ゲート線に前記導通電圧を供給せず、前記第 2 トランジスタは、導通状態である時に前記ゲート線に前記非導通電圧を供給し、非導通状態である時に前記ゲート線に前記非導通電圧を供給せず、前記第 1 トランジスタは、前記第 2 トランジスタが前記導通状態である時に、前記非導通状態から前記導通状態に変化することを特徴とする。

30

【発明の効果】

【0010】

40

シフトレジスタの回路規模を削減し、駆動回路のレイアウト面積及び製造歩留まりを向上させることができる。

【図面の簡単な説明】

【0011】

【図 1】 アクティブマトリクスピネルの構成例を示す図である。

【図 2】 駆動回路の構成例を示す図である。

【図 3】 シフトレジスタの動作例を示すタイミングチャートである。

【図 4】 駆動回路の先頭部分の詳細を示す回路図である。

【図 5】 通常モードの動作例を示すタイミングチャートである。

50

- 【図6】画素加算モードの動作例を示すタイミングチャートである。
- 【図7】インターレースモードの動作例を示すタイミングチャートである。
- 【図8】アクティブマトリクスパネルの構成例を示す図である。
- 【図9】駆動回路の構成例を示す図である。
- 【図10】駆動回路の先頭部分の詳細を示す回路図である。
- 【図11】通常モードの動作例を示すタイミングチャートである。
- 【図12】放射線検出装置の画素の構成例を示す図である。
- 【図13】放射線検出システムの構成例を示す図である。
- 【図14】薄膜トランジスタのチャネル幅及びチャネル長の例を示す図である。
- 【図15】薄膜トランジスタのチャネル幅、チャネル長及び電圧の例を示す図である。 10

【発明を実施するための形態】

【0012】

(第1の実施形態)

図1は、本発明の第1の実施形態によるアクティブマトリクスパネルを用いた検出装置の構成例を示す図である。検出装置100は、図1に示すように、画素110が絶縁性基板101の上に行列状に複数配置された画素アレイを含む。本実施形態ではM行N列の画素アレイであり、Mは偶数とする。画素110は、放射線又は光を電荷に変換する変換素子111と、変換された電荷に応じた電気信号を出力するスイッチ素子(トランジスタ)112とを含む。変換素子111の第1電極には、スイッチ素子112のソース及びドレインの一方が電気的に接続され、変換素子111の第2電極には、電極配線180が電気的に接続される。スイッチ素子112のソース及びドレインの他方には、信号線170が電気的に接続される。信号線170は、列方向に複数(N本)配置され、各々が列毎に、列方向に配列された複数のスイッチ素子112のソース及びドレインの他方に共通に接続され、接続用端子S1～Snを介して外部の読出回路部130に接続される。複数のスイッチ素子112の制御電極(ゲート電極)には、ゲート線160が電気的に接続される。ゲート線160は、行方向に複数(M本)配置され、各々が行毎に、行方向に配列された複数のスイッチ素子112のゲートに共通に接続され、また、絶縁性基板101の上に設けられた駆動回路120に接続される。駆動回路120は、ゲート線160に導通電圧及び非導通電圧を供給する。 20

【0013】

駆動回路120は、接続端子Vdd, Vssを介して電源部140と接続され、接続端子VCL1, VCL2, ST、GCL1, GCL2を介して制御部150と接続される。電源部140は、変換素子111に供給するための電圧Vsを電極配線180に供給し、スイッチ素子112を導通状態とする第1電圧V_{DD}と、非導通状態とする第2電圧V_{SS}を駆動回路120に供給する。制御部150は、スタート信号ST、シフトレジスタ190のクロック信号VCL1, VCL2、デマルチプレクサ195(図2(a))のクロック信号GCL1, GCL2をそれぞれ駆動回路120に供給する。スタート信号

STは、シフトレジスタ190(図2(a))の動作を開始するための信号である。スタート信号ST、クロック信号VCL1, VCL2, GCL1, GCL2の最大電圧値はV_{DD}、最小電圧値はV_{SS}である。また、クロック信号VCL1とVCL2は、それぞれ位相が互いに180度異なる。V_{DD}とV_{SS}は、駆動回路120を構成する薄膜トランジスタの閾値電圧V_{TH}に対し、|V_{DD} - V_{SS}| > 2V_{TH}を満たすように設定する。 40

【0014】

図2(a)は、駆動回路120の構成例を示す図である。駆動回路120は、シフトレジスタ190とデマルチプレクサ195とを含む。シフトレジスタ190は、相互接続された少なくともM/2個のシフトレジスタ単位回路191を含む。シフトレジスタ単位回路191を先頭からA(1), A(2), …, A(M/2)とする。シフトレジスタ単位回路A(n)は、図2(b)に示すように、信号入力端子SET, RESET, VLCLK, 電源入力端子VSS, 及び信号出力端子SOUTを有する。シフトレジスタ単位回

10

20

30

40

50

路 A (n) の信号入力端子 S E T には、シフトレジスタ単位回路 A (n - 1) の信号出力端子 S O U T が接続されている。ただし、シフトレジスタ単位回路 A (1) の信号入力端子 S E T には、スタート信号 S T が入力されている。シフトレジスタ単位回路 A (n) の信号入力端子 R E S E T には、シフトレジスタ単位回路 A (n + 1) の信号出力端子 S O U T が接続されている。最終段であるシフトレジスタ単位回路 A (M / 2) の信号入力端子 R E S E T には、シフトレジスタ動作を確実に終了させるため、制御部 150 などで生成した所望の制御信号を入力してもよい。奇数番目のシフトレジスタ単位回路 A (n) の信号入力端子 V C L K にはクロック信号 V C L 1 が、偶数番目のシフトレジスタ単位回路 A (n) の信号入力端子 V C L K にはクロック信号 V C L 2 が、それぞれ入力されている。シフトレジスタ単位回路 A (n) の電源入力端子 V S S には、第 2 電圧 V_{SS} が入力されている。シフトレジスタ単位回路 A (n) の信号出力端子 S O U T には、後述するデマルチプレクサ単位回路 B (2n - 1) 及び B (2n) の信号入力端子 D I N が接続されている。
10

【 0015 】

デマルチプレクサ 195 は、少なくとも M 個のデマルチプレクサ単位回路 196 を含む。デマルチプレクサ単位回路 196 を先頭から B (1), B (2), . . . , B (M) とする。本実施形態では、1 つのシフトレジスタ単位回路 191 に、2 つのデマルチプレクサ単位回路 196 が対応する。複数のデマルチプレクサ単位回路 196 は、複数のシフトレジスタ単位回路 191 の出力信号を入力する。デマルチプレクサ単位回路 B (n) は、図 2 (c) に示すように、信号入力端子 D I N, G C L K, 電源入力端子 V D D, V S S, 信号出力端子 D O U T を有する。奇数番目のデマルチプレクサ単位回路 B (n) の信号入力端子 G C L K にはクロック信号 G C L 1 が、偶数番目のデマルチプレクサ単位回路 B (n) の信号入力端子 G C L K にはクロック信号 G C L 2 が、それぞれ入力されている。デマルチプレクサ単位回路 B (n) の電源入力端子 V D D 及び V S S には、第 1 電圧 V_{DD} 及び第 2 電圧 V_{SS} がそれぞれ入力されている。デマルチプレクサ単位回路 B (n) の信号出力端子 D O U T には、それぞれに対応するゲート線が接続されている。
20

【 0016 】

図 2 (b) は、シフトレジスタ単位回路 A (n) の内部構成の一例である。シフトレジスタ単位回路 A (n) は、薄膜トランジスタ T₁ ~ T₄ と、容量素子 C₁ とを有する。図 2 (c) は、デマルチプレクサ単位回路 B (n) の内部構成の一例である。デマルチプレクサ単位回路 B (n) は、薄膜トランジスタ T₅ ~ T₉ と、容量素子 C₂ とを有する。第 1 トランジスタ T₆ は、出力端子 D O U T を介して、ゲート線 160 に導通電圧を供給するためのトランジスタである。第 2 トランジスタ T₇ は、出力端子 D O U T を介して、ゲート線 160 に非導通電圧を供給するためのトランジスタである。薄膜トランジスタ T₈ 及び T₉ は、V_{DD} と V_{SS} を電源電圧とする E / E インバータを形成している。そのインバータは、第 2 トランジスタ T₇ の制御電極（ゲート電極）に第 1 電圧 V_{DD} を供給する第 3 トランジスタ T₈ と、第 2 トランジスタ T₇ の制御電極に第 2 電圧 V_{SS} を供給する第 4 トランジスタ T₉ とを有する。インバータは、第 1 トランジスタ T₆、第 2 トランジスタ T₇ 及びゲート線 160 の相互接続ノード D O U T の電位を入力信号とし、その入力信号を反転した信号を第 2 トランジスタ T₇ の制御電極に出力する。インバータへの入力電圧（薄膜トランジスタ T₈ のゲート及びソース間電圧）が V_{DD} 及び V_{SS} の場合におけるインバータの出力電圧、すなわち点 r の電圧 V_r を、それぞれ V_L 及び V_H とする。V_H = V_{DD} - V_{T_H} であり、V_L は、次式の薄膜トランジスタ T₈ の W / L 比に対する薄膜トランジスタ T₉ の W / L 比である R₉ によって変化する。
30
40

$$R_9 = (W_9 / L_9) / (W_8 / L_8)$$

【 0017 】

以降、W はチャネル幅、L はチャネル長、添字は対応するトランジスタ番号 (T₁, T₂, . . .) を示す。例えば、第 1 トランジスタ T₆ のチャネル幅及びチャネル長を W₆ 及び L₆ とし、第 2 トランジスタ T₇ のチャネル幅及びチャネル長を W₇ 及び L₇ とする。また、第 3 トランジスタ T₈ のチャネル幅及びチャネル長を W₈ 及び L₈ とし、第 9 トラン
50

ジスタ T 9 のチャネル幅及びチャネル長を W_9 及び L_9 とする。なお、1 つのシフトレジスタ単位回路 191 に 3 つ以上のデマルチプレクサ単位回路 196 を接続することも可能である。たとえば、1 つのシフトレジスタ単位回路 191 に 4 つのデマルチプレクサ単位回路 196 を接続する場合、シフトレジスタ単位回路 191 の数は少なくとも $M / 4$ 個とし、クロック信号は GCL1 ~ GCL4 などの 4 系統とする。また、スイッチ素子 112 及び駆動回路 120 を構成する各薄膜トランジスタは、非晶質シリコン等の非晶質半導体材料、多結晶シリコン等の多結晶半導体材料、有機半導体材料、酸化物半導体材料を用いることができる。

【0018】

次に、駆動回路 120 の動作を、(1) シフトレジスタ、(2) デマルチプレクサに分けて説明する。なお、ここでは、各薄膜トランジスタ T1 ~ T9 の閾値電圧をいずれも V_{TH} とする。閾値電圧が薄膜トランジスタごとに異なる場合は、関係する薄膜トランジスタの閾値電圧の平均値を V_{TH} と定義すれば以下の議論が成り立つ。10

【0019】

(1) シフトレジスタ

図 2(a)、(b)、図 3 を参照して、シフトレジスタ 190 の動作を説明する。シフトレジスタ単位回路 A(1) の信号入力端子 SET にはスタート信号 ST が、信号入力端子 VCLK にはクロック信号 VCL1 が、信号入力端子 RESET にはシフトレジスタ単位回路 A(2) の出力信号 VSOUT(2) が、それぞれ入力されている。また、シフトレジスタ単位回路 A(2) の信号入力端子 SET にはシフトレジスタ単位回路 A(1) の出力信号 VSOUT(1) が、信号入力端子 VCLK にはクロック信号 VCL2 が、それぞれ入力されている。また、信号入力端子 RESET にはシフトレジスタ単位回路 A(3) の出力信号 VSOUT(3) が入力されている。20

【0020】

図 3 は、シフトレジスタ 190 の動作を示すタイミングチャートである。同図には、1 段目のシフトレジスタ単位回路 A(1) における、点 p の電圧 $V_p(1)$ の時間変化も示されている。

【0021】

まず、シフトレジスタ単位回路 A(1) の動作を考える。時刻 t11において、スタート信号 ST が立ち上ると、薄膜トランジスタ T1 によって電圧 $V_p(1)$ が $V_{DD} - V_{TH}$ 程度まで上昇し、薄膜トランジスタ T2 が導通状態となる。時刻 t12において、スタート信号 ST が立ち下がり、クロック信号 VCL1 が立ち上がる。シフトレジスタ単位回路 A(1) の信号入力端子 VCLK にはクロック信号 VCL1 が入力されており、かつ薄膜トランジスタ T2 のゲート電極とソース電極とが容量素子 C1 を介して結合している。そのため、電圧 $V_p(1)$ が $(2V_{DD} - V_{SS} - V_{TH})$ 程度まで上昇する(ブーストアップ動作)。このとき、もし $(2V_{DD} - V_{SS} - V_{TH}) > (V_{DD} + V_{TH})$ であれば、 $VSOUT(1) = V_{DD}$ となる。時刻 t13において、クロック信号 VCL1 が立ち下がり、クロック信号 VCL2 が立ち上ると、 $VSOUT(2) = V_{DD}$ となるため、薄膜トランジスタ T3 及び T4 が導通し、 $VSOUT(1) = V_{SS}$ となる。

【0022】

次に、2 番目のシフトレジスタ単位回路 A(2) の動作を考える。シフトレジスタ単位回路 A(2) は、時刻 t12 における $VSOUT(1) = V_{DD}$ の状態を引き金として、シフトレジスタ単位回路 A(1) から所定期間 ($= t13 - t12$) だけ遅れて、シフトレジスタ単位回路 A(1) と同様に動作する。40

【0023】

以下同様に、シフトレジスタ単位回路 A(n+1) は、シフトレジスタ単位回路 A(n) より所定期間だけ遅れて、シフトレジスタ単位回路 A(n) と同様に動作する。この繰り返しにより、シフトレジスタ 190 は、図 3 に示すように、 $VSOUT(n)$ に V_{DD} 電圧パルスを順次供給する。

【0024】

10

20

30

40

50

(2) デマルチプレクサ

図2(a)、(c)、図4、図5、図6を参照して、デマルチプレクサ195の動作を説明する。図4は、駆動回路120の先頭部分の詳細を示す回路図である。同図には、シフトレジスタ単位回路A(1)及びデマルチプレクサ単位回路B(1), B(2)が含まれる。デマルチプレクサ単位回路B(1)及びB(2)の信号出力端子DOUTにおける出力電圧を、1行目及び2行目のゲート線への出力電圧Vg(1), Vg(2)とする。デマルチプレクサ195は、通常モード、画素加算モード及びインターレースモードのいずれかのモードで動作させることができる。

【0025】

(2-1) 通常モード

図5は、通常モードにおけるデマルチプレクサ単位回路B(1)及びB(2)の動作を示すタイミングチャートである。クロック信号GCL1及びGCL2は、それぞれ位相が互いに180度異なる。デマルチプレクサ単位回路B(1)及びB(2)の点q, rにおける電圧Vq(1), Vq(2), Vr(1), Vr(2)の時間変化も併記する。以下、順を追って動作を説明する。

【0026】

(あ) 時刻t21以前

$V_{SOUT}(1) = Vq(1) = Vq(2) = V_{SS}$ であり、薄膜トランジスタT6及びT6'は非導通状態である。 $Vr(1) = Vr(2) = V_H$ 、 $Vg(1) = Vg(2) = V_{SS}$ である。薄膜トランジスタT7及びT7'は、ともに導通状態である。

【0027】

(い) 時刻t21

$V_{SOUT}(1) = V_{DD}$ となると、電圧Vq(1)及びVq(2)は、 $V_{DD} - V_{TH}$ まで充電される。その結果、後述の時刻t26まで薄膜トランジスタT6及びT6'が導通状態となる。 $GCL1 = GCL2 = V_{SS}$ 、 $Vr(1) = Vr(2) = V_H$ 、薄膜トランジスタT7及びT7'は導通状態、 $Vg(1) = Vg(2) = V_{SS}$ である。すなわち、第1トランジスタT6及びT6'は、第2トランジスタT7及びT7'が導通状態である時に、非導通状態から導通状態に変化する。

【0028】

(う) 時刻t22

ゲート線には、金属材料の抵抗や、画素領域におけるゲート線と信号線との交差部容量や、画素領域に至るまでの各種配線との交差部容量などを成分とする寄生抵抗 R_{para} 及び寄生容量 C_{para} を有する。そのため、ゲート線の充放電には $= R_{para} \times C_{para}$ (秒)程度の遅延が発生する。時刻t22にクロック信号GCL1が立ち上がった瞬間、電圧Vg(1)はすぐに変化せず、 $Vg(1) = V_{SS}$ であり、 $Vq(1) = V_{DD} - V_{TH}$ 、 $Vr(1) = V_H$ である。薄膜トランジスタT7は導通状態である。

【0029】

(え) 時刻t23

時刻t22から程度の時間が経過すると、薄膜トランジスタT6のゲート電極とソース電極が容量素子C2を介して結合しているため、電圧Vq(1)は $2V_{DD} - V_{SS} - V_{TH}$ まで上昇し、電圧Vg(1)は一定値($= V_{DD}$)となる。このとき、電圧Vr(1)は、薄膜トランジスタT8及びT9のチャネル抵抗比によって定まる値($= V_L$)となり、薄膜トランジスタT7は非導通状態となる。以上のように、ゲート線160の電圧Vg(1)が導通電圧 V_{DD} に変動した後に、第4トランジスタT9が導通し、電圧Vr(1)が電圧 V_L になり、第2トランジスタT7が非導通状態になる。また、ゲート線160の電圧が導通電圧 V_{DD} に変動した後に、第2トランジスタT7の制御電極の電圧Vr(1)が第2トランジスタT7の閾値電圧 V_{TH} 以下の電圧 V_L になる。

【0030】

(お) 時刻t24

時刻t24に $GCL1 = V_{SS}$ となった瞬間も、時刻t22と同様、電圧Vg(1)は

10

20

30

40

50

すぐに変化せず、 $V_g(1) = V_{DD}$ であり、 $V_q(1) = 2V_{DD} - V_{SS} - V_{TH}$ 、 $V_r(1) = V_L$ である。薄膜トランジスタT7は非導通状態である。

【0031】

(か) 時刻t25

時刻t24から程度の時間が経過すると、電圧 $V_q(1)$ は $V_{DD} - V_{TH}$ まで低下する。 $V_g(1) = V_{SS}$ 、 $V_r(1) = V_H$ となり、薄膜トランジスタT7は導通状態となる。以後、時刻t26まで、 $GCL1 = V_{SS}$ 、 $V_g(1) = V_{SS}$ の状態が持続する。

【0032】

(き) 時刻t25以降

デマルチプレクサ単位回路B(2)も、上記と同様に動作する。すなわち、電圧 $V_q(2)$ 、 $V_r(2)$ 、 $V_g(2)$ 、及び薄膜トランジスタT7'の導通／非導通状態も、それぞれ上記と同様に、クロック信号GCL2の遷移に合わせて変化する。 10

【0033】

(く) 時刻t26

$V_{SOUT}(1) = V_{SS}$ となり、薄膜トランジスタT6及びT6'は非導通状態となる。薄膜トランジスタT7及びT7'はともに導通状態であり、 $V_g(1) = V_g(2) = V_{SS}$ 、 $V_r(1) = V_r(2) = V_H$ である。

【0034】

(け) 時刻t26以降

$V_{SOUT}(1)$ が再び V_{DD} とならない限り、薄膜トランジスタT6及びT6'は非導通状態を維持する。また、薄膜トランジスタT7及びT7'はともに導通状態を維持し、 $V_g(1) = V_g(2) = V_{SS}$ 、 $V_r(1) = V_r(2) = V_H$ の状態が安定に保持される。すなわち、1行目及び2行目のゲート線は、クロック信号GCL1及びGCL2の状態によらず、導通状態の薄膜トランジスタT7及びT7'によって第2電圧 V_{SS} に結ばれ、フローティング状態とならない。 20

【0035】

以上(あ)～(け)を通じて、薄膜トランジスタT6又はT7(T6'又はT7')の少なくとも一方は導通状態であるため、1行目(2行目)のゲート線はフローティング状態とならない。なお、シフトレジスタ単位回路A(2)、A(3)、…の動作に合わせて、デマルチプレクサ単位回路B(3)以降も同様に動作する。3行目以降のゲート線もフローティング状態とならない。 30

【0036】

また、通常は、電源部140の方が制御部150よりも電流供給能力に余裕があり、外来電磁場によるノイズにも強い。特に、検出装置100の画質向上のためには、第1電圧 V_{DD} が印加されない期間のゲート線を、制御部150が生成するクロック信号GCL1などだけでなく、電源部140が供給する第2電圧 V_{SS} にも接続しておくことが好ましい。本実施形態では、特許文献1と比較して、薄膜トランジスタT7(特許文献1におけるTr28に相当)が導通状態である期間が長い。その結果、本実施形態では、非選択期間のゲート線を、より長い期間にわたり、第2電圧 V_{SS} に接続することが可能となり、高い画質が得られる。 40

【0037】

(2-2) 画素加算モード

図6は、画素加算モードにおけるデマルチプレクサ単位回路B(1)及びB(2)の動作を示すタイミングチャートである。画素加算モードと通常モードとの違いは、クロック信号GCL1及びGCL2が同位相であることである。これにより、奇数行目と偶数行目のゲート線電位を同時に駆動することができる。その結果、駆動回路120で選択した2行分の画素110における信号電荷の合計を、読出回路部130で読み出すことができる。

【0038】

(2-3) インターレースモード

図7は、インターレースモードにおけるデマルチプレクサ単位回路B(1)及びB(2)の動作を示すタイミングチャートである。インターレースモードと通常モードとの違いは、奇数フレームではクロック信号GCL1のみに第1電圧V_{DD}のパルスを供給し、偶数フレームではクロック信号GCL2のみに第1電圧V_{DD}のパルスを供給することである。特許文献1もこののようなモードでの駆動を開示している。しかし、特許文献1では、奇数行及び偶数行とも共通のシフトレジスタ単位回路に接続されているため、奇数フレームにおいては、信号読み出しを行わない偶数行目のゲート線に接続される薄膜トランジスタT7'も非導通状態となってしまう。本実施形態では、奇数フレームにおける薄膜トランジスタT7'(偶数フレームにおける薄膜トランジスタT7)は常に導通状態である。その結果、本実施形態では、高い画質が得られる。特に、1つのシフトレジスタ単位回路191に3つ以上のデマルチプレクサ単位回路196を接続する場合、本実施形態によって顕著な画質向上が期待できる。
10

【0039】

図14は、本実施形態に適用できる各薄膜トランジスタのチャネル幅及びチャネル長の一例を示す。また、C1=0.5 pF, C2=10 pFである。時刻t22からt23に掛けて、インバータが確実に反転し、電圧Vg(1)がV_{DD}へと上昇するために、薄膜トランジスタT7のW/L比に対する薄膜トランジスタT6のW/L比(=(W₆/L₆)/(W₇/L₇))は同程度以上としておく。たとえば、本実施形態では2である。また、時刻t23における薄膜トランジスタT7が実質的に非導通状態とみなせるためには、同時ににおいて、下記(イ)又は(ロ)のいずれかの条件を満たす必要がある。
20

【0040】

(イ) 薄膜トランジスタT6のチャネル抵抗に対する薄膜トランジスタT7のチャネル抵抗が100倍以上

時刻t23における薄膜トランジスタT7が実質的に非導通状態とみなせるためには、同時ににおける出力電圧Vg(n)における電圧誤差が1%以下、すなわち、

$$= (V_{DD} - Vg(n)) / (V_{DD} - V_{SS}) = 0.01$$

でなければならない。そのためには、同時ににおいて、薄膜トランジスタT6のチャネル抵抗に対し薄膜トランジスタT7のチャネル抵抗が100倍以上でなければならない。すなわち、ゲート線160の電圧が導通電圧V_{DD}に変動した後に、第1トランジスタT6のチャネル抵抗に対する第2トランジスタT7のチャネル抵抗比が100倍以上でなければならない。
30

【0041】

この条件が満たされているかどうかを検証するには、同時ににおける電圧Vg(n)を実測すればよい。あるいは、適切な回路モデル(RPI_a-Si:H TFT modelやRPI_poly-Si TFT model)を用いて駆動回路120のSPI CEシミュレーションを実施し、電圧Vg(n)を求めればよい。あるいは、薄膜トランジスタT6からT9のW/Lが下式の関係を満たすように選ばれていれば、この条件が満たされていると考えることができる。グラジュアルチャネル近似によりT6からT9のチャネル抵抗を見積もると、次式の関係を満たすように、(W₆/L₆)/(W₇/L₇)及び
R₉=(W₉/L₉)/(W₈/L₈)を選ぶことにより、0.01になると見積もることができる。
40

【0042】

【数1】

$$\beta_{R9} \geq \frac{(V_{DD} - V_{LL} - V_{TH})^2}{2(V_{DD} - V_{SS} - V_{TH})(V_{LL} - V_{SS}) - (V_{LL} - V_{SS})^2}$$

$$V_{LL} = V_{SS} + V_{TH} + \sqrt{\frac{1}{100} \frac{W_6/L_6}{W_7/L_7} \cdot 2(V_{DD} - V_{SS})(V_{DD} - V_{SS} - 2V_{th})}$$

【0043】

V_{LL} は、薄膜トランジスタT6のチャネル抵抗に対し薄膜トランジスタT7のチャネル抵抗が100倍となるときの薄膜トランジスタT7のゲート及びソース間電圧である。 $V_{DD} = +12V$ 、 $V_{SS} = 0V$ 、 $V_{TH} = +4V$ とすると、 $V_{LL} = +5.3V$ 、 $R_9 = 0.12$ となる。実施形態1-1、1-2、1-3においては、上式の関係が満たされている。

【0044】

(口) インバータの出力電圧 V_L が閾値電圧 V_{TH} 以下

時刻t23において、インバータの出力電圧 V_L が薄膜トランジスタT7の閾値電圧 ($= V_{TH}$) 以下であれば、薄膜トランジスタT7は(イ)の条件よりも確実な非導通状態となり、より好ましい。この条件が満たされているかどうかを検証するには、同時刻における薄膜トランジスタT7のゲート及びソース間電圧を実測すればよい。あるいは、駆動回路120のSPICEシミュレーションを実施し、薄膜トランジスタT7のゲート及びソース間電圧を求めればよい。また、閾値電圧 V_{TH} を求めるには、駆動回路120を構成する薄膜トランジスタと同等の薄膜トランジスタにおいて、伝達特性 (I_{ds} - V_{gs} 特性) を実施すればよい。具体的手順としては、薄膜トランジスタのドレイン及びソース間電圧 V_{ds} を $V_{DD} - V_{SS}$ 程度 (+12Vなど) と設定し、ゲート及びソース間電圧 V_{gs} を掃引し、飽和領域におけるドレイン及びソース間電流 I_{ds} を測定する。 $(I_{ds}) - V_{gs}$ をプロットの直線部分をx軸に外挿した点が V_{TH} である。あるいは、薄膜トランジスタT8及びT9のW/Lが下式の関係を満たすように選ばれていれば、この条件が満たされていると考えることができる。グラジュアルチャネル近似により電圧 V_L を見積もると、次式の関係を満たすように R_9 を選ぶことにより、 $V_L < V_{TH}$ になると見積もることができます。

【0045】

【数2】

$$\beta_{R9} \geq \frac{(V_{DD} - 2V_{TH})^2}{2(V_{DD} - V_{SS} - V_{TH})(V_{TH} - V_{SS}) - (V_{TH} - V_{SS})^2}$$

【0046】

$V_{DD} = +12V$ 、 $V_{SS} = 0V$ 、 $V_{TH} = +4V$ とすると、 $R_9 = 0.33$ となる。実施形態1-2及び実施形態1-3においては、上式の関係が満たされている。

【0047】

なお、(口)の条件よりもさらに R_9 を大きくしてもよい。 R_9 が大きければ大きいほど、時刻t22からt25までのインバータの出力電圧 V_L が低下し、時刻t23において、薄膜トランジスタT7が非導通状態に移行するのを早めることができる。これにより、時刻t22からt23までの遅延時間を短縮することができる。すなわち、実施形態1-3では、実施形態1-1及び1-2と比較して、遅延時間t23-t22が短縮される。

【0048】

本実施形態では、図2(a)及び(b)のような単純なシフトレジスタ190を用いることができるため、シフトレジスタ190の回路規模を削減できる。よって、駆動回路120のレイアウト面積の削減や、製造歩留まり向上を実現できる。また、ゲート線電圧がフローティング状態となることを防止することができる。よって、アクティブマトリクスピネルを利用した検出装置100において、読み出し画像の画質を向上させることができる。特に、ゲート線の本数が多く、画素110の電荷量を高分解能で測定する必要がある放射線撮像装置においては、非選択期間のゲート線電位が安定することにより、顕著な画質向上が期待できる。もちろん、LCDなどの表示装置に本実施形態を応用する場合も、回路規模削減、レイアウト面積削減、製造歩留まり向上、及び表示画質向上の効果が期待できる。

【0049】

(第2の実施形態)

10

20

30

40

50

図8は本発明の第2の実施形態によるアクティブマトリクスパネルを用いた検出装置の構成例を示す図であり、図9(a)は駆動回路120におけるシフトレジスタ190及びデマルチプレクサ195の構成例を示す図である。第2の実施形態と第1の実施形態(図1及び図2(a))との違いは、第1電圧 V_{DD} 、第2電圧 V_{SS} と同様の手段により、駆動回路120への第3電圧 V_{GG} の供給が追加されていることである。なお、 $V_{GG} < V_{DD} - V_{TH}$ としておく。また、本実施形態のシフトレジスタ単位回路A(n)の内部構成は、第1の実施形態(図2(b))と同一である。

【0050】

図9(b)は、デマルチプレクサ単位回路B(n)の内部構成例を示す。デマルチプレクサ単位回路B(n)は、第1の実施形態と同一の薄膜トランジスタT5~T9と、容量素子C2とに加え、薄膜トランジスタT10を有する。第5トランジスタT10は、第2トランジスタT7の制御電極及び第3電圧 V_{GG} のノード間に接続される。また、デマルチプレクサ単位回路B(n)は、第1の実施形態と同一の端子DIN, DOUT, GCLK, VDD, VSSに加え、電源入力端子VGGを有する。

【0051】

次に、駆動回路120の動作を説明する。シフトレジスタ190の動作は、第1の実施形態と同様である。また、本実施形態においても、デマルチプレクサ195は、通常モード、画素加算モード、インターレースモードのいずれでも動作する。以下、通常モードのデマルチプレクサ195の動作のみを説明する。

【0052】

図10は、駆動回路120の先頭部分の詳細を示す回路図である。同図には、シフトレジスタ単位回路A(1)及びデマルチプレクサ単位回路B(1), B(2)が含まれる。デマルチプレクサ単位回路B(1)及びB(2)の端子DOUTにおける出力電圧を、1行目及び2行目のゲート線への出力電圧 $Vg(1)$, $Vg(2)$ とする。

【0053】

図11は、通常モードにおけるデマルチプレクサ単位回路B(1)及びB(2)の動作を示すタイミングチャートである。クロック信号GCL1及びGCL2は、それぞれ位相が互いに180度異なる。デマルチプレクサ単位回路B(1)及びB(2)の点q及びrにおける電圧 $Vq(1)$, $Vq(2)$, $Vr(1)$, $Vr(2)$ の時間変化も併記する。以下、順を追って動作を説明する。

【0054】

(あ) 時刻t31以前

$V_{SOUT}(1) = Vq(1) = Vq(2) = V_{SS}$ であり、薄膜トランジスタT6及びT6'は非導通状態である。 $Vr(1) = Vr(2) = V_H$ 、 $Vg(1) = Vg(2) = V_{SS}$ である。薄膜トランジスタT7及びT7'はともに導通状態である。

【0055】

(い) 時刻t31

$V_{SOUT}(1) = V_{DD}$ となると、電圧 $Vq(1)$ 及び $Vq(2)$ は $V_{DD} - V_{TH}$ まで充電される。その結果、後述の時刻t36まで、薄膜トランジスタT6及びT6'が導通状態となる。また、本実施形態は、第1の実施形態と異なり、薄膜トランジスタT10及びT10'が導通するため、電圧 $Vr(1)$ 及び $Vr(2)$ は、薄膜トランジスタT8及びT10(T8'及びT10')のチャネル抵抗比によって定まる電圧 V_{H2} となる。ここに、 V_{H2} は次式によって見積もることができる。

【0056】

【数3】

$$V_{H2} = V_{GG} + (V_{DD} - V_{GG} - V_{TH}) \cdot \left(\frac{1 + \beta_{R10} - \sqrt{(1 + \beta_{R10})^2 - (1 + \beta_{R10})}}{1 + \beta_{R10}} \right)$$

【0057】

10

20

30

40

50

ただし、第5トランジスタT₁₀のチャネル幅及びチャネル長をW₁₀及びL₁₀とするところ、R₁₀ = (W₁₀/L₁₀) / (W₈/L₈)である。V_{H2} > V_{TH}となるように、R₁₀を選んでおく。V_{H2}が薄膜トランジスタT₇及びT_{7'}の閾値電圧(=V_{TH})以上であるため、薄膜トランジスタT₇及びT_{7'}は導通状態である。また、V_{GG} < V_HのためV_{H2} < V_Hとなり、本実施形態は、第1の実施形態と比較して、薄膜トランジスタT₇及びT_{7'}のチャネル抵抗は高い。すなわち、本実施形態の薄膜トランジスタT₇及びT_{7'}は、第1の実施形態のものよりも弱い導通状態である。

【0058】

(う) 時刻t32

時刻t32にクロック信号GCL1が立ち上がった瞬間、電圧Vg(1)はすぐに変化せず、Vg(1) = V_{SS}であり、Vq(1) = V_{DD} - V_{TH}、Vr(1) = V_{H2}である。薄膜トランジスタT₇は、弱い導通状態を維持する。

【0059】

(え) 時刻t33

時刻t32から程度の時間が経過すると、電圧Vq(1)は2V_{DD} - V_{SS} - V_{TH}まで上昇し、電圧Vg(1)は一定値(=V_{DD})となる。このとき、電圧Vr(1)は、薄膜トランジスタT₈, T₉, T₁₀のチャネル抵抗比によって定まる値(=V_{L2})となり、薄膜トランジスタT₇は非導通状態となる。

【0060】

(お) 時刻t34

時刻t34にGCL1 = V_{SS}となった瞬間も、時刻t32と同様、電圧Vg(1)はすぐに変化せず、Vg(1) = V_{DD}であり、Vq(1) = 2V_{DD} - V_{SS} - V_{TH}、Vr(1) = V_{L2}である。薄膜トランジスタT₇は、非導通状態である。

【0061】

(か) 時刻t35

時刻t34から程度の時間が経過すると、電圧Vq(1)はV_{DD} - V_{TH}まで低下する。Vg(1) = V_{SS}、Vr(1) = V_{H2}となり、薄膜トランジスタT₇は、時刻t31と同様の弱い導通状態となる。以後、時刻t36まで、GCL1 = V_{SS}、Vg(1) = V_Sの状態が持続する。

【0062】

(き) 時刻t35以降

デマルチプレクサ単位回路B(2)も、上記と同様に動作する。すなわち、電圧Vq(2), Vr(2), Vg(2)及び薄膜トランジスタT_{7'}の導通/非導通状態も、それぞれ上記と同様に、クロック信号GCL2の遷移に合わせて変化する。

【0063】

(く) 時刻t36

V_{SOUT}(1) = V_{SS}となり、薄膜トランジスタT₆及びT_{6'}は、非導通状態となる。薄膜トランジスタT₇及びT_{7'}は、ともに導通状態であり、Vg(1) = Vg(2) = V_{SS}、Vr(1) = Vr(2) = V_Hである。

【0064】

(け) 時刻t36以降

V_{SOUT}(1)が再びV_{DD}とならない限り、薄膜トランジスタT₆及びT_{6'}は、非導通状態を維持する。また、薄膜トランジスタT₇及びT_{7'}は、ともに導通状態を維持し、Vg(1) = Vg(2) = V_{SS}、Vr(1) = Vr(2) = V_Hの状態が安定に保持される。すなわち、1行目及び2行目のゲート線は、クロック信号GCL1及びGCL2の状態によらず、導通状態の薄膜トランジスタT₇及びT_{7'}によって第2電圧V_{SS}に結ばれ、フローティング状態とならない。

【0065】

以上(あ)~(け)を通じて、薄膜トランジスタT₆又はT₇(薄膜トランジスタT₆'又はT_{7'})の少なくとも一方は導通状態であるため、1行目(2行目)のゲート線は

10

20

30

40

50

フロー ティング 状態 と な ら ない。 な お、 シ フ ト レ ジ ス タ 单 位 回 路 A (2) , A (3) , · · · の 動 作 に 合 わ せ て、 シ フ ト レ ジ ス タ 单 位 回 路 B (3) 以 降 も 同 様 に 動 作 す る。 3 行 目 以 降 の ゲ ト 線 も フ ロー ティング 状 态 と な ら ない。

【 0 0 6 6 】

図 15 は、 本 実 施 形 態 に 適 用 で き る 各 薄 膜 ト ラ ナジ 斯 タ の チ ャ ネル 幅、 チ ャ ネル 長 及 び 電 壓 V_{GG} の 一 例 を 示 す。 ま た、 C 1 = 0 . 5 pF、 C 2 = 10 pF で あ る。 本 実 施 形 態 は、 第 1 の 実 施 形 態 と 同 様、 薄 膜 ト ラ ナジ 斯 タ T 7 の W / L 比 に 対 す る 薄 膜 ト ラ ナジ 斯 タ T 6 の W / L 比 (= (W₆ / L₆) / (W₇ / L₇)) は 同 程 度 以 上 と し て お く。 ま た、 時 刻 t 3 3 に お け る 薄 膜 ト ラ ナジ 斯 タ T 7 が 実 質 的 に 非 導 通 状 態 と み な せ る た め に は、 同 時 刻 に お い て、 下 記 (ハ) 又 は (二) の い ず れ カ の 条 件 を 満 た す 必 要 が あ る。 10

【 0 0 6 7 】

(ハ) 薄 膜 ト ラ ナジ 斯 タ T 6 の チ ャ ネル 抵 抗 に 対 す る 薄 膜 ト ラ ナジ 斯 タ T 7 の チ ャ ネル 抵 抗 が 100 倍 以 上

時 刻 t 3 3 に お け る 薄 膜 ト ラ ナジ 斯 タ T 7 が 実 質 的 に 非 導 通 状 態 と み な せ る た め に は、 本 実 施 形 態 は、 第 1 の 実 施 形 態 と 同 様 に、 同 時 刻 に お い て 薄 膜 ト ラ ナジ 斯 タ T 6 の チ ャ ネル 抵 抗 に 対 す る 薄 膜 ト ラ ナジ 斯 タ T 7 の チ ャ ネル 抵 抗 が 100 倍 以 上 で な か ね ば な ら な い。 この 条 件 が 満 た さ れ て い る か どう か を 検 証 す る に は、 同 時 刻 に お け る 電 壓 $V_g(n)$ を 実 測 す る か、 S P I C E シ ミ ュ レ ー シ ョ ン を 実 施 し、 電 壓 $V_g(n)$ を 求 め れ ば よ い。 あ る い は、 時 刻 t 3 3 に お け る 次 式 の 電 壓 $V_r(n)$ の 見 積 も り 値 が 第 1 の 実 施 形 態 で 定 義 し た V_{LL} 以 下 で あ れ ば、 薄 膜 ト ラ ナジ 斯 タ T 6 の チ ャ ネル 抵 抗 に 対 す る 薄 膜 ト ラ ナジ 斯 タ T 7 の チ ャ ネル 抵 抗 が 100 倍 以 上 で あ る と 考 え る こ と が で き る。 20

【 0 0 6 8 】

【 数 4 】

$$V_r(n) = V_{DD} - V_{TH} - \sqrt{(V_{DD} - V_{TH})^2 - \frac{(V_{DD} - V_{TH})(\beta_{R9}V_{SS} + \beta_{R10}V_{GG}) - (\beta_{R9}V_{SS}^2 + \beta_{R10}V_{GG}^2)}{1 + \beta_{R9} + \beta_{R10}}}$$

【 0 0 6 9 】

$V_{DD} = +12V$ 、 $V_{SS} = 0V$ 、 $V_{GG} = V_{SS} + 2V$ 、 $V_{TH} = +4V$ と す る と、 実 施 形 態 2 - 1、 2 - 2、 2 - 3 に お い て は、 $V_r(n) < V_{LL}$ が 満 た さ れ て い る。 30

【 0 0 7 0 】

(二) インバータ の 出 力 電 壓 V_L が V_{TH} 以 下

時 刻 t 3 3 に お い て、 インバータ の 出 力 電 壓 V_L が 薄 膜 ト ラ ナジ 斯 タ T 7 の 閾 値 電 壓 (= V_{TH}) 以 下 と な る よ う に す る こ と が で き れ ば、 薄 膜 ト ラ ナジ 斯 タ T 7 は (ハ) の 条 件 よ り も 確 実 な 非 導 通 状 態 と な り、 よ り 好 ま し い。 この 条 件 が 満 た さ れ て い る か ど う か を 検 証 す る に は、 同 時 刻 に お け る 薄 膜 ト ラ ナジ 斯 タ T 7 の ゲ ト 及 び ソ ース 間 電 壓 を 実 測 す る か、 S P I C E シ ミ ュ レ ー シ ョ ン を 実 施 し、 薄 膜 ト ラ ナジ 斯 タ T 7 の ゲ ト 及 び ソ ース 間 電 壓 を 求 め れ ば よ い。 あ る い は、 (ハ) に 示 し た 電 壓 $V_r(n)$ の 見 積 も り 値 を 用 い て、 $V_r(n) < V_{TH}$ で あ れ ば、 この 条 件 が 満 た さ れ て い る と 考 え る こ と が で き る。 実 施 形 態 2 - 2、 2 - 3 に お い て は、 上 式 の 関 係 が 満 た さ れ て い る。 40

【 0 0 7 1 】

な お、 本 実 施 形 態 は、 第 1 の 実 施 形 態 と 同 様 に、 (二) の 条 件 よ り も さ ら に β_{R9} 、 β_{R10} を 大 き く し て も よ い。 β_{R9} 、 β_{R10} が 大 き い か ほ ど、 時 刻 t 3 2 か ら t 3 5 ま で の インバータ の 出 力 電 壓 V_L が 低 下 し、 時 刻 t 3 3 に お い て、 薄 膜 ト ラ ナジ 斯 タ T 7 が 非 導 通 状 態 に 移 行 す る の を 早 め る こ と が で き る。 こ れ に よ り、 時 刻 t 3 2 か ら t 3 3 ま で の 遅 延 時 間 を 短 縮 す る こ と が で き る。 す な わ ち、 実 施 形 態 2 - 3 で は、 実 施 形 態 2 - 1、 2 - 2 と 比 較 し て、 遅 延 時 間 t 3 3 - t 3 2 が 短 縮 さ れ る。 ま た、 実 施 形 態 2 - 4 の よ う に、 $V_{GG} = V_{SS}$ で あ っ ても よ い。 この 場 合、 駆 動 回 路 120 の レ イ アウ ト や 電 源 部 140 を 簡 略 化 す る こ と が で き る。

【 0 0 7 2 】

本実施形態でも、第1の実施形態と同様に、単純なシフトレジスタ190を用いることができるため、回路規模を削減できる。よって、駆動回路120のレイアウト面積の削減や、製造歩留まり向上を実現できる。なお、実施形態2-3のように、薄膜トランジスタT10(T10')のチャネル幅を非常に小さく選ぶことができるため、薄膜トランジスタT10(T10')のレイアウト面積への影響は軽微である。

【0073】

また、以下の理由により、駆動回路120の全体の回路規模に対し、シフトレジスタ190の回路規模を減らすことで、低コスト化が可能となる。薄膜トランジスタ製造工程において、パーティクルなどによる薄膜トランジスタ不良は、薄膜トランジスタ1つにつき一定の確率で、薄膜トランジスタの位置に関係なく発生する。特許文献1の駆動回路では、走査電圧生成回路とシフトレジスタとで回路規模を比べた場合、シフトレジスタの回路規模の方が大きい。特許文献1では、シフトレジスタに1つでも不動作の薄膜トランジスタがあると、リペアを行わなければ製品として機能しない。すなわち、特許文献1の駆動回路は、薄膜トランジスタ不良率の高い工場において低コストで生産することが難しい。それに対し、本実施形態において、シフトレジスタに不良薄膜トランジスタがなく、走査電圧生成回路に不良薄膜トランジスタが発生した場合、1本のゲート線が動作しなくなる（線欠陥が発生する）だけであるので、製品の種類によっては問題がない。

【0074】

また、ゲート線電圧がフローティング状態となることを防止することができる。よって、アクティブマトリクスピネルを利用した検出装置において、読み出し画像の画質向上させることができる。さらに、時刻t32よりも前に電圧Vrを低下させておくことで、時刻t32からt33に掛けてのインバータの反転動作を、第1の実施形態と比較してより確実に行わせることができる。よって、本実施形態は、クロック信号GCL1, GCL2などにおけるタイミングマージンや電圧マージンを、第1の実施形態と比較してより多く確保できる。

【0075】

(第3の実施形態)

図12(a)及び(b)は、本発明の第3の実施形態によるアクティブマトリクスピネルを用いた放射線検出装置の画素の構成例である。図12(a)は平面図であり、図12(b)は図12(a)のA-A'での断面図である。本実施形態では、スイッチ素子112にトップゲート型でダブルゲート型の多結晶シリコン薄膜トランジスタを用いている。スイッチ素子112は、絶縁性基板101の上に、真性半導体領域301と第1導電型の不純物半導体領域302とを含む多結晶シリコン層と、第1絶縁層303と、第1導電層304と、が絶縁性基板101側から順に積層された構成である。真性半導体領域301は薄膜トランジスタのチャネルとして、不純物半導体領域302はソース又はドレインとして、第1絶縁層303はゲート絶縁層として、第1導電層304はゲート又はゲート線160として、それぞれ機能する。スイッチ素子112は第2絶縁層305によって覆われる。この第2絶縁層305は、スイッチ素子112のパッシベーション層として機能する。第2絶縁層305上に設けられた第2導電層306は、第2絶縁層305及び第1絶縁層303に設けられたコントラクトホールにおいて不純物半導体領域302と接続される。ソース及びドレインの一方である不純物半導体領域302と接続された第2導電層306は、変換素子110との接続端子として機能し、ソース及びドレインの他方である不純物半導体領域302と接続された第2導電層306は、信号線170として機能する。第2導電層306は、第3絶縁層307によって覆われる。この第3絶縁層307は、スイッチ素子112及び信号線170のパッシベーション層として機能する。第3絶縁層307は、第4絶縁層308によって覆われる。この第4絶縁層308は、有機絶縁材料からなり、大きな膜厚で準備することにより、平坦化層として機能する。第4絶縁層309の上には、変換素子111が設けられる。複数の変換素子111は、複数のスイッチ素子112に対応し、放射線を電荷に変換する。本実施形態では、変換素子111として、放射線を光に変換するシンチレータ317と、その光を電荷に変換する光電変換素子と、を含

10

20

30

40

50

むものを用いている。光電変換素子は、第3導電層310と、第1導電型の不純物半導体層311と、真性半導体層312と、第2導電型の不純物半導体層313と、第4導電層314と、が絶縁性基板101側から順に積層された構成である。第3導電層310は、変換素子111の第1電極として機能し、第3絶縁層307及び第4絶縁層308に設けられたコンタクトホール309において第2導電層306と接続される。第1導電型の不純物半導体層311と真性半導体層312と第2導電型の不純物半導体層313には、非晶質シリコンが用いられる。第4導電層314は、変換素子111の第2電極として機能し、電極配線180として機能する第5導電層315と接続される。光電変換素子及び電極配線180は、第5絶縁層316によって覆われ、第5絶縁層316の上にシンチレータ317が配置される。

10

【0076】

ここで、本実施形態では、変換素子111として、放射線を光に変換するシンチレータと、その光を電荷に変換する光電変換素子と、を含む間接型変換素子を用いたが、本実施形態はそれに限定されるものではない。変換素子111として、非晶質セレンなどによって放射線を直接電荷に変換する直接型変換素子を用いてもよい。また、スイッチ素子112として、多結晶シリコン薄膜トランジスタを用いたが、本実施形態はそれに限定されるものではない。非晶質シリコン薄膜トランジスタや酸化物半導体を用いた酸化物薄膜トランジスタ、有機半導体を用いた有機薄膜トランジスタも用いることができる。また、ゲルマニウム等の他の半導体材料を用いてもよい。

【0077】

20

図13は、上記の放射線検出装置を用いた放射線検出システムの例である。放射線源であるX線チューブ6050で発生したX線6060は、患者あるいは被験者6061の胸部6062を透過し、上記の放射線検出装置（アクティブマトリクスピネル）100に入射する。この入射したX線には患者6061の体内部の情報が含まれている。放射線検出装置100は、X線の入射に対応して放射線を電荷に変換して、電気的情報を得る。この情報は、デジタルデータに変換され、信号処理手段となるイメージプロセッサ6070により画像処理され、制御室の表示手段となるディスプレイ6080で観察できる。また、この情報は、電話回線6090等の伝送処理手段により遠隔地へ転送でき、別の場所のドクタールームなど表示手段となるディスプレイ6081に表示もしくは光ディスク等の記録手段に保存することができ、遠隔地の医師が診断することも可能である。また、記録手段となるフィルムプロセッサ6100により、記録媒体となるフィルム6110に記録することもできる。

30

【0078】

第1～第3の実施形態によるアクティブマトリクスピネルは、医療用画像診断装置、非破壊検査装置、放射線を用いた分析装置などに応用される、検出装置及び検出システムに適用することができる。また、アクティブマトリクスピネルを用いた表示装置に適用することもできる。

【0079】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

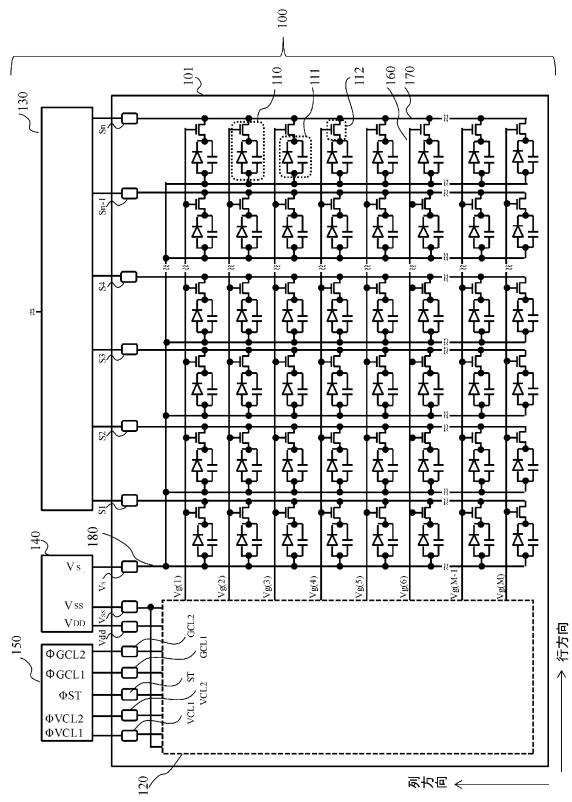
40

【符号の説明】

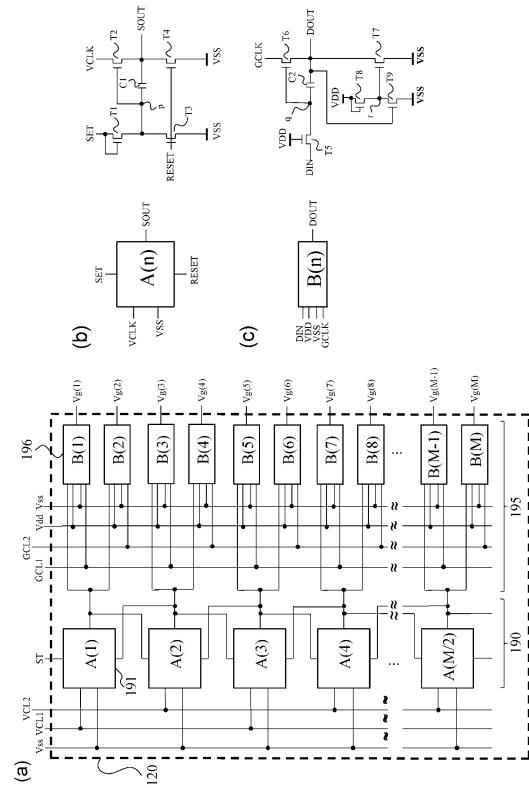
【0080】

112 スイッチ素子、120 駆動回路、160 ゲート線、190 シフトレジスタ
、191 シフトレジスタ単位回路、195 デマルチブレクサ、196 デマルチブレ
クサ単位回路、T1～T10 薄膜トランジスタ

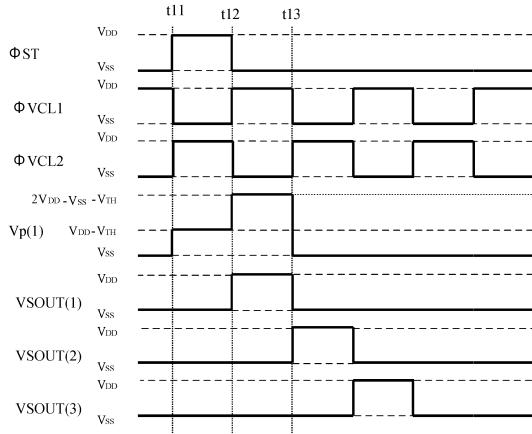
【図1】



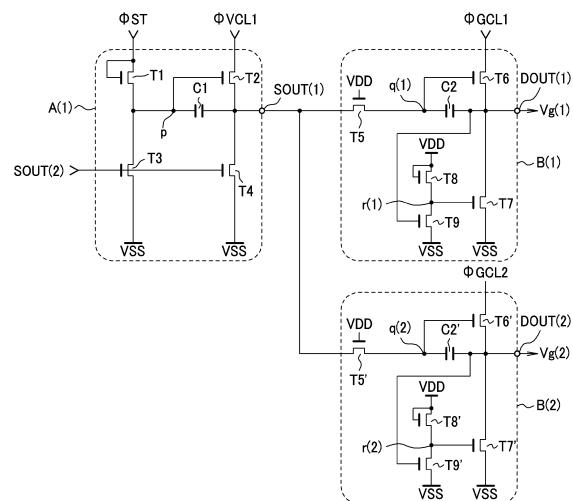
【図2】



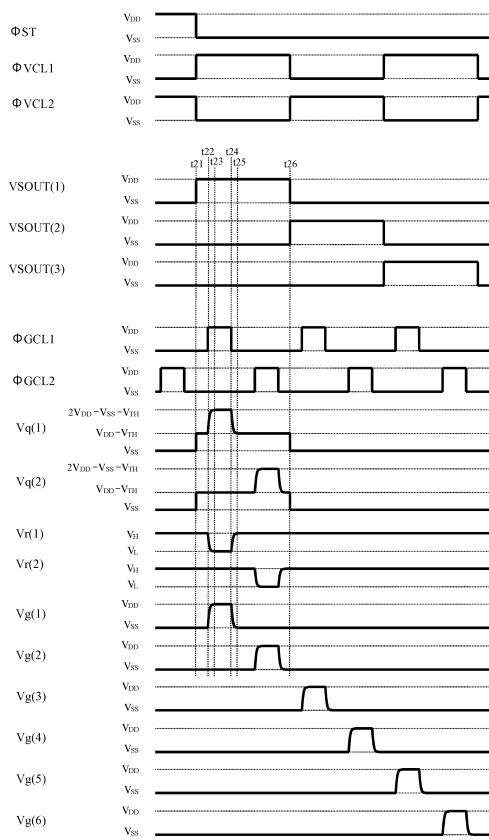
【図3】



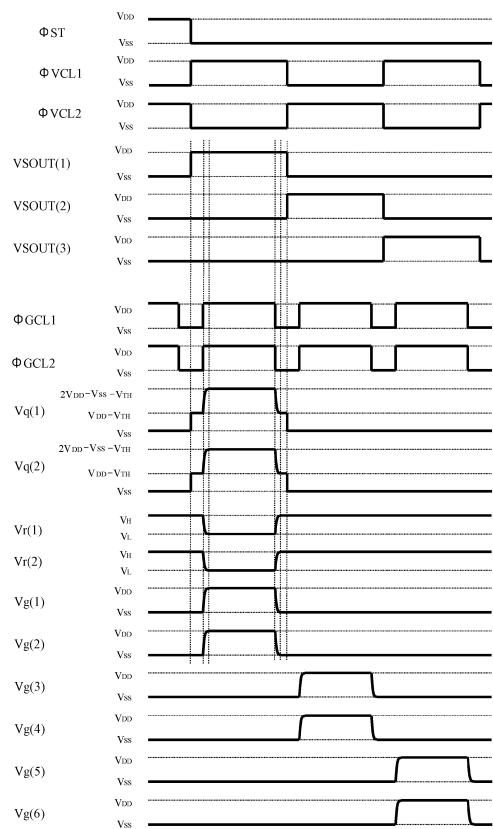
【図4】



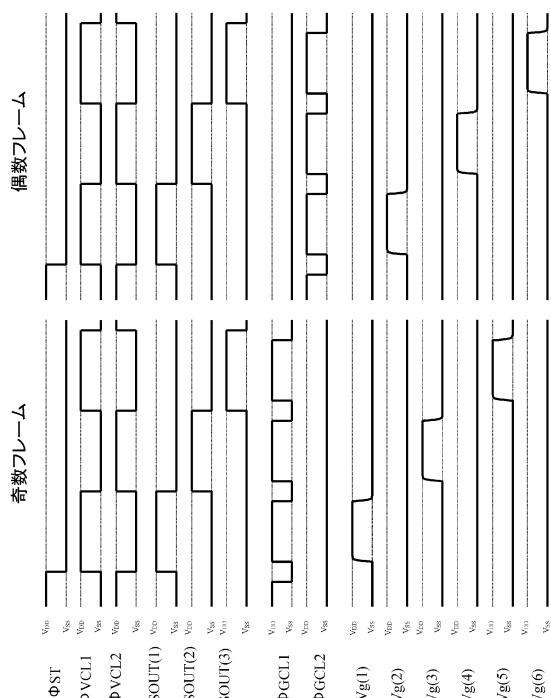
【図5】



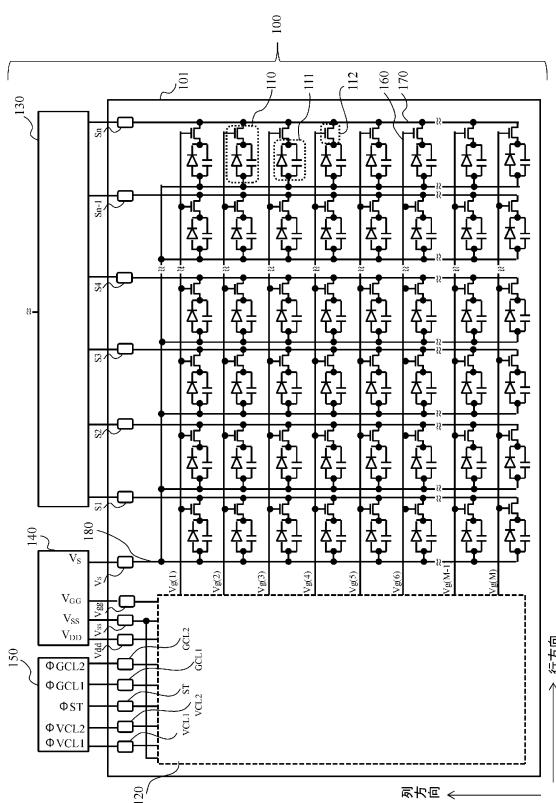
【図6】



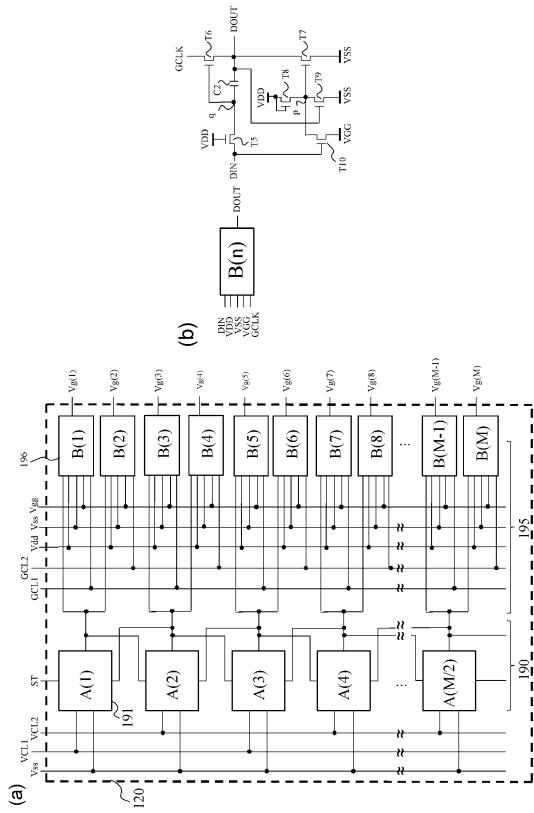
【図7】



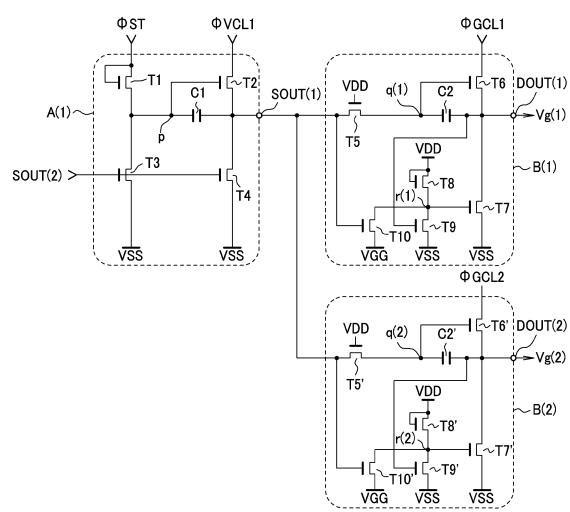
【図8】



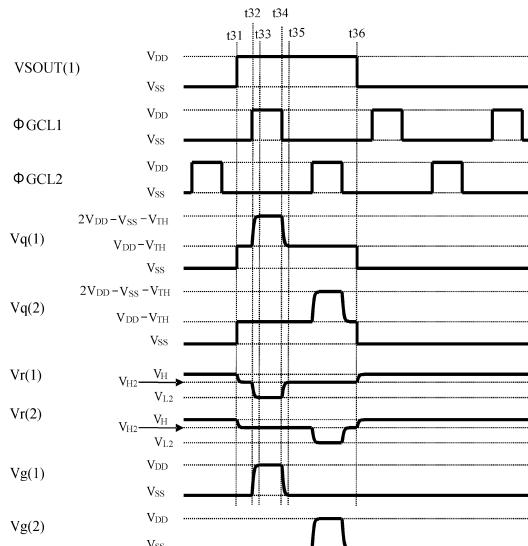
【図9】



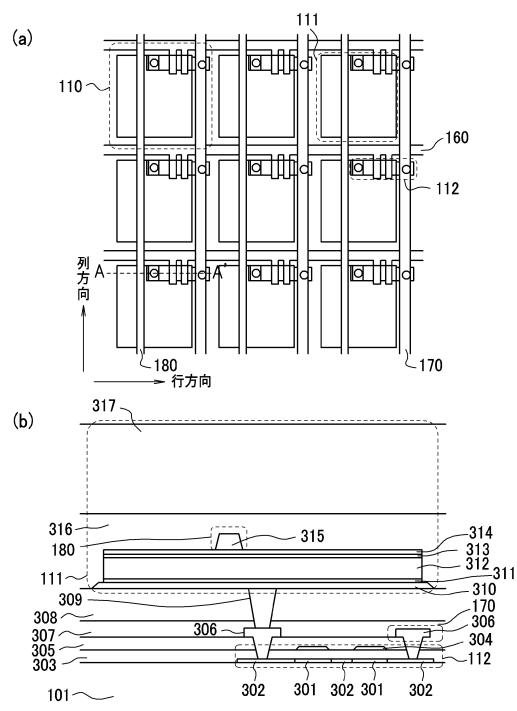
【図10】



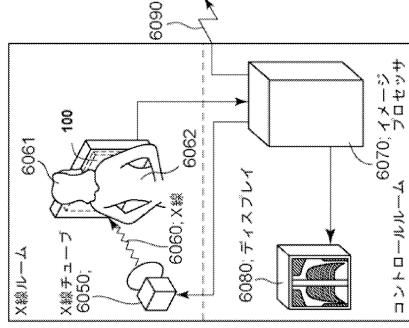
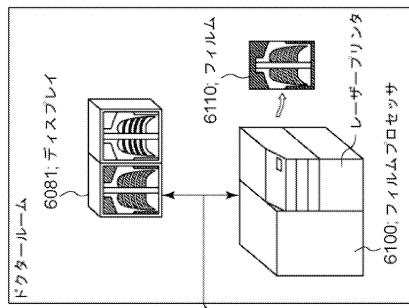
【図11】



【図12】



【図13】



【図14】

チャネル幅 W(μm)/ チャネル長 L(μm)	実施形態1-1			実施形態1-2			実施形態1-3				
	T1	60/10	60/10	60/10	T2	60/10	60/10	60/10	T3	60/10	60/10
T4	60/10	60/10	60/10	60/10	30/10	30/10	30/10	T5=T5'	30/10	30/10	30/10
T6=T6'	1000/10	1000/10	1000/10	1000/10	500/10	500/10	500/10	T7=T7'	500/10	500/10	500/10
T8=T8'	83/10	83/10	30/10	15/10	10/10	60/10	60/10	T9=T9'	83/10	30/10	15/10
T10'=T10	66/10	24/10	5/10	5/10	V _{ss} 22	V _{ss} +2	V _{ss}	V _{ss} 22	V _{ss} 22	V _{ss} +2	V _{ss}

【図15】

チャネル幅 W(μm)/ チャネル長 L(μm)	実施形態2-1			実施形態2-2			実施形態2-3			実施形態2-4		
	T1	60/10	60/10	60/10	T2	60/10	60/10	60/10	T3	60/10	60/10	60/10
T4	60/10	60/10	60/10	60/10	30/10	30/10	30/10	T5=T5'	30/10	30/10	30/10	T6=T6'
T6=T6'	1000/10	1000/10	1000/10	1000/10	500/10	500/10	500/10	T7=T7'	500/10	500/10	500/10	T8=T8'
T8=T8'	83/10	83/10	30/10	15/10	10/10	60/10	60/10	T9=T9'	83/10	30/10	15/10	T10=T10'
T10=T10'	66/10	24/10	5/10	5/10	V _{ss} 22	V _{ss} +2	V _{ss}	V _{ss} 22	V _{ss} 22	V _{ss} +2	V _{ss}	V _{ss}

フロントページの続き

(51)Int.Cl.	F I
G 0 1 T 1/24 (2006.01)	G 0 1 T 1/24
A 6 1 B 6/00 (2006.01)	A 6 1 B 6/00 3 0 0 S
	A 6 1 B 6/00 3 2 0 Z

(72)発明者 横山 啓吾
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 川鍋 潤
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 藤吉 健太郎
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 和山 弘
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 鈴木 明

(56)参考文献 特開2007-151761(JP,A)
特開2001-160299(JP,A)
特開平05-030278(JP,A)
特開2002-197885(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 4 N	5 / 3 0 - 5 / 3 7 8
H 0 1 L	2 7 / 1 4 - 2 7 / 1 4 8
G 0 1 T	1 / 2 4
A 6 1 B	6 / 0 0