



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

213 004

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 08 08 80
(21) PV 5474-80

(51) Int. Cl.³

G 06 F 15/353

(40) Zveřejněno 31 08 81
(45) Vydáno 01 01 84

(75)

Autor vynálezu VOCETKA JAN ing., PRAHA

(54) Zapejení logického bloku pro lineární interpolaci s pamětí vstupní instrukce

1

Vynález se týká zapejení logického bloku pro lineární interpolaci s pamětí vstupní instrukce.

Dosavadní zapejení používají k výpočtu lineární aproximace převážně sériové zpracování informací, což vyhovovalo prvkové základně, ale přinášelo to zejména zvýšené nároky na frekvenci, které se nepříznivě projevují jak v spolehlivosti, tak i v požadavcích na konstrukci elektronické části. Při další vývojové tendenci na zvyšování rychlosti souřadnicových posunů se stávají frekvenční nároky zapejení omezujícím faktorem.

Uvedené nedostatky odstraňuje zapejení logického bloku pro lineární interpolaci s pamětí vstupní instrukce podle vynálezu, jehož podstatou je, že je vytvořeno ze vstupní paměti, na jejíž první vstup jsou připojeny vodiče pro zavádění vstupní instrukce, na druhý vstup vstupní paměti i první vstup adresového čítače vodič pro potvrzení platnosti dat na prvním vstupu, na třetí vstup vstupní paměti je zapejen první výstup adresového čítače, jehož druhý výstup, který rozlišuje fázi čtení a zápisu, je zaveden na první vstup čítače, jehož druhý výstup je zaveden na druhý vstup adresového čítače a první výstup čítače je spojen s prvním vstupem paměti interpolace, s prvním vstupem přepínače adres i s druhým vstupem převodníku, na jehož první vstup je zapejen výstup vstupní paměti a výstup převodníku zaveden na první vstup přepínače vstupu souřadnic, jehož výstup je zaveden na první vstup paměti souřadnic, jejíž výstup je zaveden na vstup paměti čtveřice bitů souřadnic, jejíž

výstup je zapojen na první vstup přepínače vstupu aritmetické jednotky i na první vstup aritmetické jednotky, přičemž výstup přepínače vstupu aritmetické jednotky je zapojen na druhý vstup aritmetické jednotky, jejíž výstup je zapojen na první vstup paměti znaménka odchylky, na třetí vstup přepínače vstupu souřadnic, na druhý vstup paměti odchylky i na první vstup obvodu vyhodnocení konce interpolace, přičemž jeho první výstup je zaveden na pátý vstup paměti znaménka odchylky, na třetí vstup výstupního přepínače, na druhý vstup paměti interpolace i na třetí vstup paměti operačního kroku, a na jeho druhý výstup je zapojen na čtvrtý vstup výstupního přepínače, na třetí vstup paměti interpolace i na čtvrtý vstup paměti operačního kroku, jejíž výstup je zapojen na první vstup operačního čítače, na druhý vstup paměti znaménka odchylky i na třetí vstup obvodu vyhodnocení konce interpolace, přičemž první výstup operačního čítače je zapojen na druhý vstup přepínače vstupu adres, na třetí vstup paměti znaménka odchylky, na třetí vstup přepínače vstupu aritmetické jednotky, na třetí vstup aritmetické jednotky, na druhý vstup obvodu vyhodnocení konce interpolace i na druhý vstup výstupního přepínače, zatímco druhý výstup operačního čítače je zaveden na první vstup paměti operačního kroku, na jejíž druhý vstup je zapojen vodič pro její startování, přičemž výstup paměti interpolace je zapojen na pátý vstup paměti operačního kroku, na čtvrtý vstup aritmetické jednotky, na čtvrtý vstup paměti znaménka odchylky, na třetí vstup čítače, na třetí vstup operačního čítače, na třetí vstup přepínače vstupních adres, na druhý vstup přepínače vstupu souřadnic i na druhý vstup přepínače adres, jehož výstup je zapojen na první vstup přepínače vstupních adres, jehož výstup je zapojen na druhý vstup paměti souřadnic i na první vstup paměti odchylky, která je svým výstupem zapojena na vstup paměti čtveřice bitů odchylky, jejíž výstup je zaveden na druhý vstup přepínače vstupu aritmetické jednotky, přičemž výstup paměti znaménka odchylky je zaveden zpět na pátý vstup aritmetické jednotky i na první vstup výstupního přepínače, který má první výstup jednotkových přírůstkových impulsů v ose x a druhý výstup jednotkových přírůstkových impulsů v ose y, dále má zapojený taktovací generátor pro synchronizaci celého výpočtu lineární aproximace, jehož výstup je zapojen na druhý vstup čítače i na druhý vstup operačního čítače a prostřednictvím obou těchto čítačů do ostatních souvisejících obvodů celého logického bloku.

Dále popisované zapojení generuje elementární přírůstkové impulsy pro řízení servomechaniky ovládající dva na sebe kolmé souřadnicové posuvy tak, že na základě velikosti přírůstků v obou osách aproximuje takto zadanou úsečku s libovolným sklonu s odchylkou menší než jeden přírůstkový impuls na jednu nebo druhou stranu úsečky, přičemž konceový bod úsečky je vždy generován s nulovou odchylkou. Paměť vstupní instrukce umežňuje v době, kdy probíhá proces aproximace, nezávisle se zásobit přírůstkovými údaji pro následující úsečku. Teto má příznivý vliv na plynulost řízení mechanických částí vyvezujících souřadnicové posuny i na časové nároky na zdroj dat přímkových úseků.

Řešení podle vynálezu ve srovnání s dosavadními se vyznačuje především vyšším využitím obvodů střední integrace, což vede ke zmenšení počtu jednotlivých prvků zapojení, které se příznivě projevuje jak ekonomicky ve zmenšení elektronické části, tak i ve zvýšení spolehlivosti zapojení. Vstupní část popisovaného logického bloku je přizpůsobena pro rychlý příjem čtyř šestnáctibitových slov vstupní instrukce do vyrovnávací paměti pro snadné spojení se šestnáctibitovým procesorem, vlastní výpočet lineární aproximace úsečky zadané vstupní instrukcí potom probíhá v sérieparalelním režimu s využitím čtyřbitové aritmetické jednotky.

Na přiloženém výkresu je uvedeno zapojení obvodů logického bloku.

Obvod 1 představuje vstupní paměť čtyř šestnáctibitových slov vstupní instrukce, která jsou přivedena na vstup 10. Na vstupu 11 je vstupní signál potvrzující platnost na vstupu 10. Tentýž signál je také přiveden na vstup 21 obvodu 2, který představuje adresový čítač pro vstupní paměť 1. Pomocí něho jsou při zápisu jednotlivá slova vstupní instrukce postupně adresována. Druhý signál, který je přiveden na vstup 20, určuje adresy při výběru vstupní instrukce ze vstupní paměti 1. Výstup 22 udává adresy a je zaveden na vstup 12 vstupní paměti 1, výstup 23 udává čtecí a zápisovou fázi vstupní paměti 1. Při výběru instrukce ze vstupní paměti 1 se zavádí informace z výstupu 13 na vstup 42 převodníku 4, který slouží k převodu šestnáctibitového slova na formát 4 x 4 bity na výstupu 40. Tento převod se uskutečňuje za pomoci čítače 3, jehož výstup 33 je zaveden na vstup 41. Činnost čítače 3 je řízena vstupními signály 30, 31 a 32, z čehož 31 jsou impulsy generované taktovacím generátorem 2 a 30 z výstupu 100 obvodu paměti 10 interpolace je signál, který informuje o skončení činnosti vlastního interpolátoru, tj. o ukončení lineární aproximace úsečky zadané předchozí instrukcí. Výstup 34 řídí adresování při výběru instrukce ze vstupní paměti 1.

Na základě informace signálu z výstupu 100 o ukončené interpolaci dochází k řešení informace o velikosti přírůstku v ose x a y do paměti 12 souřadnic. Pro vlastní interpolátor se využijí ze vstupní instrukce pouze dvě šestnáctibitová slova. Přepínač 8 vstupu souřadnic slouží k řešení vstupních informací, vstup 82, nebo během interpolace, vstup 81, mění obsah souřadnic podle výsledku výpočtu aritmetické jednotky 17. Adresování obou pamětí 12 i 13 obstarává přepínač 9 vstupu adres, a to odlišně při nahrávání souřadnic pomocí vstupu 92 a přepínač 7 adres, pomocí vstupu 91 při vlastní interpolaci. Přepínač adres 7 zajišťuje umístění přírůstků X a Y do dvou částí paměti 12 souřadnic tak, že po skončení uložení vstupní informace je v paměti 12 souřadnic následující pořadí šestnácti čtveřic vstupní informace interpolátoru: souřadnice X, přírůstek Y, souřadnice Y, přírůstek X. Na začátku interpolace je hodnota souřadnice rovna přírůstku, během interpolace se přírůstek nemění, souřadnice se po každém interpolačním kroku mění o jedničku, buď X nebo Y, pomocí aritmetické jednotky 17. Současně při nahrávání informací do paměti 12 souřadnic se do paměti 13 odchylky nahrávají nuly, což je zajištěno nulovým výstupem 175 pomocí vstupu 174 obvodu 17 a paměť 18 znaménka odchylky je nastavena na nulu, vstup 184, tj. na kladné znaménko.

Vlastní interpolace probíhá v reálném čase a to rychlostí, kterou určuje frekvence impulsů na druhém vstupu 193 paměti 19 operačního kroku v době, kdy výstup 100 obvodu 10 je logická jednička. Výstup 196 určuje dobu jednoho operačního kroku, tj. provedení změny souřadnice X, respektive Y za pomocí aritmetické jednotky 17, zjištěné nové hodnoty odchylky, zjištění zda souřadnice X a nebo i souřadnice Y vyhovuje podmínce o skončení interpolace v této souřadnici, tj. obvod 16 vyhodnocení konce interpolace, výstup 163 a 164, a vyslání výstupního jednotkového přírůstkového impulsu X nebo Y, tj. výstup 204 nebo 205 výstupního přepínače 20.

Výpočet probíhá za pomoci taktovacího generátoru 5 a operačního čítače 6, který slouží jako řadič informací. Výstupní podmínky pro zjišťování znaménka odchylky vyhovující algoritmu lineární interpolace jsou přivedeny na vstupy 180, 181, 182, 183 a 184 paměti znaménka

213 004

odchylky 18, jejíž výstup 185 je jednou ze vstupních podmínek, kterými je řízena činnost aritmetické jednotky 17. Přepínač 11 vstupu aritmetické jednotky přivádí podle stavu řadičových funkcí přes vstup 111 na aritmetickou jednotku 17 buď příslušnou souřadnici, nebo odchylku, aby byla podle algoritmu lineární aproximace vypočtena nová hodnota :

<u>Podmínka</u>	<u>provedená operace</u>
Obsah paměti odchylky (D) ≥ 0	X - 1 D - PY
Obsah paměti odchylky (D) < 0	Y - 1 D + PX

Paměti 14 čtveřic bitů souřadnice a 15 odchylky umožňuje zpracovat danou čtveřici bitů informace pomocí aritmetické jednotky 17 a současně na tutéž adresu paměti 12 souřadnic, respektive odchylky 13 zapsat nový obsah čtveřic bitů.

Po skončení aproximace zadaného přímkového úseku nastává opět fáze řazení informací z převodníku 4 do obvodů vlastního interpolátoru na základě informace paměti 10 interpolace.

Řešení podle vynálezu lze s výhodou využít při projektování a stavbě systémů pro řízení obráběcích strojů, kreslicích stelů apod.

P R E D M Ě T V Y N Á L E Z U

Zapojení logického bloku pro lineární interpolaci s pamětí vstupní instrukce, vyznačené tím, že je vytvořeno ze vstupní paměti (1), na jejíž první vstup (000) jsou připojeny vodiče pro zavádění vstupní instrukce, na druhý vstup (1001) vstupní paměti i první vstup (21) adresového čítače (2) vodič pro potvrzení platnosti dat na prvním vstupu (10), na třetí vstup (1002) vstupní paměti (1) je zapojen první výstup (22) adresového čítače (2), jehož druhý výstup (23), který rozlišuje fázi čtení a zápisu, je zaveden na první vstup (32) čítače (3), jehož druhý výstup (34) je zaveden na druhý vstup (20) adresového čítače (2) a první výstup (33) čítače (3) je spojen s prvním vstupem (101) paměti (10) interpolace, s prvním vstupem (71) přepínače (7) adres i s druhým vstupem (41) převodníku (4), na jehož první vstup (42) je zapojen výstup (13) vstupní paměti (1) a výstup (40) převodníku (4) zaveden na první vstup (82) přepínače (8) vstupu souřadnic, jehož výstup (83) je zaveden na první vstup (121) paměti (12) souřadnic, jejíž výstup (122) je zaveden na vstup (140) paměti (14) čtveřice bitů souřadnic, jejíž výstup (141) je zapojen na první vstup (110) přepínače (11) vstupu aritmetické jednotky i na první vstup (171) aritmetické jednotky (17), přičemž výstup (113) přepínače vstupu (11) aritmetické jednotky je zapojen na druhý vstup (170) aritmetické jednotky (17), jejíž výstup (175) je zapojen na první vstup (180) paměti (18) zejména odchylky, na třetí vstup (81) přepínače (8) vstupu souřadnic, na druhý vstup (131) paměti (13) odchylky i na první vstup (160) obvodu (16) vyhodnocení konce interpolace, přičemž jeho první výstup (163) je zaveden na pátý vstup (183) paměti (18) znaménka odchylky, na třetí vstup (202) výstupního přepínače (20), na druhý vstup (103) paměti (10) interpolace i na třetí vstup (192) paměti (19) operačního kroku, a jeho druhý výstup (164) je zapojen na čtvrtý vstup (203) výstupního přepínače (20), na třetí vstup (102) paměti (10) interpolace i na čtvrtý vstup (191) paměti (19) operačního kroku, jejíž výstup (196) je zapojen na první vstup (62) operačního čítače (6), na druhý vstup (182) pa-

měti (18) znaménka odchylky i na třetí vstup (162) obvodu (16) vyhodnocení konce interpola-
ce, přičemž první výstup (63) operačního čítače (6) je zapojen na druhý vstup (91) přepína-
če (9) vstupu adres, na třetí vstup (181) paměti (18) znaménka odchylky, na třetí vstup
(112) přepínače (11) vstupu aritmetické jednotky, na třetí vstup (172) aritmetické jednotky
(17), na druhý vstup (161) obvodu (16) vyhodnocení konce interpelace i na druhý vstup (201)
výstupního přepínače (20), zatímco druhý výstup (64) operačního čítače (6) je zaveden na
první vstup (194) paměti (19) operačního kroku, na jejíž druhý vstup (193) je zapojen vodič
pro její startování, přičemž výstup (100) paměti (10) interpelace je zapojen na pátý vstup
(190) paměti (19) operačního kroku, na čtvrtý vstup (174) aritmetické jednotky (17), na
čtvrtý vstup (184) paměti (18) znaménka odchylky, na třetí vstup (30) čítače (3), na třetí
vstup (60) operačního čítače (6), na třetí vstup (90) přepínače (9) vstupních adres, na dru-
hý vstup (80) přepínače (8) vstupu souřadnic i na druhý vstup (70) přepínače (7) adres,
jehož výstup (72) je zapojen na první vstup (92) přepínače (9) vstupních adres, jehož vý-
stu (93) je zapojen na druhý vstup (120) paměti (12) souřadnic i na první vstup (130) pa-
měti (13) odchylky, která je svým výstupem (132) zapojena na vstup (150) paměti (15)
čtveřice bitů odchylky, jejíž výstup (151) je zaveden na druhý vstup (111) přepínače (11)
vstupu aritmetické jednotky, přičemž výstup (185) paměti (18) znaménka odchylky je zaveden
zpět na pátý vstup (173) aritmetické jednotky (17) i na první vstup (200) výstupního pře-
pínače (20), který má první výstup (204) jednotkových přírůstkových impulsů v ose x a druhý
výstup (205) jednotkových přírůstkových impulsů v ose y, dále má zapojený taktovací gene-
rátor (5) pro synchronizaci celého výpočtu lineární aproximace, jehož výstup (51) je zapo-
jen na druhý vstup (31) čítače (3) i na druhý vstup (61) operačního čítače (6) a prostřed-
nictvím obou těchto čítačů (3,6) do ostatních souvisejících obvodů celého logického bloku.

1 výkres

