202437547

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202437547 A

(43)公開日： 中華民國 113 (2024) 年 09 月 16 日

(21)申請案號：113107168 (22)申請日： 中華民國 113 (2024) 年 02 月 29 日

(51)Int. Cl.： *H01L29/786 (2006.01)* *H01L27/105 (2023.01)*
H01L21/8234(2006.01)

(30)優先權：2023/03/10 日本 2023-037381
2023/06/22 日本 2023-102367

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；方堂涼太 HODO, RYOTA (JP)；遠藤俊弥 ENDO, TOSHIYA (JP)；菊池秋広 KIKUCHI, AKIHIRO (JP)；井本裕己 IMOTO, YUKI (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：18 項 圖式數：39 共 244 頁

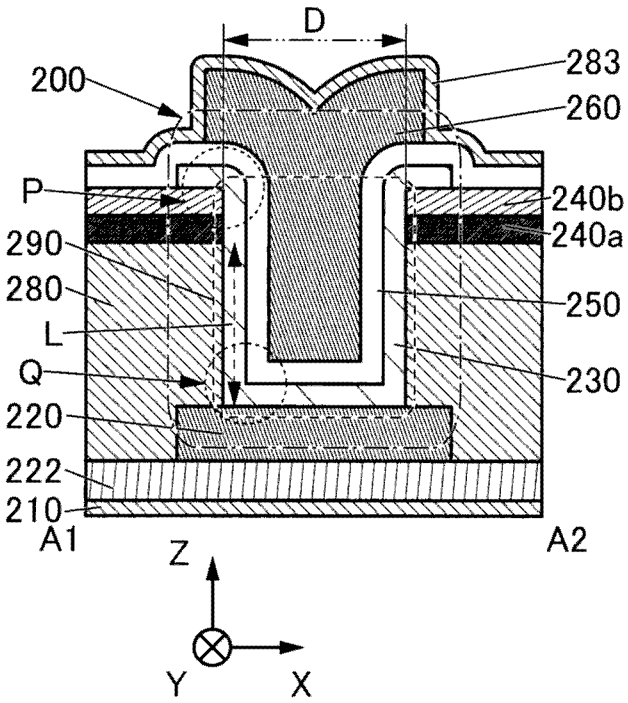
(54)名稱

半導體裝置

(57)摘要

提供一種能夠實現微型化或高積體化的半導體裝置，包括電晶體以及第一至第三絕緣體，電晶體包括第二絕緣體上的第一導電體、第三絕緣體上的第二導電體、氧化物半導體、第四絕緣體及第三導電體，第三絕緣體及第二導電體中設置有到達第一導電體的開口部，氧化物半導體接觸於第一導電體的頂面以及第二導電體的頂面及側面，第四絕緣體以其至少一部分位於開口部的方式配置在氧化物半導體上，第三導電體以其至少一部分位於開口部的方式配置在第四絕緣體上，第二絕緣體具有俘獲或固定氫的功能，第二導電體包括第一層及第一層上的第二層，第一層的導電性高於第二層，第二層包含金屬氧化物。

指定代表圖：



【圖1B】

符號簡單說明：

200:電晶體

210:絕緣體

220:導電體

222:絕緣體

230:氧化物半導體

240a:導電體

240b:導電體

250:絕緣體

260:導電體

280:絕緣體

283:絕緣體

290:開口部

D:最大寬度

L:通道長度

P:區域

Q:區域

202437547

【發明摘要】

【中文發明名稱】

半導體裝置

【中文】

提供一種能夠實現微型化或高積體化的半導體裝置，包括電晶體以及第一至第三絕緣體，電晶體包括第二絕緣體上的第一導電體、第三絕緣體上的第二導電體、氧化物半導體、第四絕緣體及第三導電體，第三絕緣體及第二導電體中設置有到達第一導電體的開口部，氧化物半導體接觸於第一導電體的頂面以及第二導電體的頂面及側面，第四絕緣體以其至少一部分位於開口部的方式配置在氧化物半導體上，第三導電體以其至少一部分位於開口部的方式配置在第四絕緣體上，第二絕緣體具有俘獲或固定氫的功能，第二導電體包括第一層及第一層上的第二層，第一層的導電性高於第二層，第二層包含金屬氧化物。

【指定代表圖】圖1B

【代表圖之符號簡單說明】

200:電晶體

210:絕緣體

220:導電體

222:絕緣體

230:氧化物半導體

240a:導電體

240b:導電體

250:絕緣體

260:導電體

280:絕緣體

283:絕緣體

290:開口部

D:最大寬度

L:通道長度

P:區域

Q:區域

【特徵化學式】無

【發明說明書】

【中文發明名稱】

半導體裝置

【技術領域】

【0001】本發明的一個實施方式係關於一種半導體裝置、記憶體裝置及電子裝置。另外，本發明的一個實施方式係關於一種上述半導體裝置的製造方法。

【0002】注意，本發明的一個實施方式不侷限於上述技術領域。作為本發明的一個實施方式的技術領域的一個例子，可以舉出半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、電子裝置、照明設備、輸入裝置(例如，觸控感測器)、輸入輸出裝置(例如，觸控面板)以及上述裝置的驅動方法或製造方法。

【0003】注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。除了電晶體等的半導體元件之外，半導體電路、運算裝置、記憶體裝置也是半導體裝置的一個實施方式。有時可以說顯示裝置(液晶顯示裝置、發光顯示裝置等)、投影裝置、照明設備、電光裝置、蓄電裝置、記憶體裝置、半導體電路、攝像裝置、電子裝置等包括半導體裝置。

【先前技術】

【0004】近年來，已對半導體裝置進行開發，LSI

(Large Scale Integration)、CPU(Central Processing Unit)、記憶體等主要用於半導體裝置。CPU是包括將半導體晶圓加工來形成晶片而成的半導體積體電路(至少包括電晶體及記憶體)且形成有作為連接端子的電極的半導體元件的集合體。

【0005】LSI、CPU、記憶體等的半導體電路(IC晶片)被安裝在電路板上，例如安裝在印刷線路板上，並被用作各種電子裝置的構件之一。

【0006】此外，藉由使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到矚目。該電晶體被廣泛地應用於積體電路(IC)、影像顯示裝置(簡單地記載為顯示裝置)等電子器件。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知。作為其他材料，氧化物半導體受到矚目。

【0007】另外，已知使用氧化物半導體的電晶體的洩漏電流在非導通狀態下極小。例如，專利文獻1公開了利用使用氧化物半導體的電晶體的洩漏電流小的特性的低功耗CPU等。另外，例如，專利文獻2公開了利用使用氧化物半導體的電晶體的洩漏電流小的特性實現存儲內容的長期保持的記憶體裝置等。

【0008】近年來，隨著電子裝置的小型化和輕量化，對積體電路的進一步高密度化的要求提高。此外，被要求提高包括積體電路的半導體裝置的生產率。例如，專利文獻3及非專利文獻1公開了一種技術，其中藉由層疊使用氧

化物半導體膜的第一電晶體和使用氧化物半導體膜的第二電晶體，重疊地設置多個記憶單元，由此提高積體電路的密度。另外，例如，如專利文獻4所示，還公開了一種將使用氧化物半導體膜的電晶體的通道沿縱向配置以實現積體電路的高密度化的技術。

【0009】

[專利文獻1] 日本專利申請公開第2012-257187號公報

[專利文獻2] 日本專利申請公開第2011-151383號公報

[專利文獻3] 國際專利申請公開第2021/053473號

[專利文獻4] 日本專利申請公開第2013-211537號公報

【0010】

[非專利文獻1] M.Oota et al.，“3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm”，IEDM Tech. Dig.，2019，pp.50-53

【發明內容】

【0011】本發明的一個實施方式的目的之一是提供一種可以實現微型化或高積體化的半導體裝置。本發明的一個實施方式的目的之一是提供一種通態電流大的半導體裝置。本發明的一個實施方式的目的之一是提供一種工作速度快的半導體裝置。本發明的一個實施方式的目的之一是提供一種可靠性高的半導體裝置。本發明的一個實施方式的目的之一是提供一種具有良好的電特性的半導體裝置。本發明的一個實施方式的目的之一是提供一種電晶體的電

特性不均勻小的半導體裝置。本發明的一個實施方式的目的之一是提供一種功耗低的半導體裝置。本發明的一個實施方式的目的之一是提供一種新穎的半導體裝置。本發明的一個實施方式的目的之一是提供一種生產率高的半導體裝置的製造方法。本發明的一個實施方式的目的之一是提供一種新穎的半導體裝置的製造方法。

【0012】此外，本發明的一個實施方式的目的之一是提供一種可以實現微型化或高積體化的記憶體裝置。本發明的一個實施方式的目的之一是提供一種記憶容量大的記憶體裝置。本發明的一個實施方式的目的之一是提供一種工作速度快的記憶體裝置。本發明的一個實施方式的目的之一是提供一種功耗低的記憶體裝置。本發明的一個實施方式的目的之一是提供一種新穎的記憶體裝置。

【0013】注意，這些目的的記載不妨礙其他目的的存在。本發明的一個實施方式並不需要實現所有上述目的。可以從說明書、圖式、申請專利範圍的記載衍生上述以外的目的。

【0014】本發明的一個實施方式是一種半導體裝置，包括電晶體以及第一至第三絕緣體，其中第二絕緣體配置在第一絕緣體上，第三絕緣體配置在第二絕緣體上，電晶體包括第二絕緣體上的第一導電體、第三絕緣體上的第二導電體、氧化物半導體、第四絕緣體及第三導電體，第三絕緣體及第二導電體中設置有到達第一導電體的開口部，氧化物半導體接觸於第一導電體的頂面以及第二導電體的

頂面及側面，第四絕緣體以其至少一部分位於開口部的方式配置在氧化物半導體上，第三導電體以其至少一部分位於開口部的方式配置在第四絕緣體上，第二絕緣體具有俘獲或固定氫的功能，第二導電體包括第一層及第一層上的第二層，第一層的導電性高於第二層，並且第二層包含金屬氧化物。

【0015】在上述結構中，第一層較佳為包含釕或鎢。

【0016】在上述結構中，第二層較佳為包含銦。

【0017】在上述結構中，較佳的是，第二層包含錫及矽，並且第二層具有非晶結構。

【0018】在上述結構中，第一絕緣體及第三絕緣體較佳為具有氫阻擋性。

【0019】在上述結構中，第二絕緣體較佳為包含鉿、矽及氧。

【0020】在上述結構中，第一絕緣體及第三絕緣體較佳為包含矽及氮。

【0021】在上述結構中，較佳的是，第一導電體包括第三層及第三層上的第四層，第三層的導電性高於第四層，並且第四層包含金屬氧化物。

【0022】在上述結構中，第三層較佳為包含鎢。

【0023】在上述結構中，第四層較佳為包含銦。

【0024】在上述結構中，較佳的是，第四層包含錫及矽，並且第四層具有非晶結構。

【0025】本發明的另一個實施方式是一種半導體裝

置，包括電晶體以及第一絕緣體及第二絕緣體，其中電晶體包括第一導電體、第一導電體及第一絕緣體上的第二導電體、氧化物半導體、第三絕緣體以及第三導電體，第三絕緣體及第二導電體中設置有到達第一導電體的開口部，氧化物半導體接觸於第一導電體的頂面及第二導電體的頂面，第三絕緣體以其至少一部分位於開口部的方式配置在氧化物半導體上，第三導電體以其至少一部分位於開口部的方式配置在第三絕緣體上，第二絕緣體在開口部中配置在第一絕緣體及第二導電體與氧化物半導體之間，第二導電體包括第一層及第一層上的第二層，第一層的導電性高於第二層，第二層包含金屬氧化物，並且第二絕緣體的一個側面至少接觸於第一層的側面。

【0026】在上述結構中，第一層較佳為包含釕或鎢。

【0027】在上述結構中，第二層較佳為包含銦。

【0028】在上述結構中，較佳的是，第二層包含錫及矽，並且第二層具有非晶結構。

【0029】在上述結構中，第二絕緣體的上端部的高度也可以低於第二層的頂面的高度。

【0030】在上述結構中，較佳的是，第二絕緣體的一個側面接觸於第一絕緣體，並且第二絕緣體的另一個側面接觸於氧化物半導體。

【0031】在上述結構中，第二絕緣體較佳為包含矽及氮。

【0032】根據本發明的一個實施方式，可以提供一種

可以實現微型化或高積體化的半導體裝置。根據本發明的一個實施方式，可以提供一種通態電流大的半導體裝置。根據本發明的一個實施方式，可以提供一種工作速度快的半導體裝置。根據本發明的一個實施方式，可以提供一種可靠性高的半導體裝置。根據本發明的一個實施方式，可以提供一種具有良好的電特性的半導體裝置。根據本發明的一個實施方式，可以提供一種電晶體的電特性不均勻小的半導體裝置。根據本發明的一個實施方式，可以提供一種功耗低的半導體裝置。根據本發明的一個實施方式，可以提供一種新穎的半導體裝置。根據本發明的一個實施方式，可以提供一種生產率高的半導體裝置的製造方法。根據本發明的一個實施方式，可以提供一種新穎的半導體裝置的製造方法。

【0033】此外，根據本發明的一個實施方式，可以提供一種可以實現微型化或高積體化的記憶體裝置。根據本發明的一個實施方式，可以提供一種記憶容量大的記憶體裝置。根據本發明的一個實施方式，可以提供一種工作速度快的記憶體裝置。根據本發明的一個實施方式，可以提供一種功耗低的記憶體裝置。根據本發明的一個實施方式，可以提供一種新穎的記憶體裝置。

【0034】注意，這些效果的記載不妨礙其他效果的存在。本發明的一個實施方式並不需要具有所有上述效果。另外，可以從說明書、圖式、申請專利範圍的記載衍生上述以外的效果。

【圖式簡單說明】

【0035】

[圖1A]是示出半導體裝置的一個例子的平面圖。[圖1B]至[圖1D]是示出半導體裝置的一個例子的剖面圖。

[圖2A]及[圖2B]是示出半導體裝置的一個例子的剖面圖。

[圖3A]及[圖3B]是示出半導體裝置的一個例子的剖面圖。

[圖4A]至[圖4E]是示出半導體裝置的製造方法的一個例子的剖面圖。

[圖5A]至[圖5D]是示出半導體裝置的製造方法的一個例子的剖面圖。

[圖6A]是示出半導體裝置的製造方法的一個例子的剖面圖。[圖6B]是示出半導體裝置的一個例子的剖面圖。

[圖7A]至[圖7D]是示出半導體裝置的製造方法的一個例子的剖面圖。

[圖8A]是示出半導體裝置的一個例子的平面圖。[圖8B]至[圖8D]是示出半導體裝置的一個例子的剖面圖。

[圖9A]是示出半導體裝置的一個例子的平面圖。[圖9B]至[圖9D]是示出半導體裝置的一個例子的剖面圖。

[圖10A]及[圖10B]是示出半導體裝置的一個例子的剖面圖。

[圖11A]是示出半導體裝置的一個例子的平面圖。[圖

11B]至[圖11D]是示出半導體裝置的一個例子的剖面圖。

[圖12A]及[圖12B]是示出半導體裝置的一個例子的剖面圖。

[圖13A]是示出半導體裝置的一個例子的平面圖。[圖13B]至[圖13D]是示出半導體裝置的一個例子的剖面圖。

[圖14A]及[圖14B]是示出半導體裝置的製造方法的一個例子的剖面圖。

[圖15A]是示出半導體裝置的一個例子的平面圖。[圖15B]至[圖15D]是示出半導體裝置的一個例子的剖面圖。

[圖16A]是示出半導體裝置的一個例子的平面圖。[圖16B]是示出半導體裝置的一個例子的剖面圖。

[圖17]是說明半導體裝置的結構例子的方塊圖。

[圖18A]至[圖18H]是說明記憶單元的電路結構例子的圖。

[圖19A]及[圖19B]是說明半導體裝置的結構例子的立體圖。

[圖20]是說明CPU的方塊圖。

[圖21A]及[圖21B]是半導體裝置的立體圖。

[圖22A]及[圖22B]是半導體裝置的立體圖。

[圖23A]和[圖23B]是示出各級類記憶體裝置的圖。

[圖24A]及[圖24B]是示出電子裝置的一個例子的圖，[圖24C]至[圖24E]是示出大型電腦的一個例子的圖。

[圖25]是示出太空設備的一個例子的圖。

[圖26]是示出可用於資料中心的儲存系統的一個例子

的圖。

[圖27A]及[圖27B]是顯示裝置的結構例子。

[圖28]是顯示裝置的結構例子。

[圖29]是顯示裝置的結構例子。

[圖30A]至[圖30C]是顯示裝置的結構例子。

[圖31A]及[圖31B]是顯示裝置的結構例子。

[圖32A]至[圖32D]是電子裝置的結構例子。

[圖33A]至[圖33F]是電子裝置的結構例子。

[圖34A]至[圖34G]是電子裝置的結構例子。

[圖35]是示出根據本實施例的接觸電阻的測量結果的圖。

[圖36A]及[圖36B]是根據本實施例的樣品的剖面SEM影像。

[圖37]是根據本實施例的剖面STEM影像及FFT影像。

[圖38]是根據本實施例的剖面STEM影像及FFT影像。

[圖39]是根據本實施例的樣品的剖面STEM影像。

【實施方式】

【0036】參照圖式對實施方式進行詳細說明。注意，本發明不侷限於以下說明，而所屬技術領域的通常知識者可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。

【0037】注意，在以下說明的發明的結構中，在不同的圖式之間共同使用相同的符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加符號。

【0038】另外，為了便於理解，有時圖式中示出的各組件的位置、大小及範圍等並不表示其實際的位置、大小及範圍等。因此，所公開的發明並不必然限於圖式中公開的位置、尺寸及範圍等。

【0039】另外，尤其在平面圖或立體圖等中，為了便於對發明的理解，有時省略部分組件的記載。另外，有時省略部分隱藏線的記載。

【0040】注意，在本說明書等中，為了方便起見，附加了“第一”、“第二”等序數詞，而其並不限制組件的個數或組件的順序(例如，製程順序或疊層順序)。此外，在本說明書中的某一部分對組件附加的序數詞與在本說明書中的其他部分或申請專利範圍對該組件附加的序數詞有時不一致。

【0041】另外，根據情況或狀況，可以互相調換“膜”和“層”。例如，可以將“導電層”變換為“導電膜”。此外，可以將“絕緣膜”變換為“絕緣層”。另外，根據情況或狀況，可以將“導電體”調換為“導電層”或“導電膜”。另外，根據情況或狀況，可以將“絕緣體”調換為“絕緣層”或“絕緣膜”。另外，根據情況或狀況，可以將“氧化物半導體”

調換為“氧化物半導體層”或“氧化物半導體膜”。

【0042】此外，在本說明書等中，“平行”是指兩條直線形成的角度為-10度以上且10度以下的狀態。因此，也包括該角度為-5度以上且5度以下的狀態。此外，“大致平行”是指兩條直線形成的角度為-30度以上且30度以下的狀態。另外，“垂直”是指兩條直線形成的角度為80度以上且100度以下的狀態。因此，也包括該角度為85度以上且95度以下的狀態。此外，“大致垂直”是指兩條直線形成的角度為60度以上且120度以下的狀態。

【0043】開口例如包括槽、狹縫、凹部等。此外，有時將形成有開口的區域稱為開口部。

【0044】此外，本說明書等中使用的圖式示出絕緣體的開口部中的絕緣體的側壁垂直或大致垂直於基板面或被形成面的情況，但是該側壁也可以為錐形形狀。

【0045】注意，在本說明書等中，錐形形狀是指組件的側面的至少一部分相對於基板面或被形成面傾斜地設置的形狀。例如，錐形形狀的結構具有傾斜的側面和基板面或被形成面所形成的角度(以下，有時也稱為錐角)小於90°的區域。注意，組件的側面及基板面不一定必須完全平坦，也可以是具有微小曲率的近似平面狀或具有微細凹凸的近似平面狀。此外，在本說明書等中，反錐形形狀是指具有在平行於基板的方向上比底部突出的側部或上部的形狀。

【0046】注意，在本說明書等中，“高度一致”是指在

剖面中距作為基準的面(例如，基板表面等平坦的面)的高度相等的結構。例如，在記憶體裝置的製造程序中，有時由於進行平坦化處理(典型的為化學機械拋光(CMP：Chemical Mechanical Polishing)處理)，使單層或多個層的表面露出。在這種情況下，CMP處理的被處理面距作為基準的面的高度相等。注意，根據進行CMP處理時的處理裝置、處理方法或被處理面的材料，有時多個層的高度不同。在本說明書等中，“高度一致”也包括上述情況。例如，在包括對基準面具有兩個高度的層(在此稱為第一層和第二層)的情況下，當第一層的頂面的高度與第二層的頂面的高度之差為20nm以下時，也將其稱為“高度一致”。

【0047】在本說明書等中，“側端部對齊”是指在俯視時疊層中的每一個層的輪廓的至少一部分重疊。例如，包括上層及下層藉由同一遮罩圖案或其一部分同一遮罩圖案被加工的情況。但是，嚴密地說，有時輪廓不重疊而上層的輪廓位於下層的輪廓的內側或者上層的輪廓位於下層的輪廓的外側，這些情況也稱為“側端部對齊”。

【0048】注意，一般而言，很難明確區別“完全一致”和“大致一致”。因此，在本說明書等中，“一致”包括完全一致的情況以及大致一致的情況的兩者。

【0049】在本說明書等中，第一厚度與第二厚度一致意味著第一厚度與第二厚度之差的絕對值除以第一厚度而得的值為0.1以下。或者，是指第一厚度與第二厚度之差的絕對值除以第二厚度而得的值為0.1以下。

【0050】此外，在本說明書等中，距離A與距離B一致是指距離A與距離B之差的絕對值除以距離A而得的值為0.1以下。或者，是指距離A與距離B之差的絕對值除以距離B而得的值為0.1以下。

【0051】

實施方式1

在本實施方式中，參照圖1A至圖16B說明作為本發明的一個實施方式的半導體裝置的一個例子。

【0052】

<半導體裝置的結構例子>

參照圖1A至圖1D說明作為本發明的一個實施方式的半導體裝置的結構的一個例子。圖1A至圖1D是包括電晶體200的半導體裝置的平面圖及剖面圖。圖1A是該半導體裝置的平面圖。圖1B至圖1D是該半導體裝置的剖面圖。在此，圖1B是沿著圖1A中的點劃線A1-A2的部分的剖面圖。此外，圖1C是沿著圖1A中的點劃線A3-A4的部分的剖面圖。注意，在圖1A的平面圖中，為了明確起見，省略一部分組件。此外，圖3A及圖3B示出對應於圖1B的放大圖。

【0053】注意，有時在本說明書的圖式等中附上表示X方向、Y方向以及Z方向的箭頭。注意，在本說明書等中，“X方向”是指沿著X軸的方向，除了明確指出的情況以外，有時不區別其順向及逆向。“Y方向”及“Z方向”也是同樣的。另外，X方向、Y方向以及Z方向是彼此交叉的方

向。例如，X方向、Y方向以及Z方向是彼此正交的方向。在本說明書等中，有時將X方向、Y方向或Z方向稱為“第一方向”。此外，有時將其他另一個稱為“第二方向”。此外，有時將剩下的一個稱為“第三方向”。

【0054】圖1A至圖1D所示的半導體裝置包括基板(未圖示)上的絕緣體210、絕緣體210上的絕緣體222、絕緣體222上的電晶體200、絕緣體222上的絕緣體280以及電晶體200上的絕緣體283。絕緣體210、絕緣體222及絕緣體280被用作層間膜。

【0055】電晶體200包括絕緣體222上的導電體220、絕緣體280上的導電體240、接觸於導電體220的頂面的至少一部分的氧化物半導體230、氧化物半導體230上的絕緣體250以及絕緣體250上的導電體260。此外，導電體240包括導電體240a及導電體240a上的導電體240b。

【0056】如圖1B及圖1C所示，絕緣體280及導電體240中設置有到達導電體220的開口部290。在此，開口部290的底部是導電體220的頂面，開口部290的側壁是絕緣體280的側面及導電體240的側面。開口部290包括絕緣體280所具有的開口部及導電體240所具有的開口部。換言之，絕緣體280在與導電體220重疊的區域中具有的開口部是開口部290的一部分，導電體240在與導電體220重疊的區域中具有的開口部是開口部290的其他一部分。

【0057】電晶體200的組件的至少一部分配置在開口部290中。明確而言，氧化物半導體230、絕緣體250及導

電體260都以其一部分位於開口部290的方式配置。

【0058】另外，氧化物半導體230及絕緣體250的配置在開口部290中的部分反映了開口部290的形狀。因此，以覆蓋開口部290的底部及側壁的方式設置氧化物半導體230，以覆蓋氧化物半導體230的方式設置絕緣體250。並且，以嵌入反映了開口部290的形狀的絕緣體250的凹部的方式設置導電體260。

【0059】在電晶體200中，氧化物半導體230被用作半導體層，導電體260被用作閘極電極，絕緣體250被用作閘極絕緣體，導電體220被用作源極電極和汲極電極中的一個，導電體240被用作源極電極和汲極電極中的另一個。

【0060】如上所述，氧化物半導體230設置在絕緣體280所具有的開口部的內側。此外，電晶體200中的源極電極和汲極電極中的一個(在此，導電體220)在下方且其源極電極和汲極電極中的另一個(在此，導電體240)在上方，因此電晶體200具有電流在上下方向上流過的結構。也就是說，通道沿著絕緣體280所具有的開口部的側面形成。

【0061】較佳為在電晶體200中將用作半導體的金屬氧化物(也稱為氧化物半導體)用於包含通道形成區域的氧化物半導體230。此時，電晶體200為OS電晶體。

【0062】在OS電晶體中，當氧化物半導體的通道形成區域中存在氧空位(V_O)及雜質時，電特性容易變動而可能使可靠性下降。此外，氧空位附近的氫形成氫進入氧空

位中的缺陷(下面有時稱為V_OH)而可能會產生成為載子的電子。因此，在氧化物半導體中的通道形成區域包含氧空位的情況下，OS電晶體趨於具有常開啟特性。由此，在氧化物半導體的通道形成區域中，較佳為儘量減少氧空位及雜質之一的氫。換言之，較佳的是，氧化物半導體中的通道形成區域的載子濃度降低且被i型化(本質化)或實質上被i型化。注意，當過多的氧被供應到氧化物半導體時，起因於過多的氧的電子陷阱形成在閘極絕緣膜中。由此，OS電晶體的常關閉特性有可能過分。

【0063】注意，在本說明書等中，常開啟特性是指即使不對閘極施加電壓也存在通道，而電流流過電晶體的源極-汲極間的狀態。此外，常關閉特性是指在不對閘極施加電壓或者對閘極供應接地電位時電流不流過電晶體的源極-汲極間的狀態。

【0064】另一方面，OS電晶體的源極區域及汲極區域較佳為如下區域：由於與通道形成區域相比氧空位多、V_OH多或者氫、氮、金屬元素等的雜質濃度高而載子濃度增加，由此被低電阻化。就是說，與通道形成區域相比，OS電晶體的源極區域及汲極區域較佳為載子濃度更高且電阻更低的n型區域。

【0065】為了使OS電晶體的電特性及可靠性良好，重要的是，充分降低氧化物半導體中的通道形成區域的氫濃度並使供應到氧化物半導體的氧量最佳化。例如，利用二次離子質譜分析法(SIMS：Secondary Ion Mass

Spectrometry)而得的氧化物半導體中的通道形成區域的氫濃度較佳為低於$1\times10^{20}atoms/cm^3$，更佳為低於$5\times10^{19}atoms/cm^3$，進一步較佳為低於$1\times10^{19}atoms/cm^3$，更進一步較佳為低於$5\times10^{18}atoms/cm^3$，還進一步較佳為低於$1\times10^{18}atoms/cm^3$，還進一步較佳為低於$1\times10^{17}atoms/cm^3$。

【0066】鑒於此，在本發明的一個實施方式中，作為絕緣體210及絕緣體283較佳為使用氫阻擋絕緣體。絕緣體210及絕緣體283夾著包括氧化物半導體230的電晶體200設置。藉由使設置在氧化物半導體230的外側的絕緣體210及絕緣體283具有氫阻擋性，可以抑制氫擴散到氧化物半導體230中。

【0067】注意，在本說明書等中，阻擋絕緣體是指具有阻擋性的絕緣體。此外，阻擋性是指不容易擴散對應物質的性質(也被稱為不容易透過對應物質的性質、對應物質的透過性低的性質、或抑制對應物質擴散的功能)。此外，記為對應物質的氫例如是指氫原子、氫分子、水分子及OH^-等與氫鍵合的物質等中的至少一個。此外，除非特別敘述，記為對應物質的雜質是指通道形成區域中或半導體層中的雜質，例如是指氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子(N_2O、NO、NO_2等)、銅原子等中的至少一個。此外，記為對應物質的氧例如是指氧原子、氧分子等中的至少一個。

【0068】作為氫阻擋絕緣體，可以舉出氧化鋁、氧化鎂、氧化鉿、氧化鎵、氮化矽或氮氧化矽等。

【0069】作為絕緣體210及絕緣體283，例如較佳為使用氮化矽。此時，絕緣體210及絕緣體283包含矽及氮。

【0070】能夠用作絕緣體210及絕緣體283的氮化矽在厚度例如為2nm以上時具有氫阻擋性。在提高氫阻擋性的情況下，氮化矽的厚度較佳為3nm以上，更佳為5nm以上。注意，氮化矽在厚度例如為1nm以上時具有氧阻擋性。在提高氧阻擋性的情況下，氮化矽的厚度較佳為2nm以上。也就是說，以具有氫阻擋性的厚度形成的氮化矽還具有氧阻擋性。

【0071】絕緣體222較佳為使用具有俘獲或固定氫的功能的絕緣體。在絕緣體222具有俘獲或固定氫的功能時，可以降低位於絕緣體210及絕緣體283的內側的氧化物半導體230中的氫濃度。此時，氧化物半導體230中的氫被絕緣體222俘獲或固定，因此絕緣體222中的氫濃度變高。作為一個例子，利用SIMS而得的絕緣體222的至少一部分的氫濃度有時為1×10^{19}atoms/cm^{3}以上或1×10^{20}atoms/cm^{3}以上。此時，絕緣體222的至少一部分的氫濃度高於氧化物半導體230的氫濃度。換言之，氧化物半導體230具有其氫濃度低於絕緣體222的氫濃度的區域。

【0072】注意，俘獲或固定所對應的物質的功能也可以說是所對應的物質不容易擴散的性質。因此，可以將俘獲或固定所對應的物質的功能稱為阻擋性。

【0073】具有俘獲或固定氫的功能的絕緣體較佳為包含鉿等的金屬氧化物(例如，氧化鉿等)。此外，上述金屬

氧化物較佳為包含具有懸空鍵的氧原子。這種金屬氧化物有時具有以懸空鍵俘獲或固定氫的性質。例如，上述金屬氧化物較佳為具有非晶結構。這是因為具有非晶結構的金屬氧化物中的部分氧原子具有懸空鍵。注意，上述金屬氧化物較佳為具有非晶結構，但有時其一部分中形成結晶區域。此外，上述金屬氧化物有時在其一部分具有晶界。

【0074】在此，藉由對氧化鉿添加矽，可以抑制氧化鉿的晶化。也就是說，包含鉿及矽的氧化物(以下有時稱為矽酸鉿)容易具有非晶結構。因此，矽酸鉿具有俘獲或固定氫的性質，所以適合於絕緣體222。此時，絕緣體222包含鉿、矽及氧。

【0075】絕緣體222中的相對於鉿及矽的矽的組成比為0.1atomic%以上且小於100atomic%，較佳為0.1atomic%以上且70atomic%以下，更佳為0.1atomic%以上且50atomic%以下，進一步較佳為0.1atomic%以上且30atomic%以下，更進一步較佳為1atomic%以上且10atomic%以下，還進一步較佳為3atomic%以上且8atomic%以下。上述矽酸鉿中的矽的組成比例如可以藉由X射線光電子能譜(XPS：X-ray Photoelectron Spectroscopy)測量進行定量。注意，矽酸鉿有時包含鋯等金屬，也可以將該金屬包括在測量對象。在此情況下，也可以以鉿、矽及鋯的組成比之和為100atomic%的方式進行正規化。

【0076】注意，雖然上面作為具有俘獲或固定氫的功能的絕緣體舉出包含鉿的氧化物，但是本發明不侷限於

此。例如，可以舉出包含鎂的氧化物、包含鋁的氧化物、包含鋁及鋇的氧化物(鋁酸鋇)等。此外，也可以使用使上述金屬氧化物還包含鋯的氧化物。例如，可以舉出包含鋇及鋯的氧化物等。這些金屬氧化物較佳為添加有矽並具有非晶結構。

【0077】此外，藉由對絕緣體222進行加熱處理，絕緣體222可以俘獲或固定從氧化物半導體230釋放的氫。在此，絕緣體222及氧化物半導體230較佳為設置在由具有氫阻擋性的絕緣體210及絕緣體283構成的封閉系統中。由此，該封閉系統的內部與外部之間的氫遷移頻率極低，所以可以防止氫在加熱處理中從封閉系統的外部擴散到內部或者從其內部擴散到外部。因此，藉由使絕緣體222俘獲或固定該封閉系統內部的氫，可以降低氧化物半導體230的氫濃度。在此，上述封閉系統是氫阻擋絕緣體，覆蓋氧化物半導體的至少一部分，並且減少從封閉系統的外部擴散到內部或者從其內部擴散到外部的氫。在此，在上述封閉系統中，氧化物半導體中的用作通道形成區域的部分較佳為位於氫阻擋絕緣體的內部。例如，在上述封閉系統中，較佳的是，氫阻擋絕緣體以延伸在氧化物半導體的通道長度方向上的方式設置，並且氧化物半導體以被氫阻擋絕緣體圍繞或夾持的方式設置。注意，上述封閉系統並不完全阻擋氫遷移，只要降低氫遷移頻率即可。因此，上述封閉系統有時不是完全封閉的而是其一部分或多個部分開放的。

【0078】藉由採用上述結構，可以提供氧空位及雜質少的氧化物半導體。因此，可以使電晶體的電特性良好而提高電晶體的可靠性。此外，可以提供一種電晶體的電特性不均勻小的半導體裝置。

【0079】此外，藉由採用上述結構，可以抑制通道形成區域中形成氧空位以及氫擴散到通道形成區域。由此，可以抑制通道形成區域中的氧空位量及氫濃度在各電晶體之間互不相同。因此，可以減小電晶體的電特性不均勻。

【0080】此外，絕緣體280也較佳為使用上述氫阻擋絕緣體。例如，作為絕緣體280較佳為使用氮化矽。藉由採用這種結構，可以抑制氫擴散到氧化物半導體230。此外，絕緣體280中的水、氫等雜質的濃度較佳為得到降低。由此，可以抑制水、氫等雜質混入氧化物半導體230的通道形成區域中。此外，藉由作為絕緣體280使用氮化矽，可以抑制過多的氧被供應到氧化物半導體230。因此，可以抑制氧化物半導體230的通道形成區域中的氧過多，由此可以提高電晶體200的可靠性。作為絕緣體280，也可以使用將在後面說明的[絕緣體]中記載的絕緣體的單層或疊層。

【0081】開口部290的側壁較佳為垂直於絕緣體210的頂面。藉由採用這種結構，可以實現半導體裝置的微型化或高積體化。

【0082】注意，在圖1B及圖1C中以開口部290的側壁垂直於導電體220的頂面的方式設置開口部290，但是本發

明不侷限於此。例如，開口部290的側壁有時不是嚴格的垂直而呈錐形形狀。在此，如圖3A所示，作為開口部290的側壁的一部分的絕緣體280的側面和導電體220的頂面(也可以為絕緣體222的頂面或絕緣體210的頂面)所成的錐角設定為角度θ1。角度θ1較佳為90度或90度附近的角度。例如，角度θ1較佳為75度以上且90度以下。

【0083】另外，角度θ1有時小於75度、小於70度、小於65度或小於60度。

【0084】氧化物半導體230具有接觸於開口部290中的導電體240的側面的區域以及接觸於導電體240的頂面的至少一部分的區域。如此，藉由氧化物半導體230除了導電體240的側面之外還接觸於其頂面，可以增大氧化物半導體230與導電體240的接觸面積。另外，氧化物半導體230具有接觸於在開口部290中露出的導電體220的頂面的區域以及接觸於開口部290中的絕緣體280的側面的區域。

【0085】如圖1B及圖1C所示，氧化物半導體230的一部分位於開口部290之外，即導電體240上。注意，在圖1B中示出氧化物半導體230在X方向上被分開的結構，但是本發明不侷限於此。例如，氧化物半導體230也可以延伸在X方向上。另外，在此情況下，氧化物半導體230也在Y方向上被分開。

【0086】此外，圖1C示出氧化物半導體230的側端部位於導電體240的側端部的內側的結構。注意，本發明不侷限於此。例如，也可以採用在Y方向上氧化物半導體230

的側端部與導電體240的側端部一致的結構。或者，也可以採用氧化物半導體230的側端部位於導電體240的側端部的外側的結構。

【0087】絕緣體250以接觸於氧化物半導體230的頂面的方式設置。此外，絕緣體250具有接觸於導電體240的頂面的區域、接觸於導電體240的側面的區域以及接觸於絕緣體280的區域。

【0088】如圖1B及圖1C所示，絕緣體250的一部分位於開口部290之外，即導電體240及絕緣體280上。此時，絕緣體250較佳為覆蓋氧化物半導體230的側端部。由此，可以防止導電體260與氧化物半導體230短路。此外，絕緣體250較佳為覆蓋導電體240的側端部。由此，可以防止導電體260與導電體240短路。

【0089】導電體260以接觸於絕緣體250的頂面的方式設置。

【0090】如圖1B及圖1C所示，導電體260的一部分較佳為位於開口部290之外，即導電體240及絕緣體280上。此時，如圖1B所示，導電體260的側端部較佳為位於氧化物半導體230的側端部的內側。由此，可以防止導電體260與氧化物半導體230短路。另外，導電體260的側端部既可以與氧化物半導體230的側端部一致，又可以位於氧化物半導體230的側端部的外側。

【0091】在圖1B及圖1C中導電體260以嵌入開口部290的方式設置，但是本發明不侷限於此。例如，導電體

260中有時形成有反映了開口部290的形狀的凹部，該凹部的一部分位於開口部290中。此時，也可以用無機絕緣材料等填充該凹部。

【0092】導電體240在與導電體220重疊的區域中包括開口部。此外，導電體240較佳為不設置在絕緣體280所包括的開口部的內部。就是說，導電體240較佳為不具有接觸於開口部290中的絕緣體280的側面的區域。藉由採用這種結構，可以一併形成導電體240所包括的開口部及絕緣體280所包括的開口部。此外，藉由採用開口部290中的導電體240的側面以及開口部290中的絕緣體280的側面齊平的結構，可以使設置在開口部290的內部的氧化物半導體230的厚度分佈均勻。此外，可以抑制氧化物半導體230因導電體240和絕緣體280的步階而分開。

【0093】雖然在圖1B及圖1C中示出開口部290中的導電體240的側面與開口部290中的絕緣體280的側面對齊的結構，但是本發明不侷限於此。例如，開口部290中的導電體240的側面與開口部290中的絕緣體280的側面也可以不連續。另外，開口部290中的導電體240的側面的斜率與開口部290中的絕緣體280的側面的斜率也可以彼此不同。此時，例如，開口部290中的導電體240的側面和絕緣體210的頂面所成的角度較佳為小於開口部290中的絕緣體280的側面和絕緣體210的頂面所成的角度。藉由採用這種結構，氧化物半導體230對開口部290中的導電體240的側面的覆蓋性得到提高，而可以減少空洞等缺陷。

【0094】導電體240較佳為具有疊層結構。例如，導電體240較佳為具有導電體240a以及接觸於導電體240a的頂面的導電體240b的疊層結構。

【0095】導電體240a的底面與絕緣體280接觸，一個側面與氧化物半導體230接觸，另一個側面與絕緣體250接觸。導電體240a較佳為使用其導電性比導電體240b高的金屬。此外，導電體240a較佳為使用其片電阻比導電體240b高的金屬。藉由採用這種結構，可以將包括導電體240a的導電體240用作電連接於源極電極和汲極電極中的一個的佈線。

【0096】作為導電體240a，可以使用釕、鉭、鎳、鈦、鉬、鎢、鈮、釩、鋯、鋁、鉻、銅、銀、金、鉑、鋅、錳、鐵、鈷、鎂、鋯、鈹、銦、銥、銠和鑭中的一個或多個以及以上述金屬中的一個或多個為成分的合金等。

【0097】此外，有時導電體240a的一部分包含上述金屬的金屬氧化物。在此情況下，有時導電體240a與導電體240b的介面附近及導電體240a與氧化物半導體230的介面附近形成該金屬氧化物的層。在此，釕以及釕的合金是即使被氧化也保持較低的電阻的材料，所以是較佳的。

【0098】導電體240b的一個側面及頂面的一部分接觸於氧化物半導體230。此外，導電體240b的另一個側面及頂面的另一部分與絕緣體250接觸。導電體240b較佳為與氧化物半導體230形成歐姆接觸，且與氧化物半導體230的接觸電阻較佳為低。例如，導電體240b與氧化物半導體

230的接觸電阻較佳為低於用於導電體240a的金屬層與氧化物半導體230的接觸電阻。因此，導電體240b較佳為使用具有導電性的金屬氧化物(有時稱為導電氧化物)。藉由使導電體240b具有上述結構，可以提高電晶體200的通態電流、場效移動率及頻率特性。

【0099】用於導電體240b的導電氧化物(OC：Oxide Conductor，也稱為包含氧的導電材料)較佳為包含銦的導電氧化物。作為包含銦的導電氧化物，較佳為使用氧化銦、銦錫氧化物(有時稱為ITO)、銦鋅氧化物、添加有矽的銦錫氧化物(也稱為ITSO)等。此外，也可以採用使氧化銦含有鎢或鈦等的結構，例如也可以使用In-W氧化物、In-W-Zn氧化物、In-Ti氧化物、In-Ti-Sn氧化物等。此外，也可以使用包含鋅的導電氧化物，例如可以使用氧化鋅、添加有鎵的氧化鋅、In-Ga-Zn氧化物等。此外，作為導電氧化物，可以使用氧化釕、包含鋰及釕的氧化物、包含鑭及鎳的氧化物等。尤其是，較佳為使用包含銦的導電氧化物，因為其導電性高。

【0100】例如，導電體240b可以使用添加有矽的銦錫氧化物。此時，導電體240b包含銦、錫、矽及氧。在此，藉由對銦錫氧化物添加矽，可以抑制銦錫氧化物的多晶化。也就是說，添加有矽的銦錫氧化物容易具有nc結構(奈米晶結構)或非晶結構。注意，本發明不侷限於此。導電體240b也可以使用多晶化的銦錫氧化物。此時，導電體240b包含銦、錫及氧。

【0101】如上所述，採用包括含有金屬的導電體240a及含有導電氧化物的導電體240b的結構而進行加熱處理，由此導電體240b中的氧擴散到與導電體240a的介面附近，氧空位(V_O)形成在導電體240b中。再者，導電體240附近的氧化物半導體230中的氧擴散到與形成有氧空位(V_O)的導電體240b及導電體240a的介面附近，氧空位(V_O)形成在氧化物半導體230中的導電體240附近的區域。氫進入該氧空位(V_O)中而形成V_OH，由此氧化物半導體230中的導電體240附近的區域自對準地被低電阻化。該被低電阻化的區域被用作電晶體200的源極區域和汲極區域中的一個。此外，藉由作為絕緣體280使用氮化矽，可以防止氧化物半導體230中的形成有V_OH的區域過度擴大至導電體240a的下方的區域。也就是說，可以防止上述源極區域和汲極區域中的一個過度擴大至導電體240a的下方的區域。

【0102】注意，上面說明導電體240具有導電體240a和導電體240b這兩層的疊層結構的例子，但是本發明不侷限於此。導電體240也可以具有三層以上的疊層結構。

【0103】作為導電體220，可以使用將在後面說明的[導電體]中記載的導電體的單層或疊層。作為導電體220，較佳為使用不容易被氧化的導電材料或者具有抑制氧擴散的功能的導電材料等。例如，可以使用氮化鈦或氮化鉭等。

【0104】此外，如圖3A所示，導電體220也可以具有導電體220a和導電體220a上的導電體220b的疊層結構。在

此，導電體220a較佳為使用與導電體240a同樣的具有高導電性的金屬。因此，導電體220a可以使用可用於導電體240a的金屬。例如，導電體220a可以使用鎢。藉由採用這種結構，可以將包括導電體220a的導電體220用作電連接於源極電極和汲極電極中的另一個的佈線。

【0105】導電體220b較佳為使用與導電體240b同樣的導電氧化物。因此，導電體220b可以使用可用於導電體240b的導電氧化物。例如，導電體220b可以使用添加有矽的銦錫氧化物。此時，導電體220b包含銦、錫、矽及氧。藉由採用這種結構，可以提高電晶體200的通態電流、場效移動率及頻率特性。

【0106】如上所述，採用包括含有金屬的導電體220a及含有導電氧化物的導電體220b的結構而進行加熱處理，由此導電體220b中的氧擴散到與導電體220a的介面附近，氧空位(V_O)形成在導電體220b中。再者，導電體220附近的氧化物半導體230中的氧擴散到與形成有氧空位(V_O)的導電體220b及導電體220a的介面附近，氧空位(V_O)形成在氧化物半導體230中的導電體220附近的區域。氫進入該氧空位(V_O)中而形成V_OH，由此氧化物半導體230中的導電體220附近的區域自對準地被低電阻化。該低電阻化的區域被用作電晶體200的源極區域和汲極區域中的另一個。此外，如上所述，配置在導電體220之下的絕緣體222由於上述加熱處理而藉由導電體220俘獲氧化物半導體230中的氫。此時，氧化物半導體230的通道形成區域中的氫擴散

到源極區域和汲極區域中的另一個，因此可以在源極區域和汲極區域中的另一個中更高效地形成V_OH。此外，藉由作為絕緣體280使用氮化矽，可以防止氧化物半導體230中的形成有V_OH的區域過度擴大至導電體220b之上的區域。也就是說，可以防止上述源極區域和汲極區域中的一個過度擴大至導電體220b之上的區域。

【0107】另外，圖1B及圖1C示出導電體220的頂面平坦的結構，但是本發明不侷限於此。例如，如圖3A所示，也可以採用導電體220的頂面形成有重疊於開口部290的凹部的結構。藉由採用以嵌入該凹部的方式形成氧化物半導體230、絕緣體250及導電體260的至少一部分的結構，可以容易將導電體260的閘極電場施加到氧化物半導體230的導電體220附近。此外，可以增大氧化物半導體230與導電體220的接觸面積而降低氧化物半導體230與導電體220的接觸電阻。由此，可以提高電晶體200的通態電流。

【0108】氧化物半導體230在源極區域和汲極區域中的一個與另一個之間具有通道形成區域。在此，源極區域和汲極區域中的一個包括氧化物半導體230中的與導電體240接觸的區域中的至少一部分。此外，源極區域和汲極區域中的另一個包括氧化物半導體230中的與導電體220接觸的區域中的至少一部分。也就是說，電晶體200的通道形成區域位於氧化物半導體230的導電體220與導電體240之間的區域。另外，也可以說電晶體200的通道形成區域位於氧化物半導體230的接觸於絕緣體280的區域或其附近

的區域。

【0109】在此，圖1D是XY平面上的包括絕緣體280的剖面圖。如圖1D所示，絕緣體280接觸於氧化物半導體230的外周整體。因此，電晶體200的通道形成區域有可能形成在氧化物半導體230的形成在與絕緣體280相同的層中的部分的外周整體。圖1D也可以說是XY平面上的包括氧化物半導體230的通道形成區域的剖面圖。

【0110】電晶體200的通道長度為源極區域與汲極區域之間的距離。換言之，可以說電晶體200的通道長度根據導電體220上的絕緣體280的厚度決定。在圖1B中，以虛線的雙箭頭表示電晶體200的通道長度L。在從剖面看時，通道長度L為氧化物半導體230和導電體220接觸的區域的端部與氧化物半導體230和導電體240接觸的區域的端部的距離。也就是說，通道長度L相當於從剖面看時的絕緣體280的開口部290一側的側面的長度。

【0111】在平面型電晶體中，通道長度受到光微影法的曝光極限的限制，難以進一步實現微型化，但是在本發明中可以根據絕緣體280的厚度設定通道長度。因此，可以將電晶體200的通道長度L設定為光微影法的曝光極限以下的非常微細的結構(例如，500nm以下、100nm以下、60nm以下、50nm以下、40nm以下、30nm以下、20nm以下或10nm以下且0.1nm以上、1nm以上或5nm以上)。因此，電晶體200的通態電流變大，從而可以提高頻率特性。

【0112】再者，如上所述，可以在開口部290中形成

通道形成區域、源極區域及汲極區域。因此，與在XY平面上分別設置通道形成區域、源極區域及汲極區域的平面型電晶體相比，可以減小電晶體200的佔有面積。由此，可以使半導體裝置高積體化。此外，在將本發明的一個實施方式的半導體裝置用於記憶體裝置時，可以增大單位面積的記憶容量。

【0113】另外，如圖1D所示，氧化物半導體230、絕緣體250及導電體260以同心圓狀設置。因此，設置在中心的導電體260的側面隔著絕緣體250與氧化物半導體230的側面相對。換言之，在從平面看時氧化物半導體230的圈整體成為通道形成區域。此時，例如，根據氧化物半導體230的外周的長度決定電晶體200的通道寬度。就是說，可以說根據開口部290的最大寬度(在開口部290的從平面看時的形狀為圓形的情況下，直徑)的大小決定電晶體200的通道寬度。在圖1B及圖1D中，以雙點劃線的雙箭頭表示開口部290的最大寬度D。在圖1D中，以點劃線的雙箭頭表示電晶體200的通道寬度W。藉由使開口部290的最大寬度D的大小增大，可以增大單位面積的通道寬度而增大通態電流。

【0114】在利用光微影法形成開口部290時，開口部290的最大寬度D受到光微影法的曝光極限的限制。此外，根據設置在開口部290中的氧化物半導體230、絕緣體250及導電體260的各厚度設定開口部290的最大寬度D。開口部290的最大寬度D例如較佳為5nm以上、10nm以上或

20nm以上且為100nm以下、60nm以下、50nm以下、40nm以下或30nm以下。注意，在開口部290的從平面看時的形狀為圓形的情況下，開口部290的最大寬度D相當於開口部290的直徑，通道寬度W可以被算出為“D×π”。

【0115】另外，在本發明的一個實施方式的半導體裝置中，電晶體200的通道長度L較佳為至少比電晶體200的通道寬度W小。本發明的一個實施方式的電晶體200的通道長度L為電晶體200的通道寬度W的0.1倍以上且0.99倍以下，較佳為0.5倍以上且0.8倍以下。藉由採用這種結構，可以實現具有良好的電特性及高可靠性的電晶體。

【0116】另外，藉由以在從平面看時具有圓形形狀的方式形成開口部290，氧化物半導體230、絕緣體250及導電體260以同心圓狀設置。由此，導電體260與氧化物半導體230的距離大致均勻，所以可以對氧化物半導體230大致均勻地施加閘極電場。

【0117】注意，本實施方式示出開口部290的從平面看時的形狀為圓形的例子，但是本發明不侷限於此。例如，開口部290的從平面看時的形狀也可以為橢圓等大致圓形形狀、四角形等多角形形狀、使四角形等多角形的角部帶弧形的形狀。此時，開口部290的最大寬度可以根據開口部290的最上部的形狀適當地算出。例如，在開口部的從平面看時的形狀為四角形時，開口部290的最大寬度可以為開口部290的最上部的對角線長度。

【0118】另外，作為氧化物半導體230，可以使用後

述[金屬氧化物]中記載的金屬氧化物的單層或疊層。

【0119】作為氧化物半導體230，明確而言，可以使用如下組成的金屬氧化物：In:M:Zn=1:3:2[原子個數比]或其附近的組成、In:M:Zn=1:3:4[原子個數比]或其附近的組成、In:M:Zn=1:1:0.5[原子個數比]或其附近的組成、In:M:Zn=1:1:1[原子個數比]或其附近的組成、In:M:Zn=1:1:1.2[原子個數比]或其附近的組成、In:M:Zn=1:1:2[原子個數比]或其附近的組成或者In:M:Zn=4:2:3[原子個數比]或其附近的組成。注意，附近的組成包括所希望的原子個數比的±30%的範圍。作為元素M，較佳為使用鎵、鋁和錫中的一個或多個。

【0120】氧化物半導體230也可以不包含元素M。例如，用作氧化物半導體230的金屬氧化物也可以為In-Zn氧化物。明確而言，氧化物半導體230可以具有In:Zn=1:1[原子個數比]或其附近的組成或者In:Zn=4:1[原子個數比]或其附近的組成。或者，作為氧化物半導體230也可以使用銦氧化物。此外，上述氧化物半導體230也可以包含微量的元素M。例如，明確而言，氧化物半導體230可以具有In:Sn:Zn=4:0.1:1[原子個數比]或其附近的組成。

【0121】作為用於氧化物半導體230的金屬氧化物的組成的分析，例如可以利用能量色散型X射線分析法(EDX：Energy Dispersive X-ray Spectroscopy)、X射線光電子能譜法(XPS：X-ray Photoelectron Spectroscopy)、電感耦合電漿質譜分析法(ICP-MS：Inductively Coupled

Plasma-Mass Spectrometry)或者電感耦合電漿原子發射光譜法(ICP-AES：Inductively Coupled Plasma-Atomic Emission Spectrometry)。或者，也可以組合多個上述方法而分析。注意，含有率低的元素有時受分析精度的影響，實際上的含有率與分析所得的含有率不同。例如，當元素M的含有率低時，有時分析所得的元素M的含有率低於實際上的含有率。

【0122】金屬氧化物可以適當地利用濺射法或原子層沉積(ALD：Atomic Layer Deposition)法形成。注意，在利用濺射法形成金屬氧化物的情況下，形成後的金屬氧化物的組成有時與濺射靶材的組成不同。尤其是，形成後的金屬氧化物中的鋅的含有率有時減少到濺射靶材中的鋅的含有率的50%左右。

【0123】作為ALD法，可以舉出只利用熱能使前驅物及反應物起反應的熱ALD(Thermal ALD)法以及使用被電漿激發的反應物的電漿ALD(PEALD：Plasma Enhanced ALD)法等。

【0124】ALD法可以一層一層沉積原子，從而具有如下效果：能夠沉積極薄的膜；能夠對縱橫比高的結構或步階大的表面沉積；能夠以針孔等缺陷少的方式沉積；能夠以高覆蓋性沉積；能夠在低溫下沉積等。此外，在PEALD法中，藉由利用電漿可以在更低溫下進行沉積，所以有時是較佳的。另外，ALD法中使用的前驅物有時包含碳或氯等元素。因此，利用ALD法設置的膜有時與利用其他的沉

積方法設置的膜相比包含更多的碳或氯等元素。此外，這些元素的定量可以利用XPS或SIMS進行。注意，作為本發明的一個實施方式的金屬氧化物的沉積方法利用ALD法，但是由於採用沉積時的基板溫度高的條件和雜質去除處理中的一方和兩者，所以與不採用上述條件而利用ALD法的情況相比有時包含在膜中的碳及氯的量少。

【0125】ALD法不同於從靶材等中被釋放的粒子沉積的沉積方法，是因被處理物表面的反應而形成膜的成膜方法。因此，ALD法是不易受被處理物的形狀的影響而具有良好的步階覆蓋性的沉積方法。尤其是，ALD法具有良好的步階覆蓋性和厚度均勻性，所以ALD法適合用於形成覆蓋縱橫比高的開口部的表面的膜等。但是，ALD法的沉積速率比較慢，所以有時較佳為與沉積速率快的濺射法或CVD法等其他沉積方法組合而使用。例如，在使金屬氧化物具有第一金屬氧化物和第二金屬氧化物的疊層結構時，可以舉出利用濺射法沉積第一金屬氧化物並在該第一金屬氧化物上利用ALD法沉積第二金屬氧化物的方法等。例如，在上述第一金屬氧化物具有結晶部的情況下，上述第二金屬氧化物有時以該結晶部為核進行結晶生長。

【0126】ALD法可以根據源氣體的引入量控制得到的膜的組成。例如，當利用ALD法時，可以藉由調整源氣體的引入量、引入次數(也稱為脈衝次數)以及一個脈衝所需要的時間(也稱為脈衝時間)等來沉積任意組成的膜。此外，例如當利用ALD法時，可以藉由在進行沉積的同時改

變源氣體來沉積其組成連續變化的膜。當在改變源氣體的同時進行沉積時，因為不需要傳送或調整壓力所需的時間，所以與使用多個沉積室進行沉積的情況相比可以縮短沉積時間。因此，有時可以提高半導體裝置的生產率。

【0127】注意，對將成為氧化物半導體230的氧化物半導體膜的沉積方法沒有特別的限制。例如，氧化物半導體膜可以利用CVD法、MBE法、PLD法等沉積。

【0128】氧化物半導體230較佳為具有結晶性。作為具有結晶性的氧化物半導體，可以舉出CAAC-OS(c-axis aligned crystalline oxide semiconductor：c軸配向晶體氧化物半導體)、nc-OS(nanocrystalline oxide semiconductor：奈米晶氧化物半導體)、多晶氧化物半導體、單晶氧化物半導體等。作為氧化物半導體230較佳為使用CAAC-OS或nc-OS，特別較佳為使用CAAC-OS。

【0129】CAAC-OS較佳為具有多個層狀結晶區域且其c軸在被形成面的法線方向上配向。例如，氧化物半導體230較佳為具有大致平行於開口部290的側壁的層狀晶體，尤其是大致平行於絕緣體280的側面的層狀晶體。藉由採用這種結構，氧化物半導體230的層狀晶體大致平行於電晶體的通道長度方向，所以可以增大電晶體的通態電流。

【0130】CAAC-OS具有結晶性高的緻密結構且是雜質及缺陷(例如，氧空位等)少的金屬氧化物。尤其是，藉由在形成金屬氧化物後以金屬氧化物不被多晶化的溫度(例如，400℃以上且600℃以下)進行加熱處理，可以使

CAAC-OS具有結晶性更高的緻密結構。如此，藉由進一步提高CAAC-OS的密度，可以進一步降低該CAAC-OS中的雜質或氧的擴散。

【0131】此外，在CAAC-OS中不容易觀察明確的晶界，因此不容易發生起因於晶界的電子移動率的下降。因此，具有CAAC-OS的金屬氧化物的物理性質穩定。因此，具有CAAC-OS的金屬氧化物具有耐熱性及高可靠性。

【0132】此外，當作為氧化物半導體230使用CAAC-OS等具有結晶性的氧化物時，可以抑制氧被源極電極或汲極電極從氧化物半導體230抽出。因此，即使進行加熱處理也可以抑制氧從氧化物半導體230抽出，所以電晶體對製程中的高溫度(所謂熱積存：thermal budget)很穩定。

【0133】氧化物半導體230的結晶性例如可以藉由X射線繞射(XRD：X-Ray Diffraction)、穿透式電子顯微鏡(TEM：Transmission Electron Microscope)或電子繞射(ED：Electron Diffraction)分析。或者，也可以組合多個上述方法而分析。

【0134】當氧化物半導體230為CAAC-OS時，較佳為具有層狀結晶部。此時，在結晶部中，c軸較佳為以平行於被形成面的法線方向的方式配向。圖2A和圖2B分別示出圖1B中的區域P和區域Q的放大圖。此外，圖2A及圖2B都示意性地示出具有層狀結構的結晶部231。結晶部231的c軸是與展示層狀結構的線段正交的方向。一般而言，在具有層狀結構的晶體中，在很多情況下，與層的層疊方向

相比在面內方向上載子更容易遷移且電流更容易流過。因此，藉由使用包括具有這種配向性的結晶部231的氧化物半導體230，氧化物半導體230中的電流流過的方向與晶體的面內方向一直平行，所以可以使大電流流過。

【0135】此外，藉由如上所述將具有非晶結構的導電氧化物用作導電體240b及導電體220b，可以使接觸於導電體240b及導電體220b的頂面的氧化物半導體230較容易地成為CAAC-OS。因此，較佳為將添加有矽的銦錫氧化物用作導電體240b及導電體220b。

【0136】注意，本發明不侷限於此。例如，也可以將多晶化的銦錫氧化物用作導電體240b而使氧化物半導體230多晶化。

【0137】注意，在圖1B及圖1C中示出氧化物半導體230為單層的結構，本發明不侷限於此。氧化物半導體230也可以具有化學組成互不相同的多個氧化物層的疊層結構。例如，也可以採用適當地層疊選自後述[金屬氧化物]中記載的金屬氧化物中的多種的結構。

【0138】例如，如圖3A所示，氧化物半導體230也可以具有氧化物半導體230a和氧化物半導體230a上的氧化物半導體230b的疊層結構。

【0139】用於氧化物半導體230a的材料的導電率較佳為與用於氧化物半導體230b的材料的導電率不同。

【0140】例如，氧化物半導體230a可以使用與氧化物半導體230b相比導電率高的材料。藉由將導電率高的材料

用於用作源極電極或汲極電極的導電體220及與導電體240接觸的氧化物半導體230a，可以降低氧化物半導體230與導電體220的接觸電阻以及氧化物半導體230與導電體240的接觸電阻，由此可以實現通態電流大的電晶體。

【0141】在此，在將導電率高的材料用於設置在用作閘極電極的導電體260一側的氧化物半導體230b的情況下，有時導致電晶體的臨界電壓的漂移，從而閘極電壓為0V時流過的汲極電流(以下，也記載為截止電流)變大。明確而言，在電晶體200為n通道型電晶體的情況下，有時臨界電壓降低。因此，氧化物半導體230b較佳為使用與氧化物半導體230a相比導電率低的材料。由此，在電晶體200為n通道型電晶體的情況下可以增大臨界電壓，可以實現截止電流小的電晶體。注意，有時將截止電流小記載為常關閉。

【0142】藉由如上所述使氧化物半導體230具有疊層結構且將與氧化物半導體230b相比導電率高的材料用於氧化物半導體230a，可以實現常關閉且通態電流大的電晶體。因此，可以實現具有低功耗及高性能的半導體裝置。

【0143】另外，氧化物半導體230a的載子濃度較佳為比氧化物半導體230b的載子濃度高。藉由提高氧化物半導體230a的載子濃度，導電率變高，可以降低氧化物半導體230與導電體220的接觸電阻以及氧化物半導體230與導電體240的接觸電阻，由此可以實現通態電流大的電晶體。藉由降低氧化物半導體230b的載子濃度，導電率變低，由

此可以實現常關閉電晶體。

【0144】在此，雖然示出將與氧化物半導體230b相比導電率高的材料用於氧化物半導體230a的例子，但是本發明不侷限於此。氧化物半導體230a也可以使用與氧化物半導體230b相比導電率低的材料。氧化物半導體230a的載子濃度可以比氧化物半導體230b的載子濃度低。

【0145】用於氧化物半導體230a的第一金屬氧化物的能帶間隙較佳為與用於氧化物半導體230b的第二金屬氧化物的能帶間隙不同。例如，第一金屬氧化物的能帶間隙與第二金屬氧化物的能帶間隙之差較佳為0.1eV以上，更佳為0.2eV以上，進一步較佳為0.3eV以上。

【0146】用於氧化物半導體230a的第一金屬氧化物的能帶間隙可以比用於氧化物半導體230b的第二金屬氧化物的能帶間隙小。由此，可以降低氧化物半導體230與導電體220的接觸電阻以及氧化物半導體230與導電體240的接觸電阻，由此可以實現通態電流大的電晶體。另外，在電晶體200為n通道型電晶體的情況下，可以增大臨界電壓，由此可以實現常關閉電晶體。

【0147】在此，雖然示出第一金屬氧化物的能帶間隙比第二金屬氧化物的能帶間隙小的例子，但是本發明不侷限於此。第一金屬氧化物的能帶間隙可以比第二金屬氧化物的能帶間隙大。

【0148】如上所述，用於氧化物半導體230a的第一金屬氧化物的能帶間隙可以比用於氧化物半導體230b的第二

金屬氧化物的能帶間隙小。第一金屬氧化物的組成較佳為與第二金屬氧化物的組成不同。藉由使第一金屬氧化物的組成與第二金屬氧化物的組成不同，可以控制能帶間隙。例如，第一金屬氧化物的元素M的含有率較佳為低於第二金屬氧化物的元素M的含有率。明確而言，在第一金屬氧化物及第二金屬氧化物使用In-M-Zn氧化物的情況下，可以將第一金屬氧化物的組成設定為In:M:Zn=1:1:1[原子個數比]或其附近，可以將第二金屬氧化物的組成設定為In:M:Zn=1:3:2[原子個數比]或其附近。作為元素M，尤其較佳為使用鎵、鋁和錫中的一個或多個。

【0149】第一金屬氧化物也可以不包含元素M。例如，用於氧化物半導體230a的第一金屬氧化物可以為In-Zn氧化物，用於氧化物半導體230b的第二金屬氧化物可以為In-M-Zn氧化物。明確而言，第一金屬氧化物可以為In-Zn氧化物，第二金屬氧化物可以為In-Ga-Zn氧化物。更明確地說，可以將第一金屬氧化物的組成設定為In:Zn=1:1[原子個數比]或其附近或者In:Zn=4:1[原子個數比]或其附近，可以將第二金屬氧化物的組成設定為In:Ga:Zn=1:1:1[原子個數比]或其附近。此外，第一金屬氧化物也可以包含微量的元素M。例如，第一金屬氧化物可以具有In:Sn:Zn=4:0.1:1[原子個數比]或其附近的組成。

【0150】在此，雖然示出第一金屬氧化物的元素M的含有率低於第二金屬氧化物的元素M的含有率的情況的例子，但是本發明的一個實施方式不侷限於此。第一金屬氧

化物的元素M的含有率也可以比第二金屬氧化物的元素M的含有率高。另外，只要第一金屬氧化物與第二金屬氧化物的組成不同即可，第一金屬氧化物和第二金屬氧化物的元素M之外的元素的含有率也可以不同。

【0151】氧化物半導體230的厚度較佳為1nm以上、3nm以上或5nm以上且為20nm以下、15nm以下、12nm以下或10nm以下。

【0152】構成氧化物半導體230的各層(在此，氧化物半導體230a及氧化物半導體230b)的厚度以氧化物半導體230的厚度在上述範圍內的方式決定即可。氧化物半導體230a的厚度可以以氧化物半導體230a與導電體220的接觸電阻和氧化物半導體230a與導電體240的接觸電阻在被要求的範圍內的方式決定。此外，氧化物半導體230b的厚度可以以電晶體的臨界電壓在被要求的範圍內的方式決定。注意，氧化物半導體230a的厚度既可以與氧化物半導體230b的厚度相同，又可以與氧化物半導體230b的厚度不同。

【0153】此外，在氧化物半導體230a與氧化物半導體230b之間，有時導電體240的頂面為被形成面的部分的厚度與導電體240的側面及絕緣體280的側面為被形成面的部分的厚度的比例不同。

【0154】圖3A示出氧化物半導體230具有氧化物半導體230a和氧化物半導體230b這兩層的疊層結構的例子，但本發明不侷限於此。氧化物半導體230也可以具有三層以

上的疊層結構。

【0155】作為一個例子，如圖3B所示，氧化物半導體230也可以具有氧化物半導體230a、氧化物半導體230a上的氧化物半導體230b和氧化物半導體230b上的氧化物半導體230c的疊層結構。換言之，在圖3A所示的結構中，也可以在導電體260與氧化物半導體230b之間設置氧化物半導體230c。

【0156】用於氧化物半導體230a的金屬氧化物中的In與元素M的原子個數比較佳為大於用於氧化物半導體230b的金屬氧化物中的In與元素M的原子個數比。藉由採用這種結構，可以抑制雜質及氧從形成在氧化物半導體230a的外側的結構物向氧化物半導體230b擴散。此外，可以抑制絕緣體280、導電體220或導電體240中的元素擴散到氧化物半導體230b。

【0157】注意，因為絕緣體280具有抑制氫及氧的擴散的功能，所以也可以不設置氧化物半導體230a。此時，氧化物半導體230也可以具有氧化物半導體230b和氧化物半導體230b上的氧化物半導體230c的疊層結構。

【0158】此外，例如在利用對絕緣體280的損傷少的形成方法沉積氧化物半導體膜時，也可以不設置氧化物半導體230a。例如，在利用ALD法或CVD法沉積將成為氧化物半導體230b的氧化物半導體膜時，也可以不設置氧化物半導體230a。在利用ALD法或CVD法沉積氧化物半導體膜時，對絕緣體280的損傷得到減少，可以抑制絕緣體280中

的元素擴散到該氧化物半導體膜。

【0159】在將導電率高的材料用於設置在用作閘極電極的導電體260一側的氧化物半導體230c的情況下，有時導致電晶體200的臨界電壓的漂移，從而截止電流變大。明確而言，在電晶體200為n通道型電晶體的情況下，有時臨界電壓降低。因此，氧化物半導體230c較佳為使用與氧化物半導體230b相比導電率低的材料。由此，在電晶體200為n通道型電晶體的情況下可以增大臨界電壓，可以實現截止電流小的電晶體。

【0160】由此，藉由將其導電率比氧化物半導體230c高的材料用於氧化物半導體230b，可以實現常關閉且通態電流大的電晶體。因此，可以實現具有低功耗及高性能的半導體裝置。

【0161】另外，氧化物半導體230b的載子濃度較佳為比氧化物半導體230c的載子濃度高。藉由提高氧化物半導體230b的載子濃度，導電率變高，由此可以實現通態電流大的電晶體。另外，藉由降低氧化物半導體230c的載子濃度，導電率變低，由此可以實現常關閉電晶體。

【0162】在此，雖然示出將與氧化物半導體230c相比導電率高的材料用於氧化物半導體230b的例子，但是本發明的一個實施方式不侷限於此。氧化物半導體230b也可以使用與氧化物半導體230c相比導電率低的材料。氧化物半導體230b的載子濃度也可以比氧化物半導體230c的載子濃度低。

【0163】用於氧化物半導體230b的第二金屬氧化物的能帶間隙較佳為與用於氧化物半導體230c的第三金屬氧化物的能帶間隙不同。例如，第二金屬氧化物的能帶間隙與第三金屬氧化物的能帶間隙之差較佳為0.1eV以上，更佳為0.2eV以上，進一步較佳為0.3eV以上。

【0164】用於氧化物半導體230b的第二金屬氧化物的能帶間隙可以比用於氧化物半導體230c的第三金屬氧化物的能帶間隙小。由此，可以實現通態電流大的電晶體。另外，在電晶體200為n通道型電晶體的情況下，可以增大臨界電壓，由此可以實現常關閉電晶體。

【0165】在此，雖然示出第二金屬氧化物的能帶間隙比第三金屬氧化物的能帶間隙小的例子，但是本發明的一個實施方式不侷限於此。第二金屬氧化物的能帶間隙也可以比第三金屬氧化物的能帶間隙大。

【0166】此外，用於氧化物半導體230a的第一金屬氧化物與用於氧化物半導體230c的第三金屬氧化物的組成既可以相同，也可以不同。

【0167】例如，也可以採用如下結構：作為氧化物半導體230a使用具有In:Ga:Zn=1:1:1[原子個數比]或其附近的組成的金屬氧化物，作為氧化物半導體230b使用具有In:Zn=1:1[原子個數比]或其附近的組成的金屬氧化物、具有In:Zn=4:1[原子個數比]或其附近的組成的金屬氧化物、具有In:Sn:Zn=4:0.1:1[原子個數比]或其附近的組成的金屬氧化物或者銦氧化物，作為氧化物半導體230c使用具有

In:Ga:Zn=1:1:1[原子個數比]或其附近的組成的金屬氧化物、具有In:Ga:Zn=1:3:2[原子個數比]或其附近的組成的金屬氧化物或者具有In:Ga:Zn=1:3:4[原子個數比]或其附近的組成的金屬氧化物。藉由採用該結構，可以提高電晶體200的通態電流，並可以實現不均勻少的高可靠性電晶體結構。

【0168】在此，如上所述，作為導電體240b及導電體220b較佳為使用具有導電性的金屬氧化物。由此，導電體240b與氧化物半導體230a、導電體220b與氧化物半導體230a可以形成歐姆接觸。例如，較佳的是，作為導電體240b及導電體220b使用添加有矽的銦錫氧化物，作為氧化物半導體230a使用導電性較高的具有In：Ga:Zn=1:1:1[原子個數比]或其附近的組成的金屬氧化物。由此，可以提高電晶體200的通態電流、場效移動率及頻率特性。

【0169】如圖3A所示，絕緣體250也可以具有絕緣體250a和絕緣體250a上的絕緣體250b的疊層結構。絕緣體250a以接觸於氧化物半導體230的頂面的方式設置。此外，絕緣體250a具有接觸於導電體240的頂面的區域、接觸於導電體240的側面的區域以及接觸於絕緣體280的區域。絕緣體250b以接觸於絕緣體250a的頂面的方式設置。

【0170】作為絕緣體250a，較佳為使用具有俘獲或固定氫的功能的絕緣體。藉由設置絕緣體250a，可以更高效地俘獲或固定包含在氧化物半導體230中的氫。因此，可以降低氧化物半導體230中的氫濃度。作為絕緣體250a可

以使用可用作絕緣體222的絕緣體。作為絕緣體250a，例如較佳為使用矽酸鉿等。此時，絕緣體250a至少包含鉿、矽及氧。此外，絕緣體250a較佳為具有非晶結構。作為絕緣體250a，也可以使用將在後面說明的[絕緣體]中記載的絕緣體的單層或疊層。

【0171】藉由使絕緣體250a具有非晶結構，可以抑制晶界的形成。藉由抑制晶界的形成，可以提高絕緣體250a的膜的平坦性。由此，絕緣體250a的厚度分佈變得均勻，可以減少厚度極薄的部分，因此可以提高絕緣體250a的耐壓。此外，可以使設置在絕緣體250a上的膜的厚度分佈均勻。

【0172】此外，藉由抑制絕緣體250a中的晶界的形成，可以降低起因於晶界的缺陷態的洩漏電流。由此可以將絕緣體250a用作洩漏電流少的絕緣膜。

【0173】此外，因為氧化鉿是高介電常數(high-k)材料，所以矽酸鉿根據矽含量而成為高介電常數(high-k)材料。因此，在將絕緣體250a用作閘極絕緣體時，可以在保持閘極絕緣體的物理厚度的同時降低在電晶體工作時施加的閘極電位。此外，可以減少被用作閘極絕緣體的絕緣體的等效氧化物厚度(EOT：Equivalent Oxide Thickness)。

【0174】絕緣體250a的厚度較佳為0.5nm以上且15nm以下，更佳為0.5nm以上且12nm以下，進一步較佳為0.5nm以上且10nm以下。絕緣體250a的至少一部分為上述厚度的區域即可。在此，絕緣體250a具有非晶結構，因此

晶界的形成得到減少且平坦性高。因此，絕緣體250a可以為耐壓高且洩漏電流得到降低的薄膜。因此，絕緣體250a適合用作閘極絕緣體。

【0175】作為絕緣體250b較佳為使用氫阻擋絕緣體。由此，可以抑制包含在導電體260中的雜質擴散到氧化物半導體230。作為絕緣體250b可以使用可用於絕緣體210及絕緣體283的絕緣體。例如，氮化矽的氫阻擋性高，所以適合用作絕緣體250b。在此情況下，絕緣體250b至少包含氮及矽。作為絕緣體250b，也可以使用將在後面說明的[絕緣體]中記載的絕緣體的單層或疊層。

【0176】在作為絕緣體250b使用氮化矽時，絕緣體250b的厚度較佳為2nm以上，更佳為3nm以上。注意，對絕緣體250b的厚度的上限值沒有特別的限制，但是從半導體裝置的微型化或高積體化、半導體裝置的生產率的提高等觀點來看，上限值較佳為20nm以下、10nm以下或5nm以下。因此，絕緣體250b較佳為包括厚度為2nm以上且10nm以下的區域，更佳為包括厚度為2nm以上且5nm以下的區域。此外，絕緣體250b較佳為包括厚度為3nm以上且10nm以下的區域，更佳為包括厚度為3nm以上且5nm以下的區域。

【0177】當絕緣體250b具有氫阻擋性時，絕緣體250b還具有氧阻擋性。此外，絕緣體250b具有與導電體260接觸的區域。因此，在絕緣體250b具有氧阻擋性時，可以抑制因氧化物半導體230或絕緣體250a中的氧擴散到導電體

260導致導電體260的氧化。此外，可以抑制因氧化物半導體230中的氧擴散到導電體260而導致氧化物半導體230中形成氧空位。

【0178】作為導電體260，可以使用將在後面說明的[導電體]中記載的導電體的單層或疊層。作為導電體260，例如可以使用鎢等導電性高的導電材料。

【0179】另外，作為導電體260，較佳為使用不容易被氧化的導電材料或者具有抑制氧擴散的功能的導電材料等。作為該導電材料，可以舉出包含氮的導電材料(例如，氮化鈦或氮化鉭等)及包含氧的導電材料(例如，氧化釕等)等。由此，可以抑制導電體260的導電率的下降。

【0180】注意，在圖1B及圖1C中示出單層的導電體260，但是本發明不侷限於此。導電體260也可以具有疊層結構。例如，如圖3A所示，導電體260也可以具有導電體260a和導電體260a上的導電體260b的疊層結構。此時，例如，作為導電體260a可以使用氮化鈦，作為導電體260b可以使用鎢。藉由如此設置包含鎢的層，可以提高導電體260的導電性而使導電體260充分發揮作為佈線的功能。

【0181】在圖3A中導電體260具有導電體260a和導電體260b這兩層的疊層結構，但是本發明不侷限於此。導電體260也可以具有三層以上的疊層結構。

【0182】作為絕緣體283較佳為使用氫阻擋絕緣體。由此，可以抑制氫從絕緣體283的上方擴散到氧化物半導體230。由於氮化矽膜及氮氧化矽膜分別具有來自本身的

雜質(例如，水及氫)的釋放少且氧及氫不容易透過的特徵，所以可以適用於絕緣體283。

【0183】作為絕緣體283尤其較佳為使用藉由濺射法沉積的氮化矽。此時，絕緣體283包含矽及氮。濺射法不需要作為沉積氣體使用包含氫的分子，所以可以降低絕緣體283的氫濃度。此外，藉由利用濺射法沉積絕緣體283，可以形成密度高的氮化矽。

【0184】此外，如圖3A所示，絕緣體283也可以具有絕緣體283a和絕緣體283a上的絕緣體283b的疊層結構。在此，作為絕緣體283a較佳為使用具有俘獲或固定氫的功能的絕緣體，可以適當地使用可用於絕緣體222的絕緣體。例如，作為絕緣體283a可以使用矽酸鉿。此外，作為絕緣體283b較佳為使用上述氫阻擋絕緣體。換言之，絕緣體283為具有俘獲或固定氫的功能的絕緣體283a和作為氫阻擋絕緣體的絕緣體283b的疊層結構。

【0185】藉由採用這種結構，可以抑制氫從絕緣體283的上方擴散到氧化物半導體230。在此，在由具有氫阻擋性的絕緣體283b及絕緣體210構成的封閉系統的內部設置具有俘獲或固定氫的功能的絕緣體283a及絕緣體222，由此可以降低氧化物半導體230的氫濃度。

【0186】

<半導體裝置的製造方法例子>

接著，參照圖4A至圖4E說明圖1A至圖1D等所示的電晶體200的製造方法。注意，圖4A至圖4E對應於圖1B。

【0187】以下，用來形成絕緣體的絕緣材料、用來形成導電體的導電材料或用來形成半導體的半導體材料可以適當地使用濺射法、化學氣相沉積(CVD：Chemical Vapor Deposition)法、分子束磊晶(MBE：Molecular Beam Epitaxy)法、脈衝雷射沉積(PLD：Pulsed Laser Deposition)法、ALD法等沉積。

【0188】作為濺射法，可以舉出將高頻電源用於濺射用電源的RF濺射法、利用直流電源的DC濺射法、以脈衝方式改變施加到電極的電壓的脈衝DC濺射法。RF濺射法主要在沉積絕緣膜時使用，DC濺射法主要在沉積金屬導電膜時使用。此外，脈衝DC濺射法主要在利用反應性濺射法沉積氧化物、氮化物、碳化物等化合物時使用。

【0189】注意，CVD法可以分為利用電漿的電漿CVD法(PECVD)、利用熱的熱CVD(TCVD：Thermal CVD)法、利用光的光CVD(Photo CVD)法等。再者，可以根據使用的源氣體分為金屬CVD(MCVD：Metal CVD)法、有機金屬CVD(MOCVD：Metal Organic CVD)法。

【0190】藉由利用電漿增強CVD法，可以以較低的溫度得到高品質的膜。此外，因為在熱CVD法中不使用電漿，所以能夠減少對被處理物造成的電漿損傷。例如，包括在半導體裝置中的佈線、電極、元件(電晶體、電容器等)等有時因從電漿接收電荷而會產生電荷積聚(charge up)。此時，有時由於所累積的電荷而使包括在半導體裝置中的佈線、電極、元件等受損傷。另一方面，因為在不

使用電漿的熱CVD法的情況下不產生上述電漿損傷，所以能夠提高半導體裝置的良率。此外，在熱CVD法中，不產生沉積時的電漿損傷，因此能夠得到缺陷較少的膜。

【0191】作為ALD法，採用只利用熱能使前驅物及反應物起反應的熱ALD法、使用受到電漿激發的反應物的PEALD法等。

【0192】CVD法及ALD法不同於從靶材等中釋放的粒子沉積的濺射法。因此，ALD法是不易受被處理物的形狀的影響而具有良好的步階覆蓋性的沉積方法。尤其是，ALD法具有良好的步階覆蓋性和厚度均勻性，所以ALD法適合用於形成覆蓋縱橫比高的開口部的表面的膜等。但是，ALD法的沉積速率比較慢，所以有時較佳為與沉積速率快的CVD法等其他沉積方法組合而使用。

【0193】此外，當使用CVD法時，可以根據源氣體的流量比沉積任意組成的膜。例如，當使用CVD法時，可以藉由在進行沉積的同時改變源氣體的流量比來沉積其組成連續變化的膜。當在改變源氣體的流量比的同時進行沉積時，因為不需要傳送或調整壓力所需的時間，所以與使用多個沉積室進行沉積的情況相比可以縮短沉積時間。因此，有時可以提高半導體裝置的生產率。

【0194】另外，當利用ALD法時，藉由引入不同的多種前驅物，可以沉積任意組成的膜。例如，在引入不同的多種前驅物時，藉由控制各前驅物的循環次數可以沉積任意組成的膜。

【0195】此外，在利用ALD法引入不同的多種前驅物時，也可以根據各前驅物改變氧化劑的種類。例如，在至少引入第一前驅物和第二前驅物時，第一前驅物也可以作為氧化劑使用臭氧(O_3)，第二前驅物也可以作為氧化劑使用氧(O_2)。

【0196】此外，在沉積膜之前也可以進行加熱處理。該加熱處理也可以在減壓下進行，並其中以不暴露於大氣的方式連續地沉積該膜。藉由進行這種處理，可以去除附著於該膜的被形成面的水分及氫，並且減少作為該被形成面的結構體中的水分濃度及氫濃度。加熱處理的溫度較佳為100℃以上且600℃以下。

【0197】首先，準備基板(未圖示)而在該基板上形成絕緣體210(參照圖4A)。在沉積絕緣體210時，可以適當地利用濺射法、CVD法、MBE法、PLD法、ALD法等。例如，作為絕緣體210可以利用濺射法沉積氮化矽。

【0198】接著，在絕緣體210上沉積絕緣體222(參照圖4A)。在沉積絕緣體222時，可以適當地利用濺射法、CVD法、MBE法、PLD法、ALD法等。例如，作為絕緣體222可以利用濺射法沉積矽酸鉿。此時，可以使用含有鉿及矽的沉積靶材等。例如，可以利用使用氧化矽靶材及氧化鉿靶材的共濺射法。此外，也可以利用熱ALD法沉積絕緣體222。例如，前驅物也可以使用四氯化鉿及四氯化矽。此外，例如也可以在沉積氧化鉿膜之後對該氧化鉿膜添加矽而形成矽酸鉿膜。作為矽的添加方法，例如可以利

用使源氣體離子化並對該離子進行質量分離而添加該離子的離子植入法或者使源氣體離子化並不對該離子進行質量分離而添加該離子的離子摻雜法等。

【0199】接著，在絕緣體222上形成導電體220(參照圖4A)。作為導電體220，可以在絕緣體222上沉積導電膜並利用微影技術對該導電膜進行圖案形成。在沉積該導電膜時，可以適當地利用濺射法、CVD法、MBE法、PLD法、ALD法等。例如，作為該導電膜，可以利用濺射法沉積鎢並在其上利用濺射法沉積ITSO。

【0200】接著，在絕緣體222及導電體220上形成絕緣體280(參照圖4A)。絕緣體280可以適當地使用上述絕緣材料。在沉積絕緣體280時，可以適當地利用濺射法、CVD法、MBE法、PLD法、ALD法等。例如，作為絕緣體280可以利用濺射法沉積氮化矽膜。另外，絕緣體280較佳為在沉積之後進行化學機械拋光(CMP：Chemical Mechanical Polishing)處理而使其頂面平坦化藉由進行絕緣體280的平坦化處理，可以適當地形成被用作佈線的導電體240。

【0201】另外，有時不需要進行CMP處理。此時，絕緣體280的頂面具有向上凸起的曲面形狀。藉由不進行平坦化處理，可以在能夠降低製造成本的同時提高良率。

【0202】另外，藉由在絕緣體280的沉積中利用不需要使用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體280中的氫濃度。如此，藉由沉積絕緣體280，可以減少從絕緣體280擴散到氧化物半導體230的氫而減少通道形

成區域中的氧空位及V_OH。

【0203】接著，在絕緣體280上沉積導電膜240A，在導電膜240A上沉積導電膜240B(參照圖4A)。作為導電膜240A及導電膜240B可以適當地使用上述導電材料。在沉積導電膜240A及導電膜240B時，可以適當地利用濺射法、CVD法、MBE法、PLD法、ALD法等。例如，作為導電膜240A可以利用濺射法沉積釕。此外，作為導電膜240B例如可以利用濺射法沉積ITSO。

【0204】接著，加工導電膜240A的一部分、導電膜240B的一部分及絕緣體280的一部分而形成到達導電體220的開口部290(參照圖4B)。開口部290的形成可以利用微影技術進行。

【0205】

[開口部的形成方法例子]

以下參照圖5A至圖5D說明開口部290的形成方法的一個例子。

【0206】首先，導電膜240B上沉積塗佈膜277(參照圖5A)。塗佈膜277例如藉由旋塗法等沉積即可。作為塗佈膜277，使用非感光有機樹脂即可。塗佈膜277較佳為包含矽。在本實施方式中，作為塗佈膜277沉積SOG(Spin On Glass：旋塗玻璃)膜。

【0207】另外，塗佈膜277在塗佈時包含醇等有機溶劑，但是在後續製程中或者在半導體裝置完成時，所含有的有機物有時減少或被去除。注意，塗佈膜根據需要設置

即可，也可以層疊塗佈膜。例如，也可以在SOC(Spin On Carbon：旋塗碳)膜上層疊SOG膜。再者，也可以在SOC膜下設置用來提高SOC膜與被形成面的密接性的塗佈膜。此外，當只設置後述的光阻遮罩就足夠時，也可以不設置塗佈膜。

【0208】接著，利用微影技術在塗佈膜277上形成光阻遮罩279(參照圖5A)。作為光阻遮罩279，使用也被稱為光阻劑的感光有機樹脂即可。或者，也可以使用對電子束具有感光性的有機樹脂。例如，可以使用正型光阻劑或負型光阻劑。例如，藉由使用旋塗法等沉積將成為光阻遮罩279的光阻劑，可以沉積為均勻的厚度。

【0209】注意，在微影技術中，首先藉由遮罩對光阻劑進行曝光。接著，使用顯影液去除或留下所曝光的區域而形成光阻遮罩。接著，隔著該光阻遮罩進行蝕刻處理來將導電體、半導體或絕緣體等加工為所希望的形狀。例如，可以使用KrF準分子雷射、ArF準分子雷射、EUV(Extreme Ultraviolet：極紫外)光等對光阻劑進行曝光來形成光阻遮罩。此外，也可以利用在基板和投影透鏡之間填滿液體(例如，水)的狀態下進行曝光的液浸技術。此外，也可以使用電子束或離子束代替上述光。此外，在使用電子束或離子束的情況下，有時可以不使用遮罩。

【0210】在以下製程中，利用乾蝕刻法進行用來形成開口部290的蝕刻處理。乾蝕刻法可以進行各向異性蝕刻，因此適合於縱橫比高的開口部290的形成。

【0211】在此，作為用於乾蝕刻處理的蝕刻氣體，可以使用包含鹵素的蝕刻氣體，明確而言，可以使用包含氟、氯和溴中的一個或多個的蝕刻氣體。作為蝕刻氣體，例如可以使用C_4F_6氣體、C_5F_6氣體、C_4F_8氣體、CF_4氣體、SF_6氣體、CHF_3氣體、CH_2F_2氣體、CH_3F氣體、Cl_2氣體、BCl_3氣體、$SiCl_4$氣體、CCl_4氣體、HBr氣體和BBr_3氣體等中的一種或兩種以上的混合氣體。另外，可以對上述蝕刻氣體適當地添加氧氣體、碳酸氣體、氮氣體、氦氣體、氬氣體、氫氣體或烴氣體等。另外，根據乾蝕刻處理的被處理物，也可以使用不包含鹵素氣體而包含烴氣體或氫氣體的氣體作為蝕刻氣體。作為用於蝕刻氣體的烴，可以使用甲烷(CH_4)、乙烷(C_2H_6)、丙烷(C_3H_8)、丁烷(C_4H_{10})、乙烯(C_2H_4)、丙烯(C_3H_6)、乙炔(C_2H_2)及丙炔(C_3H_4)中的一個或多個。可以根據蝕刻對象適當地設定蝕刻條件。

【0212】另外，作為乾蝕刻裝置，可以使用包括平行平板型電極的電容耦合電漿(CCP：Capacitively Coupled Plasma)蝕刻裝置。包括平行平板型電極的電容耦合電漿蝕刻裝置可以採用對平行平板型電極中的一個電極施加高頻電壓的結構。或者，可以採用對平行平板型電極的各個施加頻率相同的高頻電壓的結構。此外，可以採用對平行平板型電極施加多個不同高頻電壓的結構。將這種CCP蝕刻裝置稱為雙頻容性耦合電漿(DF-CCP：Dual Frequency Capacitively Coupled Plasma)蝕刻裝置。DF-CCP蝕刻裝置

可以採用對平行平板型電極的各個施加頻率不同的高頻電壓的結構。或者，可以採用對平行平板型電極中的一個施加不同的多個高頻電壓的結構。或者，可以使用具有高密度電漿源的乾蝕刻裝置。例如，作為具有高密度電漿源的乾蝕刻裝置，可以使用電感耦合電漿(ICP：Inductively Coupled Plasma)蝕刻裝置等。可以根據蝕刻對象適當地設定蝕刻裝置。注意，在上述乾蝕刻裝置中，藉由對基板一側的電極施加高頻電壓產生自偏置電位，可以進行反應離子蝕刻。在反應離子蝕刻中，藉由使電漿中的離子種加速而碰撞到被加工物來進行蝕刻，所以可以進行各向異性高的蝕刻處理。

【0213】注意，下面的開口部290的形成製程較佳為以不暴露於大氣的方式連續地進行。例如，使用多室方式的蝕刻裝置以不暴露於大氣的方式連續地進行即可。

【0214】首先，使用光阻遮罩279加工塗佈膜277，在塗佈膜277中形成對應於開口部290的開口(參照圖5B)。例如，在作為塗佈膜277使用SOG膜時，可以將CHF_3及氧氣體用作蝕刻氣體利用DF-CCP蝕刻裝置來進行處理。

【0215】此外，較佳為在加工塗佈膜277後去除光阻遮罩279。例如，藉由進行灰化等乾蝕刻處理、進行濕蝕刻處理、在進行乾蝕刻處理之後進行濕蝕刻處理或者在進行濕蝕刻處理之後進行乾蝕刻處理，可以去除光阻遮罩279。

【0216】接著，將塗佈膜277用作遮罩加工導電膜

240B，在導電膜240B中形成對應於開口部290的開口部290B(參照圖5C)。例如，在作為導電膜240B使用ITSO膜時，可以將CH_4及氬氣體用作蝕刻氣體利用DF-CCP蝕刻裝置來進行處理。

【0217】接著，將塗佈膜277用作遮罩加工導電膜240A，在導電膜240A及導電膜240B中形成對應於開口部290的開口部290A(參照圖5D)。例如，在作為導電膜240A使用釕膜時，可以將Cl_2及氧氣體用作蝕刻氣體利用ICP蝕刻裝置來進行處理。

【0218】接著，將塗佈膜277用作遮罩加工絕緣體280，在絕緣體280、導電膜240A及導電膜240B中形成開口部290(參照圖4B)。例如，在作為絕緣體280使用氮化矽膜時，可以將CH_2F_2、CHF_3、CF_4、氧氣體及氬氣體用作蝕刻氣體利用DF-CCP蝕刻裝置來進行處理。

【0219】在此，在絕緣體280的加工中有時塗佈膜277也同時被去除。此時，導電膜240A及導電膜240B被暴露於乾蝕刻處理。因此，較佳的是，導電膜240A和導電膜240B中的至少一個如導電膜240A在絕緣體280的加工中被用作硬遮罩。在本實施方式中，藉由作為導電膜240A使用釕，導電膜240A在絕緣體280的加工中被用作硬遮罩。

【0220】由此，如圖6A所示，可以以垂直或大致垂直於絕緣體222的頂面的方式形成作為開口部290的側壁的一部分的絕緣體280的側面。作為上述絕緣體280的錐角的角度θ1可以為75度以上且90度以下。藉由採用這種結構，可

以防止電晶體200的開口部290變得過大而可以降低佔有面積。由此，可以實現半導體裝置的微型化或高積體化。

【0221】此時，如圖6A所示，導電膜240B的側面有時具有錐形形狀。在此，當將導電膜240B的側面與導電膜240A的頂面(也可以為絕緣體222的頂面或絕緣體210的頂面)所成的錐角設定為角度θ2時，角度θ2小於角度θ1。此外，包括具有圖6A的形狀的開口部290的電晶體200具有圖6B所示的結構。此時，作為導電體240b的側面的錐角的角度θ2反映於氧化物半導體230、絕緣體250及導電體260。

【0222】此外，開口部290的形成方法不侷限於上述方法。例如，也可以採用圖7A至圖7D所示的方法。圖7A至圖7D所示的方法與圖5A至圖5D所示的方法的不同之處在於：在前者中，在導電膜240B與塗佈膜277之間設置用作硬遮罩的無機膜。以下參照圖7A至圖7D說明開口部290的形成方法的另一個例子。

【0223】首先，在導電膜240B上沉積無機膜276(參照圖7A)。無機膜276可以藉由濺射法、CVD法、MBE法、PLD法或ALD法等沉積。無機膜276是將在後面製程中用作在絕緣體280、導電膜240A及導電膜240B中形成開口部290的硬遮罩的膜。作為無機膜276，可以使用在加工絕緣體280、導電膜240A及導電膜240B時能夠獲得蝕刻選擇比的金屬材料或無機絕緣材料等。例如，作為無機膜276可以使用利用濺射法沉積的鎢。此外，也可以在沉積導電膜240A及導電膜240B之後以不暴露於大氣的方式連續沉積

無機膜276。

【0224】接著，在無機膜276上形成塗佈膜277，在塗佈膜277上形成光阻遮罩279。注意，塗佈膜277及光阻遮罩279的形成方法與根據圖5A的方法同樣，所以可以參照上述記載。

【0225】接著，利用乾蝕刻法進行用來形成開口部290的蝕刻處理。乾蝕刻法可以進行各向異性蝕刻，因此適合於縱橫比高的開口部290的形成。

【0226】首先，使用光阻遮罩279加工塗佈膜277，在塗佈膜277中形成對應於開口部290的開口(參照圖7B)。塗佈膜277的加工可以藉由與根據圖5B的方法同樣的方法進行。

【0227】接著，使用光阻遮罩279加工無機膜276，在無機膜276中形成對應於開口部290的開口(參照圖7B)。例如，在作為無機膜276使用鎢膜時，將Cl_2、CF_4及氧氣體用作蝕刻氣體利用DF-CCP蝕刻裝置來進行處理。

【0228】接著，將無機膜276用作遮罩加工導電膜240B，在導電膜240B中形成對應於開口部290的開口(參照圖7C)。導電膜240B的加工可以藉由與根據圖5C的方法同樣的方法進行。

【0229】接著，將無機膜276用作遮罩加工導電膜240A，在導電膜240A及導電膜240B中形成對應於開口部290的開口部290A(參照圖7C)。導電膜240A的加工可以藉由與根據圖5D的方法同樣的方法進行。

【0230】接著，將無機膜276用作遮罩加工絕緣體280，在絕緣體280、導電膜240A及導電膜240B中形成開口部290(參照圖7D)。絕緣體280的加工可以藉由與上述方法同樣的方法進行。

【0231】在此，無機膜276包含鎢，所以可以在包含ITSO的導電膜240B的加工、包含釘的導電膜240A的加工以及包含氮化矽的絕緣體280的加工中不容易被蝕刻，而可以被用作硬遮罩。

【0232】由此，如圖7D所示，可以以垂直或大致垂直於絕緣體222的頂面的方式形成作為開口部290的側壁的一部分的絕緣體280的側面、導電膜240A的側面及導電膜240B的側面。藉由採用這種結構，可以防止電晶體200的開口部290變得過大而可以降低佔有面積。由此，可以實現半導體裝置的微型化或高積體化。

【0233】接著，藉由乾蝕刻處理去除無機膜276(參照圖4B)。例如，在作為無機膜276使用鎢膜時，將Cl_2、CF_4及氧氣體用作蝕刻氣體利用DF-CCP蝕刻裝置進行處理。在此，導電膜240B包含ITSO，所以在包含鎢的無機膜276的乾蝕刻處理中幾乎不被蝕刻。另外，在無機膜276的材料沒有影響到後製程或者可以在後製程中使用時，並不需要必須去除無機膜276。

【0234】注意，並不一定需要以導電體220的頂面平坦的方式形成開口部290。此時，藉由在導電體220的頂面形成與開口部290重疊的凹部，可以形成圖3A或圖3B所示

的電晶體200。

【0235】此外，為了去除上述蝕刻製程中附著於開口部290的雜質等，較佳為進行洗滌處理。作為洗滌方法，可以進行使用洗滌液等的濕式洗滌(也可以稱為濕蝕刻處理)。再者，也可以藉由該濕式洗滌蝕刻導電體220的頂面而在導電體220的頂面形成與開口部290重疊的凹部。此時，也可以將該凹部包括在開口部290中。注意，濕式洗滌除了形成開口部290之後以外還可以在形成開口部290中途的階段進行。

【0236】濕式洗滌也可以使用用碳酸水或純水稀釋草酸、磷酸和氫氟酸中的一個或多個而成的水溶液進行。此外，濕式洗滌也可以使用用碳酸水或純水稀釋氨水而成的水溶液進行。此外，濕式洗滌也可以使用純水或碳酸水等進行。或者，也可以使用上述水溶液、純水或碳酸水進行超聲波洗滌。或者，也可以適當地組合上述洗滌。此外，可以多次進行上述洗滌處理，也可以按每個洗滌處理改變洗滌液。例如，可以使用用純水稀釋氫氟酸而成的稀氫氟酸進行濕式洗滌。

【0237】接著，也可以在含氧氛圍下進行微波處理來進行降低絕緣體280中的雜質濃度的處理。在此，微波處理例如是指使用包括利用微波生成高密度電漿的電源的裝置的處理。另外，在本說明書等中，微波是指具有300MHz以上且300GHz以下的頻率的電磁波。作為雜質尤其可以舉出氫及碳。藉由在含氧氛圍下進行微波處理，可

以將絕緣體280中的氫作為H_2O釋放到外部。藉由從位於氧化物半導體230附近的絕緣體280釋放氫，可以提供一種可靠性高的半導體裝置。

【0238】藉由在含氧氛圍下進行微波處理，可以使用微波或RF等高頻使氧氣體電漿化而使該氧電漿作用。藉由如此將氧電漿作用於絕緣體280，可以將絕緣體280中的氫作為H_2O釋放到外部。此外，有時開口部290中的絕緣體280的側面由於該氧電漿處理被氧化。此時，藉由以接觸於氧化物半導體230的方式形成絕緣體280，可以進行熱處理等來將氧從絕緣體280供應到氧化物半導體230中的通道形成區域。因此，可以減少氧化物半導體230的通道形成區域中的氧空位及V_OH。由此，可以使電晶體200的電特性穩定而提高可靠性。注意，作為作用於絕緣體280的氧，有氧原子、氧分子、氧離子及氧自由基(也被稱為O自由基的具有不成對電子的原子、分子或離子)等各種形態。此外，作用於絕緣體280的氧較佳為上述形態中的任一個或多個，尤其較佳為氧自由基。

【0239】另外，藉由在上述的含氧氛圍下進行微波處理時加熱基板，可以進一步降低絕緣體280中的雜質濃度，所以是較佳的。上述基板的加熱以100℃以上且650℃以下，較佳為以200℃以上且600℃以下，更佳為以300℃以上且450℃以下進行即可。此外，上述微波處理較佳為在減壓下進行，壓力較佳為10Pa以上且1000Pa以下，更佳為300Pa以上且700Pa以下。

【0240】另外，例如，上述微波處理可以使用氧氣體及氬氣體進行。在此，氧流量比(O_2/(O_2+Ar))大於0%且為100%以下。較佳的是，氧流量比(O_2/(O_2+Ar))大於0%且為50%以下。更佳的是，氧流量比(O_2/(O_2+Ar))為10%以上且40%以下。進一步較佳的是，氧流量比(O_2/(O_2+Ar))為10%以上且30%以下。如此，藉由在含氧氛圍下進行微波處理，可以降低絕緣體280中的雜質濃度。另外，藉由在微波處理中防止對絕緣體280導入過多的氧，可以防止在氧化物半導體230中載子濃度過度地降低。

【0241】在此，將微波處理裝置的頻率較佳為設定為300MHz以上且300GHz以下，更佳為2.4GHz以上且2.5GHz以下，例如可以為2.45GHz。藉由使用高密度電漿，可以生成高密度的氧自由基。另外，微波處理裝置的施加微波的電源的功率較佳為1000W以上且10000W以下，更佳為2000W以上且5000W以下。此外，微波處理裝置也可以包括對基板一側施加RF的電源。此外，藉由對基板一側施加RF，可以將由高密度電漿生成的氧離子高效地導入到絕緣體280中。

【0242】接著，也可以進行加熱處理。此外，該加熱處理也可以在進行微波處理之後以不暴露於大氣的方式連續進行。加熱處理以250℃以上且650℃以下，較佳為以300℃以上且500℃以下，更佳為以320℃以上且450℃以下進行即可。此外，在氮氣體或惰性氣體的氛圍或包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進

行加熱處理。例如，當在氮氣體和氧氣體的混合氛圍下進行加熱處理時，氧氣體的比率可以設為20%左右。加熱處理也可以在減壓狀態下進行。或者，也可以在氮氣體或非活性氣體氛圍下進行加熱處理，然後在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行加熱處理。藉由進行上述加熱處理，可以在將在後面說明的將成為氧化物半導體230的氧化物半導體膜的沉積之前減少包含在絕緣體280等中的水等雜質。注意，該加熱處理較佳為在不使導電體220及導電體240過度氧化的條件下進行。

【0243】此外，在上述加熱處理中使用的氣體較佳為被高度純化。例如，在上述加熱處理中使用的氣體所包含的水分量可以為1ppb以下，較佳為0.1ppb以下，更佳為0.05ppb以下。藉由使用高度純化了的氣體進行加熱處理，可以儘可能地防止水分等被絕緣體280等吸收。

【0244】注意，雖然上面示出在微波處理之後進行加熱處理的結構，但是本發明不侷限於此。也可以在加熱處理之後進行微波處理。

【0245】接著，以與導電體220的頂面、絕緣體280的側面、導電膜240A的側面以及導電膜240B的頂面及側面接觸的方式沉積將成為氧化物半導體230的氧化物半導體膜。作為該氧化物半導體膜可以適當地使用上述可用於氧化物半導體230的金屬氧化物。該氧化物半導體膜適當地利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積即可。在此，該氧化物半導體膜較佳為以與導電體220的頂

面及絕緣體280的側面接觸的方式形成。因此，在沉積該氧化物半導體膜時較佳為利用覆蓋性良好的沉積方法，更佳為利用CVD法或ALD法等。例如，作為該氧化物半導體膜，可以利用ALD法沉積In-Ga-Zn氧化物。

【0246】注意，將成為氧化物半導體230的氧化物半導體膜的沉積方法不侷限於CVD法或ALD法。例如，也可以利用濺射法。另外，如圖3A或圖3B所示，在使氧化物半導體230具有疊層結構的情況下，包括在氧化物半導體230中的各層的沉積方法可以為相同或不同。

【0247】在此，將成為氧化物半導體230的氧化物半導體膜較佳為以與開口部290中的導電體220的頂面、開口部290中的絕緣體280的側面、導電膜240A的側面以及導電膜240B的頂面及側面接觸的方式形成。在以接觸於導電體220的方式形成該氧化物半導體膜時，導電體220被用作電晶體200的源極電極和汲極電極中的一個。另外，在以接觸於導電膜240A及導電膜240B的方式形成該氧化物半導體膜時，導電體240被用作電晶體200的源極電極和汲極電極中的另一個。

【0248】注意，上述微波處理及加熱處理也可以在上述氧化物半導體膜的沉積後進行。

【0249】接著，將成為氧化物半導體230的氧化物半導體膜利用微影技術進行加工而形成氧化物半導體230(參照圖4C)。由此，氧化物半導體230的一部分形成在開口部290中。作為氧化物半導體230的加工可以利用乾蝕刻法或

濕蝕刻法。利用乾蝕刻法的加工適合於微細加工。

【0250】接著，加工導電膜240A及導電膜240B而形成導電體240a及導電體240b(參照圖4C)。導電體240a及導電體240b的形成可以利用微影技術進行。作為導電膜240A及導電膜240B的加工可以利用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微細加工。

【0251】接著，在氧化物半導體230、導電體240a、導電體240b及絕緣體280上沉積絕緣體250(參照圖4D)。作為絕緣體250可以適當地使用上述絕緣材料。在沉積絕緣體250時，可以適當地利用濺射法、CVD法、MBE法、PLD法、ALD法等。在此，絕緣體250較佳為以與設置在開口部290中的氧化物半導體230接觸的方式形成。因此，在沉積絕緣體250時較佳為利用覆蓋性良好的沉積方法，更佳為利用CVD法或ALD法等。例如，作為絕緣體250，可以利用PEALD法沉積氧化矽。注意，絕緣體250的沉積不侷限於CVD法或ALD法。例如，也可以利用濺射法。

【0252】例如，如圖3A及圖3B所示，絕緣體250可以採用絕緣體250a和絕緣體250b的疊層結構。例如，作為絕緣體250a可以利用熱ALD法沉積矽酸鉿。此外，例如，作為絕緣體250b可以利用PEALD法沉積氮化矽。

【0253】藉由在形成氧化物半導體230之後沉積絕緣體250，氧化物半導體230的側端部被絕緣體250覆蓋。因此，可以防止氧化物半導體230與導電體260短路。此外，藉由採用上述結構，導電體240的側端部被絕緣體250覆

蓋。因此，可以防止導電體240與導電體260短路。

【0254】上述微波處理及加熱處理也可以在沉積絕緣體250之後進行。在作為絕緣體210及絕緣體250b使用氮化矽且作為絕緣體222及絕緣體250a使用矽酸鉿時，可以在絕緣體222及絕緣體250a設置在由絕緣體210及絕緣體250b構成的封閉系統中的狀態下進行加熱處理。由此，可以使絕緣體222及絕緣體250a俘獲或固定該封閉系統內部的氫。由此，可以降低氧化物半導體230的通道形成區域中的氫濃度。因此，可以使電晶體的電特性良好而提高電晶體的可靠性。此外，可以提供一種電晶體的電特性不均勻小的半導體裝置。

【0255】另外，藉由進行上述微波處理可以去除氧化物半導體230中的碳等雜質。藉由去除氧化物半導體230中的雜質的碳，可以提高氧化物半導體230的結晶性。由此，可以使氧化物半導體230形成為CAAC-OS。尤其是，當利用ALD法沉積氧化物半導體230時，前驅物中含有的碳有時進入氧化物半導體230中，所以較佳為利用微波處理去除碳。

【0256】注意，在絕緣體250具有疊層結構時，並不一定在沉積絕緣體250所包括的所有絕緣體之後進行上述微波處理。例如，在圖3A或圖3B所示的結構中，也可以在沉積絕緣體250a之後進行微波處理，然後沉積絕緣體250b。此外，例如，也可以在沉積絕緣體250a之後進行微波處理，接著沉積絕緣體250b，然後進行微波處理。如

此，也可以多次進行含氧氛圍下的微波處理。

【0257】接著，以填充絕緣體250的凹部的方式沉積將成為導電體260的導電膜。作為該導電膜，可以適當地使用上述導電材料。在沉積該導電膜時，可以適當地利用濺射法、CVD法、MBE法、PLD法、ALD法等。在此，該導電膜較佳為以與設置在開口部290中的絕緣體250接觸的方式形成。因此，在沉積該導電膜時較佳為利用覆蓋性或嵌入性良好的沉積方法，更佳為利用CVD法或ALD法等。例如，作為該導電膜，可以利用CVD法或ALD法沉積氮化鈦並在該氮化鈦上利用CVD法沉積鎢。

【0258】另外，在上述中，將成為導電體260的導電膜以嵌入開口部290的方式設置，但是本發明不侷限於此。例如，該導電膜的中央部有時形成有反映了開口部290的形狀的凹部。另外，也可以用無機絕緣材料等填充該凹部。

【0259】接著，加工將成為導電體260的導電膜而形成導電體260(參照圖4E)。導電體260的形成可以利用微影技術進行。作為上述加工可以利用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微細加工。

【0260】接著，覆蓋導電體260及絕緣體250而沉積絕緣體283。作為絕緣體283可以適當地使用上述絕緣材料。在沉積絕緣體283時，可以適當地利用濺射法、CVD法、MBE法、PLD法、ALD法等。另外，如圖3B所示，絕緣體283也可以具有絕緣體283a和絕緣體283b的疊層結構。

【0261】上述微波處理及加熱處理也可以在沉積絕緣體283之後進行。在作為絕緣體210及絕緣體283b使用氮化矽且作為絕緣體222及絕緣體283a使用矽酸鉿時，可以在絕緣體222及絕緣體283a設置在由絕緣體210及絕緣體283b構成的封閉系統中的狀態下進行加熱處理。由此，可以使絕緣體222及絕緣體283a俘獲或固定該封閉系統內部的氫。由此，可以降低氧化物半導體230的通道形成區域中的氫濃度。因此，可以使電晶體的電特性良好而提高電晶體的可靠性。此外，可以提供一種電晶體的電特性不均勻小的半導體裝置。

【0262】藉由上述製程，可以製造圖1A至圖1D等所示的電晶體200。

【0263】

<半導體裝置的變形例子>

圖1示出在開口部290中絕緣體280與氧化物半導體230接觸的結構，但是本發明不侷限於此。例如，也可以在絕緣體280與氧化物半導體230之間設置具有俘獲或固定氫的功能的絕緣體。

【0264】參照圖8A至圖8D說明作為本發明的一個實施方式的半導體裝置的結構的另一個例子。圖8A是該半導體裝置的平面圖。圖8B至圖8D是該半導體裝置的剖面圖。在此，圖8B是沿著圖8A中的點劃線A1-A2的部分的剖面圖。此外，圖8C是沿著圖8A中的點劃線A3-A4的部分的剖面圖。圖8D是包括絕緣體280的XY平面的剖面圖。注

意，在圖8A的平面圖中，為了明確起見，省略一部分組件。

【0265】圖8A至圖8D所示的半導體裝置與圖1A至圖1D所示的半導體裝置的主要不同之處在於前者包括絕緣體223。以下，主要說明與參照圖1A至圖1D說明的內容不同的部分，關於與其重複的部分有時參照該部分而省略說明。

【0266】如圖8B至圖8D所示，絕緣體223設置在絕緣體280與氧化物半導體230之間。此外，絕緣體223、氧化物半導體230、絕緣體250及導電體260的配置在開口部290中的部分反映了開口部290的形狀。因此，以覆蓋開口部290的側壁的方式設置絕緣體223，以覆蓋絕緣體223的側面及開口部290的底部的方式設置氧化物半導體230，以覆蓋氧化物半導體230的方式設置絕緣體250，並且以嵌入反映了開口部290的形狀的絕緣體250的凹部的方式設置導電體260。

【0267】在圖8A至圖8D所示的半導體裝置中，絕緣體280所包括的開口部的內側依次設置有絕緣體223、氧化物半導體230、絕緣體250、導電體260。

【0268】絕緣體223較佳為使用具有俘獲或固定氫的功能的絕緣體。作為絕緣體223，可以使用可用於絕緣體222的絕緣體。例如，可以使用矽酸鉿。由此，可以具有如下結構：由具有俘獲或固定氫的功能的絕緣體(在此，絕緣體250a和絕緣體223)夾持氧化物半導體230，在其外

側還設置氫阻擋絕緣體(在此，絕緣體280)。藉由採用該結構，可以抑制氫擴散到氧化物半導體230而進一步降低氧化物半導體230中的氫濃度。

【0269】絕緣體223的厚度(例如，絕緣體223的A1-A2方向上的寬度)較佳為0.5nm以上且15nm以下，更佳為0.5nm以上且12nm以下，進一步較佳為0.5nm以上且10nm以下。絕緣體223的至少一部分為上述寬度的區域即可。

【0270】注意，圖8A至圖8D示出絕緣體223設置在絕緣體280與氧化物半導體230之間的結構。注意，不侷限於此，絕緣體223也可以以與氧化物半導體230接觸的方式設置或者設置在氧化物半導體230附近。

【0271】雖然圖8A至圖8D示出絕緣體280與氧化物半導體230之間設置有絕緣體223的結構，但是本發明不侷限於此。例如，也可以在絕緣體280與氧化物半導體230之間設置具有俘獲或固定氫的功能的絕緣體以及氫阻擋絕緣體。

【0272】參照圖9A至圖9D說明作為本發明的一個實施方式的半導體裝置的結構的另一個例子。圖9A是該半導體裝置的平面圖。圖9B至圖9D是該半導體裝置的剖面圖。在此，圖9B是沿著圖9A中的點劃線A1-A2的部分的剖面圖。此外，圖9C是沿著圖9A中的點劃線A3-A4的部分的剖面圖。圖9D是包括絕緣體280的XY平面的剖面圖。注意，在圖9A的平面圖中，為了明確起見，省略一部分組件。

【0273】圖9A至圖9D所示的半導體裝置與圖8A至圖8D所示的半導體裝置的不同之處在於前者包括絕緣體221。此外，圖9A至圖9D所示的半導體裝置與圖1A至圖1D所示的半導體裝置的不同之處在於前者包括絕緣體221及絕緣體223。以下，主要說明與參照圖1A至圖1D或圖8A至圖8D說明的內容不同的部分，關於與其重複的部分參照該部分而省略說明。

【0274】如圖9B至圖9D所示，絕緣體221設置在絕緣體280與絕緣體223之間。此外，絕緣體221、絕緣體223、氧化物半導體230、絕緣體250及導電體260的配置在開口部290中的部分反映了開口部290的形狀。因此，以覆蓋開口部290的側壁的方式設置絕緣體221，以覆蓋絕緣體221的側面的方式設置絕緣體223，以覆蓋絕緣體223的側面及開口部290的底部的方式設置氧化物半導體230，以覆蓋氧化物半導體230的方式設置絕緣體250，並且以嵌入反映了開口部290的形狀的絕緣體250的凹部的方式設置導電體260。

【0275】絕緣體221較佳為使用氫阻擋絕緣體。作為絕緣體221可以使用可用作絕緣體210的絕緣體。例如，可以使用氮化矽。由此，可以具有如下結構：由具有俘獲或固定氫的功能的絕緣體(在此，絕緣體250a和絕緣體223)夾持氧化物半導體230，其外側還設置有氫阻擋絕緣體(在此，絕緣體221)。藉由採用該結構，可以抑制氫擴散到氧化物半導體230而進一步降低氧化物半導體230中的氫濃

度。

【0276】在作為絕緣體221使用氮化矽時，絕緣體221的厚度(例如，絕緣體221的A1-A2方向上的寬度)較佳為2nm以上，更佳為3nm以上。注意，對絕緣體221的厚度的上限值沒有特別的限制，但是從半導體裝置的微型化或高積體化、半導體裝置的生產率的提高等觀點來看，上限值較佳為20nm以下、10nm以下或5nm以下。因此，絕緣體221較佳為包括厚度為2nm以上且10nm以下的區域，更佳為包括厚度為2nm以上且5nm以下的區域。此外，絕緣體221較佳為包括厚度為3nm以上且10nm以下的區域，更佳為包括厚度為3nm以上且5nm以下的區域。

【0277】注意，在圖9A至圖9D所示的結構中，因為絕緣體221具有氫阻擋性，所以用於絕緣體280的材料不侷限於具有氫阻擋性的材料。例如，較佳為使用相對介電常數低的材料形成絕緣體280。藉由使用相對介電常數低的材料形成絕緣體280，可以將絕緣體280用作層間膜。因此，可以減少產生在佈線間的寄生電容。

【0278】注意，在圖9B至圖9D示出絕緣體280為單層的結構，但是本發明不侷限於此。絕緣體280也可以具有疊層結構。

【0279】例如，如圖10A所示，絕緣體280也可以具有絕緣體280a、絕緣體280a上的絕緣體280b和絕緣體280b上的絕緣體280c的疊層結構。

【0280】絕緣體280a具有接觸於絕緣體222的頂面的

區域、接觸於導電體220的側面的區域以及接觸於導電體220的頂面的區域。絕緣體280c具有接觸於導電體240的底面的區域。

【0281】在圖10A中，絕緣體280與絕緣體223之間設置有具有氫阻擋性的絕緣體221，所以例如可以使用相對介電常數低的材料形成絕緣體280b。藉由使用相對介電常數低的材料形成絕緣體280b，可以降低產生在佈線間的寄生電容。作為絕緣體280b，可以使用將在後面說明的[絕緣體]中記載的包含相對介電常數低的材料的絕緣體的單層或疊層。明確而言，作為絕緣體280b可以使用氧化矽或氧氮化矽。另外，絕緣體280b中的水、氫等的雜質濃度較佳為得到降低。由此，可以抑制水、氫等雜質混入氧化物半導體230的通道形成區域中。

【0282】在作為絕緣體280b使用含有氧的絕緣體時，絕緣體280a及絕緣體280c較佳為使用將在後面說明的[絕緣體]中記載的氧阻擋絕緣體。藉由在絕緣體280b與導電體220之間設置絕緣體280a，可以抑制導電體220被氧化而導電體220的電阻變高。此外，藉由在絕緣體280b與導電體240之間設置絕緣體280c，可以抑制導電體240被氧化而導電體240的電阻變高。

【0283】絕緣體280a及絕緣體280c各自也可以使用氫阻擋絕緣體。由此，可以用氫阻擋絕緣體(在此，絕緣體280a、絕緣體280c及絕緣體221)圍繞絕緣體280b。因此，可以抑制氫從外部擴散到絕緣體280b且該氫擴散到氧化物

半導體230。由於氮化矽膜及氮氧化矽膜分別具有來自本身的雜質(例如，水及氫)的釋放少且氧及氫不容易透過的特徵，所以可以適用於絕緣體280a及絕緣體280c。注意，絕緣體280a及絕緣體280c可以使用相同的材料或互不相同的材料。

【0284】此外，作為絕緣體280a也可以使用具有俘獲或固定氫的功能的絕緣體。藉由採用這種結構，可以抑制氫從絕緣體280a的下方擴散到氧化物半導體230，並可以俘獲或固定氧化物半導體230中的氫。因此，可以降低氧化物半導體230的氫濃度。作為絕緣體280a可以使用氧化鎂、氧化鋁、氧化鉿或含有鉿及矽的氧化物等。此外，例如，作為絕緣體280a也可以使用氧化鋁和該氧化鋁上的氮化矽的疊層膜。另外，作為絕緣體280c也可以使用具有俘獲或固定氫的功能的絕緣體。

【0285】作為一個例子，絕緣體280a及絕緣體280c可以使用氮化矽，絕緣體280b可以使用氧化矽。此時，絕緣體280a及絕緣體280c至少包含矽和氮。另外，絕緣體280b至少包含矽和氧。

【0286】另外，在圖10A中示出在被平坦化的絕緣體280b上設置絕緣體280c的結構，本發明不侷限於此。例如，也可以不進行絕緣體280b的平坦化處理而沉積絕緣體280c。藉由不進行平坦化處理，可以在能夠降低製造成本的同時提高良率。另外，可以在不暴露於大氣環境的情況下連續地沉積絕緣體280a、絕緣體280b及絕緣體280c。藉

由在不暴露於大氣環境的情況下沉積，可以防止來自大氣環境的雜質或水分附著到絕緣體280a至絕緣體280c上，由此可以保持絕緣體280a與絕緣體280b的介面附近及絕緣體280b與絕緣體280c的介面附近的清潔。

【0287】注意，圖10A示出絕緣體280具有三層的疊層結構，但是本發明不侷限於此。絕緣體280可以具有兩層或四層以上的疊層結構。

【0288】注意，在圖10A中，可以以與氧化物半導體230接觸的方式設置具有俘獲或固定氫的功能的絕緣體250a。因此，在絕緣體280a、絕緣體280c及絕緣體250b具有氫阻擋性且絕緣體280b中的氫濃度充分得到降低的情況下，如圖10B所示，有時也可以不設置絕緣體221及絕緣體223。

【0289】此時，絕緣體280b與氧化物半導體230的至少一部分接觸。此外，絕緣體280b較佳為使用包含氧的絕緣體。絕緣體280b較佳為具有與絕緣體280a和絕緣體280c中的至少一個相比含氧量大的區域。尤其是，絕緣體280b較佳為具有分別與絕緣體280a及絕緣體280c相比含氧量大的區域。當絕緣體280b的含氧量多時，在絕緣體280b附近的氧化物半導體230中容易形成i型區域。

【0290】絕緣體280b更佳為使用藉由加熱釋放氧的膜。由於在電晶體200的製程中施加的熱而絕緣體280b釋放氧，因此可以將氧供應到氧化物半導體230。藉由將氧從絕緣體280b供應到氧化物半導體230，尤其是供應到氧

化物半導體230的通道形成區域，可以減少氧化物半導體230中的氧空位及V_OH，可以實現具有良好的電特性及高可靠性的電晶體。

【0291】此外，為了使OS電晶體的電特性及可靠性良好，重要的是，充分降低氧化物半導體中的氫濃度且使供應到氧化物半導體的氧量最佳化。

【0292】作為一個例子，絕緣體280b的氧分子的釋放量較佳為1.0×10^{14}molecules/cm^{2}以上且小於1.0×10^{15}molecules/cm^2。注意，氧分子的釋放量也可以藉由熱脫附譜分析法進行測量。

【0293】尤其是，在電晶體200的通道長度小時，通道形成區域的氧空位及V_OH的給電特性及可靠性帶來的影響特別大。因此，藉由充分降低氧化物半導體230中的氫濃度且使供應到氧化物半導體230的氧量最佳化，可以實現具有良好的電特性及高可靠性的通道長度小的電晶體。

【0294】絕緣體280b較佳為利用濺射法或電漿增強化學氣相沉積(PECVD：Plasma Enhanced Chemical Vapor Deposition)法等沉積方法形成。尤其是，當利用濺射法時，作為沉積氣體不需要使用氫氣體，由此可以實現氫含量極低的膜。因此，可以抑制半導體230被供應氫而實現電晶體200的電特性的穩定化。

【0295】在增多供應到氧化物半導體230的氧量的情況下，例如較佳為在形成絕緣體280b之後進行含氧氛圍下的加熱處理或者含氧氛圍下的電漿處理。另外，也可以在

氧氛圍下利用濺射法在絕緣體280b的頂面沉積氧化物膜來供應氧。然後，也可以去除該氧化物膜。進行這種處理來對絕緣體280b供應氧，由此可以增多供應到氧化物半導體230的氧量。

【0296】另一方面，在減少供應到氧化物半導體230的氧量的情況下，較佳為設置絕緣體221和絕緣體223中的一者或兩者。藉由採用這種結構，即使絕緣體280b所釋放的氧量多，也可以抑制過多的氧被供應到氧化物半導體230。

【0297】另外，在氧化物半導體230中，與接觸於絕緣體280b的區域相比，供應到與絕緣體280a接觸的區域以及與絕緣體280c接觸的區域的氧量小。由此，有時氧化物半導體230的與絕緣體280a接觸的區域以及與絕緣體280c接觸的區域被低電阻化。就是說，藉由調整絕緣體280a的厚度，可以控制用作源極區域和汲極區域中的一個的區域的範圍。同樣地，藉由調整絕緣體280c的厚度，可以控制用作源極區域和汲極區域中的另一個的區域的範圍。因此，可以根據電晶體200所需的特性適當地設定絕緣體280a及絕緣體280c的厚度。

【0298】參照圖11A至圖11D說明作為本發明的一個實施方式的半導體裝置的結構的另一個例子。此外，圖12A及圖12B示出對應於圖11B的放大圖。圖11A是該半導體裝置的平面圖。圖11B至圖11D是該半導體裝置的剖面圖。在此，圖11B是沿著圖11A中的點劃線A1-A2的部分的

剖面圖。此外，圖11C是沿著圖11A中的點劃線A3-A4的部分的剖面圖。圖11D是包括絕緣體280的XY平面的剖面圖。注意，在圖11A的平面圖中，為了明確起見，省略一部分組件。

【0299】圖11A至圖11D所示的半導體裝置與圖9A至圖9D所示的半導體裝置的不同之處在於前者不包括絕緣體223。以下，主要說明與參照圖9A至圖9D說明的內容不同的部分，關於與其重複的部分有時參照該部分而省略說明。此外，圖12A及圖12B除了如下部分以外都具有與圖3A同樣的結構：設置有絕緣體221；以及絕緣體280具有絕緣體280a至絕緣體280c的疊層結構。因此，有時省略根據圖3A的結構的說明。

【0300】如圖11B至圖11D所示，在開口部290中，絕緣體221設置在絕緣體280及導電體240(導電體240a、導電體240b)與氧化物半導體230之間。較佳的是，絕緣體221的開口部290的中心一側的側面以及上端部與氧化物半導體230接觸，絕緣體221的開口部290的外側的側面與絕緣體280的側面、導電體240a的側面、導電體240b的側面接觸，並且絕緣體221的下端部與導電體220的頂面接觸。也可以說，絕緣體221以與開口部290的側壁接觸的方式形成為側壁狀。在此，絕緣體221、氧化物半導體230、絕緣體250及導電體260的配置在開口部290中的部分反映了開口部290的形狀。因此，以覆蓋開口部290的側壁的方式設置絕緣體221，以覆蓋絕緣體221的側面及開口部290的底部

的方式設置氧化物半導體230，以覆蓋氧化物半導體230的方式設置絕緣體250，並且以嵌入反映了開口部290的形狀的絕緣體250的凹部的方式設置導電體260。

【0301】絕緣體221較佳為使用氧阻擋絕緣體。作為絕緣體221可以使用可用作絕緣體210的絕緣體。例如，可以使用氮化矽。此時，絕緣體221包含矽及氮。藉由設置這種絕緣體221，可以保護導電體240的側面，尤其可以保護導電體240a的側面免受過度氧化。

【0302】例如，即使如上所述地在含氧氛圍下進行加熱處理或微波處理，也藉由採用預先以與導電體240的側面接觸的方式設置絕緣體221的結構可以抑制導電體240的側面的過度氧化。尤其是，即使導電體240a使用鎢等金屬也可以防止過多的金屬氧化物形成在導電體240a的側面。由此，可以防止導電體240a被氧化而增大薄片電阻，因此可以使導電體240a充分發揮作為電連接於源極電極和汲極電極中的一個的佈線的功能。由此，可以提高電晶體200的通態電流、場效移動率、S值、頻率特性等電特性。

【0303】如圖12A所示，絕緣體221的側面的上部有時具有錐形形狀。再者，絕緣體221的上部有時具有曲面。在此，有時絕緣體221的上部的錐形形狀部分與氧化物半導體230接觸。此時，當絕緣體221的上部具有曲面時，可以以高覆蓋性形成氧化物半導體230。注意，有時以從絕緣體221的錐形形狀部分連續的方式導電體240b的上部也被形成為錐形形狀。

【0304】此外，如圖12A所示，在導電體220的頂面形成有與開口部290重疊的凹部的情況下，有時絕緣體221的一部分形成在該凹部中。

【0305】注意，雖然圖12A示出絕緣體221的上端部與導電體240b的頂面對齊或大致對齊的結構，但是本發明不侷限於此。例如，如圖12B所示，也可以採用絕緣體221的上端部低於導電體240b的頂面的結構。在此情況下，導電體240a的開口部290一側的側面也較佳為被絕緣體221覆蓋。換言之，絕緣體221的至少一部分較佳為與導電體240b的開口部290一側的側面接觸。藉由採用這種結構，可以用絕緣體221保護由較容易被氧化的金屬形成的導電體240a的側面。在此情況下，有時由金屬氧化物形成的導電體240b的側面的一部分被暴露於氧化氛圍。注意，由於導電體240b是金屬氧化物，所以與導電體240a相比，導電體240b的氧化所導致的劣化小。

【0306】此外，雖然圖12A示出絕緣體221的下端部與氧化物半導體230的底面的高度一致或大致一致的結構，但是本發明不侷限於此。例如，如圖12B所示，絕緣體221的下端部有時高於氧化物半導體230的底面。此時，也可以說，導電體220頂面的凹部形成為步階狀。

【0307】在作為絕緣體221使用氮化矽時，絕緣體221的厚度(例如，絕緣體221的A1-A2方向上的寬度)較佳為0.5nm以上，更佳為2nm以上。注意，對絕緣體221的厚度的上限值沒有特別的限制，但是從半導體裝置的微型化或

高積體化、半導體裝置的生產率的提高等觀點來看，上限值較佳為20nm以下、10nm以下或8nm以下。因此，絕緣體221較佳為包括厚度為0.5nm以上且20nm以下的區域，更佳為包括厚度為2nm以上且8nm以下的區域。

【0308】再者，絕緣體221較佳為具有氫阻擋絕緣性。例如，作為絕緣體221可以使用氮化矽。由此，可以由氫阻擋絕緣體夾持氧化物半導體230。藉由採用該結構，可以抑制氫擴散到氧化物半導體230而進一步降低氧化物半導體230中的氫濃度。

【0309】此外，圖13A至圖13D示出與圖11A至圖11D相似的結構。在此，圖13A至圖13D分別對應於圖11A至圖11D。

【0310】與圖11A至圖11D所示的結構不同，在圖13A至圖13D所示的結構中，氧化物半導體230的側端部與導電體240的側端部對齊。例如，在圖4C所示的製程中，藉由使用相同遮罩加工氧化物半導體230、導電體240a以及導電體240b，可以使氧化物半導體230的側端部、導電體240a的側端部以及導電體240b的側端部對齊。注意，在圖13A至圖13D所示的結構中，與導電體240同樣，導電體220也延伸在X方向上。此時，可以將導電體220用作延伸在X方向上的佈線。

【0311】接著，參照圖14A及圖14B說明圖11A至圖11D所示的電晶體的製程。根據圖14A及圖14B的製程可以在圖4A至圖4E所示的製程中的根據圖4B的製程與根據圖

4C的製程之間進行。因此，關於根據圖4A至圖4E的製程的詳細內容，可以參照上述記載。

【0312】在根據圖4B的製程中，在形成開口部290之後，以與導電體220的頂面、絕緣體280的側面、導電膜240A的側面以及導電膜240B的頂面及側面接觸的方式沉積絕緣膜221A(參照圖14A)。絕緣膜221A較佳為至少在開口部290中以覆蓋導電體240，尤其覆蓋導電膜240A的側面的方式沉積。絕緣膜221A是將在後面製程中成為絕緣體221的絕緣膜，可以使用上述絕緣體。絕緣膜221A例如可以利用濺射法、CVD法、MBE法、PLD法或ALD法沉積。

【0313】絕緣膜221A沿著開口部290的側壁及底面沉積，所以較佳為具有良好的覆蓋性。因此，絕緣膜221A較佳為利用具有高覆蓋性的ALD法等沉積。例如，作為絕緣膜221A，較佳為利用PEALD法沉積氮化矽。

【0314】接著，利用各向異性蝕刻去除絕緣膜221A的一部分，以與上述開口的側壁接觸的方式形成側壁狀絕緣體221(參照圖14B)。由此，絕緣體221以與絕緣體280的側面、導電體240a的側面及導電體240b的側面接觸的方式形成。如上所述，絕緣體221較佳為以至少覆蓋導電體240a的側面的方式形成。

【0315】作為各向異性蝕刻，較佳為利用乾蝕刻法進行反應離子蝕刻。關於乾蝕刻法的條件及乾蝕刻裝置可以參照之前的記載。例如，當將氮化矽用於絕緣膜221A時，可以利用DF-CCP蝕刻裝置且將CH_2F_2、O_2和Ar用作蝕刻氣

體來進行蝕刻處理。

【0316】另外，絕緣膜221A的蝕刻中產生的離子有時碰撞到絕緣體221的開口的邊緣的角部。由此，如圖12A等所示，上述角部有時被拋光而呈錐形形狀。例如，藉由使蝕刻氣體包含氬等容易離子化的氣體或者對基板一側的電極施加偏置電壓，上述角部容易被去除。此時，有時絕緣體221的上端部被蝕刻，由此如圖12B所示，絕緣體221的上端部低於導電膜240B的頂面。

【0317】此外，由於本蝕刻處理，有時導電體220的頂面的一部分被去除。此時，絕緣體221被用作遮罩，所以導電體220中的與絕緣體221重疊的部分的厚度大於導電體220中的不與絕緣體221重疊的部分。也就是說，在導電體220的頂面形成步階狀凹部。如此，如圖12B所示，形成絕緣體221的下端部高於氧化物半導體230的底面的電晶體200。

【0318】此外，為了去除絕緣體221的形成製程中附著於開口部290的雜質等，較佳為進行洗滌處理。作為洗滌方法，與形成開口部290之後的洗滌處理同樣，可以利用濕式洗滌等。濕式洗滌也可以利用上述方法。例如，可以使用用純水稀釋氫氟酸而成的稀氫氟酸進行濕式洗滌。此外，由於該濕式洗滌，有時導電體220頂面的一部分被去除。

【0319】在此，<半導體裝置的製造方法>中記載的形成開口部290之後的含氧氛圍下的加熱處理以及含氧氛圍

下的微波處理較佳為在形成絕緣體221之後進行。由此，可以在由絕緣體221保護導電體240的側面的狀態下進行上述加熱處理及上述微波處理。因此，即使導電體240a使用鎢等金屬，也可以防止導電體240的側面的過度氧化。

【0320】注意，由於上述加熱處理及上述微波處理，有時絕緣體221的一部分被氧化。換言之，絕緣體221有時包含氧。此時，藉由利用SIMS等對絕緣體221進行組成分析，在絕緣體221中觀測到氧濃度高的區域。注意，有時絕緣體221的氧化發展，在形成電晶體200之後絕緣體221的一部分變為氧氮化矽或氮氧化矽。

【0321】如此，在絕緣體221的一部分被氧化的情況下，藉由作為絕緣體280b使用由於加熱而釋放氧的膜，有時可以對氧化物半導體230供應氧。例如，藉由在沉積絕緣體283之後進行加熱處理，有時氧從絕緣體280b釋放而經由絕緣體221的一部分被供應到氧化物半導體230。藉由將氧從絕緣體280b供應到氧化物半導體230，尤其是供應到氧化物半導體230的通道形成區域，可以減少氧化物半導體230中的氧空位及V_OH，可以實現具有良好的電特性及高可靠性的電晶體。

【0322】圖15A至圖15D示出作為本發明的一個實施方式的半導體裝置的另一個例子。圖15A至圖15D是包括電晶體200E的半導體裝置的平面圖及剖面圖。圖15A是該半導體裝置的平面圖。圖15B至圖15D是該半導體裝置的剖面圖。在此，圖15B是沿著圖15A中的點劃線A1-A2的部

分的剖面圖。此外，圖15C是沿著圖15A中的點劃線A3-A4的部分的剖面圖。圖15D是包括絕緣體280的XY平面的剖面圖。注意，在圖15A的平面圖中，為了明確起見，省略一部分組件。

【0323】圖15A至圖15D所示的半導體裝置包括基板(未圖示)上的絕緣體210、絕緣體210上的絕緣體222、絕緣體222上的電晶體200E、絕緣體210上的絕緣體280以及電晶體200E上的絕緣體283。

【0324】電晶體200E包括絕緣體280上的導電體242及導電體243、氧化物半導體230、氧化物半導體230上的絕緣體250以及絕緣體250上的導電體260。

【0325】圖15A至圖15D所示的半導體裝置與圖8A至圖8D所示的半導體裝置的不同之處在於氧化物半導體230的形狀。此外，圖15A至圖15D所示的半導體裝置與圖8A至圖8D所示的半導體裝置的不同之處在於：前者不包括導電體220；以及包括導電體242及導電體243代替導電體240。以下，主要說明與參照圖8A至圖8D說明的內容不同的部分，關於與其重複的部分有時參照該部分而省略說明。

【0326】絕緣體280所具有的開口部290的內側設置有氧化物半導體230、絕緣體250及導電體260。在開口部290中，絕緣體280的側面具有與氧化物半導體230接觸的區域以及與絕緣體250接觸的區域。這裡，在使絕緣體250具有與圖3A等同樣的絕緣體250a和絕緣體250b的疊層結構時，

絕緣體280的側面的一部分與具有俘獲或固定氫的功能的絕緣體250a接觸。

【0327】如圖15B及圖15C所示，氧化物半導體230具有與開口部290的底部接觸的區域。換言之，開口部290中的氧化物半導體230的底面與絕緣體222接觸。

【0328】導電體242和導電體243被開口部290分開。此外，導電體242包括導電體242a及導電體242a上的導電體242b。此外，導電體243包括導電體243a及導電體243a上的導電體243b。導電體242a及導電體243a可以具有與上述導電體240a同樣的結構。此外，導電體242b及導電體243b可以具有與上述導電體240b同樣的結構。

【0329】在電晶體200E中，氧化物半導體230被用作半導體層，導電體260被用作閘極電極，絕緣體250被用作閘極絕緣體，導電體242被用作源極電極和汲極電極中的一個，導電體243被用作源極電極和汲極電極中的另一個。

【0330】在圖15A至圖15D所示的半導體裝置中，絕緣體280所包括的開口部的內側依次設置有氧化物半導體230、絕緣體250、導電體260。

【0331】氧化物半導體230以其至少一部分位於開口部290的內側的方式設置。此外，電晶體200E具有電流從源極電極和汲極電極中的一個(例如導電體242)流過源極電極和汲極電極中的另一個(例如導電體243)的結構。也就是說，電晶體200E的通道長度(圖15B中的雙箭頭所示的

長度L)是開口部290的側壁的長度的兩倍與開口部290的底部的長度之和。開口部290的側壁的長度相當於開口部290的深度。此外，開口部290的底部的長度例如也是導電體242至導電體243的最短距離。如此，電晶體200E的通道長度(長度L)可以根據開口部290的深度和開口部290的底部的長度而調整。例如，在實現半導體裝置的微型化或高積體化的同時增大通道長度的情況下，較佳為使開口部290的深度深。

【0332】另外，電晶體200E的通道寬度(圖15C中的雙箭頭所示的長度W)對應於俯視時的氧化物半導體230的Y方向上的寬度。因此，電晶體200E的通道寬度較佳為小於開口部290的底部的寬度。

【0333】注意，圖15A及圖15D示出絕緣體280所具有的開口部在俯視時呈四角形的角部帶弧形的形狀的例子。此時，該開口部的最大寬度也可以根據該開口部的最上部的形狀適當地算出。例如，該開口部在俯視時呈四角形的角部帶弧形的情況下，該開口部的最大寬度也可以為將該開口部的最上部看作矩形時的對角線的長度或相對邊間的距離。注意，本發明不侷限於此。例如，開口部290也可以在俯視時呈圓形、橢圓等大致圓形形狀、多角形形狀、使多角形的角部帶弧形的形狀。

【0334】注意，如圖16A及圖16B所示，圖15A至圖15D所示的電晶體200E可以在與圖8A至圖8D所示的電晶體200相同的層(在此絕緣體222)上製造。也就是說，也可以

在進行電晶體200的製程的同時還製造電晶體200E。因此，可以在同一層上設置通道長度及通道寬度不同的兩個電晶體。如此，在本發明的一個實施方式的半導體裝置中，產生如下優異的效果：藉由利用絕緣層的厚度及圖案形成，可以在同一層上自由地設計通道長度不同的電晶體。注意，圖16A是該半導體裝置的平面圖。此外，圖16B是該半導體裝置的剖面圖，是沿著圖16A中的點劃線A5-A6所示的部分的剖面圖。

【0335】

<半導體裝置的構成材料>

以下，說明可用於半導體裝置的構成材料。

【0336】

[基板]

作為形成電晶體的基板例如可以使用絕緣體基板、半導體基板或導電體基板。作為絕緣體基板，例如可以舉出玻璃基板、石英基板、藍寶石基板、穩定氧化鋯基板(釔安定氧化鋯基板等)、樹脂基板等。此外，作為半導體基板，例如可以舉出以矽、鍺為材料的半導體基板、或者由碳化矽、矽鍺、砷化鎵、磷化銦、氧化鋅或氧化鎵構成的化合物半導體基板等。並且，還可以舉出在上述半導體基板內部具有絕緣體區域的半導體基板，例如SOI(Silicon On Insulator：絕緣層上覆矽)基板等。作為導電體基板，可以舉出石墨基板、金屬基板、合金基板、導電樹脂基板等。或者，可以舉出包含金屬氮化物的基板、包含金屬氧

化物的基板等。此外，還可以舉出設置有導電體或半導體的絕緣體基板、設置有導電體或絕緣體的半導體基板、設置有半導體或絕緣體的導電體基板等。或者，也可以使用在這些基板上設置有元件的基板。作為設置在基板上的元件，可以舉出電容器、電阻器、切換元件、發光元件、記憶元件等。

【0337】

[絕緣體]

作為絕緣體，有具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物等。

【0338】例如，當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等的問題。藉由作為用作閘極絕緣體的絕緣體使用high-k材料，可以在保持物理厚度的同時實現電晶體工作時的低電壓化。此外，可以減少用作閘極絕緣體的絕緣體的等效氧化物厚度(EOT)。另一方面，藉由將相對介電常數低的材料用於用作層間膜的絕緣體，可以減少產生在佈線之間的寄生電容。因此，較佳為根據絕緣體的功能選擇材料。此外，相對介電常數低的材料也是介電強度大的材料。

【0339】作為相對介電常數高(high-k)的材料，例如可以舉出氧化鋁、氧化鎵、氧化鉿、氧化鉭、氧化鋯、鉿鋯氧化物、含有鋁及鉿的氧化物、含有鋁及鉿的氧氮化物、含有矽及鉿的氧化物、含有矽及鉿的氧氮化物以及含

有矽及鉿的氮化物等。

【0340】作為相對介電常數低的材料，例如可以舉出氧化矽、氧氮化矽及氮氧化矽等無機絕緣材料、聚酯、聚烯烴、聚醯胺(尼龍、芳香族聚醯胺等)、聚醯亞胺、聚碳酸酯及丙烯酸樹脂等樹脂。此外，作為上述以外的相對介電常數低的無機絕緣材料，例如可以舉出添加有氟的氧化矽、添加有碳的氧化矽以及添加有碳及氮的氧化矽等。此外，可以舉出具有電洞的氧化矽。另外，這些氧化矽也可以包含氮。

【0341】此外，作為絕緣體，也可以使用可具有鐵電性的材料。作為可具有鐵電性的材料，可以舉出氧化鉿、氧化鋯、$HfZrO_X$(X為大於0的實數)等金屬氧化物。此外，作為可具有鐵電性的材料，可以舉出對氧化鉿添加元素J1(在此，元素J1為選自鋯、矽、鋁、釔、釓、鑭、鍶等中的一個或多個)的材料。在此，可以適當地設定鉿的原子個數與元素J1的原子個數之比，例如，可以將鉿的原子個數與元素J1的原子個數之比設定為1:1或其附近。此外，作為可具有鐵電性的材料，可以舉出對氧化鋯添加元素J2(在此，元素J2為選自鉿、矽、鋁、釔、釓、鑭、鍶等中的一個或多個)的材料等。此外，可以適當地設定鋯的原子個數與元素J2的原子個數之比，例如，可以將鋯的原子個數與元素J2的原子個數之比設定為1:1或其附近。此外，作為可具有鐵電性的材料，也可以使用鈦酸鉛($PbTiO_X$)、鈦酸鋇鍶(BST)、鈦酸鍶、鋯鈦酸鉛(PZT)、鉭

酸鍶鉍(SBT)、鐵酸鉍(BFO)、鈦酸鋇等具有鈣鈦礦結構的壓電陶瓷。

【0342】另外，藉由由具有抑制雜質及氧的透過的功能的絕緣體圍繞使用金屬氧化物的電晶體，可以使電晶體的電特性穩定。作為具有抑制雜質及氧的透過的功能的絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、釹、鉿或鉭的絕緣體的單層或疊層。明確而言，作為具有抑制雜質及氧的透過的功能的絕緣體，可以使用氧化鋁、氧化鎂、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化釹、氧化鉿、氧化鉭等金屬氧化物、氮化鋁、氮氧化矽、氮化矽等金屬氮化物。

【0343】另外，閘極絕緣體等的與半導體層接觸的絕緣體或者設置在半導體附近的絕緣體較佳為具有包含藉由加熱脫離的氧(以下，有時稱為過量氧)的區域的絕緣體。例如，在具有包含過量氧的區域的絕緣體與半導體層接觸時，或者在具有包含過量氧的區域的絕緣體設置在半導體層附近時，可以減少半導體層中的氧空位。作為容易形成包含過量氧的區域的絕緣體，可以舉出氧化矽、氧氮化矽或具有電洞的氧化矽等。

【0344】另外，作為氧阻擋絕緣體，可以舉出包含鋁和鉿中的一者或兩者的氧化物、包含鉿及矽的氧化物(矽酸鉿)、氧化鎂、氧化鎵、鎵鋅氧化物、氮化矽以及氮氧化矽等。此外，作為包含鋁和鉿中的一者或兩者的氧化

物，可以舉出氧化鋁、氧化鈴、包含鋁及鈴的氧化物(鋁酸鈴)等。

【0345】關於氫阻擋絕緣體，可以參照實施方式1中說明的內容。

【0346】氧阻擋絕緣體及氫阻擋絕緣體可以說是對氧和氫中的一者或兩者的絕緣體。

【0347】此外，關於具有俘獲或固定氫的功能的絕緣體，可以參照實施方式1中說明的內容。

【0348】

[導電體]

作為導電體，較佳為使用選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鉬、鎢、鉿、釩、鈮、錳、鎂、鋯、鈹、銦、釕、銥、鍶和鑭等中的金屬元素、以上述金屬元素為成分的合金或者組合上述金屬元素的合金等。作為以上述金屬元素為成分的合金，也可以使用該合金的氮化物或該合金的氧化物。例如，較佳為使用氮化鉭、氮化鈦、鎢、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釕、氮化釕、包含鍶和釕的氧化物、包含鑭和鎳的氧化物等。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。

【0349】此外，包含鉭的氮化物、包含鈦的氮化物、包含鉬的氮化物，包含鎢的氮化物、包含釕的氮化物、包含鉭和鋁的氮化物或包含鈦和鋁的氮化物等包含氮的導電材料、氧化釕、包含鍶和釕的氧化物或包含鑭和鎳的氧化

物等包含氧的導電材料、包含鈦、鉭或釕等金屬元素的材料是不容易被氧化的導電材料、具有抑制氧擴散的功能的導電材料或者吸收氧也維持導電性的材料，所以是較佳的。作為包含氧的導電材料，可以舉出含有氧化鎢的銦氧化物、含有氧化鈦的銦氧化物、銦錫氧化物、含有氧化鈦的銦錫氧化物、添加有矽的銦錫氧化物、銦鋅氧化物以及含有氧化鎢的銦鋅氧化物等。在本說明書等中，有時將使用包含氧的導電材料沉積的導電膜稱為氧化物導電膜。

【0350】此外，以鎢、銅或鋁為主要成分的導電材料的導電性高，所以是較佳的。

【0351】此外，也可以層疊多個由上述材料形成的導電層。例如，也可以採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料和包含氮的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料、包含氧的導電材料和包含氮的導電材料的疊層結構。

【0352】此外，在將金屬氧化物用於電晶體的通道形成區域的情況下，用作閘極電極的導電體較佳為採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。在此情況下，較佳為將包含氧的導電材料設置在通道形成區域一側。藉由將包含氧的導電材料設置在通道形成區域一側，從該導電材料脫離的氧容易被供應到通道形成區域。

【0353】尤其是，作為用作閘極電極的導電體，較佳

為使用包含含在被形成通道的金屬氧化物中的金屬元素及氧的導電材料。此外，也可以使用包含上述金屬元素及氮的導電材料。例如，也可以使用氮化鈦、氮化鉭等包含氮的導電材料。此外，也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物和添加有矽的銦錫氧化物中的一個或多個。此外，也可以使用包含氮的銦鎵鋅氧化物。藉由使用上述材料，有時可以俘獲被形成通道的金屬氧化物所包含的氫。或者，有時可以俘獲從外方的絕緣體等混入的氫。

【0354】

[金屬氧化物]

金屬氧化物有時具有晶格缺陷。晶格缺陷是指原子空位及異質原子等點缺陷、位錯等線缺陷、晶界等面缺陷，空隙等體積缺陷。此外，作為生成晶格缺陷的主要原因，有構成元素的原子個數的比率的差異(構成原子的過多或不足)以及雜質等。

【0355】當將金屬氧化物用於電晶體的半導體層時，金屬氧化物中的晶格缺陷會導致載子的生成或俘獲等。因此，當將晶格缺陷多的金屬氧化物用於電晶體的半導體層時，該電晶體的電特性有可能不穩定。因此，用於電晶體的半導體層的金屬氧化物中的晶格缺陷較佳為少。

【0356】容易存在於金屬氧化物中的晶格缺陷的種類及晶格缺陷的存在量根據金屬氧化物的結構或金屬氧化物

的沉積方法等而不同。

【0357】金屬氧化物的結構被分為單晶結構與其他結構(非單晶結構)。作為非單晶結構，例如有CAAC結構、多晶(polycrystalline)結構、nc結構、amorphous-like(a-like)結構及非晶結構等。a-like結構具有介於nc結構和非晶結構之間的結構。

【0358】另外，在具有a-like結構的金屬氧化物及具有非晶結構的金屬氧化物中存在空洞或低密度區域。換言之，具有a-like結構的金屬氧化物及具有非晶結構的金屬氧化物的結晶性比具有nc結構的金屬氧化物及具有CAAC結構的金屬氧化物低。另外，具有a-like結構的金屬氧化物的金屬氧化物中的氫濃度比具有nc結構的金屬氧化物及具有CAAC結構的金屬氧化物高。因此，在具有a-like結構的金屬氧化物及具有非晶結構的金屬氧化物中容易生成晶格缺陷。

【0359】因此，較佳為將結晶性高的金屬氧化物用於電晶體的半導體層。例如，較佳為使用具有CAAC結構的金屬氧化物或單晶結構的金屬氧化物。藉由將該金屬氧化物用於電晶體，可以實現具有良好的電特性的電晶體。此外，可以實現可靠性高的電晶體。

【0360】另外，電晶體的通道形成區域較佳為使用增大該電晶體的通態電流的金屬氧化物。為了增大該電晶體的通態電流，較佳為提高用於該電晶體的金屬氧化物的載子移動率。為了提高金屬氧化物的載子移動率，需要提高

載子(n通道型電晶體時為電子)的傳輸或者減少給載子的傳輸帶來影響的散射因素。另外，載子經過通道形成區域從源極流至汲極。因此，藉由設置載子在通道長度方向上容易流過的通道形成區域，可以增大電晶體的通態電流。

【0361】在此，具有通道形成區域的金屬氧化物較佳為採用結晶性高的金屬氧化物。再者，該晶體較佳為具有層疊有多個層(例如，第一層、第二層和第三層)的晶體結構。換言之，該晶體具有層狀晶體結構(也稱為層狀晶體、層狀結構)。此時，該晶體的c軸方向為層疊有多個層的方向。具有該晶體的金屬氧化物例如包括單晶氧化物半導體、CAAC-OS等。

【0362】另外，上述晶體的c軸較佳為在金屬氧化物的被形成面或膜表面的法線方向上配向。由此，多個層以平行或大致平行於金屬氧化物的被形成面或膜表面的方式配置。就是說，多個層延伸在通道長度方向上。

【0363】例如，上述三層的層狀晶體結構具有如下結構。第一層具有該第一層所包含的金屬存在於中心的氧八面體的原子配位結構。此外，第二層具有該第二層所包含的金屬存在於中心的氧三角雙錐形或四面體形的原子配位結構。此外，第三層具有該第三層所包含的金屬存在於中心的氧三角雙錐形或四面體形的原子配位結構。

【0364】作為上述晶體的晶體結構，例如有$YbFe_2O_4$型結構、$Yb_2Fe_3O_7$型結構、它們的變形結構等。

【0365】再者，較佳的是，第一層至第三層都由一個

金屬元素或具有相同化合價的多個金屬元素以及氧構成。注意，較佳的是，構成第一層的一個或多個金屬元素的化合價與構成第二層的一個或多個金屬元素的化合價相同。另外，第一層及第二層也可以包含相同金屬元素。另外，較佳的是，構成第一層的一個或多個金屬元素的化合價與構成第三層的一個或多個金屬元素的化合價不同。

【0366】藉由採用上述結構，可以提高金屬氧化物的結晶性而提高該金屬氧化物的載子移動率。由此，藉由將該金屬氧化物用於電晶體的通道形成區域，電晶體的通態電流增大，而可以提高該電晶體的電特性。

【0367】作為本發明的一個實施方式的金屬氧化物，例如可以舉出銦氧化物、鎵氧化物及鋅氧化物。本發明的一個實施方式的金屬氧化物較佳為至少包含銦(In)或鋅(Zn)。此外，金屬氧化物較佳為包含選自銦、元素M和鋅中的兩個或三個。注意，元素M為與氧的鍵能高的金屬元素或半金屬元素，例如為與氧的鍵能比銦高的金屬元素或半金屬元素。作為元素M，明確而言，可以舉出鋁、鎵、錫、釔、鈦、釩、鉻、錳、鐵、鈷、鎳、鋯、鉬、鈴、鉭、鎢、鑭、鈰、釹、鎂、鈣、鉿、銩、硼、矽、鍺及銻等。金屬氧化物所包含的元素M較佳為上述元素中的任一種或多種，更佳為選自鋁、鎵、錫和釔中的一種或多種，進一步較佳為鎵。在金屬氧化物所包含的元素M為鎵的情況下，本發明的一個實施方式的金屬氧化物較佳為包含選自銦、鎵和鋅中的任一個或多個。注意，在本說明書等

中，有時將金屬元素與半金屬元素統稱為“金屬元素”，本說明書等所記載的“金屬元素”有時包括半金屬元素。

【0368】作為本發明的一個實施方式的金屬氧化物，例如可以使用銦鋅氧化物(In-Zn氧化物)、銦錫氧化物(In-Sn氧化物)、銦鈦氧化物(In-Ti氧化物)、銦鎵氧化物(In-Ga氧化物)、銦鎵鋁氧化物(In-Ga-Al氧化物)、銦鎵錫氧化物(In-Ga-Sn氧化物，也記為IGTO)、鎵鋅氧化物(Ga-Zn氧化物，也記為GZO)、鋁鋅氧化物(Al-Zn氧化物，也記為AZO)、銦鋁鋅氧化物(In-Al-Zn氧化物，也記為IAZO)、銦錫鋅氧化物(In-Sn-Zn氧化物)、銦鈦鋅氧化物(In-Ti-Zn氧化物)、銦鎵鋅氧化物(In-Ga-Zn氧化物，也記為IGZO)、銦鎵錫鋅氧化物(In-Ga-Sn-Zn氧化物，也記為IGZTO)、銦鎵鋁鋅氧化物(In-Ga-Al-Zn氧化物，也記為IGAZO或IAGZO)等。或者，可以舉出包含矽的銦錫氧化物、鎵錫氧化物(Ga-Sn氧化物)、鋁錫氧化物(Al-Sn氧化物)等。

【0369】藉由提高相對於金屬氧化物中的所有金屬元素的原子個數的總和的銦的原子個數比，可以提高電晶體的場效移動率。

【0370】注意，金屬氧化物也可以包含一種或多種元素週期表中的週期數大的金屬元素代替銦。或者，金屬氧化物也可以除了銦以外還包含一種或多種元素週期表中的週期數大的金屬元素。有金屬元素的軌域的重疊越大金屬氧化物中的載子傳導越大的趨勢。因此，藉由包含元素週期表中的週期數大的金屬元素，有時可以提高電晶體的場

效移動率。作為元素週期表中的週期數大的金屬元素，可以舉出屬於第5週期的金屬元素以及屬於第6週期的金屬元素等。作為該金屬元素，明確而言，可以舉出釔、鋯、銀、鎘、錫、銻、鋇、鉛、鉍、鑭、鈰、鐠、釹、鉕、釤及銪等。注意，鑭、鈰、鐠、釹、鉕、釤及銪被稱為輕稀土元素。

【0371】此外，金屬氧化物也可以包含非金屬元素的一種或多種。在金屬氧化物包含非金屬元素時有時可以提高電晶體的場效移動率。作為非金屬元素，例如可以舉出碳、氮、膦、硫、硒、氟、氯、溴及氫等。

【0372】另外，藉由提高相對於金屬氧化物中的所有金屬元素的原子個數的總和的鋅的原子個數比，可以使金屬氧化物具有高結晶性，由此可以抑制金屬氧化物中的雜質的擴散。由此，電晶體的電特性的變動得到抑制，而可以提高可靠性。

【0373】另外，藉由提高相對於金屬氧化物中的所有金屬元素的原子個數的總和的元素M的原子個數比，可以抑制金屬氧化物中形成氧空位。因此，起因於氧空位的載子生成得到抑制，由此可以實現關態電流小的電晶體。此外，電晶體的電特性的變動得到抑制而可以提高可靠性。

【0374】另外，藉由提高相對於金屬氧化物中的所有金屬元素的原子個數的總和的In的原子個數比，電晶體可以得到大通態電流及高頻率特性。

【0375】在本實施方式中，作為金屬氧化物，有時以

In-Ga-Zn氧化物為例進行說明。

【0376】為了形成具有上述層狀晶體結構的金屬氧化物，較佳為一層一層沉積原子。在本發明的一個實施方式的金屬氧化物的沉積方法中，由於利用ALD法，所以可以容易形成具有上述層狀晶體結構的金屬氧化物。

【0377】

[[包括氧化物半導體的電晶體]]

接著，說明將金屬氧化物(氧化物半導體)用於電晶體的情況。下面，有時將在半導體層中使用氧化物半導體的電晶體記為OS電晶體且將在半導體層中使用矽的電晶體記為Si電晶體。

【0378】藉由將本發明的一個實施方式的金屬氧化物(氧化物半導體)用於電晶體，可以實現場效移動率高的電晶體。此外，可以實現可靠性高的電晶體。此外，可以實現微型化或高積體化的電晶體。例如，可以製造通道長度為2nm以上且30nm以下的電晶體。

【0379】較佳為將載子濃度低的氧化物半導體用於電晶體的通道形成區域。例如，氧化物半導體的通道形成區域的載子濃度可以為$1\times10^{18}cm^{-3}$以下，較佳為$1\times10^{17}cm^{-3}$以下，更佳為$1\times10^{15}cm^{-3}$以下，更佳為$1\times10^{13}cm^{-3}$以下，更佳為$1\times10^{11}cm^{-3}$以下，進一步較佳為低於$1\times10^{10}cm^{-3}$，且為$1\times10^{-9}cm^{-3}$以上。注意，在以降低氧化物半導體膜的載子濃度為目的的情況下，可以降低氧化物半導體膜中的雜質濃度以降低缺陷態密度。在本說明書等中，將雜質濃度低且

缺陷態密度低的狀態稱為高純度本質或實質上高純度本質。此外，有時將載子濃度低的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。

【0380】因為高純度本質或實質上高純度本質的氧化物半導體膜的缺陷態密度低，所以有時陷阱態密度也低。

【0381】此外，被氧化物半導體的陷阱態俘獲的電荷到消失需要長時間，有時像固定電荷那樣動作。因此，有時在陷阱態密度高的氧化物半導體中形成通道形成區域的電晶體的電特性不穩定。

【0382】因此，為了使電晶體的電特性穩定，降低氧化物半導體中的雜質濃度是有效的。另外，為了降低氧化物半導體中的雜質濃度，較佳為還降低附近膜中的雜質濃度。作為雜質，可以舉出氫、碳、氮等。注意，氧化物半導體中的雜質例如是指構成氧化物半導體的主要成分之外的元素。例如，濃度低於0.1atomic%的元素可以說是雜質。

【0383】另外，氧化物半導體的能帶間隙較佳為比矽的能帶間隙(典型的為1.1eV)大，較佳為2eV以上，更佳為2.5eV以上，進一步較佳為3.0eV以上。藉由使用其能帶間隙比矽的能帶間隙大的氧化物半導體，可以減小電晶體的關態電流(也稱為Ioff)。

【0384】此外，在Si電晶體中，隨著電晶體的微型化發展出現短通道效應(也稱為Short Channel Effect：SCE)。因此，Si電晶體的微型化很困難。作為出現短通道效應的

原因之一可以舉出矽的能帶間隙小。另一方面，OS電晶體使用作為能帶間隙大的半導體材料的氧化物半導體，由此可以抑制短通道效應。換言之，OS電晶體是沒有短通道效應或者短通道效應極少的電晶體。

【0385】另外，短通道效應是指隨著電晶體的微型化(通道長度的縮小)出現的電特性的劣化。作為短通道效應的具體例子，有臨界電壓的降低、次臨界擺幅值(有時記載為S值)的增大、洩漏電流的增大等。在此，S值是指：以固定的汲極電壓使汲極電流的值變化一個位數的次臨界值區域中的閘極電壓的變化量。

【0386】此外，作為對短通道效應的耐性的指標，廣泛地使用特性長度(Characteristic Length)。特性長度是指通道形成區域的勢的彎曲性指標。特性長度越小，勢急劇上升，因此可以說抗短通道效應能力高。

【0387】OS電晶體為積累型電晶體，Si電晶體為反轉型電晶體。因此，與Si電晶體相比，OS電晶體的源極區域-通道形成區域間的特徵長度及汲極區域-通道形成區域間的特徵長度小。因此，與Si電晶體相比，OS電晶體的抗短通道效應能力高。也就是說，在要製造通道長度短的電晶體的情況下，與Si電晶體相比，OS電晶體是更佳的。

【0388】在直到通道形成區域成為i型或實質上i型為止降低氧化物半導體的載子濃度的情況下，在短通道電晶體中，由於Conduction-Band-Lowering(CBL)效應，通道形成區域的導帶下端下降，由此源極區域或汲極區域與通道

形成區域間的導帶下端的能量差異可能減少到0.1eV以上且0.2eV以下。由此，OS電晶體也可以被視為通道形成區域成為n^-型區域且源極區域及汲極區域成為n^+型區域的$n^+/n^-/n^+$積累型junction-less電晶體結構或$n^+/n^-/n^+$積累型non-junction電晶體結構。

【0389】藉由OS電晶體具有上述結構，即便使OS電晶體微型化或高積體化也可以具有良好的電特性。例如，即使OS電晶體的通道長度或閘極長度為20nm以下、15nm以下、10nm以下、7nm以下或6nm以下且1nm以上、3nm以上或5nm以上，也可以得到良好的電特性。另一方面，在Si電晶體中出現短通道效應，由此有時很難將閘極長度設定為20nm以下或15nm以下。因此，與Si電晶體相比，OS電晶體可以適用於通道長度短的電晶體。注意，閘極長度是指在電晶體工作時載子在通道形成區域內遷移的方向上的閘極電極長度。

【0390】此外，藉由使OS電晶體微型化，可以提高電晶體的高頻特性。明確而言，可以提高電晶體的截止頻率。當OS電晶體的閘極長度在上述範圍內時，例如在室溫環境下電晶體的截止頻率可以為50GHz以上，較佳為100GHz以上，更佳為150GHz以上。

【0391】如以上的說明那樣，OS電晶體具有比Si電晶體良好的效果，諸如關態電流小以及可以製造通道長度短的電晶體。

【0392】

[[金屬氧化物中的雜質]]

在此，說明金屬氧化物(氧化物半導體)中的各雜質的影響。

【0393】在氧化物半導體包含第14族元素之一的矽或碳時，在氧化物半導體中形成缺陷態。由此，將利用SIMS測得的氧化物半導體的通道形成區域中的碳濃度設定為1×10^{20}atoms/cm^{3}以下，較佳為5×10^{19}atoms/cm^{3}以下，更佳為3×10^{19}atoms/cm^{3}以下，更佳為1×10^{19}atoms/cm^{3}以下，更佳為3×10^{18}atoms/cm^{3}以下，進一步較佳為1×10^{18}atoms/cm^{3}以下。此外，將利用SIMS測得的氧化物半導體的通道形成區域中的矽濃度設定為1×10^{20}atoms/cm^{3}以下，較佳為5×10^{19}atoms/cm^{3}以下，更佳為3×10^{19}atoms/cm^{3}以下，更佳為1×10^{19}atoms/cm^{3}以下，更佳為3×10^{18}atoms/cm^{3}以下，進一步較佳為1×10^{18}atoms/cm^{3}以下。

【0394】另外，當氧化物半導體包含氮時，產生作為載子的電子，使載子濃度增高，而容易被n型化。其結果是，將含有氮的氧化物半導體用於半導體的電晶體容易具有常開啟特性。或者，在氧化物半導體包含氮時，有時形成陷阱態。其結果是，有時電晶體的電特性不穩定。因此，將利用SIMS測得的氧化物半導體的通道形成區域中的氮濃度設定為1×10^{20}atoms/cm^{3}以下，較佳為5×10^{19}atoms/cm^{3}以下，更佳為1×10^{19}atoms/cm^{3}以下，更佳為5×10^{18}atoms/cm^{3}以下，更佳為1×10^{18}atoms/cm^{3}以下，進一步較佳為5×10^{17}atoms/cm^{3}以下。

【0395】另外，包含在氧化物半導體中的氫與鍵合於金屬原子的氧起反應生成水，因此有時形成氧空位。當氫進入該氧空位時，有時產生作為載子的電子。此外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，使用含有氫的氧化物半導體的電晶體容易具有常開啟特性。由此，較佳為儘可能減少氧化物半導體的通道形成區域中的氫。明確而言，將利用SIMS測得的氧化物半導體的通道形成區域中的氫濃度設定小於$1\times10^{20}atoms/cm^3$，較佳為小於$5\times10^{19}atoms/cm^3$，更佳為小於$1\times10^{19}atoms/cm^3$，進一步較佳為小於$5\times10^{18}atoms/cm^3$，更進一步較佳為小於$1\times10^{18}atoms/cm^3$，還進一步較佳為小於$1\times10^{17}atoms/cm^3$。

【0396】此外，當氧化物半導體包含鹼金屬或鹼土金屬時，有時形成缺陷態而產生載子。因此，使用包含鹼金屬或鹼土金屬的氧化物半導體的電晶體容易具有常開啟特性。由此，將利用SIMS測得的氧化物半導體的通道形成區域中的鹼金屬或鹼土金屬的濃度設定為$1\times10^{18}atoms/cm^3$以下，較佳為$2\times10^{16}atoms/cm^3$以下。

【0397】藉由將雜質被充分降低的氧化物半導體用於電晶體的通道形成區域，可以使電晶體具有穩定的電特性。

【0398】

[其他半導體材料]

氧化物半導體230可以換稱為具有電晶體的通道形成

區域的半導體層。可用於半導體層的半導體材料不侷限於上述金屬氧化物。作為半導體層，也可以使用具有能帶間隙的半導體材料(不是零能帶間隙半導體的半導體材料)。例如，較佳為將單個元素的半導體、化合物半導體或者層狀物質(也稱為原子層物質、二維材料等)等用於半導體材料。

【0399】在此，在本說明書等中，層狀物質是具有層狀晶體結構的材料群的總稱。層狀晶體結構是由共價鍵或離子鍵形成的層藉由如凡得瓦力那樣的比共價鍵及離子鍵弱的鍵合層疊的結構。層狀物質在單位層中具有高導電性，亦即，具有高二維導電性。藉由將用作半導體並具有高二維導電性的材料用於通道形成區域，可以提供通態電流大的電晶體。

【0400】作為可用於半導體材料的單個元素的半導體，可以舉出矽及鍺等。作為可用於半導體層的矽，可以舉出單晶矽、多晶矽、微晶矽及非晶矽。作為多晶矽，例如可以舉出低溫多晶矽(LTPS：Low Temperature Poly Silicon)。

【0401】作為可用於半導體材料的化合物半導體，可以舉出碳化矽、矽鍺、砷化鎵、磷化銦、氮化硼及砷化硼等。可用於半導體層的氮化硼較佳為具有非晶結構。可用於半導體層的砷化硼較佳為包含具有立方晶結構的晶體。

【0402】作為層狀物質，有石墨烯、矽烯、碳氮化硼、硫族化物等。在作為層狀物質的碳氮化硼中，碳原

子、氮原子及硼原子在平面上以六角形晶格結構排列。硫族化物是包含硫族元素的化合物。此外，硫族元素是屬於第16族的元素的總稱，其中包括氧、硫、硒、碲、釙、鉝。此外，作為硫族化物，可以舉出過渡金屬硫族化物、第13族硫族化物等。

【0403】作為半導體層，例如較佳為使用用作半導體的過渡金屬硫族化物。作為能夠用作半導體層的過渡金屬硫族化物，具體地可以舉出硫化鉬(典型的是MoS_2)、硒化鉬(典型的是$MoSe_2$)、碲化鉬(典型的是$MoTe_2$)、硫化鎢(典型的是WS_2)、硒化鎢(典型的是WSe_2)、碲化鎢(典型的是WTe_2)、硫化鉿(典型的是HfS_2)、硒化鉿(典型的是$HfSe_2$)、硫化鋯(典型的是ZrS_2)、硒化鋯(典型的是$ZrSe_2$)等。藉由將上述過渡金屬硫族化物用於半導體層，可以提供通態電流大的半導體裝置。

【0404】本實施方式可以與其他實施方式及實施例適當地組合。此外，在本說明書中，在一個實施方式中示出多個結構例子的情況下，可以適當地組合該結構例子。

【0405】

實施方式2

在本實施方式中，說明根據本發明的一個實施方式的半導體裝置的半導體裝置900。半導體裝置900可以用作記憶體裝置。

【0406】圖17是示出半導體裝置900的結構例子的方塊圖。圖17所示的半導體裝置900包括驅動電路910及記憶

體陣列920。記憶體陣列920包括一個以上的記憶單元950。圖17示出記憶體陣列920包括配置為矩陣狀的多個記憶單元950的例子。

【0407】可以將上述實施方式所示的電晶體用於記憶單元950。藉由使用上述電晶體，可以實現記憶體裝置的微型化及高積體化。此外，可以增大記憶體裝置的單位面積的容量。

【0408】驅動電路910包括PSW931(功率開關)、PSW932及週邊電路915。週邊電路915包括週邊電路911、控制電路912及電壓生成電路928。

【0409】在半導體裝置900中，根據需要可以適當地取捨上述各電路、各信號及各電壓。或者，也可以增加其它電路或其它信號。信號BW、信號CE、信號GW、信號CLK、信號WAKE、信號ADDR、信號WDA、信號PON1、信號PON2為從外部輸入的信號，信號RDA為輸出到外部的信號。信號CLK為時脈信號。

【0410】此外，信號BW、信號CE及信號GW為控制信號。信號CE為晶片賦能信號，信號GW為全局寫入賦能信號，信號BW為位元組寫入賦能信號。信號ADDR為位址信號。信號WDA為寫入資料，信號RDA為讀出資料。信號PON1、PON2為電源閘控控制用信號。此外，信號PON1、PON2也可以在控制電路912中生成。

【0411】控制電路912為具有控制半導體裝置900的整體工作的功能的邏輯電路。例如，控制電路912對信號

CE、信號GW及信號BW進行邏輯運算來決定半導體裝置900的工作模式(例如，寫入工作、讀出工作)。或者，控制電路912生成週邊電路911的控制信號，以執行上述工作模式。

【0412】電壓生成電路928具有生成負電壓的功能。信號WAKE具有控制對電壓生成電路928輸入信號CLK的功能。例如，當信號WAKE被施加H位準的信號時，信號CLK被輸入到電壓生成電路928，電壓生成電路928生成負電壓。

【0413】週邊電路911是用來對記憶單元950進行資料的寫入及讀出的電路。週邊電路911包括行解碼器941、列解碼器942、行驅動器923、列驅動器924、輸入電路925、輸出電路926及感測放大器927。

【0414】行解碼器941及列解碼器942具有對信號ADDR進行解碼的功能。行解碼器941是用來指定要訪問行的電路，列解碼器942是用來指定要訪問列的電路。行驅動器923具有選擇連接到由行解碼器941指定的行的功能。列驅動器924具有如下功能：將資料寫入記憶單元950的功能；從記憶單元950讀出資料的功能；保持所讀出的資料的功能等。

【0415】輸入電路925具有保持信號WDA的功能。輸入電路925中保持的資料輸出到列驅動器924。輸入電路925的輸出資料是寫入記憶單元950的資料(Din)。列驅動器924從記憶單元950讀出的資料(Dout)被輸出至輸出電路

926。輸出電路926具有保持Dout的功能。此外，輸出電路926具有將Dout輸出到半導體裝置900的外部的功能。從輸出電路926輸出的資料信號為信號RDA。

【0416】PSW931具有控制向週邊電路915供給V_{DD}的功能。PSW932具有控制向行驅動器923供給V_{HM}的功能。在此，半導體裝置900的高電源電壓為V_{DD}，低電源電壓為GND(地電位)。此外，V_{HM}是用來使字線成為高位準的高電源電壓，其高於V_{DD}。利用信號PON1控制PSW931的開/關，利用信號PON2控制PSW932的開/關。在圖17中，週邊電路915中被供應V_{DD}的電源域的個數為1，但是也可以為多個。此時，可以對各電源域設置功率開關。

【0417】參照圖18A至圖18H說明可用於記憶單元950的其他記憶單元的結構例子。

【0418】

[DOSRAM]

圖18A示出DRAM型的記憶單元的電路結構例子。在本說明書等中，將使用OS電晶體的DRAM稱為DOSRAM(Dynamic Oxide Semiconductor Random Access Memory：氧化物半導體動態隨機存取記憶體)。記憶單元951包括電晶體M1和電容器CA。

【0419】電晶體M1也可以包括前閘極(有時簡稱為閘極)及背閘極。此時，背閘極也可以與被供應恆定電位或信號的佈線連接，並且前閘極與背閘極也可以連接。

【0420】電晶體M1的第一端子與電容器CA的第一端

子連接，電晶體M1的第二端子與佈線BIL連接，電晶體M1的閘極與佈線WOL連接。電容器CA的第二端子與佈線CAL連接。

【0421】佈線BIL用作位元線，佈線WOL用作字線。佈線CAL被用作用來對電容器CA的第二端子施加指定的電位的佈線。在資料的寫入及讀出時，較佳為對佈線CAL施加低位準電位(有時稱為參考電位)。

【0422】資料的寫入及讀出藉由對佈線WOL施加高位準電位使電晶體M1變為導通狀態而使佈線BIL與電容器CA的第一端子連接而進行。

【0423】此外，可用作記憶單元950的記憶單元不侷限於記憶單元951，也可以改變電路結構。例如，也可以採用圖18B所示的記憶單元952的結構。記憶單元952是不包括電容器CA及佈線CAL的情況的例子。電晶體M1的第一端子處於電浮動狀態。

【0424】在記憶單元952中，藉由電晶體M1寫入的電位保持在虛線所示的第一端子與閘極之間的電容(也稱為寄生電容)中。藉由採用這種結構，可以大幅度地簡化記憶單元的結構。

【0425】作為電晶體M1，較佳為使用上述實施方式所示的OS電晶體。藉由使用上述實施方式所示的OS電晶體，可以減少記憶單元的佔有面積。此外，OS電晶體具有關態電流極小的特性。藉由作為電晶體M1使用OS電晶體，可以使電晶體M1的洩漏電流變得非常低。也就是

說，可以利用電晶體M1長時間地保持寫入資料，由此可以降低記憶單元的更新頻率。此外，可以省略記憶單元的更新工作。此外，由於洩漏電流非常低，所以可以在記憶單元951及記憶單元952中保持多值資料或類比資料。

【0426】

[NOSRAM]

圖18C示出包括2個電晶體和1個電容器的增益單元型的記憶單元的電路結構例子。記憶單元953包括電晶體M2、電晶體M3和電容器CB。在本說明書等中，有時將包括將OS電晶體用於電晶體M2的增益單元型記憶單元的記憶體裝置稱為NOSRAM(Nonvolatile Oxide Semiconductor RAM：氧化物半導體非揮發性隨機存取記憶體)。

【0427】電晶體M2的第一端子與電容器CB的第一端子連接，電晶體M2的第二端子與佈線WBL連接，電晶體M2的閘極與佈線WOL連接。電容器CB的第二端子與佈線CAL連接。電晶體M3的第一端子與佈線RBL連接，電晶體M3的第二端子與佈線SL連接，電晶體M3的閘極與電容器CB的第一端子連接。

【0428】佈線WBL用作寫入位元線，佈線RBL用作讀出位元線，佈線WOL用作字線。佈線CAL用作對電容器CB的第二端子施加預定電位的佈線。資料寫入時、正在進行資料保持時、資料讀出時，較佳為對佈線CAL施加低位準電位(有時稱為參考電位)。

【0429】資料的寫入藉由對佈線WOL施加高位準電位

使電晶體M2變為導通狀態以使佈線WBL與電容器CB的第一端子連接來進行。明確地說，在電晶體M2為導通狀態時，對佈線WBL施加對應於要記錄的資訊的電位來對電容器CB的第一端子及電晶體M3的閘極寫入該電位。然後，對佈線WOL施加低位準電位使電晶體M2變為非導通狀態，由此儲存電容器CB的第一端子的電位及電晶體M3的閘極的電位。

【0430】資料的讀出藉由對佈線SL施加預定的電位來進行。由於電晶體M3的源極-汲極間流過的電流及電晶體M3的第一端子的電位由電晶體M3的閘極的電位及電晶體M3的第二端子的電位決定，所以藉由讀出與電晶體M3的第一端子連接的佈線RBL的電位，可以讀出電容器CB的第一端子(或電晶體M3的閘極)所保持的電位。也就是說，可以從電容器CB的第一端子(或電晶體M3的閘極)所保持的電位讀出該記憶單元中寫入的資訊。

【0431】例如，也可以採用將佈線WBL與佈線RBL合為一個佈線BIL的結構。圖18D示出該情況下的記憶單元的電路結構例子。在記憶單元954中，記憶單元953的佈線WBL與佈線RBL合為一個佈線BIL，電晶體M2的第二端子及電晶體M3的第一端子與佈線BIL連接。也就是說，記憶單元954將寫入位元線和讀出位元線合為一個佈線BIL工作。

【0432】圖18E所示的記憶單元955是省略記憶單元953中的電容器CB及佈線CAL的情況的例子。此外，圖18F

所示的記憶單元956是省略記憶單元954中的電容器CB及佈線CAL的情況的例子。藉由採用這種結構，可以提高記憶單元的積體度。

【0433】注意，較佳為將上述實施方式所示的OS電晶體至少用作電晶體M2。尤其是，較佳為將上述實施方式所示的OS電晶體用作電晶體M2及電晶體M3。藉由使用上述實施方式所示的OS電晶體，可以減少記憶單元的佔有面積。

【0434】因為OS電晶體具有關態電流極小的特性，所以可以利用電晶體M2長時間地保持寫入資料，由此可以降低記憶單元的更新頻率。此外，可以省略記憶單元的更新工作。此外，由於洩漏電流非常低，所以可以對記憶單元953、記憶單元954、記憶單元955及記憶單元956保持多值資料或類比資料。

【0435】作為電晶體M2使用OS電晶體的記憶單元953、記憶單元954、記憶單元955及記憶單元956是NOSRAM的一個實施方式。

【0436】作為電晶體M3也可以使用Si電晶體。Si電晶體可以提高場效移動率並可以為p通道型電晶體，所以可以提高電路設計的彈性。

【0437】此外，當作為電晶體M3使用OS電晶體時，記憶單元可以由單極性電路構成。

【0438】此外，圖18G示出3個電晶體1個電容器的增益單元型記憶單元957。記憶單元957包括電晶體M4至電

晶體M6及電容器CC。

【0439】電晶體M4的第一端子與電容器CC的第一端子連接，電晶體M4的第二端子與佈線BIL連接，電晶體M4的閘極與佈線WOL連接。電容器CC的第二端子與電晶體M5的第一端子、佈線GNDL電連接。電晶體M5的第二端子與電晶體M6的第一端子連接，電晶體M5的閘極與電容器CC的第一端子連接。電晶體M6的第二端子與佈線BIL連接，電晶體M6的閘極與佈線RWL連接。

【0440】佈線BIL用作位元線，佈線WOL用作寫入字線，佈線RWL用作讀出字線。佈線GNDL是供應低位準電位的佈線。

【0441】資料的寫入藉由對佈線WOL施加高位準電位使電晶體M4變為導通狀態以使佈線BIL與電容器CC的第一端子連接來進行。明確地說，在電晶體M4為導通狀態時，對佈線BIL施加對應於要記錄的資訊的電位來對電容器CC的第一端子及電晶體M5的閘極寫入該電位。然後，對佈線WOL施加低位準電位使電晶體M4變為非導通狀態，由此儲存電容器CC的第一端子的電位及電晶體M5的閘極的電位。

【0442】資料的讀出藉由將佈線BIL預充電至預定的電位之後使佈線BIL變為電浮動狀態並對佈線RWL施加高位準電位來進行。藉由使佈線RWL變為高位準電位，電晶體M6變為導通狀態，佈線BIL與電晶體M5的第二端子變為電連接狀態。此時，電晶體M5的第二端子被施加佈線BIL

的電位，但是電晶體M5的第二端子的電位及佈線BIL的電位會對應電容器CC的第一端子(或電晶體M5的閘極)所保持的電位改變。這裡，可以藉由讀出佈線BIL的電位來讀出電容器CC的第一端子(或電晶體M5的閘極)所保持的電位。也就是說，可以從電容器CC的第一端子(或電晶體M5的閘極)所保持的電位讀出被寫入該記憶單元的資訊。

【0443】注意，較佳為將上述實施方式所示的OS電晶體至少用作電晶體M4。藉由使用上述實施方式所示的OS電晶體，可以減少記憶單元的佔有面積。

【0444】作為電晶體M5及M6也可以使用Si電晶體。如上所述，Si電晶體的場效移動率根據用於半導體層的矽的結晶狀態等有時比OS電晶體的場效移動率高。

【0445】此外，當作為電晶體M5及M6使用OS電晶體時，記憶單元可以由單極性電路構成。

【0446】

[OS-SRAM]

圖18H示出使用OS電晶體的SRAM(Static Random Access Memory：靜態隨機存取記憶體)的一個例子。在本說明書等中，將使用OS電晶體的SRAM稱為OS-SRAM(Oxide Semiconductor-SRAM)。此外，圖18H所示的記憶單元958是能夠進行備份的SRAM型的記憶單元。

【0447】記憶單元958包括電晶體M7至電晶體M10、電晶體MS1至電晶體MS4、電容器CD1和電容器CD2。電晶體MS1及電晶體MS2是p通道型電晶體，電晶體MS3及電

晶體MS4是n通道型電晶體。

【0448】電晶體M7的第一端子與佈線BIL連接，電晶體M7的第二端子與電晶體MS1的第一端子、電晶體MS3的第一端子、電晶體MS2的閘極、電晶體MS4的閘極及電晶體M10的第一端子連接。電晶體M7的閘極與佈線WOL連接。電晶體M8的第一端子與佈線BILB連接，電晶體M8的第二端子與電晶體MS2的第一端子、電晶體MS4的第一端子、電晶體MS1的閘極、電晶體MS3的閘極及電晶體M9的第一端子連接。電晶體M8的閘極與佈線WOL連接。

【0449】電晶體MS1的第二端子與佈線VDL電連接。電晶體MS2的第二端子與佈線VDL電連接。電晶體MS3的第二端子與佈線GNDL電連接。電晶體MS4的第二端子與佈線GNDL電連接。

【0450】電晶體M9的第二端子與電容器CD1的第一端子連接，電晶體M9的閘極與佈線BRL連接。電晶體M10的第二端子與電容器CD2的第一端子連接，電晶體M10的閘極與佈線BRL連接。

【0451】電容器CD1的第二端子與佈線GNDL連接，電容器CD2的第二端子與佈線GNDL連接。

【0452】佈線BIL及佈線BILB用作位元線，佈線WOL用作字線，佈線BRL是用來控制電晶體M9及電晶體M10的導通狀態、非導通狀態的佈線。

【0453】佈線VDL是提供高位準電位的佈線，佈線GNDL是提供低位準電位的佈線。

【0454】資料的寫入藉由對佈線WOL施加高位準電位並對佈線BRL施加高位準電位來進行。明確地說，在電晶體M10變為導通狀態時，對佈線BIL施加對應於要記錄的資訊的電位，使該電位寫入電晶體M10的第二端子一側。

【0455】記憶單元958利用電晶體MS1至電晶體MS2構成反相器環路，所以對應於該電位的資料信號的反相信號被輸入電晶體M8的第二端子一側。由於電晶體M8為導通狀態，所以施加到佈線BIL的電位，亦即，被輸入佈線BIL的信號的反相信號輸出至佈線BILB。此外，由於電晶體M9及電晶體M10為導通狀態，電晶體M7的第二端子的電位及電晶體M8的第二端子的電位分別由電容器CD2的第一端子及電容器CD1的第一端子保持。然後，藉由對佈線WOL施加低位準電位並對佈線BRL施加低位準電位使電晶體M7至電晶體M10變為非導通狀態，來儲存電容器CD1的第一端子的電位及電容器CD2的第一端子的電位。

【0456】資料的讀出藉由如下方法進行：首先將佈線BIL及佈線BILB預充電至預定的電位後對佈線WOL施加高位準電位並對佈線BRL施加高位準電位，由此電容器CD1的第一端子的電位被記憶單元958的反相器環路更新而輸出至佈線BILB。此外，電容器CD2的第一端子的電位被記憶單元958的反相器環路更新而輸出至佈線BIL。由於佈線BIL及佈線BILB分別從預充電的電位變為電容器CD2的第一端子的電位及電容器CD1的第一端子的電位，所以可以從佈線BIL或佈線BILB的電位讀出記憶單元所保持電位。

【0457】電晶體M7至電晶體M10較佳為使用OS電晶體。由此，可以利用電晶體M7至電晶體M10長時間地保持寫入資料，因此可以降低記憶單元的更新頻率。或者，可以省略記憶單元的更新工作。此外，藉由作為電晶體M7至電晶體M10使用上述實施方式所示的OS電晶體，可以減少記憶單元的佔有面積。

【0458】此外，作為電晶體MS1至電晶體MS4較佳為使用Si電晶體。

【0459】半導體裝置900所具有的驅動電路910及記憶體陣列920設置在同一平面上。此外，如圖19A所示，驅動電路910與記憶體陣列920也可以重疊。藉由使驅動電路910與記憶體陣列920重疊，可以縮短信號傳輸距離。如圖19B所示，也可以在驅動電路910上層疊多個記憶體陣列920。

【0460】接著，說明可以包括上述記憶體裝置等半導體裝置的運算處理裝置的一個例子。

【0461】圖20是運算裝置960的方塊圖。圖20所示的運算裝置960例如可以用於CPU。此外，運算裝置960也可以用於包括比CPU多(幾十個或幾百個)的能夠進行並行處理的處理器核心的GPU(Graphics Processing Unit：圖形處理器)、TPU(Tensor Processing Unit：張量處理器)、NPU(Neural Processing Unit：神經網路處理器)等處理器。

【0462】圖20所示的運算裝置960在基板990上具有：ALU991(ALU：Arithmetic logic unit：算術邏輯單元)、

ALU控制器992、指令解碼器993、中斷控制器994、時序控制器995、暫存器996、暫存器控制器997、匯流排介面998、緩存999以及緩存介面989。作為基板990使用半導體基板、SOI基板、玻璃基板等。還可以包括能夠改寫的ROM及ROM介面。緩存999及緩存介面989也可以設置在不同的晶片上。

【0463】緩存999藉由緩存介面989與設置在不同晶片上的主記憶體連接。緩存介面989具有將儲存在主記憶體中的資料的一部分供應到緩存999的功能。此外，緩存介面989具有將保持在緩存999中的資料的一部分藉由匯流排介面998輸出到ALU991或暫存器996等的功能。

【0464】如後面所述，可以以層疊在運算裝置960上的方式設置記憶體陣列920。記憶體陣列920可以被用作緩存。此時，緩存介面989可以具有將保持在記憶體陣列920中的資料供應到緩存999的功能。另外，此時，較佳為在緩存介面989的一部分包括驅動電路910。

【0465】注意，也可以不設置緩存999而僅將記憶體陣列920用作緩存。

【0466】圖20所示的運算裝置960只是簡化其結構而所示的一個例子而已，所以實際上的運算裝置960根據其用途具有各種各樣的結構。例如，較佳為採用以包括圖20所示的運算裝置960的結構為一個核心而設置多個該核心並使其同時工作的所謂的多核結構。核心個數越多，越可以提高運算性能。核心個數越多越佳，例如較佳為2個，

更佳為4個，進一步較佳為8個，更進一步較佳為12個，還進一步較佳為16個或以上。此外，當在伺服器中使用等需要非常高的運算性能時，較佳為採用包括16個以上、較佳為包括32個以上、更佳為包括64個以上的核心的多核結構。此外，在運算裝置960的內部運算電路、資料匯流排等中能夠處理的位元數例如可以為8位元、16位元、32位元、64位元等。

【0467】藉由匯流排介面998輸入到運算裝置960的指令在輸入到指令解碼器993並被解碼後輸入到ALU控制器992、中斷控制器994、暫存器控制器997、時序控制器995。

【0468】ALU控制器992、中斷控制器994、暫存器控制器997、時序控制器995根據被解碼的指令進行各種控制。明確而言，ALU控制器992生成用來控制ALU991的工作的信號。此外，中斷控制器994在執行運算裝置960的程式時，根據其優先度、遮罩狀態等來判斷來自外部的輸入輸出裝置、週邊電路等的中斷要求而對該要求進行處理。暫存器控制器997生成暫存器996的位址，並對應於運算裝置960的狀態來進行暫存器996的讀出或寫入。

【0469】此外，時序控制器995生成用來控制ALU991、ALU控制器992、指令解碼器993、中斷控制器994以及暫存器控制器997的工作時序的信號。例如，時序控制器995具有根據基準時脈信號來生成內部時脈信號的內部時脈生成器，並將內部時脈信號供應到上述各種電

路。

【0470】在圖20所示的運算裝置960中，暫存器控制器997根據ALU991的指令進行暫存器996中的保持工作的選擇。換言之，暫存器控制器997選擇在暫存器996所具有的記憶單元中由正反器保持資料還是由電容器保持資料。在選擇由正反器保持資料的情況下，對暫存器996中的記憶單元供應電源電壓。在選擇由電容器保持資料的情況下，對電容器進行資料的重寫，而可以停止對暫存器996中的記憶單元供應電源電壓。

【0471】記憶體陣列920與運算裝置960可以重疊地設置。圖21A及圖21B是半導體裝置970A的立體圖。半導體裝置970A在運算裝置960上包括設置有記憶體陣列的層930。層930設置有記憶體陣列920L1、記憶體陣列920L2及記憶體陣列920L3。運算裝置960與各記憶體陣列具有彼此重疊的區域。為了容易理解半導體裝置970A的結構，在圖21B中分離地示出運算裝置960和層930。

【0472】藉由重疊地設置包括記憶體陣列的層930和運算裝置960，可以縮短兩者的連接距離。由此，可以提高兩者之間的通訊速度。此外，因為連接距離較短，所以可以降低功耗。

【0473】作為包括記憶體陣列的層930和運算裝置960的疊層方法，可以採用如下方法：在運算裝置960上直接層疊包括記憶體陣列的層930(也稱為單片疊層)；或者將運算裝置960和層930分別形成在互不相同的基板上，將兩

個基板貼合在一起，而使用穿孔或導電膜的接合技術(Cu-Cu鍵合等)電連接。前者方法中不需要考慮貼合時的錯位，因此不但可以減小晶片尺寸，而且可以降低製造成本。

【0474】在此，運算裝置960中不包括緩存999並且設置在層930中的記憶體陣列920L1、920L2及920L3都可以被用作緩存。此時，例如可以將記憶體陣列920L1、記憶體陣列920L2以及記憶體陣列920L3分別用作L1緩存(也稱為一級緩存)、L2緩存(也稱為二級緩存)以及L3緩存(也稱為三級緩存)。在三個記憶體陣列中，記憶體陣列920L3具有最大的容量及最低的存取頻率。此外，記憶體陣列920L1具有最小的容量及最高的存取頻率。

【0475】注意，在將設置在運算裝置960中的緩存999用作L1緩存時，可以將設置在層930中的各記憶體陣列用作下級緩存或主記憶體。主記憶體是具有比緩存更大的容量及更低的存取頻率的記憶體。

【0476】此外，如圖21B所示，設置有驅動電路910L1、驅動電路910L2及驅動電路910L3。驅動電路910L1藉由連接電極940L1與記憶體陣列920L1連接。同樣地，驅動電路910L2藉由連接電極940L2與記憶體陣列920L2連接，驅動電路910L3藉由連接電極940L3與記憶體陣列920L3連接。

【0477】注意，雖然在此示出用作緩存的記憶體陣列為三個的情況，但是也可以為一個、兩個或四個以上。

【0478】在將記憶體陣列920L1用作緩存時，驅動電路910L1也可以被用作緩存介面989的一部分，並且驅動電路910L1也可以與緩存介面989連接。同樣地，驅動電路910L2、驅動電路910L3也可以被用作緩存介面989的一部分或者與緩存介面989的一部分連接。

【0479】將記憶體陣列920用作緩存還是用作主記憶體取決於各驅動電路910所包括的控制電路912。控制電路912可以根據從運算裝置960供應的信號而將半導體裝置900含有的多個記憶單元950的一部分用作RAM。

【0480】在半導體裝置900中，可以將多個記憶單元950的一部分用作緩存並將其他一部分用作主記憶體。也就是說，半導體裝置900可以具有作為緩存的功能和作為主記憶體的功能。根據本發明的一個實施方式的半導體裝置900例如可以被用作通用記憶體。

【0481】此外，也可以以與運算裝置960重疊的方式設置包括一個記憶體陣列920的層930。圖22A是半導體裝置970B的立體圖。

【0482】在半導體裝置970B中，可以將一個記憶體陣列920分割為多個區域並且給其賦予不同功能而使用。圖22A示出將區域L1、區域L2以及區域L3分別用作L1緩存、L2緩存以及L3緩存的情況的例子。

【0483】此外，在半導體裝置970B中，可以根據狀況改變區域L1至區域L3的每一個的容量。例如，L1緩存的容量的增大藉由增大區域L1的面積來實現。藉由採用這種

結構，可以實現運算處理的高效化而提高處理速度。

【0484】此外，也可以層疊多個記憶體陣列。圖22B是半導體裝置970C的立體圖。

【0485】半導體裝置970C中層疊有包括記憶體陣列920L1的層930L1、其上的包括記憶體陣列920L2的層930L2以及其上的包括記憶體陣列920L3的層930L3。可以將物理上最靠近運算裝置960的記憶體陣列920L1用作上級緩存並將最遠離運算裝置960的記憶體陣列920L3用作下級緩存或主記憶體。藉由採用這種結構，可以增大各記憶體陣列的容量，因此可以進一步提高處理能力。

【0486】注意，本實施方式可以與本說明書所示的其他實施方式及實施例適當地組合。

【0487】

實施方式3

在本實施方式中說明本發明的一個實施方式的記憶體裝置的應用例子。

【0488】一般而言，在電腦等半導體裝置中，根據其用途使用各種記憶體裝置。圖23A示出用於半導體裝置的各級類記憶體裝置。越是上層的記憶體裝置越被要求更快的工作速度，越是下層的記憶體裝置越被要求更大的記憶容量和更高的記錄密度。在圖23A中，從最上層依次包括CPU等運算處理裝置中作為暫存器一起安裝的記憶體、L1緩存、L2緩存、L3緩存、主記憶體、儲存(storage)等。注意，雖然在此示出包括至L3緩存的例子，但也可以包括級

別更低的緩存。

【0489】因為CPU等運算處理裝置中作為暫存器一起安裝的記憶體用於運算結果的暫時儲存等，所以來自運算處理裝置訪問的頻率高。因此，與記憶容量相比更需求快的工作速度。此外，暫存器具有保持運算處理裝置的設定資訊等的功能。

【0490】緩存具有將保持在主記憶體中的資訊的一部分複製並保持的功能。藉由將使用頻率高的資料複製到緩存中，可以提高對資料訪問的速度。緩存所需的記憶容量少於主記憶體，而緩存所需的工作速度高於主記憶體。此外，將在緩存中被改寫的資料複製並供應到主記憶體。

【0491】主記憶體具有保持從儲存讀出的程式、資料等的功能。

【0492】儲存具有保持需要長期保存的資料和運算處理裝置所使用的各種程式等的功能。因此，與更快的工作速度相比，儲存被要求更大的記憶容量和更高的記錄密度。例如，可以使用3D NAND等大容量非揮發性記憶體裝置。

【0493】根據本發明的一個實施方式的使用氧化物半導體的記憶體裝置(OS記憶體)的工作速度快且能夠長期間保持資料。因此，如圖23A所示，根據本發明的一個實施方式的記憶體裝置可以用於包括緩存的級類和包括主記憶體的級類的兩者。此外，根據本發明的一個實施方式的記憶體裝置也可以用於包括儲存的級類。

【0494】此外，圖23B示出將SRAM用於緩存的一部分並將本發明的一個實施方式的OS記憶體用於其他一部分的情況的例子。

【0495】可以將位於最下級的緩存稱為LLC(Last Level Cache：末級緩存)。LLC不需要比其上級的緩存更快的工作速度，但是被要求具有更大的記憶容量。本發明的一個實施方式的OS記憶體具有快的工作速度，可以長期保持資料，所以可以適合用於LLC。注意，本發明的一個實施方式的OS記憶體也可以用於FLC(Final Level Cache：最終級緩存)。

【0496】例如，如圖23B所示，可以將SRAM用於上級緩存(L1緩存、L2緩存等)並將本發明的一個實施方式的OS記憶體用於LLC。此外，如圖23B所示，在主記憶體中，除了OS記憶體之外還可以使用DRAM。

【0497】注意，本實施方式可以與本說明書所示的其他實施方式及實施例適當地組合。

【0498】

實施方式4

在本實施方式中，說明可以使用在上述實施方式中說明的半導體裝置的電子構件、電子裝置、大型電腦、太空設備及資料中心(Data Center：也稱為DC)。使用本發明的一個實施方式的半導體裝置的電子裝置、大型電腦、太空設備及資料中心對低功耗等高性能的實現很有效。

【0499】

[電子裝置]

接著，圖24A示出電子裝置6500的立體圖。圖24A所示的電子裝置6500是可用作智慧手機的可攜式資訊終端。電子裝置6500包括外殼6501、顯示部6502、電源按鈕6503、按鈕6504、揚聲器6505、麥克風6506、相機6507、光源6508及控制裝置6509等。控制裝置6509例如包括選自CPU、GPU及記憶體裝置中的任一個或多個。可以將本發明的一個實施方式的半導體裝置用於顯示部6502、控制裝置6509等。

【0500】圖24B所示的電子裝置6600是可用作筆記本式個人電腦的資訊終端。電子裝置6600包括外殼6611、鍵盤6612、指向裝置6613、外部連接埠6614、顯示部6615、控制裝置6616等。控制裝置6616例如包括選自CPU、GPU及記憶體裝置中的任一個或多個。可以將本發明的一個實施方式的半導體裝置用於顯示部6615、控制裝置6616等。此外，藉由將本發明的一個實施方式的半導體裝置用於上述控制裝置6509及控制裝置6616，可以降低功耗，所以是較佳的。

【0501】

[大型電腦]

接著，圖24C示出大型電腦5600的立體圖。在圖24C所示的大型電腦5600中，多個機架式電腦5620收納在機架5610中。此外，也可以將大型電腦5600稱為超級電腦。

【0502】電腦5620例如可以具有圖24D所示的立體圖

的結構。在圖24D中，電腦5620包括主機板5630，主機板5630包括多個插槽5631以及多個連接端子等。插槽5631插入有個人電腦卡5621。並且，個人電腦卡5621包括連接端子5623、連接端子5624、連接端子5625，它們連接到主機板5630。

【0503】圖24E所示的個人電腦卡5621是包括CPU、GPU、記憶體裝置等的處理板的一個例子。個人電腦卡5621具有板5622。此外，板5622包括連接端子5623、連接端子5624、連接端子5625、半導體裝置5626、半導體裝置5627、半導體裝置5628以及連接端子5629。注意，圖24E示出半導體裝置5626、半導體裝置5627以及半導體裝置5628以外的半導體裝置，關於這些半導體裝置的說明，可以參照以下記載的半導體裝置5626、半導體裝置5627以及半導體裝置5628的說明。

【0504】連接端子5629具有可以插入主機板5630的插槽5631的形狀，連接端子5629被用作連接個人電腦卡5621與主機板5630的介面。作為連接端子5629的規格例如可以舉出PCIe等。

【0505】連接端子5623、連接端子5624、連接端子5625例如可以被用作用來對個人電腦卡5621供電或輸入信號等的介面。此外，例如，可以被用作用來進行個人電腦卡5621所計算的信號的輸出等的介面。作為連接端子5623、連接端子5624、連接端子5625各自的規格例如可以舉出USB(通用序列匯流排)、SATA(Serial ATA：串列

ATA)、SCSI(Small Computer System Interface：小型電腦系統介面)等。此外，當從連接端子5623、連接端子5624、連接端子5625輸出視頻信號時，作為各規格可以舉出HDMI(註冊商標)等。

【0506】半導體裝置5626包括進行信號的輸入及輸出的端子(未圖示)，藉由將該端子插入板5622所包括的插座(未圖示)，可以電連接半導體裝置5626與板5622。

【0507】半導體裝置5627包括多個端子，藉由將該端子以回流焊方式銲接到板5622所具備的佈線，可以電連接半導體裝置5627與板5622。作為半導體裝置5627，例如，可以舉出FPGA、GPU、CPU等。

【0508】半導體裝置5628包括多個端子，藉由將該端子以回流焊方式銲接到板5622所具備的佈線，可以電連接半導體裝置5628與板5622。作為半導體裝置5628，例如，可以舉出記憶體裝置等。

【0509】大型電腦5600可以用作平行電腦。藉由將大型電腦5600用作平行電腦，例如可以進行人工智慧的學習及推論所需要的大規模計算。

【0510】

[太空設備]

可以將本發明的一個實施方式的半導體裝置適用於處理並儲存資訊的設備等的太空設備。

【0511】本發明的一個實施方式的半導體裝置可以包括OS電晶體。該OS電晶體的因被照射輻射線而導致的電

特性變動小。換言之，對於輻射線的耐性高，所以在有可能入射輻射線的環境下也可以適當地使用。例如，可以在宇宙空間中使用的情況下適當地使用OS電晶體。

【0512】在圖25中，作為太空設備的一個例子示出人造衛星6800。人造衛星6800包括主體6801、太陽能電池板6802、天線6803、二次電池6805以及控制裝置6807。另外，圖25示出在宇宙空間有行星6804的例子。注意，宇宙空間例如是指高度100km以上，但是本說明書所示的宇宙空間有時包括熱層、中間層及平流層。

【0513】另外，雖然圖25中未圖示，但是也可以將電池管理系統(也稱為BMS)或電池控制電路設置到二次電池6805。當將OS電晶體用於上述電池管理系統或電池控制電路時，功耗低，並且即使在宇宙空間也實現高可靠性，所以是較佳的。

【0514】此外，宇宙空間是其輻射劑量為地面的100倍以上的環境。作為輻射線，例如可以舉出：以X射線及γ射線為代表的電磁波(電磁輻射線)；以及以α射線、β射線、中子射線、質子射線、重離子射線、介子射線等為代表的粒子輻射線。

【0515】在陽光照射到太陽能電池板6802時產生人造衛星6800進行工作所需的電力。然而，例如在陽光不照射到太陽能電池板的情況或者在照射到太陽能電池板的陽光量較少的情況下，所產生的電力量減少。因此，有可能不會產生人造衛星6800進行工作所需的電力。為了在所產生

的電力較少的情況下也使人造衛星6800工作，較佳為在人造衛星6800中設置二次電池6805。此外，有時將太陽能電池板稱為太陽能電池模組。

【0516】人造衛星6800可以生成信號。該信號藉由天線6803傳送，例如地面上的接收機或其他人造衛星可以接收該信號。藉由接收人造衛星6800所傳送的信號，可以測量接收該信號的接收機的位置。由此，人造衛星6800可以構成衛星定位系統。

【0517】此外，控制裝置6807具有控制人造衛星6800的功能。控制裝置6807例如使用選自CPU、GPU和記憶體裝置中的任一個或多個構成。另外，較佳為將本發明的一個實施方式的半導體裝置用於控制裝置6807。與Si電晶體相比，OS電晶體的因被照射輻射線而導致的電特性變動小。也就是說，OS電晶體在有可能入射輻射線的環境下也具有高可靠性且可以適當地使用。

【0518】此外，人造衛星6800可以包括感測器。例如藉由包括可見光感測器，人造衛星6800可以具有檢測地面上的物體反射的陽光的功能。或者，藉由包括熱紅外線感測器，人造衛星6800可以具有檢測從地表釋放的熱紅外線的功能。由此，人造衛星6800例如可以被用作地球觀測衛星。

【0519】注意，在本實施方式中，作為太空設備的一個例子示出人造衛星，但是不侷限於此。例如，本發明的一個實施方式的半導體裝置可以適當地應用於太空船、太

空艙、太空探測器等太空設備。

【0520】如以上的說明那樣，與Si電晶體相比，OS電晶體具有優異的效果，諸如可以實現較寬的記憶體頻寬、耐輻射線高。

【0521】

[資料中心]

例如，可以將本發明的一個實施方式的半導體裝置適用於資料中心等採用的儲存系統。資料中心被要求保證資料不變性等進行資料的長期管理。在進行資料的長期管理時需要使設施大型化，諸如設置用來儲存龐大的資料的儲存及伺服器、確保穩定的電源以保持資料或者確保在資料的保持中需要的冷卻設備等。

【0522】藉由將本發明的一個實施方式的半導體裝置用於資料中心採用的儲存系統，可以實現資料保持所需的功率的降低、保持資料的半導體裝置小型化。因此，可以實現儲存系統的小型化、用來保持資料的電源的小型化、冷卻設備規模的縮小等。由此，可以實現資料中心的省空間。

【0523】此外，本發明的一個實施方式的半導體裝置的功耗少，因此可以降低電路發熱。由此，可以減少因該發熱而給電路本身、週邊電路及模組帶來的負面影響。此外，藉由使用本發明的一個實施方式的半導體裝置，可以實現高溫環境下也穩定工作的資料中心。因此，可以提高資料中心的可靠性。

【0524】圖26示出可用於資料中心的儲存系統。圖26所示的儲存系統6900作為主機6901(圖示為主機電腦)包括多個伺服器6901sb。另外，作為儲存6903(圖示為儲存)包括多個記憶體裝置6903md。示出主機6901和儲存6903藉由儲存區域網路6904(圖示為SAN：Storage Area Network)及儲存控制電路6902(圖示為儲存控制器)連接的形態。

【0525】主機6901相當於訪問儲存在儲存6903中的資料的電腦。主機6901彼此也可以藉由網路連接。

【0526】在儲存6903中，藉由使用快閃記憶體縮短資料的存取速度，即縮短資料的儲存及輸出所需要的時間，但是該時間比可用作儲存中的快取記憶體的DRAM所需要的時間長得多。在儲存系統中，為了解決儲存6903的存取速度較長的問題，一般在儲存中設置快取記憶體來縮短資料的存儲及輸出所需的時間。

【0527】在儲存控制電路6902及儲存6903中使用上述快取記憶體。主機6901和儲存6903交換的資料在儲存在儲存控制電路6902及儲存6903中的該快取記憶體之後輸出到主機6901或儲存6903。

【0528】當作為用來儲存上述快取記憶體的資料的電晶體使用OS電晶體來保持對應於資料的電位時，可以減少更新頻率來降低功耗。此外，藉由層疊記憶單元陣列可以實現小型化。

【0529】注意，藉由將本發明的一個實施方式的半導體裝置用於選自電子構件、電子裝置、大型電腦、太空設

備和資料中心中的任一個或多個，可期待功耗降低的效果。因此，目前被認為隨著半導體裝置的高性能化或高積體化能量需求增加，藉由使用本發明的一個實施方式的半導體裝置，也可以減少以二氧化碳(CO_2)為代表的溫室氣體的排放量。此外，本發明的一個實施方式的半導體裝置具有低功耗，因此作為全球暖化的措施也有效。

【0530】本實施方式所示的構成、結構、方法等可以與其他實施方式及實施例等所示的構成、結構、方法等適當地組合而使用。

【0531】

實施方式5

在本實施方式中，對可用本發明的一個實施方式的電晶體的顯示裝置的結構例子進行說明。

【0532】本發明的一個實施方式的電晶體可以形成為極微型，所以使用本發明的一個實施方式的電晶體的顯示裝置可以為極高清晰的顯示裝置。例如，可以將本發明的一個實施方式的顯示裝置用於手錶型及手鐲型等資訊終端設備(可穿戴裝置)的顯示部及頭戴顯示器等VR用設備及眼鏡型AR用設備等可戴在頭上的設備(HMD：Head Mounted Display)的顯示部。

【0533】

[顯示模組]

圖27A示出顯示模組580的立體圖。顯示模組580包括顯示裝置500A及FPC590。注意，顯示模組580所包括的顯

示裝置不侷限於顯示裝置500A，也可以是將在後面說明的顯示裝置500C。

【0534】顯示模組580包括基板591及基板592。顯示模組580包括顯示部581。顯示部581是顯示影像的區域。

【0535】圖27B示出基板591一側的結構的立體示意圖。基板591上層疊有電路部582、電路部582上的像素電路部583及該像素電路部583上的像素部584。此外，基板591的不與像素部584重疊的部分上設置有用來連接到FPC590的端子部585。端子部585與電路部582藉由由多個佈線構成的佈線部586電連接。

【0536】像素部584包括週期性地排列的多個像素584a。圖27B的右側示出一個像素584a的放大圖。像素584a包括發射紅色光的發光元件110R、發射綠色光的發光元件110G以及發射藍色光的發光元件110B。

【0537】像素電路部583包括週期性地排列的多個像素電路583a。一個像素電路583a控制一個像素584a所包括的三個發光元件的發光。一個像素電路583a可以包括控制一個發光元件的發光的三個電路。例如，像素電路583a可以採用對於一個發光元件至少具有一個選擇電晶體、一個電流控制用電晶體(驅動電晶體)和電容器的結構。此時，選擇電晶體的閘極被輸入閘極信號，源極被輸入源極信號。由此，可以實現主動矩陣型顯示裝置。

【0538】電路部582包括用於驅動像素電路部583的各像素電路583a的電路。例如，較佳為包括閘極線驅動電路

和源極線驅動電路中的一個或兩者。此外，還可以具有運算電路、記憶體電路和電源電路等中的至少一個。此外，設置在電路部582中的電晶體也可以構成像素電路583a的一部分。就是說，也可以由像素電路部583所包括的電晶體及電路部582所包括的電晶體構成像素電路583a。

【0539】FPC590用作從外部向電路部582供應視頻信號或電源電位等的佈線。此外，也可以在FPC590上安裝IC。

【0540】顯示模組580可以採用像素部584的下側重疊設置有像素電路部583和電路部582中的一個或兩者的結構，所以可以使顯示部581具有極高的開口率(有效顯示面積比)。例如，顯示部581的開口率可以為40%以上且低於100%，較佳為50%以上且95%以下，更佳為60%以上且95%以下。此外，能夠極高密度地配置像素584a，由此可以使顯示部581具有極高的清晰度。例如，顯示部581較佳為以2000ppi以上、更佳為3000ppi以上、進一步較佳為5000ppi以上、更進一步較佳為6000ppi以上且20000ppi以下或30000ppi以下的清晰度配置像素584a。

【0541】這種顯示模組580非常清晰，所以適合用於頭戴式顯示器等VR用設備或眼鏡型AR用設備。例如，因為顯示模組580具有清晰度極高的顯示部581，所以在透過透鏡觀看顯示模組580的顯示部的結構中，即使用透鏡放大顯示部也用戶看不到像素，由此可以實現具有高度沉浸感的顯示。此外，顯示模組580還可以應用於具有相對較

小型的顯示部的電子裝置。例如，適合用於手錶型裝置等可穿戴式電子裝置的顯示部。

【0542】

[顯示裝置500A]

圖28所示的顯示裝置500A包括基板201、發光元件110R、發光元件110G、發光元件110B、電容器140及電晶體520。

【0543】基板201相當於圖27A中的基板591。

【0544】電晶體520是在形成通道的半導體層中使用氧化物半導體的縱向通道型電晶體。電晶體520包括氧化物半導體230、絕緣體250、導電體260及導電體240等。

【0545】電晶體520可以使用實施方式2所示的各種電晶體。例如，如圖28所示，作為電晶體520可以使用圖15A至圖15D所示的電晶體200E。此外，如圖16A及圖16B所示，也可以在相同的層中還設置電晶體200。

【0546】基板201上設置有絕緣體210。絕緣體210用作阻擋層，該阻擋層防止水或氫等雜質從基板201擴散到電晶體520且防止氧從氧化物半導體230向絕緣體210一側脫離。作為絕緣體210，例如可以使用與氧化矽膜相比氫或氧不容易擴散的膜諸如氧化鋁膜、氧化鉿膜、氮化矽膜等。

【0547】此外，絕緣體210上設置有絕緣體222。絕緣體222被用作俘獲或固定含在絕緣體280、氧化物半導體230等中的氫的絕緣膜。作為絕緣體222，例如可以使用矽

酸鉿膜等。

【0548】絕緣體222上設置有絕緣體280，絕緣體280上設置有導電體240。絕緣體280中設置有開口，該開口內設置有氧化物半導體230、絕緣體250及導電體260。此外，以覆蓋導電體260的方式設置有絕緣層164。

【0549】絕緣層164被用作層間絕緣層。絕緣層164與絕緣層154間也可以設置有防止絕緣層164等中的水或氫等雜質擴散到電晶體520的阻擋層。作為阻擋層，可以使用與絕緣體210同樣的絕緣膜。

【0550】與導電體240中的一個電連接的插頭174嵌入絕緣層164中。在此，插頭174較佳為包括覆蓋絕緣層164的開口的側面及導電體240的頂面的一部分的導電層174a以及與導電層174a的頂面接觸的導電層174b。此時，作為導電層174a，較佳為使用不容易擴散氫及氧的導電材料。

【0551】此外，絕緣層164上設置有電容器140。電容器140包括導電層141、導電層145及位於它們之間的絕緣層143。導電層141用作電容器140的一個電極，導電層145用作電容器140的另一個電極，並且絕緣層143用作電容器140的介電質。

【0552】導電層141設置在絕緣層164上，並嵌入絕緣層154中。導電層141藉由插頭174與電晶體520的導電體240電連接。絕緣層143覆蓋導電層141而設置。導電層145設置在隔著絕緣層143與導電層141重疊的區域中。

【0553】覆蓋電容器140設置有絕緣層155a，絕緣層

155a上設置有絕緣層155b，絕緣層155b上設置有絕緣層155c。

【0554】絕緣層155a、絕緣層155b及絕緣層155c可以適當地使用無機絕緣膜。例如，較佳的是，作為絕緣層155a及絕緣層155c使用氧化矽膜，作為絕緣層155b使用氮化矽膜。由此，絕緣層155b可以用作蝕刻保護膜。雖然在本實施方式中示出絕緣層155c的一部分被蝕刻而設置有凹部的例子，但是也可以不在絕緣層155c中設置凹部。

【0555】絕緣層155c上設置有發光元件110R、發光元件110G及發光元件110B。

【0556】發光元件110R包括像素電極111R、有機層112R、共用層114及共用電極113。發光元件110G包括像素電極111G、有機層112G、共用層114及共用電極113。發光元件110B包括像素電極111B、有機層112B、共用層114及共用電極113。共用層114和共用電極113共同設置在發光元件110R、發光元件110G及發光元件110B中。

【0557】發光元件110R所包括的有機層112R包含至少發射紅色光的發光有機化合物。發光元件110G所包括的有機層112G包含至少發射綠色光的發光有機化合物。發光元件110B所包括的有機層112B包含至少發射藍色光的發光有機化合物。有機層112R、有機層112G及有機層112B各自也可以被稱為EL層，至少包括具有發光有機化合物的層(發光層)。

【0558】顯示裝置500A按每個發光顏色分別形成發光

器件，所以低亮度的發光和高亮度的發光之間的色度變化小。此外，有機層112R、112G、112B彼此分離，所以即使採用高清晰顯示裝置也可以抑制在相鄰的子像素間發生串擾。因此，可以實現高清晰且顯示品質高的顯示裝置。

【0559】相鄰的發光元件間的區域設置有絕緣層125、樹脂層126及層128。

【0560】發光元件的像素電極111R、像素電極111G及像素電極111B藉由嵌入於絕緣層155a、絕緣層155b及絕緣層155c中的插頭156、嵌入於絕緣層154中的導電層141以及插頭174與電晶體520的導電體240電連接。絕緣層155c的頂面的高度與插頭156的頂面的高度一致或大致一致。作為插頭可以使用各種導電材料。

【0561】此外，發光元件110R、110G及110B上設置有保護層121。保護層121上由黏合層171貼合有基板170。

【0562】相鄰的兩個像素電極111間不設置有覆蓋像素電極111的頂面端部的絕緣層。因此，可以使相鄰的發光元件間的間隔非常小。因此，可以實現高清晰或高解析度的顯示裝置。

【0563】

[顯示裝置500C]

圖29所示的顯示裝置500C包括在半導體基板形成有通道的電晶體310與為縱向通道型電晶體的電晶體520的疊層結構。

【0564】電晶體310是在基板311中具有通道形成區域

的電晶體。作為基板311，例如可以使用如單晶矽基板等半導體基板。電晶體310包括基板311的一部分、導電體316、低電阻區域314、絕緣體315及絕緣體317。導電體316被用作閘極電極。絕緣體315位於基板311與導電體316之間，並被用作閘極絕緣層。低電阻區域314是基板311中摻雜有雜質的區域，並被用作源極和汲極中的一個。絕緣體317覆蓋導電體316的側面。

【0565】此外，在相鄰的兩個電晶體310之間，以嵌入基板311的方式設置有元件分離層318。

【0566】本實施方式的至少一部分可以與本說明書所記載的其他實施方式及實施例適當地組合而實施。

【0567】

實施方式6

在本實施方式中，說明可用於使用本發明的一個實施方式的電晶體製造的顯示裝置的顯示裝置的結構例子。以下示出的顯示裝置可用於上述實施方式5的像素部584等。

【0568】本發明的一個實施方式是包括發光元件(也稱為發光器件)的顯示裝置。顯示裝置包括發光顏色不同的兩個以上的像素。像素各自包括發光元件。發光元件各自包括一對電極及其間的EL層。發光元件較佳為有機EL元件(有機電致發光元件)。發射不同顏色的兩個以上的發光元件各自包括包含不同材料的EL層。例如，藉由包括分別發射紅色(R)、綠色(G)或藍色(B)的光的三種發光元件，可以實現全彩色顯示裝置。

【0569】在製造包括發光顏色不同的多個發光元件的顯示裝置時，需要將至少包含發光材料的層(發光層)分別形成為島狀。這裡，已知在分別形成EL層的一部分或全部時，利用使用金屬遮罩等陰影遮罩的蒸鍍法形成島狀有機膜的方法。然而，這方法由於金屬遮罩的精度、金屬遮罩與基板的錯位、金屬遮罩的撓曲以及蒸氣散射等所導致的沉積了的膜的輪廓變大等的各種影響，而島狀有機膜的形狀及位置與設計時的形狀及位置產生偏差，難以實現顯示裝置的高清晰化及高開口率化。此外，在蒸鍍中，有時因層的輪廓模糊而端部的厚度變小。就是說，有時根據位置而島狀發光層的厚度不同。此外，當製造大型且高解析度或高清晰的顯示裝置時，有如下擔擾：由於金屬遮罩的低尺寸精度及熱等所引起的變形，製造良率下降。因此，已進行如下措施：藉由採用Pentile排列等特殊像素排列方式而類比地提高清晰度(也稱為像素密度)。

【0570】注意，在本說明書等中，島狀是指使用在同一製程中形成的同一材料的兩個以上的層物理分離的狀態。例如，島狀發光層是指該發光層與相鄰的發光層物理分離的狀態。

【0571】在本發明的一個實施方式中，不使用FMM(Fine Metal Mask，高精細金屬遮罩)等陰影遮罩而利用光微影法將EL層加工為微細圖案。因此，可以實現目前難以實現的具有高清晰度和高開口率的顯示裝置。此外，由於可以分別製造EL層，所以可以實現非常鮮明且對比度高的

顯示品質高的顯示裝置。此外，例如，也可以使用金屬遮罩和光微影的兩者將EL層加工為微細圖案。

【0572】此外，可以物理性地分離EL層的一部分或全部。由此，可以抑制經由相鄰的發光元件共通使用的層(也稱為共用層)的發光元件間的洩漏電流。因此，可以抑制起因於串擾的非意圖性的發光，從而可以實現對比度非常高的顯示裝置。尤其是，可以實現在低亮度下電流效率高的顯示裝置。

【0573】本發明的一個實施方式也可以實現組合白色發光的發光元件和濾色片的顯示裝置。在此情況下，可以將相同結構的發光元件用於發射不同顏色的光的像素(子像素)中的各發光元件，各發光元件中的所有層都可以用作共用層。再者，也可以藉由利用光微影切斷各EL層的一部分或全部。由此，可以抑制經由共用層的洩漏電流而可以實現對比度高的顯示裝置。尤其是，在具有隔著導電性高的中間層層疊多個發光層的串聯結構的元件中，可以有效地防止經由該中間層的洩漏電流，所以可以實現兼具高亮度、高清晰度及高對比的顯示裝置。

【0574】當利用光微影法加工EL層時，有時因發光層的一部分露出導致劣化。因此，較佳為設置至少覆蓋島狀發光層的側面的絕緣層。該絕緣層也可以覆蓋島狀EL層的頂面的一部分。該絕緣層較佳為使用對水及氧具有阻擋性的材料。例如，可以使用不容易使水或氧擴散的無機絕緣膜。由此，可以抑制EL層的劣化而可以實現可靠性高的顯

示裝置。

【0575】此外，在相鄰的兩個發光元件間有不設置有各發光元件的EL層的區域(凹部)。在以覆蓋該凹部的方式形成共用電極或者共用電極及共用層的情況下，有時發生共用電極因EL層端部的步階而分離的現象(也稱為斷開)，導致EL層上的共用電極被絕緣。於是，較佳為採用使用被用作平坦化膜的樹脂層填充位於相鄰的兩個發光元件間的局部性的步階的結構(也稱為LFP：Local Filling Planarization)。該樹脂層被用作平坦化膜。由此，可以抑制共用層或共用電極的斷開而可以實現可靠性高的顯示裝置。

【0576】以下，參照圖式說明本發明的一個實施方式的顯示裝置的更具體的結構例子。

【0577】

[結構例子1]

圖30A示出本發明的一個實施方式的顯示裝置100的俯視示意圖。顯示裝置100在基板101上包括多個呈現紅色的發光元件110R、多個呈現綠色的發光元件110G及多個呈現藍色的發光元件110B。在圖30A中為了便於區別各發光元件，在各發光元件的發光區域內附上符號“R”、“G”、“B”。

【0578】發光元件110R、發光元件110G及發光元件110B都以矩陣狀排列。圖30A示出同一顏色的發光元件在一個方向上排列的所謂條紋排列。注意，發光元件的排列

方法不侷限於此，還可以使用S條紋排列、Delta排列、拜耳排列、鋸齒形(zigzag)排列等排列方法，也可以使用Pentile排列、Diamond排列等。

【0579】作為發光元件110R、發光元件110G及發光元件110B，較佳為使用OLED(Organic Light Emitting Diode：有機發光二極體)或QLED(Quantum-dot Light Emitting Diode：量子點發光二極體)。作為EL元件含有的發光物質，可以舉出發射螢光的物質(螢光材料)、發射磷光的物質(磷光材料)及呈現熱活化延遲螢光的物質(熱活性化延遲螢光(Thermally activated delayed fluorescence：TADF)材料)。作為EL元件所包含的發光物質，除了有機化合物之外還可以使用無機化合物(量子點材料等)。

【0580】此外，圖30A示出與共用電極113電連接的連接電極111C。連接電極111C被供應用來對共用電極113供應的電位(例如，陽極電位或陰極電位)。連接電極111C設置在發光元件110R等排列的顯示區域的外側。

【0581】連接電極111C可以沿著顯示區域的外周設置。例如，既可以沿著顯示區域的外周的一個邊設置，又可以橫跨顯示區域的外周的兩個以上的邊設置。就是說，在顯示區域的頂面形狀為長方形的情況下，連接電極111C的頂面形狀可以為帶狀(長方形)、L字狀、“冂”字狀(方括號狀)或四角形等。

【0582】圖30B、圖30C分別是對應於圖30A中的點劃線A1-A2及點劃線A3-A4的剖面示意圖。圖30B示出發光元

件110R、發光元件110G及發光元件110B的剖面示意圖，圖30C示出連接電極111C與共用電極113連接的連接部130的剖面示意圖。

【0583】發光元件110R包括像素電極111R、有機層112R、共用層114及共用電極113。發光元件110G包括像素電極111G、有機層112G、共用層114及共用電極113。發光元件110B包括像素電極111B、有機層112B、共用層114及共用電極113。共用層114和共用電極113共同設置在發光元件110R、發光元件110G及發光元件110B中。

【0584】發光元件110R所包括的有機層112R包含至少發射紅色光的發光有機化合物。發光元件110G所包括的有機層112G包含至少發射綠色光的發光有機化合物。發光元件110B所包括的有機層112B包含至少發射藍色光的發光有機化合物。有機層112R、有機層112G及有機層112B各自也可以被稱為EL層，至少包括具有發光有機化合物的層(發光層)。

【0585】以下，在說明發光元件110R、發光元件110G及發光元件110B之間共同的內容時有時將其稱為發光元件110進行說明。同樣地，在說明有機層112R、有機層112G及有機層112B等用字母進行區別的組件之間共同的內容時，有時用省略字母的符號進行說明。

【0586】有機層112及共用層114可以分別獨立包括電子注入層、電子傳輸層、電洞注入層和電洞傳輸層中的一個以上。例如，有機層112從像素電極111一側層疊有電洞

注入層、電洞傳輸層、發光層、電子傳輸層的疊層結構，並且共用層114包括電子注入層。

【0587】像素電極111R、像素電極111G及像素電極111B都設置在每個發光元件中。此外，共用電極113及共用層114設置為各發光元件共通使用的一個層。作為各像素電極和共用電極113中的任一方使用對可見光具有透光性的導電膜且另一方使用具有反射性的導電膜。藉由使各像素電極具有透光性且使共用電極113具有反射性可以實現底面發射型(底部發射結構)的顯示裝置，與此相反，藉由使各像素電極具有反射性且使共用電極113具有透光性可以實現頂面發射型(頂部發射結構)的顯示裝置。此外，藉由使各像素電極和共用電極113的兩者具有透光性，也可以實現雙面發射型(雙面發射結構)的顯示裝置。

【0588】在共用電極113上以覆蓋發光元件110的方式設置保護層121。保護層121具有防止水等的雜質從上方擴散到各發光元件的功能。

【0589】像素電極111的端部較佳為具有錐形形狀。在像素電極111的端部具有錐形形狀時，沿著像素電極111的端部設置的有機層112也可以具有錐形形狀。藉由使像素電極111的側面具有錐形形狀，可以提高跨著像素電極111的端部設置的有機層112的覆蓋性。此外，藉由使像素電極111的側面具有錐形形狀，可以藉由洗滌處理等容易去除製程中的異物(例如，灰塵或微粒等)，所以是較佳的。

【0590】有機層112利用光微影法被加工為島狀。因此，有機層112在其端部具有頂面與側面所成的角近於90°的形狀。另一方面，使用FMM等形成的有機膜的厚度有越接近端部越減薄的傾向，例如，距端部1μm以上且10μm以下的範圍頂面形成為坡狀，因此難以區別頂面與側面。

【0591】相鄰的兩個發光元件間設置有絕緣層125、樹脂層126及層128。

【0592】在相鄰的兩個發光元件間，各有機層112的側面隔著樹脂層126彼此相對。樹脂層126位於相鄰的兩個發光元件間且以填充各有機層112的端部和兩個有機層112間的區域的方式設置。樹脂層126的頂面具有平滑的凸狀形狀，以覆蓋樹脂層126的頂面的方式設置共用層114及共用電極113。

【0593】樹脂層126被用作填充位於相鄰的兩個發光元件間的步階的平坦化膜。藉由設置樹脂層126，可以防止共用電極113因有機層112的端部的步階被斷開導致有機層112上的共用電極被絕緣。在此，樹脂層126被用作LFP。

【0594】作為樹脂層126，可以適合使用包含有機材料的絕緣層。例如，作為樹脂層126可以使用丙烯酸樹脂、聚醯亞胺樹脂、環氧樹脂、亞胺樹脂、聚醯胺樹脂、聚醯亞胺醯胺樹脂、矽酮樹脂、矽氧烷樹脂、苯并環丁烯類樹脂、酚醛樹脂及上述樹脂的前驅物等。此外，作為樹脂層126，也可以使用聚乙烯醇(PVA)、聚乙烯醇縮丁醛、

聚乙烯吡咯烷酮、聚乙二醇、聚甘油、普魯蘭、水溶性纖維素或者醇可溶性聚醯胺樹脂等有機材料。

【0595】此外，作為樹脂層126，也可以使用感光樹脂。作為感光樹脂也可以使用光阻劑。感光樹脂可以使用正型材料或負型材料。

【0596】樹脂層126也可以包含吸收可見光的材料。例如，樹脂層126本身可以由吸收可見光的材料構成，樹脂層126也可以包含吸收可見光的顏料。作為樹脂層126，例如可以使用如下樹脂：能夠用於可被用作透射紅色、藍色或綠色的光且吸收其他光的濾色片的樹脂；或者作為顏料包含碳黑且被用作黑矩陣的樹脂；等。

【0597】絕緣層125與有機層112的側面接觸。此外，絕緣層125覆蓋有機層112的上端部。此外，絕緣層125的一部分與基板101的頂面接觸。

【0598】絕緣層125位於樹脂層126與有機層112間且被用作防止樹脂層126接觸於有機層112的保護膜。在有機層112與樹脂層126接觸時，有可能由於形成樹脂層126時使用的有機溶劑等而有機層112被溶解。因此，藉由在有機層112與樹脂層126間設置絕緣層125，可以保護有機層112的側面。

【0599】絕緣層125可以為包含無機材料的絕緣層。作為絕緣層125，可以使用氧化絕緣膜、氮化絕緣膜、氧氮化絕緣膜及氮氧化絕緣膜等無機絕緣膜。絕緣層125可以為單層結構，也可以為疊層結構。作為氧化絕緣膜，可

以舉出氧化矽膜、氧化鋁膜、氧化鎂膜、銦鎵鋅氧化物膜、氧化鎵膜、氧化鍺膜、氧化釹膜、氧化鋯膜、氧化鑭膜、氧化釹膜、氧化鉿膜及氧化鉭膜等。作為氮化絕緣膜，可以舉出氮化矽膜及氮化鋁膜等。作為氧氮化絕緣膜，可以舉出氧氮化矽膜、氧氮化鋁膜等。作為氮氧化絕緣膜，可以舉出氮氧化矽膜、氮氧化鋁膜等。尤其是，藉由將利用ALD法形成的氧化鋁膜、氧化鉿膜等氧化金屬膜、氧化矽膜等無機絕緣膜用於絕緣層125，可以形成針孔較少且保護EL層功能優異的絕緣層125。

【0600】在本說明書等中，“氧氮化物”是指在其組成中氧含量多於氮含量的材料，而“氮氧化物”是指在其組成中氮含量多於氧含量的材料。例如，在記載為“氧氮化矽”時指在其組成中氧含量多於氮含量的材料，而在記載為“氮氧化矽”時指在其組成中氮含量多於氧含量的材料。

【0601】絕緣層125可以利用濺射法、CVD法、PLD法、ALD法等形成。絕緣層125較佳為利用覆蓋性良好的ALD法形成。

【0602】此外，也可以藉由在絕緣層125與樹脂層126之間設置反射膜(例如，包含選自銀、鈀、銅、鈦和鋁等中的一個或多個的金屬膜)而使上述反射膜反射發光層所發射的光。由此，可以進一步提高光提取效率。

【0603】層128是用來在蝕刻有機層112時保護有機層112的保護層(也稱為遮罩層、犧牲層)的一部分殘留的部分。層128可以使用可用於上述絕緣層125的材料。尤其

是，層128及絕緣層125較佳為都使用相同材料，由此可以使用相同的用來進行加工的裝置等。

【0604】尤其是，由於利用ALD法形成的氧化鋁膜、氧化鉿膜等氧化金屬膜、氧化矽膜等無機絕緣膜是針孔較少的膜，所以保護EL層的功能優異，因此可以適合用於絕緣層125及層128。

【0605】保護層121例如可以具有至少包括無機絕緣膜的單層結構或疊層結構。作為無機絕緣膜，例如可以舉出氧化矽膜、氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鋁膜、氧氮化鋁膜、氧化鉿膜等的氧化物膜或氮化物膜。或者，作為保護層121也可以使用銦鎵氧化物、銦鋅氧化物、銦錫氧化物、銦鎵鋅氧化物等的半導體材料或導電材料。

【0606】作為保護層121也可以使用無機絕緣膜與有機絕緣膜的疊層膜。例如，較佳為在一對無機絕緣膜間夾持有機絕緣膜。此外，有機絕緣膜較佳為被用作平坦化膜。因此，可以使有機絕緣膜的頂面平坦，所以其上的無機絕緣膜的覆蓋性提高，由此可以提高阻擋性。此外，保護層121的頂面變平坦，所以當在保護層121的上方設置結構物(例如，濾色片、觸控感測器的電極或透鏡陣列等)時可以減少起因於下方結構的凹凸形狀的影響，所以是較佳的。

【0607】圖30C示出連接電極111C與共用電極113電連接的連接部130。在連接部130中，在連接電極111C上，

絕緣層125及樹脂層126中設置有開口部。在該開口部，連接電極111C與共用電極113電連接。

【0608】注意，圖30C示出連接電極111C與共用電極113電連接的連接部130，但是也可以在連接電極111C上隔著共用層114設置共用電極113。尤其是，在作為共用層114使用載子注入層的情況等下，用於該共用層114的材料的電阻率充分低且其厚度也很薄，所以在很多情況下共用層114位於連接部130也沒有問題。由此，可以使用相同陰影遮罩形成共用電極113及共用層114，所以可以降低製造成本。

【0609】

[結構例子2]

以下，說明部分結構與上述結構例子1不同的顯示裝置。注意，關於與上述結構例子1相同的部分有時參照上述結構例子1而省略說明。

【0610】圖31A是顯示裝置100a的剖面示意圖。顯示裝置100a與顯示裝置100的主要不同之處在於：發光元件的結構；以及前者包括彩色層。

【0611】顯示裝置100a包括呈現白色光的發光元件110W。發光元件110W包括像素電極111、有機層112W、共用層114及共用電極113。有機層112W呈現白色發光。例如，有機層112W可以包含發光顏色處於補色關係的兩種以上的發光材料。例如，有機層112W可以包含發射紅色光的發光有機化合物、發射綠色光的發光有機化合物以

及發射藍色光的發光有機化合物。此外，也可以包含發射藍色光的發光有機化合物以及發射黃色光的發光有機化合物。

【0612】在相鄰的兩個發光元件110W之間，各有機層112W分離。由此，可以抑制藉由有機層112W流過相鄰的發光元件110W間的洩漏電流，而可以抑制起因於該洩漏電流的串擾。因此，可以實現對比度及顏色再現性高的顯示裝置。

【0613】保護層121上設置有用作平坦化膜的絕緣層122，絕緣層122上設置有彩色層116R、彩色層116G及彩色層116B。

【0614】作為絕緣層122，可以使用有機樹脂膜或頂面被平坦化的無機絕緣膜。因為絕緣層122為彩色層116R、彩色層116G及彩色層116B的被形成面，所以在絕緣層122的頂面平坦時可以使彩色層116R等的厚度均勻，由此可以提高色純度。注意，當彩色層116R等的厚度不均勻時，吸光量根據彩色層116R的中的區域而不同，由此有可能導致色純度下降。

【0615】

[結構例子3]

圖31B是顯示裝置100b的剖面示意圖。

【0616】發光元件110R包括像素電極111、導電層115R、有機層112W及共用電極113。發光元件110G包括像素電極111、導電層115G、有機層112W及共用電極113。

發光元件110B包括像素電極111、導電層115B、有機層112W及共用電極113。導電層115R、導電層115G及導電層115B都具有透光性並被用作光學調整層。

【0617】藉由將反射可見光的膜用作像素電極111並將對可見光具有反射性和透射性的兩者的膜用作共用電極113，可以實現微腔諧振器(微腔)結構。此時，藉由以實現最合適的光程長的方式調整導電層115R、導電層115G及導電層115B的厚度，即便使用呈現白色發光的有機層112也可以從發光元件110R、發光元件110G和發光元件110B分別提取不同的波長的光得到加強的光。

【0618】並且，藉由在發光元件110R、發光元件110G和發光元件110B的光程上分別設置彩色層116R、彩色層116G和彩色層116B，可以提取色純度高的光。

【0619】此外，設置有覆蓋像素電極111及導電層115的端部的絕緣層123。絕緣層123的端部較佳為具有錐形形狀。藉由設置絕緣層123，可以提高形成在其上的有機層112W、共用電極113及保護層121等的覆蓋性。

【0620】有機層112W及共用電極113分別作為一連續的膜共同設置在各發光元件中。藉由採用這種結構，可以大幅度簡化顯示裝置的製程，所以是較佳的。

【0621】在此，像素電極111的端部較佳為具有幾乎垂直的形狀。由此，可以在絕緣層123的表面形成傾斜陡峭的部分，而可以在覆蓋該部分的有機層112W的一部分形成厚度薄的部分，或者可以分離有機層112W的一部

分。由此，可以不進行利用光微影法等的有機層112W的加工而抑制藉由有機層112W產生在相鄰的發光元件間的洩漏電流。

【0622】以上說明顯示裝置的結構例子。

【0623】本實施方式的至少一部分可以與本說明書所記載的其他實施方式及實施例適當地組合而實施。

【0624】

實施方式7

在本實施方式中，使用圖32A至圖34G對本發明的一個實施方式的電子裝置進行說明。

【0625】本實施方式的電子裝置在顯示部中包括使用本發明的一個實施方式的電晶體的顯示面板(顯示裝置)。本發明的一個實施方式的顯示裝置容易實現高清晰化及高解析度化，此外可以實現高顯示品質。因此，可以用於各種電子裝置的顯示部。

【0626】作為電子裝置，例如除了電視機、桌上型或膝上型個人電腦、用於電腦等的顯示器、數位看板、彈珠機等大型遊戲機等具有較大的螢幕的電子裝置以外，還可以舉出數位相機、數位攝影機、數位相框、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置等。

【0627】特別是，因為本發明的一個實施方式的顯示面板可以提高清晰度，所以可以適當地用於包括較小的顯示部的電子裝置。作為這種電子裝置可以舉出手錶型及手鐲型資訊終端設備(可穿戴裝置)、可戴在頭上的可穿戴裝

置等諸如頭戴顯示器等VR用設備、眼鏡型AR用設備及MR用設備等。

【0628】本發明的一個實施方式的顯示面板較佳為具有極高的解析度諸如HD(像素數為1280×720)、FHD(像素數為1920×1080)、WQHD(像素數為2560×1440)、WQXGA(像素數為2560×1600)、4K(像素數為3840×2160)、8K(像素數為7680×4320)等。尤其是，較佳為設定為4K、8K或其以上的解析度。此外，本發明的一個實施方式的顯示面板中的像素密度(清晰度)較佳為100ppi以上，較佳為300ppi以上，更佳為500ppi以上，進一步較佳為1000ppi以上，更進一步較佳為2000ppi以上，更進一步較佳為3000ppi以上，還進一步較佳為5000ppi以上，進一步較佳為7000ppi以上。藉由使用上述的具有高解析度和高清晰度中的一個或兩者的顯示面板，可以進一步提高真實感及縱深感等。此外，對本發明的一個實施方式的顯示面板的螢幕比例(縱橫比)沒有特別的限制。例如，顯示面板可以適應1:1(正方形)、4:3、16:9、16:10等各種螢幕比例。

【0629】本實施方式的電子裝置也可以包括感測器(該感測器具有感測、檢測、測量如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線)。

【0630】本實施方式的電子裝置可以具有各種功能。

例如，可以具有如下功能：將各種資訊(靜態影像、動態影像、文字影像等)顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；執行各種軟體(程式)的功能；進行無線通訊的功能；讀出儲存在存儲介質中的程式或資料的功能；等。

【0631】使用圖32A至圖32D說明可戴在頭上的可穿戴裝置的一個例子。這些可穿戴裝置具有顯示AR內容的功能和顯示VR內容的功能中的一個或兩者。此外，這些可穿戴裝置也可以具有除了AR、VR以外還顯示SR或MR的內容的功能。當電子裝置具有顯示AR、VR、SR和MR等中的至少一個的內容的功能時，可以提高使用者的沉浸感。

【0632】圖32A所示的電子裝置700A以及圖32B所示的電子裝置700B都包括一對顯示面板751、一對外殼721、通訊部(未圖示)、一對安裝部723、控制部(未圖示)、成像部(未圖示)、一對光學構件753、邊框757以及一對鼻墊758。

【0633】顯示面板751可以應用本發明的一個實施方式的顯示面板。因此，可以實現能夠進行清晰度極高的顯示的電子裝置。

【0634】電子裝置700A及電子裝置700B都可以將由顯示面板751顯示的影像投影於光學構件753中的顯示區域756。因為光學構件753具有透光性，所以使用者可以與藉由光學構件753看到的透過影像重疊地看到顯示於顯示區

域的影像。因此，電子裝置700A及電子裝置700B都是能夠進行AR顯示的電子裝置。

【0635】電子裝置700A及電子裝置700B上作為成像部也可以設置有能夠拍攝前方的照相機。此外，藉由在電子裝置700A及電子裝置700B設置陀螺儀感測器等的加速度感測器，可以檢測使用者的頭部朝向並將對應該方向的影像顯示在顯示區域756上。

【0636】通訊部具有無線通訊裝置，藉由該無線通訊裝置可以供應影像信號等。此外，代替無線通訊裝置或者除了無線通訊裝置以外還可以包括能夠連接供應影像信號及電源電位的電纜的連接器。

【0637】此外，電子裝置700A以及電子裝置700B設置有電池，可以以無線方式和有線方式中的一個或兩者進行充電。

【0638】外殼721也可以設置有觸控感測器模組。觸控感測器模組具有檢測外殼721的外側的面是否被觸摸的功能。藉由觸控感測器模組，可以檢測使用者的點按操作或滑動操作等而執行各種處理。例如，藉由點按操作可以執行動態影像的暫時停止或再生等的處理，藉由滑動操作可以執行快進、快退等的處理等。此外，藉由在兩個外殼721的每一個設置觸控感測器模組，可以擴大操作範圍。

【0639】作為觸控感測器模組，可以使用各種觸控感測器。例如，可以採用靜電電容方式、電阻膜方式、紅外線方式、電磁感應方式、表面聲波式、光學方式等各種方

式。尤其是，較佳為將靜電電容方式或光學方式的感測器應用於觸控感測器模組。

【0640】在使用光學方式的觸控感測器時，作為受光器件(也稱為受光元件)可以使用光電轉換器件(也稱為光電轉換元件)。在光電轉換器件的活性層中可以使用無機半導體和有機半導體中的一個或兩者。

【0641】圖32C所示的電子裝置800A及圖32D所示的電子裝置800B都包括一對顯示部820、外殼821、通訊部822、一對安裝部823、控制部824、一對成像部825及一對透鏡832。

【0642】顯示部820可以應用本發明的一個實施方式的顯示面板。因此，可以實現能夠進行清晰度極高的顯示的電子裝置。由此，使用者可以感受高沉浸感。

【0643】顯示部820設置在外殼821內部的藉由透鏡832能看到的位置上。此外，藉由在一對顯示部820的每一個上顯示不同影像，可以進行利用視差的三維顯示。

【0644】可以將電子裝置800A以及電子裝置800B都稱為面向VR的電子裝置。裝上電子裝置800A或電子裝置800B的使用者藉由透鏡832能看到顯示在顯示部820上的影像。

【0645】電子裝置800A及電子裝置800B較佳為具有一種機構，其中能夠調整透鏡832及顯示部820的左右位置，以根據使用者的眼睛的位置使透鏡832及顯示部820位於最合適的位置上。此外，較佳為具有一種機構，其中藉

由改變透鏡832及顯示部820之間的距離來調整焦點。

【0646】使用者可以使用安裝部823將電子裝置800A或電子裝置800B裝在頭上。在圖32C等中，示出安裝部823具有如眼鏡的鏡腳(也稱為腳絲等)那樣的形狀的例子，但是不侷限於此。只要使用者能夠裝上，安裝部823就例如可以具有頭盔型或帶型的形狀。

【0647】成像部825具有取得外部的資訊的功能。可以將成像部825所取得的資料輸出到顯示部820。在成像部825中可以使用影像感測器。此外，也可以設置多個相機以能夠對應望遠、廣角等多種視角。

【0648】注意，在此示出包括成像部825的例子，設置能夠測量出與物件的距離的測距感測器(以下，也稱為檢測部)即可。換言之，成像部825是檢測部的一個實施方式。作為檢測部例如可以使用影像感測器或雷射雷達(LIDAR：Light Detection and Ranging)等距離影像感測器。藉由使用由相機取得的影像以及由距離影像感測器取得的影像，可以取得更多的資訊，可以實現精度更高的姿態操作。

【0649】電子裝置800A也可以包括被用作骨傳導耳機的振動機構。例如，作為顯示部820、外殼821和安裝部823中的任一個或多個可以採用包括該振動機構的結構。由此，不需要另行設置頭戴式耳機、耳機或揚聲器等音響設備，而只裝上電子裝置800A就可以享受影像和聲音。

【0650】電子裝置800A以及電子裝置800B也可以都

包括輸入端子。可以將供應來自影像輸出設備等的影像信號以及用於對設置在電子裝置內的電池進行充電的電力等的電纜連線到輸入端子。

【0651】本發明的一個實施方式的電子裝置也可以具有與耳機750進行無線通訊的功能。耳機750包括通訊部(未圖示),並具有無線通訊功能。耳機750藉由無線通訊功能可以從電子裝置接收資訊(例如聲音資料)。例如,圖32A所示的電子裝置700A具有藉由無線通訊功能將資訊發送到耳機750的功能。此外,例如圖32C所示的電子裝置800A具有藉由無線通訊功能將資訊發送到耳機750的功能。

【0652】此外,電子裝置也可以包括耳機部。圖32B所示的電子裝置700B包括耳機部727。例如,可以採用以有線方式連接耳機部727和控制部的結構。連接耳機部727和控制部的佈線的一部分也可以配置在外殼721或安裝部723的內部。

【0653】同樣,圖32D所示的電子裝置800B包括耳機部827。例如,可以採用以有線方式連接耳機部827和控制部824的結構。連接耳機部827和控制部824的佈線的一部分也可以配置在外殼821或安裝部823的內部。此外,耳機部827和安裝部823也可以包括磁鐵。由此,可以用磁力將耳機部827固定到安裝部823,收納變得容易,所以是較佳的。

【0654】電子裝置也可以包括能夠與耳機或頭戴式耳

機等連接的聲音輸出端子。此外，電子裝置也可以包括聲音輸入端子和聲音輸入機構中的一個或兩者。作為聲音輸入機構，例如可以使用麥克風等收音裝置。藉由將聲音輸入機構設置到電子裝置，可以使電子裝置具有所謂的耳麥的功能。

【0655】如此，作為本發明的一個實施方式的電子裝置，眼鏡型(電子裝置700A以及電子裝置700B等)和護目鏡型(電子裝置800A以及電子裝置800B等)的兩者都是較佳的。

【0656】圖33A所示的電子裝置6500是可以被用作智慧手機的可攜式資訊終端設備。

【0657】電子裝置6500包括外殼6501、顯示部6502、電源按鈕6503、按鈕6504、揚聲器6505、麥克風6506、相機6507、光源6508以及控制裝置6509等。顯示部6502具有觸控面板功能。控制裝置6509例如包括選自CPU、GPU及記憶體裝置中的任一個或多個。可以將本發明的一個實施方式的半導體裝置用於顯示部6502、控制裝置6509等。藉由將本發明的一個實施方式的半導體裝置用於控制裝置6509，可以降低功耗，因此是較佳的。

【0658】顯示部6502可以使用本發明的一個實施方式的顯示面板。

【0659】圖33B是包括外殼6501的麥克風6506一側的端部的剖面示意圖。

【0660】外殼6501的顯示面一側設置有具有透光性的

保護構件6510，被外殼6501及保護構件6510包圍的空間內設置有顯示面板6511、光學構件6512、觸控感測器面板6513、印刷電路板6517、電池6518等。

【0661】顯示面板6511、光學構件6512及觸控感測器面板6513使用黏合層(未圖示)固定到保護構件6510。

【0662】在顯示部6502的外側的區域中，顯示面板6511的一部分疊回，且該疊回部分連接有FPC6515。FPC6515安裝有IC6516。FPC6515與設置於印刷電路板6517的端子連接。

【0663】顯示面板6511可以使用本發明的一個實施方式的撓性顯示器。由此，可以實現極輕量的電子裝置。此外，由於顯示面板6511極薄，所以可以在抑制電子裝置的厚度的情況下安裝大容量的電池6518。此外，藉由折疊顯示面板6511的一部分以在像素部的背面設置與FPC6515的連接部，可以實現窄邊框的電子裝置。

【0664】圖33C示出電視機的一個例子。在電視機7100中，外殼7101中組裝有顯示部7000。在此示出利用支架7103支撐外殼7101的結構。

【0665】可以藉由利用外殼7101所具備的操作開關以及另外提供的遙控器7111進行圖33C所示的電視機7100的操作。或者，也可以在顯示部7000中具備觸控感測器，也可以藉由用指頭等觸摸顯示部7000進行電視機7100的操作。此外，也可以在遙控器7111中具備顯示從該遙控器7111輸出的資料的顯示部。藉由利用遙控器7111所具備的

操作鍵或觸控面板，可以進行頻道及音量的操作，並可以對顯示在顯示部7000上的影像進行操作。

【0666】此外，電視機7100具備接收機及數據機等。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通訊網路，從而進行單向(從發送者到接收者)或雙向(發送者和接收者之間或接收者之間等)的資訊通訊。

【0667】圖33D示出筆記本式個人電腦的一個例子。筆記本式個人電腦7200包括外殼7211、鍵盤7212、指向裝置7213、外部連接埠7214、控制裝置7216等。在外殼7211中組裝有顯示部7000。控制裝置7216例如包括選自CPU、GPU及記憶體裝置中的任一個或多個。可以將本發明的一個實施方式的半導體裝置用於顯示部7000、控制裝置7216等。藉由將本發明的一個實施方式的半導體裝置用於控制裝置7216，可以降低功耗，因此是較佳的。

【0668】圖33E和圖33F示出數位看板的一個例子。

【0669】圖33E所示的數位看板7300包括外殼7301、顯示部7000及揚聲器7303等。此外，還可以包括LED燈、操作鍵(包括電源開關或操作開關)、連接端子、各種感測器、麥克風等。

【0670】圖33F示出設置於圓柱狀柱子7401上的數位看板7400。數位看板7400包括沿著柱子7401的曲面設置的顯示部7000。

【0671】顯示部7000越大，一次能夠提供的資訊量越

多。顯示部7000越大，越容易吸引人的注意，例如可以提高廣告宣傳效果。

【0672】藉由將觸控面板用於顯示部7000，不僅可以在顯示部7000上顯示靜態影像或動態影像，使用者還能夠直覺性地進行操作，所以是較佳的。此外，在用於提供路線資訊或交通資訊等資訊的用途時，可以藉由直覺性的操作提高易用性。

【0673】如圖33E和圖33F所示，數位看板7300或數位看板7400較佳為可以藉由無線通訊與使用者所攜帶的智慧手機等資訊終端設備7311或資訊終端設備7411聯動。例如，顯示在顯示部7000上的廣告資訊可以顯示在資訊終端設備7311或資訊終端設備7411的螢幕上。此外，藉由操作資訊終端設備7311或資訊終端設備7411，可以切換顯示部7000的顯示。

【0674】此外，可以在數位看板7300或數位看板7400上以資訊終端設備7311或資訊終端設備7411的螢幕為操作單元(控制器)執行遊戲。由此，不特定多個使用者可以同時參加遊戲，享受遊戲的樂趣。

【0675】在圖33C至圖33F中，可以將本發明的一個實施方式的顯示面板用於顯示部7000。

【0676】圖34A至圖34G所示的電子裝置包括外殼9000、顯示部9001、揚聲器9003、操作鍵9005(包括電源開關或操作開關)、連接端子9006、感測器9007(該感測器具有感測、檢測、測量如下因素的功能：力、位移、位

置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線)、麥克風9008等。

【0677】圖34A至圖34G所示的電子裝置具有各種功能。例如，可以具有如下功能：將各種資訊(靜態影像、動態影像及文字影像等)顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；藉由利用各種軟體(程式)控制處理的功能；進行無線通訊的功能；讀出儲存在存儲介質中的程式或資料並進行處理的功能；等。注意，電子裝置的功能不侷限於上述功能，而可以具有各種功能。電子裝置可以包括多個顯示部。此外，也可以在電子裝置中設置照相機等而使其具有如下功能：拍攝靜態影像或動態影像，且將所拍攝的影像儲存在存儲介質(外部存儲介質或內置於照相機的存儲介質)中的功能；將所拍攝的影像顯示在顯示部上的功能；等。

【0678】下面，詳細地說明圖34A至圖34G所示的電子裝置。

【0679】圖34A是示出可攜式資訊終端9101的立體圖。可以將可攜式資訊終端9101例如用作智慧手機。注意，在可攜式資訊終端9101中，也可以設置揚聲器9003、連接端子9006、感測器9007等。此外，作為可攜式資訊終端9101，可以將文字或影像資訊顯示在其多個面上。在圖34A中示出顯示三個圖示9050的例子。此外，可以將以虛

線的矩形示出的資訊9051顯示在顯示部9001的其他面上。作為資訊9051的一個例子，可以舉出提示收到電子郵件、SNS或電話等的資訊；電子郵件或SNS等的標題；電子郵件或SNS等的發送者姓名；日期；時間；電池餘量；以及電波強度等。或者，可以在顯示有資訊9051的位置上顯示圖示9050等。

【0680】圖34B是示出可攜式資訊終端9102的立體圖。可攜式資訊終端9102具有將資訊顯示在顯示部9001的三個以上的面上的功能。在此，示出資訊9052、資訊9053、資訊9054分別顯示於不同的面上的例子。例如，在將可攜式資訊終端9102放在上衣口袋裡的狀態下，使用者能夠確認顯示在從可攜式資訊終端9102的上方看到的位置上的資訊9053。例如，使用者可以確認到該顯示而無需從口袋裡拿出可攜式資訊終端9102，由此能夠判斷是否接電話。

【0681】圖34C是示出平板終端9103的立體圖。平板終端9103例如可以執行行動電話、電子郵件及文章的閱讀和編輯、播放音樂、網路通訊、電腦遊戲等各種應用軟體。平板終端9103在外殼9000的正面包括顯示部9001、照相機9002、麥克風9008及揚聲器9003，在外殼9000的左側面包括用作操作用按鈕的操作鍵9005，並且在底面包括連接端子9006。

【0682】圖34D是示出手錶型可攜式資訊終端9200的立體圖。可以將可攜式資訊終端9200例如用作智慧手錶

(註冊商標)。此外，顯示部9001的顯示面彎曲，可沿著其彎曲的顯示面進行顯示。此外，可攜式資訊終端9200例如藉由與可進行無線通訊的耳麥相互通訊可以進行免提通話。此外，藉由利用連接端子9006，可攜式資訊終端9200可以與其他資訊終端進行資料傳輸或進行充電。充電也可以藉由無線供電進行。

【0683】圖34E至圖34G是示出可以折疊的可攜式資訊終端9201的立體圖。此外，圖34E是將可攜式資訊終端9201展開的狀態的立體圖，圖34G是折疊的狀態的立體圖，圖34F是從圖34E的狀態和圖34G的狀態中的一個轉換成另一個時中途的狀態的立體圖。可攜式資訊終端9201在折疊狀態下可攜性好，而在展開狀態下因為具有無縫拼接較大的顯示區域所以顯示的瀏覽性強。可攜式資訊終端9201所包括的顯示部9001被由鉸鏈9055連結的三個外殼9000支撐。顯示部9001例如可以在曲率半徑0.1mm以上且150mm以下的範圍彎曲。

【0684】本實施方式的至少一部分可以與本說明書所記載的其他實施方式及實施例適當地組合而實施。

實施例1

【0685】在本實施例中，評價包含釕的佈線和包含氧化物半導體的佈線的接觸電阻。明確而言，製造使包含釕的佈線和包含氧化物半導體的佈線接觸的樣品，利用四端法測量接觸電阻。

【0686】首先，說明根據本實施例的樣品1A及樣品1B的結構及製造方法。

【0687】樣品1A及樣品1B都包括寬度為5μm的第一佈線以及位於第一佈線上並設置有寬度為5μm的第二佈線的元件。第二佈線延伸設置在與第一佈線正交的方向上。第一佈線的頂面和第二佈線的底面在交叉部接觸，交叉部的面積為5μm×5μm=25μm^2。此外，在樣品1A及樣品1B的每一個中設置36個上述包括第一佈線及第二佈線的元件。

【0688】樣品1A的第一佈線是鎢膜(記為W膜)和W膜上的添加有矽的銦錫氧化物膜(記為ITSO膜)的疊層膜(記為W\ITSO膜)。

【0689】W膜的厚度為50nm，藉由使用鎢靶材的濺射法進行沉積。沉積條件為如下：作為沉積氣體使用Ar氣體10sccm；壓力為0.4Pa；用DC電源將沉積功率設定為1000W；以及基板溫度為130℃。

【0690】ITSO膜的厚度為10nm，藉由使用包含SiO_2的銦錫氧化物靶材的濺射法進行沉積。在此，包含SiO_2的銦錫氧化物靶材包含5wt%的SiO_2、10wt%的SnO_2及85wt%的In_2O_3。沉積條件為如下：作為沉積氣體使用Ar氣體50sccm及O_2氣體1.5sccm；壓力為0.4Pa；用DC電源將沉積功率設定為1000W；以及基板溫度為室溫。

【0691】樣品1A的第二佈線是In-Ga-Zn氧化物膜(記為IGZO膜)和IGZO膜上的W膜的疊層膜(記為IGZO\W膜)。在與第一佈線相同的條件下沉積W膜。

【0692】IGZO膜的厚度為20nm，藉由使用In:Ga:Zn=1:1:1.2[原子個數比]的氧化物靶材的濺射法進行沉積。沉積條件為如下：作為沉積氣體使用Ar氣體10sccm及O_2氣體90sccm；壓力為0.5Pa；用RF電源將沉積功率設定為2000W；以及基板溫度為250℃。

【0693】樣品1B的第一佈線是釕膜(記為Ru膜)和Ru膜上的ITSO膜的疊層膜(記為Ru\ITSO膜)。在與樣品1A的第一佈線相同的條件下沉積ITSO膜。

【0694】Ru膜的厚度為20nm，藉由使用釕靶材的濺射法進行沉積。沉積條件為如下：作為沉積氣體使用Ar氣體50sccm；壓力為0.4Pa；用DC電源將沉積功率設定為500W；以及基板溫度為室溫。

【0695】此外，樣品1B的第二佈線採用與樣品1A的第二佈線相同的條件。因此，在樣品1A及樣品1B中，ITSO膜和IGZO膜在第一佈線和第二佈線的交叉部接觸。

【0696】由此，製造樣品1A及樣品1B。

【0697】圖35示出利用四端法測量樣品1A及樣品1B的接觸電阻的結果。在圖35中，縱軸表示接觸電阻[Ω]。圖35示出樣品1A及樣品1B的36個元件的接觸電阻值(以白圈表示)以及樣品1A及樣品1B的36個元件的接觸電阻的中值(以線段表示)。在利用四端法的測量中，對第一佈線的一個端部與第二佈線的一個端部之間施加0.01V的電壓來算出接觸電阻的值。

【0698】如圖35所示，樣品1A的接觸電阻的中值為

25Ω，樣品1B的接觸電阻的中值為16Ω。就是說，樣品1B表示等於或低於樣品1A的接觸電阻。

【0699】如上所述，藉由作為接觸於IGZO膜的佈線選擇ITSO膜等金屬氧化物膜，可以具有良好的接觸電阻。此外，在該金屬氧化物膜下設置釕膜也呈現等於或低於設置鎢膜的情況下的接觸電阻的接觸電阻。

實施例2

【0700】在本實施例中，說明製造圖4B所示的設置有開口的結構體並進行剖面SEM觀察的結果。

【0701】在本實施例中，準備在形成有氧化矽膜的矽基板上依次層疊第一導電膜、層間膜、第二導電膜、SOG膜的樣品2A，形成到達樣品2A的第一導電膜的開口。此外，準備具有與樣品2A同樣的結構並在第二導電膜與SOG膜之間設置鎢膜(記為W膜)的樣品2B，形成到達樣品2B的第一導電膜的開口。在樣品2A及樣品2B中，開口的徑為60nm。

【0702】在此，第一導電膜對應於圖4B所示的導電體220，層間膜對應於絕緣體280，第二導電膜對應於導電膜240A及導電膜240B，SOG膜對應於圖5A至圖5D及圖7A至圖7D所示的塗佈膜277，W膜對應於圖7A至圖7D所示的無機膜276。

【0703】接著，說明形成有上述結構體的樣品2A及樣品2B的製造方法。在此，樣品2A藉由根據圖5A至圖5D的

方法製造，樣品2B藉由根據圖7A至圖7D的方法製造。除了根據W膜的製程之外，樣品2B的製造方法都與樣品2A的製造方法相同。以下，並列地說明樣品2A及樣品2B的製造方法。

【0704】首先，準備形成有氧化矽膜的矽基板，在矽基板上沉積第一導電膜。在此，第一導電膜是鎢膜(記為W膜)和添加有矽的銦錫氧化物膜(記為ITSO膜)的疊層膜(記為W\ITSO膜)。W膜的厚度為20nm，藉由使用鎢靶材的濺射法進行沉積。ITSO膜的厚度為10nm，藉由使用包含SiO_2的銦錫氧化物靶材的濺射法進行沉積。在此，包含SiO_2的銦錫氧化物靶材包含5wt%的SiO_2、10wt%的SnO_2及85wt%的In_2O_3。

【0705】接著，在第一導電膜上沉積層間膜。在此，與圖10B同樣，層間膜是氮化矽膜(記為SiNx膜)、氧化矽膜(記為SiOx膜)和SiNx膜的三層疊層膜。第一個層SiNx膜的厚度為5nm，藉由PEALD法進行沉積。此外，第二個層SiOx膜的厚度為20nm，藉由使用矽靶材的濺射法進行沉積。此外，第三個層SiNx膜的厚度為10nm，藉由使用矽靶材的濺射法進行沉積。

【0706】接著，在層間膜上沉積第二導電膜。在此，第二導電膜是釕膜(記為Ru膜)和添加有矽的銦錫氧化物膜(記為ITSO膜)的疊層膜(記為Ru\ITSO膜)。Ru膜的厚度為15nm，藉由使用釕靶材的濺射法進行沉積。ITSO膜的厚度為10nm，在與上述ITSO膜同樣的條件下進行沉積。

【0707】接著，在樣品2B中，在第二導電膜上沉積W膜。W膜的厚度為10nm，藉由使用鎢靶材的濺射法進行沉積。

【0708】接著，在樣品2A及樣品2B上利用旋塗法沉積SOG膜。

【0709】在如上所述地製造的樣品2A及樣品2B上，與圖5A、圖7A同樣形成正型光阻膜。對該光阻膜照射電子束來形成直徑為60nm的開口。

【0710】接著，使用設置有開口的光阻遮罩進行對應於圖5B至圖5D、圖7B至圖7D的乾蝕刻處理。

【0711】首先，與圖5B及圖7B同樣，蝕刻SOG膜。在SOG膜的蝕刻中使用DF-CCP蝕刻裝置。作為蝕刻氣體使用CHF_3氣體67sccm、O_2氣體13sccm。使用60MHz的RF電源對上部電極供應550W，並使用2MHz的RF電源對下部電極供應350W。其他條件為如下：電極間距離為40mm；壓力為5.3Pa；以及下部電極溫度為20℃。

【0712】再者，在樣品2B中，與圖7B同樣，蝕刻W膜。在W膜的蝕刻中使用DF-CCP蝕刻裝置。作為蝕刻氣體使用Cl_2氣體11sccm、O_2氣體22sccm、CF_4氣體22sccm。使用60MHz的RF電源對上部電極供應1000W，使用13.56MHz的RF電源對下部電極供應25W。其他條件為如下：電極間距離為80mm；壓力為0.6Pa；以及下部電極溫度為20℃。

【0713】接著，與圖5C及圖7C同樣，蝕刻ITSO膜。

在ITSO膜的蝕刻中使用DF-CCP蝕刻裝置。作為蝕刻氣體使用CH_4氣體18sccm、Ar氣體42sccm。使用60MHz的RF電源對上部電極供應1000W，使用13.56MHz的RF電源對下部電極供應200W。其他條件為如下：電極間距離為120mm；壓力為1.2Pa；以及下部電極溫度為60℃。

【0714】接著，與圖5D及圖7C同樣，蝕刻Ru膜。在Ru膜的蝕刻中使用ICP蝕刻裝置。作為蝕刻氣體，使用Cl_2氣體25sccm、O_2氣體175sccm。使用13.56MHz的RF電源對上部電極(天線線圈)供應3000W，使用3.2MHz的RF電源對下部電極供應200W。其他條件為如下：電極間距離為200mm；壓力為0.67Pa；以及下部電極溫度為40℃。

【0715】接著，與圖4B及圖7D同樣，蝕刻層間膜。在層間膜的蝕刻中使用DF-CCP蝕刻裝置。作為蝕刻氣體使用CH_2F_2氣體16sccm、O_2氣體20sccm、CHF_3氣體30sccm、CF_4氣體30sccm、Ar氣體300sccm。使用40MHz的RF電源對下部電極供應300W，與此同時使用13MHz的RF電源對其供應600W。其他條件為如下：電極間距離為40mm；壓力為4.6Pa；以及下部電極溫度為30℃。

【0716】再者，在樣品2B中，蝕刻W膜而去除用作硬遮罩的W膜。在W膜的蝕刻中使用DF-CCP蝕刻裝置。W膜的蝕刻條件與上述條件同樣。

【0717】對如上所述製造的樣品2A及樣品2B拍攝了剖面SEM影像。使用日立高新技術公司製造的“SU8030”且在加速電壓為5kV下進行剖面SEM影像的拍攝。

【0718】圖36A及圖36B示出樣品2A及樣品2B的剖面SEM影像。在樣品2A中層間膜的開口側壁的錐角為84°，在樣品2B中層間膜的開口側壁的錐角為85°。此外，在樣品2A中第二導電膜的ITSO膜的側面的錐角為45°，具有與圖6A所示的結構同樣的形狀。另一方面，在樣品2B中第二導電膜的ITSO膜的側面的錐角與層間膜的開口側壁的錐角大致相同。

【0719】如上所述，在樣品2A及樣品2B中可以在層間膜中形成側壁大致垂直的開口。這是因為，在層間膜的乾蝕刻處理中，層間膜上的Ru膜及W膜被用作硬遮罩。再者，在樣品2B中，可以將第二導電膜的ITSO膜的側面也形成為大致垂直。這是因為，在第二導電膜的乾蝕刻處理中，第二導電膜上的W膜被用作硬遮罩。因此，如上述實施方式所示，較佳為在層間膜上的用作源極電極或汲極電極的導電層上設置用作硬遮罩的金屬膜。

【0720】本實施例可以與實施方式及其他實施例適當地組合。

實施例3

【0721】在本實施例中，使用STEM(Scanning Transmission Electron Microscopy：掃描電子顯微鏡)觀察沉積在金屬氧化物膜上的氧化物半導體膜。

【0722】首先，說明根據本實施例的樣品3A及樣品3B的製造方法。

【0723】樣品3A及樣品3B都具有如下結構：形成有熱氧化膜的矽基板上形成有金屬氧化物膜和金屬氧化物膜上的氧化物半導體膜。在樣品3A中，作為金屬氧化物膜沉積添加有矽的銦錫氧化物膜(記為ITSO膜)。在樣品3B中，作為金屬氧化物膜沉積銦錫氧化物膜(記為ITO膜)。在樣品3A及樣品3B中，作為氧化物半導體膜沉積In-Ga-Zn氧化物膜(記為IGZO膜)。

【0724】ITSO膜的厚度為10nm，藉由使用包含SiO_2的銦錫氧化物靶材的濺射法進行沉積。在此，包含SiO_2的銦錫氧化物靶材包含5wt%的SiO_2、10wt%的SnO_2及85wt%的In_2O_3。沉積條件為如下：作為沉積氣體使用Ar氣體50sccm及O_2氣體1.5sccm；壓力為0.4Pa；用DC電源將沉積功率設定為1000W；以及基板溫度為室溫。

【0725】ITO膜的厚度為10nm，藉由使用銦錫氧化物靶材的濺射法進行沉積。在此，銦錫氧化物靶材包含10wt%的SnO_2及90wt%的In_2O_3。沉積條件為如下：作為沉積氣體使用Ar氣體50sccm及O_2氣體1sccm；壓力為0.7Pa；用DC電源將沉積功率設定為500W；以及基板溫度為室溫。

【0726】IGZO膜的厚度為10nm，藉由使用In:Ga:Zn=1:1:1.2[原子個數比]的氧化物靶材的濺射法進行沉積。沉積條件為如下：作為沉積氣體使用Ar氣體10sccm及O_2氣體90sccm；壓力為0.5Pa；用RF電源將沉積功率設定為2000W；以及基板溫度為250℃。

【0727】由此，製造樣品3A及樣品3B。

【0728】使用日立高新技術公司製造的“HD-2700”且將加速電壓設定為200kV，進行所製造的樣品3A及樣品3B的剖面STEM影像的拍攝。圖37示出樣品3A的剖面STEM影像，圖38示出樣品3B的剖面STEM影像。

【0729】從圖37及圖38的剖面STEM影像確認到，在樣品3A及樣品3B中，IGZO膜都具有晶體結構。樣品3A的ITSO膜上的IGZO膜具有很多平行於被形成面的層狀結晶區域。相對於此，樣品3B的ITO膜上的IGZO膜具有很多延伸在垂直於被形成面的方向上的晶粒。

【0730】此外，圖37及圖38還示出各樣品的ITSO膜或ITO膜以及IGZO膜的FFT(Fast Fourier Transform：快速傅立葉變換)影像。FFT影像是藉由對圖37及圖38的剖面STEM影像進行FFT分析而得的影像，是具有反映了與電子繞射圖案同樣的倒格空間資訊的圖案的影像。

【0731】從圖37的FFT影像確認到，樣品3A的IGZO膜具有兩個斑點。在此，當沿垂直於其c軸的方向拍攝CAAC-OS的剖面TEM影像時，有可能在FFT影像中觀察到強度較大的兩個斑點。連接該兩個斑點的線段的角度表示CAAC-OS的晶體配向。由此可認為，樣品3A的IGZO膜被CAAC-OS化。另一方面，ITSO膜中確認不到明確的斑點。由此可認為，ITSO膜被非晶化。

【0732】在此，當對具有與樣品3A相似的疊層結構的樣品進行XPS測量時，能帶偏移ΔEc的值非常小，即為

0.04eV。在此，能帶偏移ΔEc是ITSO膜的導帶底的能量與IGZO膜的導帶底的能量之差分。在上述XPS測量中，IGZO膜的導帶底的能量比ITSO膜大。藉由XPS測量對ITSO膜的價帶頂的能量及IGZO膜的價帶頂的能量進行測量，由此算出能帶偏移ΔEc。如此，ITSO膜和IGZO膜的能帶偏移非常小。因此，可以認為，ITSO膜和IGZO膜幾乎形成歐姆接觸。也就是說，可以認為，樣品3A的具有非晶結構的ITSO膜和具有CAAC-OS結構的IGZO膜幾乎形成歐姆接觸。

【0733】此外，從圖38的FFT影像可確認，樣品3B的ITO膜及IGZO膜具有多個斑點。因此，可以認為，樣品3B的ITO膜及IGZO膜都被多晶化。

【0734】如上所述，可知，藉由在金屬氧化物膜上沉積氧化物半導體膜，可以形成具有結晶性的氧化物半導體膜。因此，如上述實施方式所示，藉由在源極電極及汲極電極的上側的層上設置金屬氧化物膜，可以使接觸於源極電極及汲極電極的上側的層的氧化物半導體膜具有結晶性。

【0735】另外，可知，藉由在具有非晶結構的金屬氧化物膜上沉積氧化物半導體膜，可以形成晶界少的CAAC-OS膜。因此，如上述實施方式所示，藉由在源極電極及汲極電極的上側的層上設置ITSO膜等具有非晶結構的金屬氧化物膜，可以使接觸於源極電極及汲極電極的上側的層的氧化物半導體膜成為CAAC-OS膜。此時，源極電極及汲

極電極與氧化物半導體膜形成歐姆接觸，所以可以提供一種具有良好的電特性的電晶體。

【0736】本實施例可以與實施方式及其他實施例適當地組合。

實施例4

【0737】在本實施例中，說明製造圖14B所示的開口部的內部設置有側壁狀絕緣體的結構體並進行剖面STEM觀察的結果。

【0738】在本實施例中，準備在形成有氧化矽膜的矽基板上依次層疊第一導電膜、層間膜、第二導電膜、SOC膜、SOG膜的樣品4A，形成到達樣品4A的第一導電膜的開口部，並且形成側壁狀絕緣體。在樣品4A中，開口部的徑為60nm。

【0739】在此，第一導電膜對應於圖14B所示的導電體220，層間膜對應於絕緣體280，第二導電膜對應於導電膜240A及導電膜240B，SOC膜及SOG膜對應於圖5A至圖5D所示的塗佈膜277。

【0740】接著，說明形成有上述結構體的樣品4A的製造方法。在此，樣品4A藉由根據圖5A至圖5D、圖14A及圖14B的方法製造。

【0741】首先，準備形成有氧化矽膜的矽基板，在矽基板上沉積第一導電膜。在此，第一導電膜是鎢膜(記為W膜)和添加有矽的銦錫氧化物膜(記為ITSO膜)的疊層膜

(記為W\ITSO膜)。W膜的厚度為20nm，藉由使用鎢靶材的濺射法進行沉積。ITSO膜的厚度為20nm，藉由使用包含SiO_2的銦錫氧化物靶材的濺射法進行沉積。在此，包含SiO_2的銦錫氧化物靶材包含5wt%的SiO_2、10wt%的SnO_2及85wt%的In_2O_3。

【0742】接著，在第一導電膜上沉積層間膜。在此，與圖14A同樣，層間膜是氮化矽膜(記為SiNx膜)、氧化矽膜(記為SiOx膜)和SiNx膜的三層疊層膜。第一個層SiNx膜的厚度為5nm，藉由PEALD法進行沉積。此外，第二個層SiOx膜的厚度為20nm，藉由使用矽靶材的濺射法進行沉積。此外，第三個層SiNx膜的厚度為10nm，藉由使用矽靶材的濺射法進行沉積。

【0743】接著，在層間膜上沉積第二導電膜。在此，第二導電膜是W膜和ITSO膜的疊層膜(記為W\ITSO膜)。W膜的厚度為15nm，ITSO膜的厚度為10nm。W\ITSO膜在與第一導電膜的W\ITSO膜同樣的條件下進行沉積。

【0744】接著，在樣品4A上利用旋塗法沉積SOC膜，在其上沉積SOG膜。

【0745】在如上所述地製造的樣品4A上，與圖5A同樣形成正型光阻膜。對該光阻膜照射電子束，用顯影液去除電子束照射部，來在該光阻膜中形成直徑為60nm的開口部。

【0746】接著，使用設置有開口部的光阻遮罩進行對應於圖5B至圖5D的乾蝕刻處理。

【0747】首先，與圖5B同樣，蝕刻SOG膜及SOC膜。在SOG膜及SOC膜的蝕刻中使用DF-CCP蝕刻裝置。

【0748】在SOG膜的蝕刻中，作為蝕刻氣體使用CHF_3氣體67sccm、O_2氣體13sccm。使用60MHz的RF電源對上部電極供應550W，並使用2MHz的RF電源對下部電極供應350W。其他條件為如下：電極間距離為40mm；壓力為5.3Pa；以及下部電極溫度為20℃。

【0749】在SOC膜的蝕刻中，作為蝕刻氣體使用H_3氣體500sccm、N_2氣體150sccm。使用60MHz的RF電源對上部電極供應1000W，並使用2MHz的RF電源對下部電極供應200W。其他條件為如下：電極間距離為25mm；壓力為6.6Pa；以及下部電極溫度為20℃。

【0750】接著，與圖5C同樣，蝕刻ITSO膜。在ITSO膜的蝕刻中使用DF-CCP蝕刻裝置。作為蝕刻氣體使用CH_4氣體18sccm、Ar氣體42sccm。使用60MHz的RF電源對上部電極供應1000W，使用13.56MHz的RF電源對下部電極供應600W。其他條件為如下：電極間距離為120mm；壓力為1.2Pa；以及下部電極溫度為60℃。

【0751】再者，為了去除在上述ITSO膜的蝕刻中形成的反應生成物，用稀氫氟酸進行濕式洗滌。

【0752】接著，與圖5D同樣，蝕刻W膜。在W膜的蝕刻中使用DF-CCP蝕刻裝置。作為蝕刻氣體使用Cl_2氣體11sccm、O_2氣體22sccm、CF_4氣體22sccm。使用60MHz的RF電源對上部電極供應1000W，使用13.56MHz的RF電源

對下部電極供應25W。其他條件為如下：電極間距離為80mm；壓力為1.3Pa；以及下部電極溫度為20℃。

【0753】接著，蝕刻層間膜。在層間膜的蝕刻中使用DF-CCP蝕刻裝置。作為蝕刻氣體使用CH_2F_2氣體16sccm、O_2氣體20sccm、CHF_3氣體30sccm、CF_4氣體30sccm、Ar氣體300sccm。使用40MHz的RF電源對下部電極供應300W，與此同時使用13MHz的RF電源對其供應600W。其他條件為如下：電極間距離為40mm；壓力為4.6Pa；以及下部電極溫度為30℃。

【0754】如上所述地形成開口部，然後用稀氫氟酸進行濕式洗滌。

【0755】接著，與圖14A同樣，沉積將在後面製程中成為側壁狀絕緣體的絕緣膜。該絕緣膜是厚度為5nm的SiNx膜，藉由PEALD法進行沉積。

【0756】接著，與圖14B同樣，進行SiNx膜的各向異性蝕刻。在SiNx膜的蝕刻中使用DF-CCP蝕刻裝置。作為蝕刻氣體使用CH_2F_2氣體25sccm、O_2氣體5sccm、Ar氣體600sccm。對下部電極使用40MHz的RF電源供應100W，同時使用13MHz的RF電源供應50W。其他條件為如下：電極間距離為40mm；壓力為6.6Pa；以及下部電極溫度為30℃。

【0757】由此，製造包括開口部及側壁狀絕緣體的樣品4A。

【0758】對如上所述製造的樣品4A拍攝了剖面STEM

影像。剖面STEM影像的拍攝利用由日立高新技術公司製造的“HD-2700”，加速電壓為200kV。

【0759】圖39示出樣品4A的剖面STEM影像。從圖39可確認到，以接觸於開口部的側壁的方式形成有SiNx膜。此外，還可確認到，該SiNx膜不形成在開口部的底面的中央部附近以及第二導電膜的ITSO膜的頂面上。此外，SiNx膜以接觸於第二導電膜的ITSO膜及W膜的方式形成。尤其是，第二導電膜的W膜的側面被SiNx膜覆蓋到上端部。此外，第二導電膜的ITSO膜中以與開口部重疊的方式形成有凹部，該凹部中形成有側壁狀SiNx膜的一部分。

【0760】如上所述，在樣品4A中可以形成包括開口以及接觸於開口的側壁的側壁狀絕緣體。在縱向電晶體中，藉由以與上部的用作源極或汲極的電極的側面接觸的方式設置側壁狀絕緣體，可以抑制該電極的側面因接觸於氧化物半導體而氧化。由此，可以抑制上部的用作源極或汲極的電極的導電性下降而提供具有良好的通態電流、場效移動率、S值、頻率特性等的電晶體。

【符號說明】

【0761】

100a:顯示裝置

100b:顯示裝置

100:顯示裝置

101:基板

110B:發光元件

110G:發光元件

110R:發光元件

110W:發光元件

110:發光元件

111B:像素電極

111C:連接電極

111G:像素電極

111R:像素電極

111:像素電極

112B:有機層

112G:有機層

112R:有機層

112W:有機層

112:有機層

113:共用電極

114:共用層

115B:導電層

115G:導電層

115R:導電層

115:導電層

116B:彩色層

116G:彩色層

116R:彩色層

121:保護層

122:絕緣層

123:絕緣層

125:絕緣層

126:樹脂層

128:層

130:連接部

140:電容器

141:導電層

143:絕緣層

145:導電層

154:絕緣層

155a:絕緣層

155b:絕緣層

155c:絕緣層

156:插頭

164:絕緣層

170:基板

171:黏合層

174a:導電層

174b:導電層

174:插頭

200E:電晶體

200:電晶體

201:基板

210:絕緣體

220a:導電體

220b:導電體

220:導電體

221:絕緣體

222:絕緣體

223:絕緣體

230a:氧化物半導體

230b:氧化物半導體

230c:氧化物半導體

230:氧化物半導體

231:結晶部

240a:導電體

240A:導電膜

240b:導電體

240B:導電膜

240:導電體

242a:導電體

242b:導電體

242:導電體

243a:導電體

243b:導電體

243:導電體

250a:絕緣體

250b:絕緣體

250:絕緣體

260a:導電體

260b:導電體

260:導電體

276:無機膜

277:塗佈膜

279:光阻遮罩

280a:絕緣體

280b:絕緣體

280c:絕緣體

280:絕緣體

283a:絕緣體

283b:絕緣體

283:絕緣體

290A:開口部

290B:開口部

290:開口部

310:電晶體

311:基板

314:低電阻區域

315:絕緣體

316:導電體

317:絕緣體

318:元件分離層

500A:顯示裝置

500C:顯示裝置

520:電晶體

580:顯示模組

581:顯示部

582:電路部

583a:像素電路

583:像素電路部

584a:像素

584:像素部

585:端子部

586:佈線部

590:FPC

591:基板

592:基板

700A:電子裝置

700B:電子裝置

721:外殼

723:安裝部

727:耳機部

750:耳機

751:顯示面板

753:光學構件

756:顯示區域

757:邊框

758:鼻墊

800A:電子裝置

800B:電子裝置

820:顯示部

821:外殼

822:通訊部

823:安裝部

824:控制部

825:成像部

827:耳機部

832:透鏡

900:半導體裝置

910:驅動電路

911:週邊電路

912:控制電路

915:週邊電路

920:記憶體陣列

923:行驅動器

924:列驅動器

925:輸入電路

926:輸出電路

927:感測放大器

928:電壓生成電路

930:層

931:PSW

932:PSW

941:行解碼器

942:列解碼器

950:記憶單元

951:記憶單元

952:記憶單元

953:記憶單元

954:記憶單元

955:記憶單元

956:記憶單元

957:記憶單元

958:記憶單元

960:運算裝置

970A:半導體裝置

970B:半導體裝置

970C:半導體裝置

989:緩存介面

990:基板

991:ALU

992:ALU控制器

993:指令解碼器

994:中斷控制器

995:時序控制器

996:暫存器

997:暫存器控制器

998:匯流排介面

999:緩存

5600:大型電腦

5610:機架

5620:電腦

5621:個人電腦卡

5622:板

5623:連接端子

5624:連接端子

5625:連接端子

5626:半導體裝置

5627:半導體裝置

5628:半導體裝置

5629:連接端子

5630:主機板

5631:插槽

6500:電子裝置

6501:外殼

6502:顯示部

6503:電源按鈕

6504:按鈕

6505:揚聲器

6506:麥克風

6507:相機

6508:光源

6509:控制裝置

6510:保護構件

6511:顯示面板

6512:光學構件

6513:觸控感測器面板

6515:FPC

6516:IC

6517:印刷電路板

6518:電池

6600:電子裝置

6611:外殼

6612:鍵盤

6613:指向裝置

6614:外部連接埠

6615:顯示部

6616:控制裝置

6800:人造衛星

6801:主體

6802:太陽能電池板

6803:天線

6804:行星

6805:二次電池

6807:控制裝置

6900:儲存系統

6901sb:伺服器

6901:主機

6902:儲存控制電路

6903md:記憶體裝置

6903:儲存

7000:顯示部

7100:電視機

7101:外殼

7103:支架

7111:遙控器

7200:筆記本式個人電腦

7211:外殼

7212:鍵盤

7213:指向裝置

7214:外部連接埠

7216:控制裝置

7300:數位看板

7301:外殼

7303:揚聲器

7311:資訊終端設備

7400:數位看板

7401:柱子

7411:資訊終端設備

9000:外殼

9001:顯示部

9002:照相機

9003:揚聲器

9005:操作鍵

9006:連接端子

9007:感測器

9008:麥克風

9050:圖示

9051:資訊

9052:資訊

9053:資訊

9054:資訊

9055:鉸鏈

9101:可攜式資訊終端

9102:可攜式資訊終端

9103:平板終端

9200:可攜式資訊終端

9201:可攜式資訊終端

【發明申請專利範圍】

【請求項1】一種半導體裝置，包括：

電晶體；以及

第一至第三絕緣體，

其中，該第二絕緣體配置在該第一絕緣體上，

該第三絕緣體配置在該第二絕緣體上，

該電晶體包括該第二絕緣體上的第一導電體、該第三絕緣體上的第二導電體、氧化物半導體、第四絕緣體及第三導電體，

該第三絕緣體及該第二導電體中設置有到達該第一導電體的開口部，

該氧化物半導體接觸於該第一導電體的頂面以及該第二導電體的頂面及側面，

該第四絕緣體以其至少一部分位於該開口部的方式配置在該氧化物半導體上，

該第三導電體以其至少一部分位於該開口部的方式配置在該第四絕緣體上，

該第二絕緣體具有俘獲或固定氫的功能，

該第二導電體包括第一層及該第一層上的第二層，

該第一層的導電性高於該第二層，

並且，該第二層包含金屬氧化物。

【請求項2】如請求項1之半導體裝置，

其中該第一層包含釕或鎢。

【請求項3】如請求項2之半導體裝置，

其中該第二層包含銦。

【請求項4】如請求項3之半導體裝置，

其中該第二層包含錫及矽，

並且該第二層具有非晶結構。

【請求項5】如請求項1至4中任一項之半導體裝置，

其中該第一絕緣體及該第三絕緣體具有氫阻擋性。

【請求項6】如請求項5之半導體裝置，

其中該第二絕緣體包含鋁、矽及氧。

【請求項7】如請求項6之半導體裝置，

其中該第一絕緣體及該第三絕緣體包含矽及氮。

【請求項8】如請求項5之半導體裝置，

其中該第一導電體包括第三層及該第三層上的第四層，

該第三層的導電性高於該第四層，

並且該第四層包含金屬氧化物。

【請求項9】如請求項8之半導體裝置，

其中該第三層包含鎢。

【請求項10】如請求項9之半導體裝置，

其中該第四層包含銦。

【請求項11】如請求項10之半導體裝置，

其中該第四層包含錫及矽，

並且該第四層具有非晶結構。

【請求項12】一種半導體裝置，包括：

電晶體；以及

第一絕緣體及第二絕緣體，

其中，該電晶體包括第一導電體、該第一導電體及該第一絕緣體上的第二導電體、氧化物半導體、第三絕緣體以及第三導電體，

該第三絕緣體及該第二導電體中設置有到達該第一導電體的開口部，

該氧化物半導體接觸於該第一導電體的頂面及該第二導電體的頂面，

該第三絕緣體以其至少一部分位於該開口部的方式配置在該氧化物半導體上，

該第三導電體以其至少一部分位於該開口部的方式配置在該第三絕緣體上，

該第二絕緣體在該開口部中配置在該第一絕緣體及該第二導電體與該氧化物半導體之間，

該第二導電體包括第一層及該第一層上的第二層，

該第一層的導電性高於該第二層，

該第二層包含金屬氧化物，

並且，該第二絕緣體的一個側面至少接觸於該第一層的側面。

【請求項13】如請求項12之半導體裝置，

其中該第一層包含釕或鎢。

【請求項14】如請求項12之半導體裝置，

其中該第二層包含銦。

【請求項15】如請求項14之半導體裝置，

其中該第二層包含錫及矽，

並且該第二層具有非晶結構。

【請求項16】如請求項12之半導體裝置，

其中該第二絕緣體的上端部的高度低於該第二層的頂面的高度。

【請求項17】如請求項12之半導體裝置，

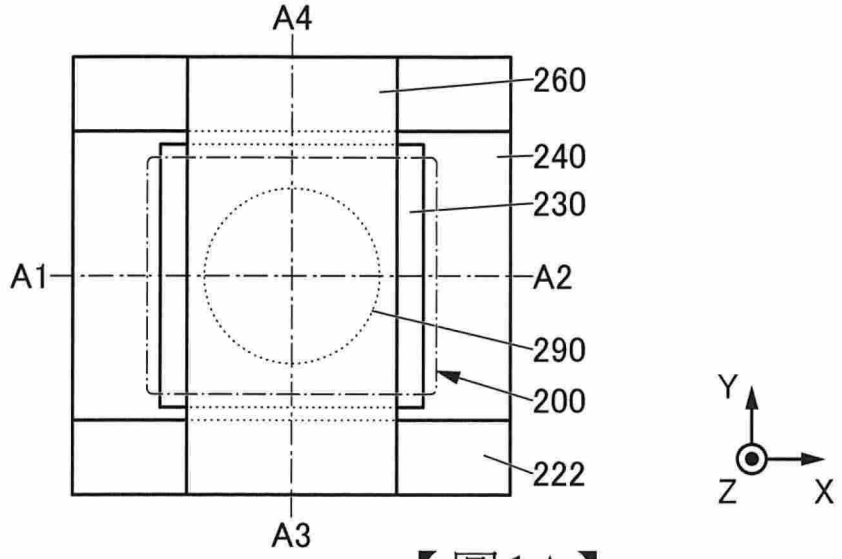
該第二絕緣體的一個側面接觸於該第一絕緣體，

並且該第二絕緣體的另一個側面接觸於該氧化物半導體。

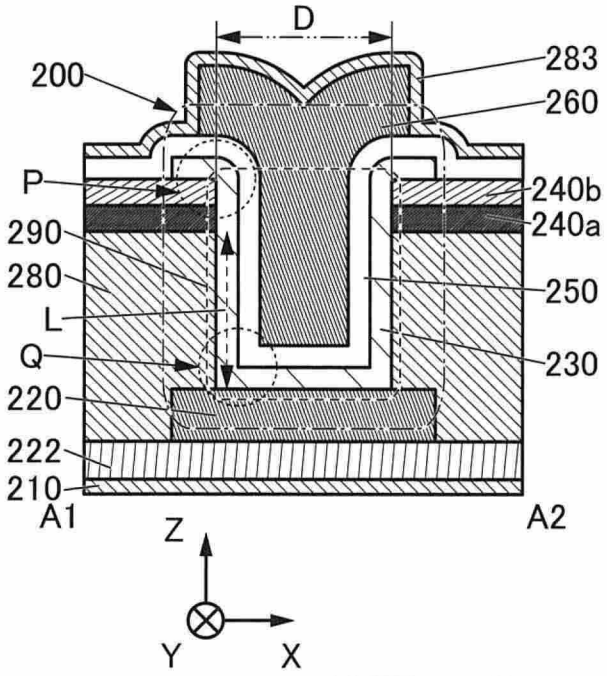
【請求項18】如請求項12至17中任一項之半導體裝置，

其中該第二絕緣體包含矽及氮。

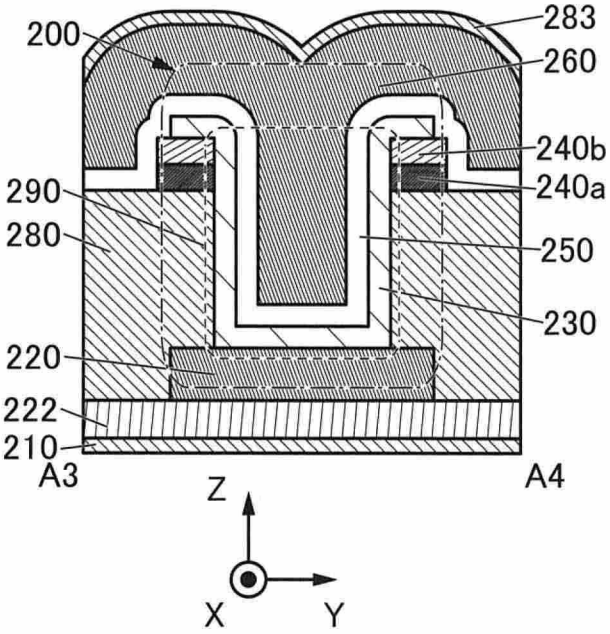
【發明圖式】



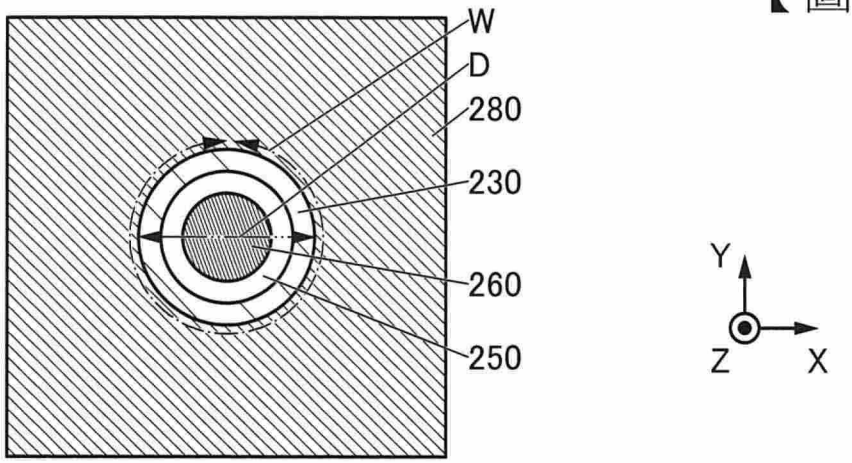
【圖1A】



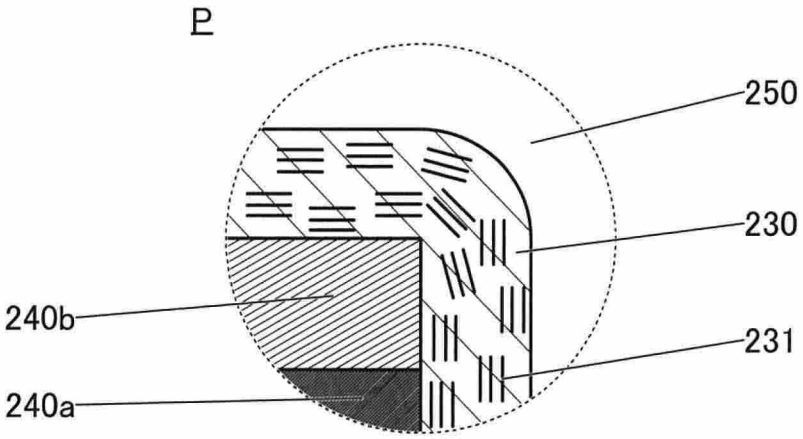
【圖1B】



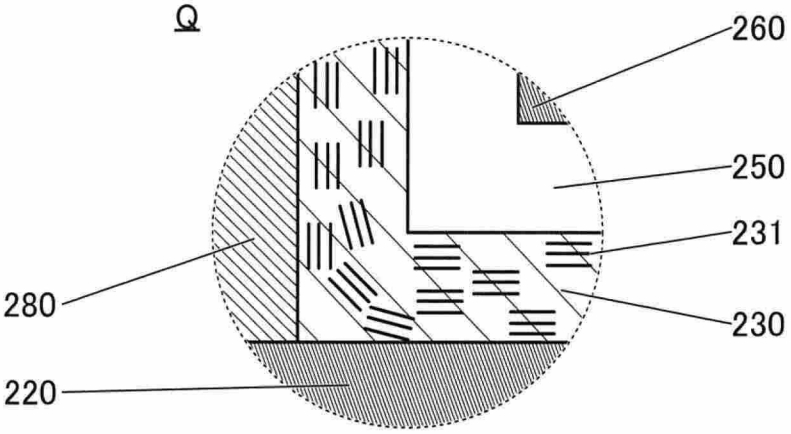
【圖1C】



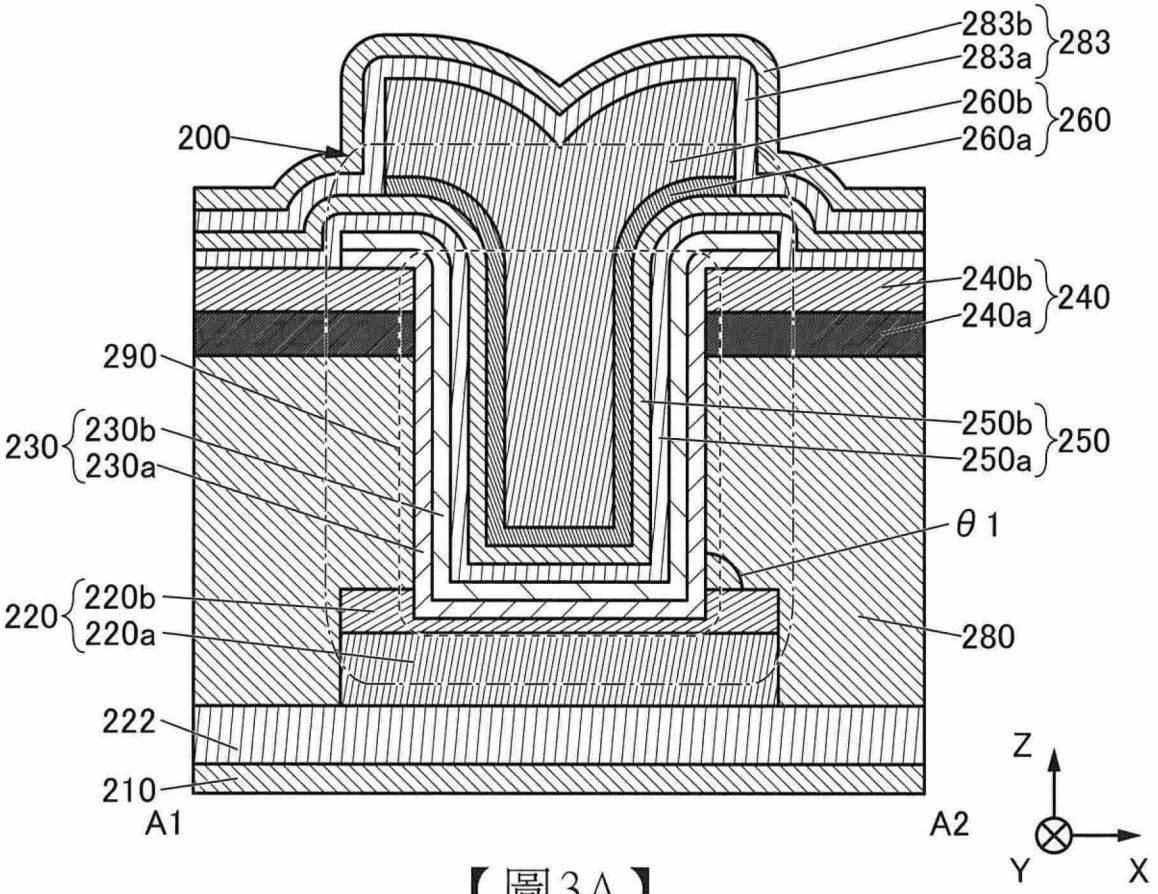
【圖1D】



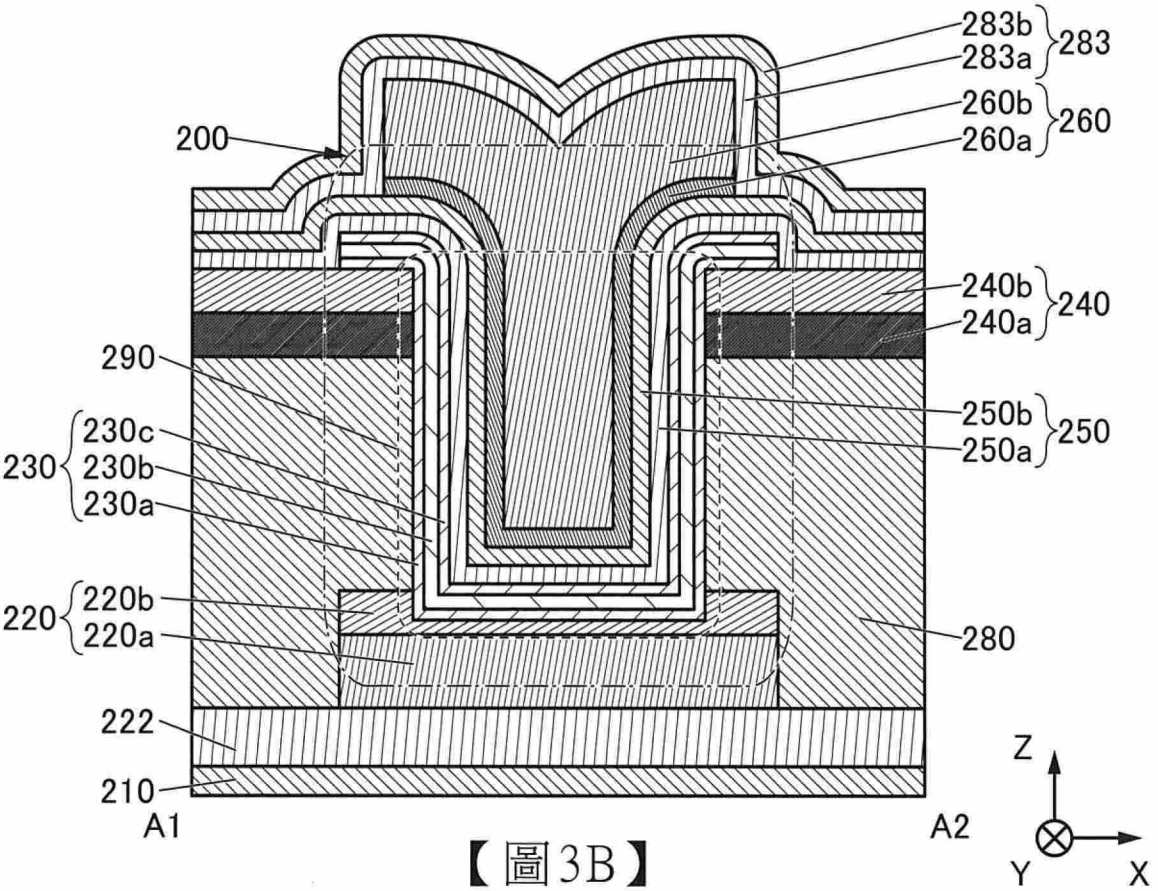
【圖2A】



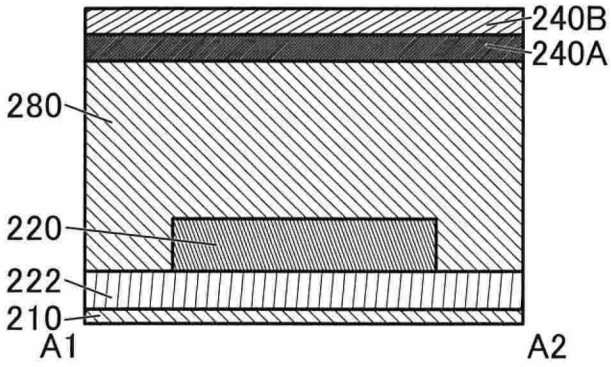
【圖2B】


283b
283a
283
260b
260a
260
200
240b
240a
240
290
230
230b
230a
250b
250a
250
θ1
220
220b
220a
280
222
210
A1
A2
Z
Y
X

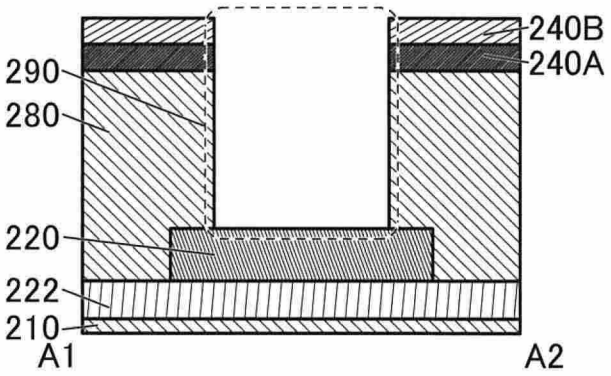
【圖3A】


283b
283a
283
260b
260a
260
200
240b
240a
240
290
230
230c
230b
230a
250b
250a
250
220
220b
220a
280
222
210
A1
A2
Z
Y
X

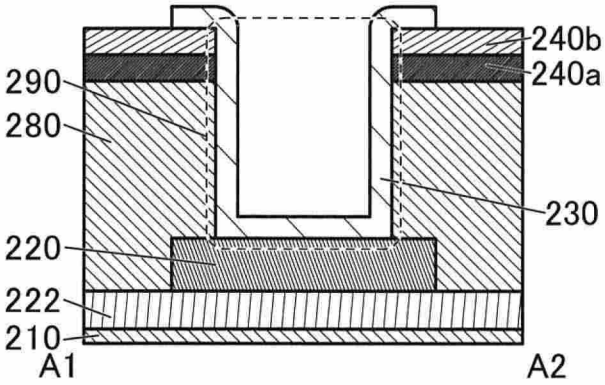
【圖3B】



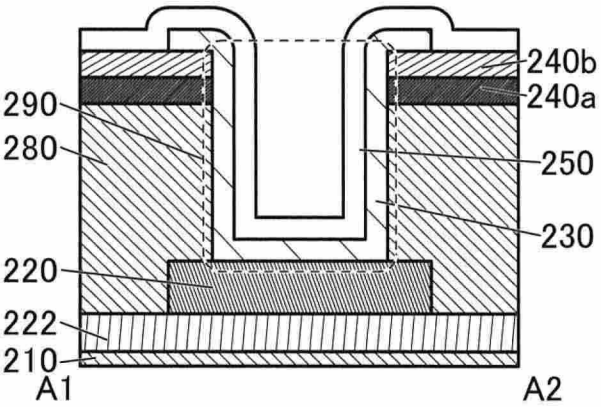
【圖4A】



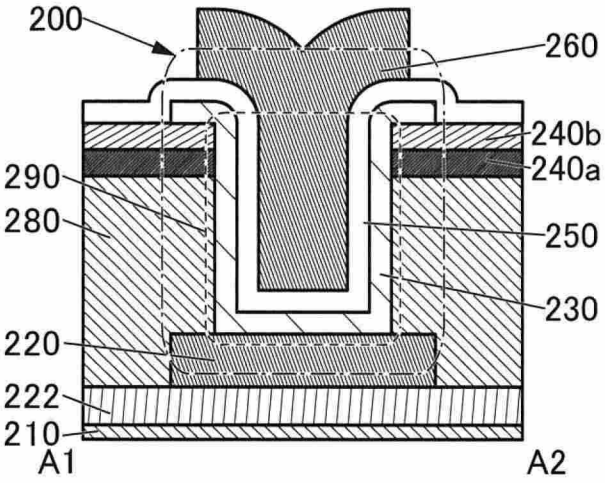
【圖4B】



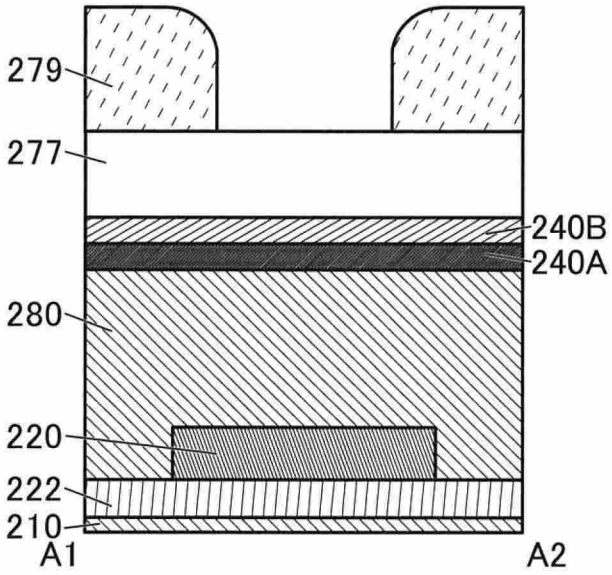
【圖4C】



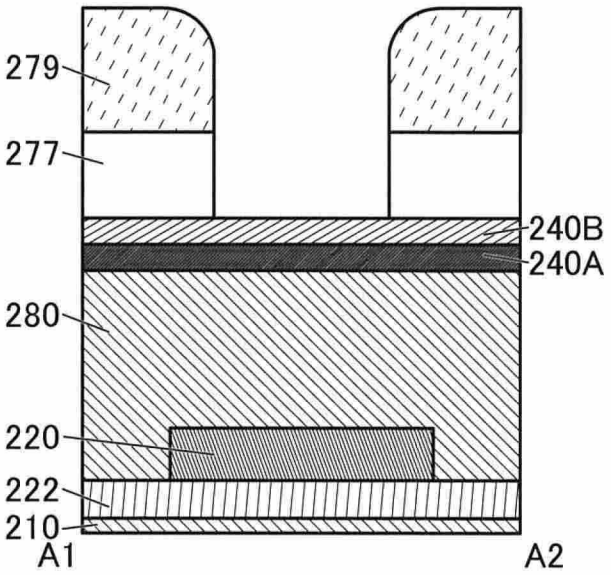
【圖4D】



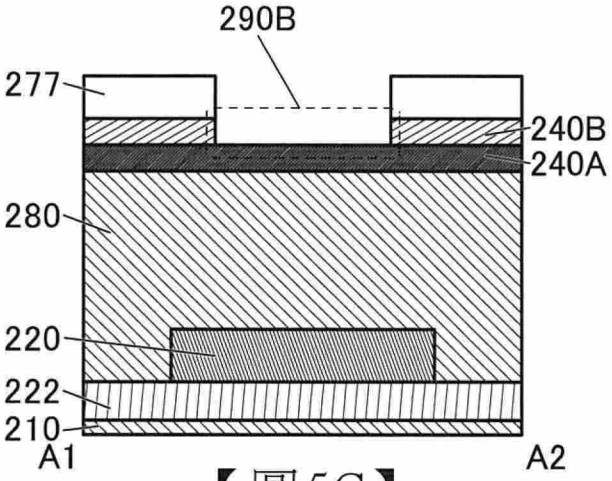
【圖4E】



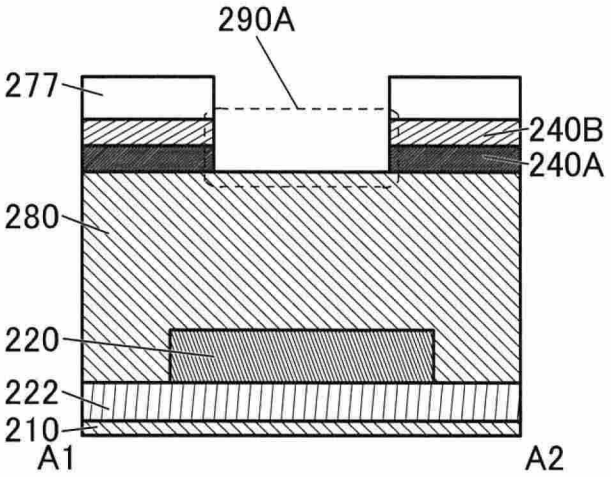
【圖5A】



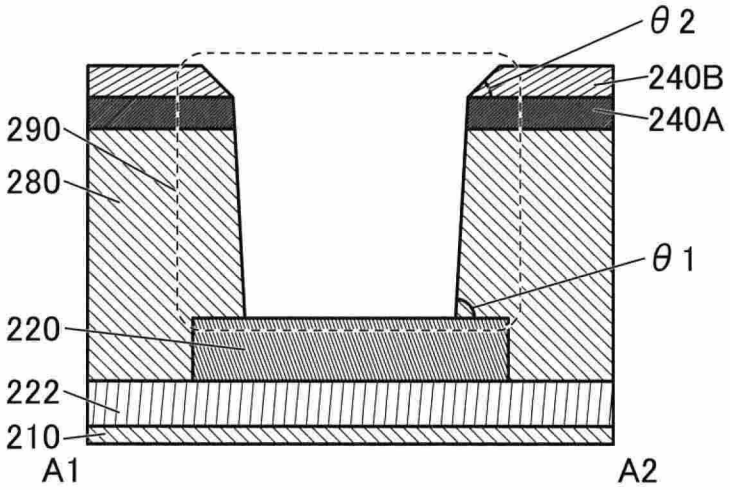
【圖5B】



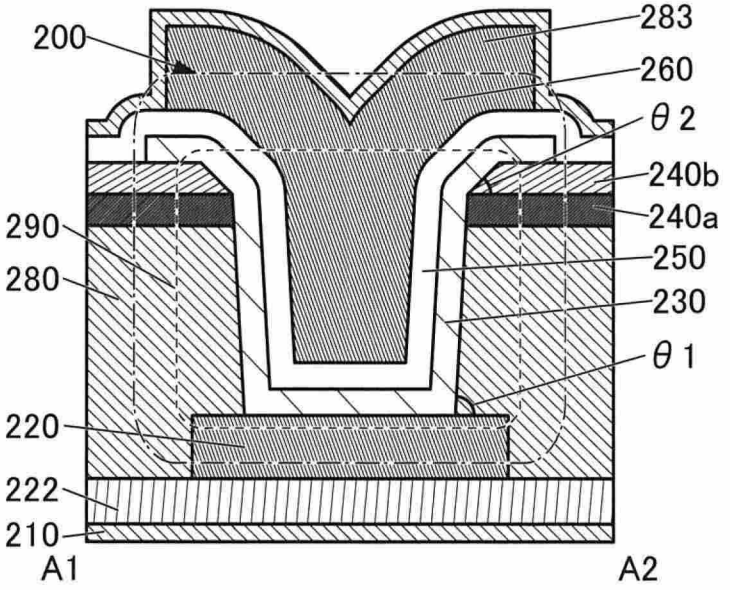
【圖5C】



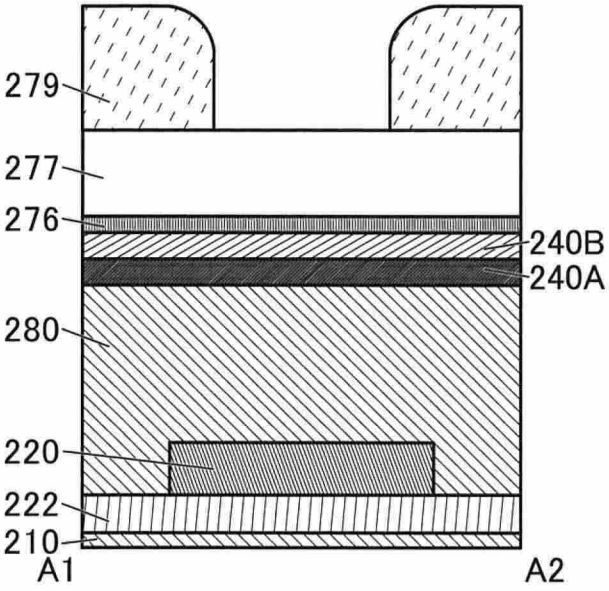
【圖5D】


θ 2
240B
240A
290
280
θ 1
220
222
210
A1
A2

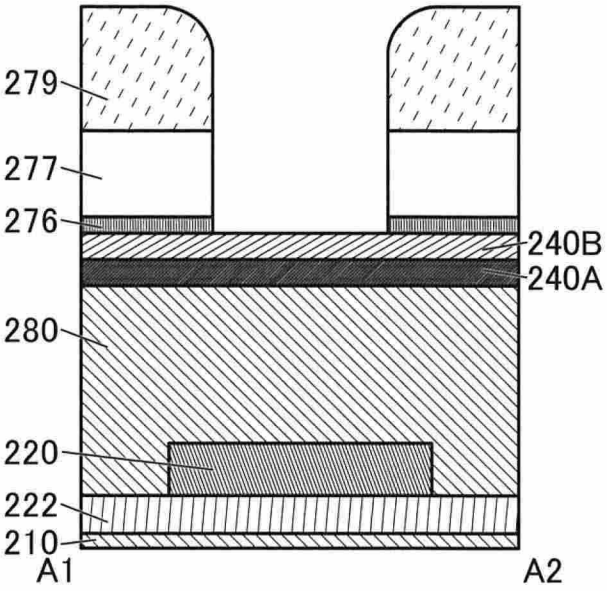
【圖6A】


200
283
260
θ 2
240b
240a
290
280
250
230
θ 1
220
222
210
A1
A2

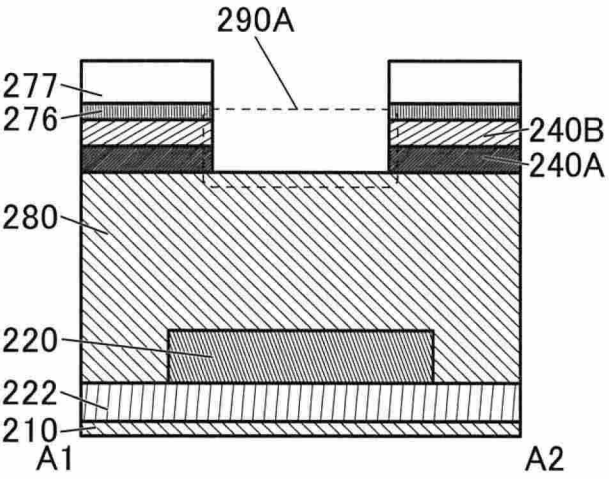
【圖6B】



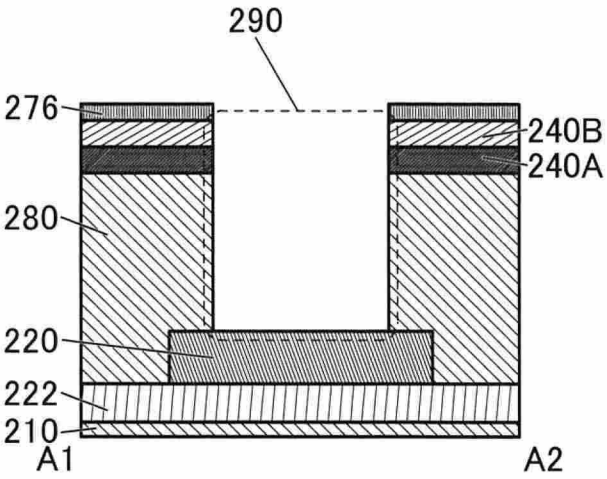
【圖7A】



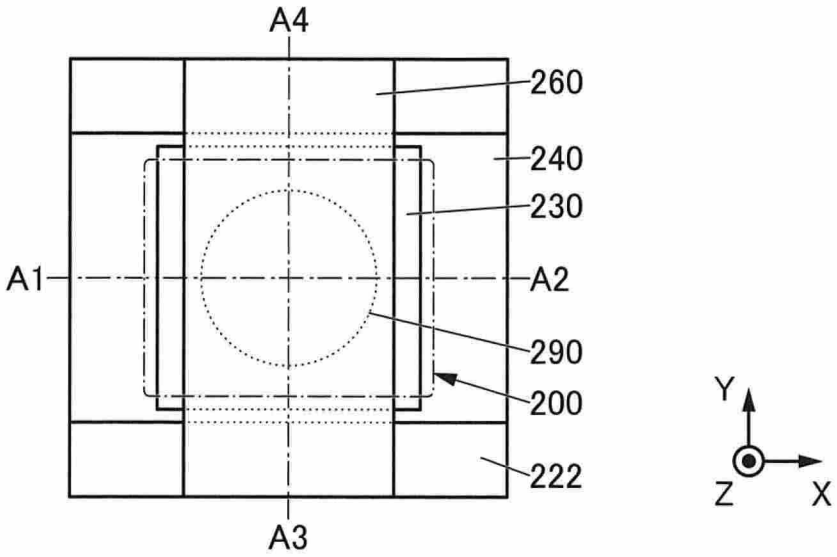
【圖7B】



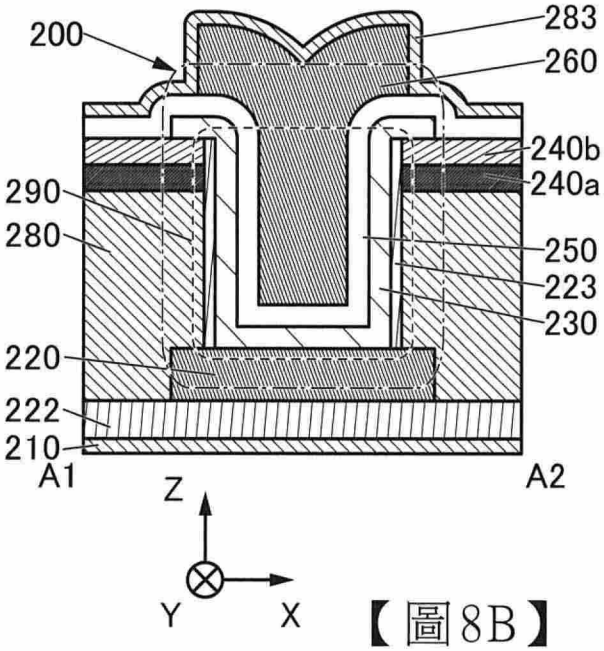
【圖7C】



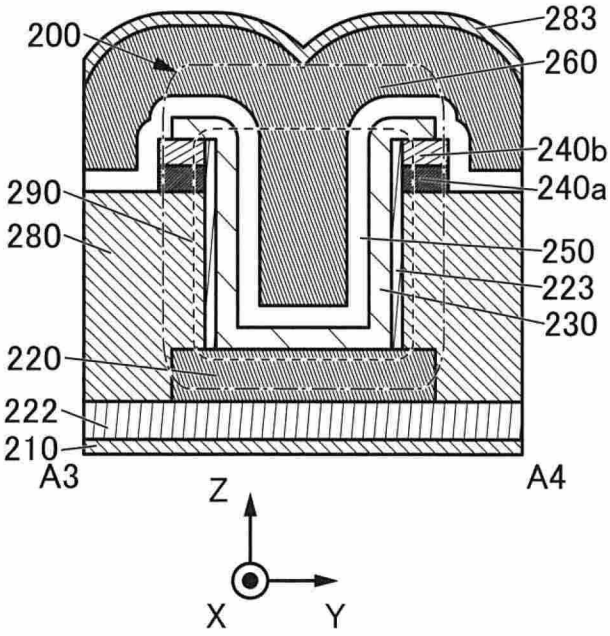
【圖7D】



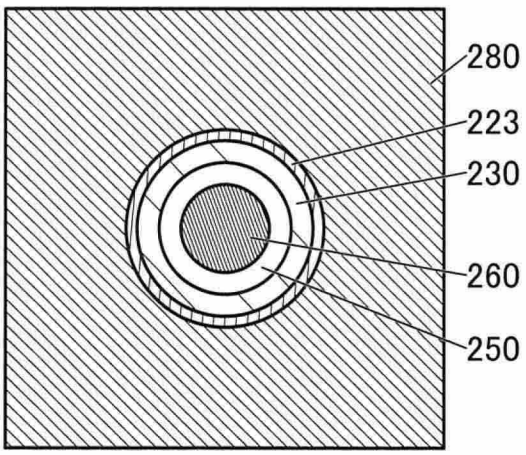
【圖8A】

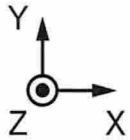


【圖8B】

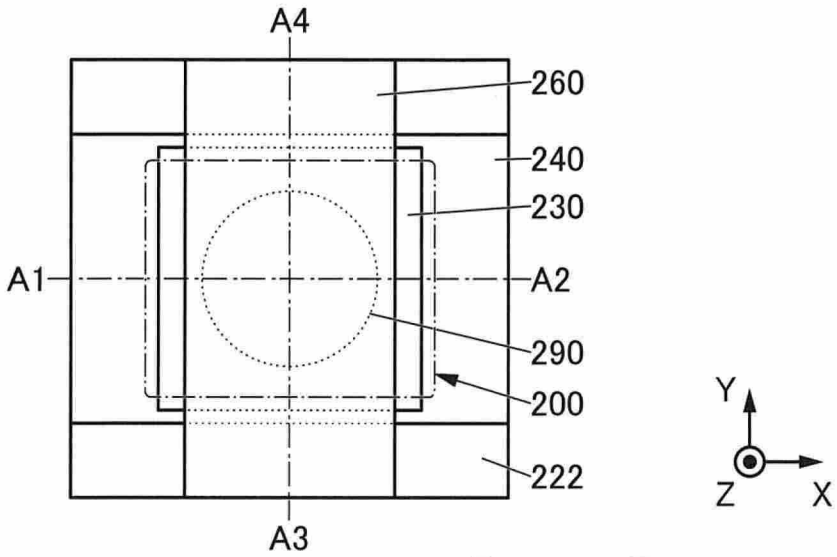


【圖8C】

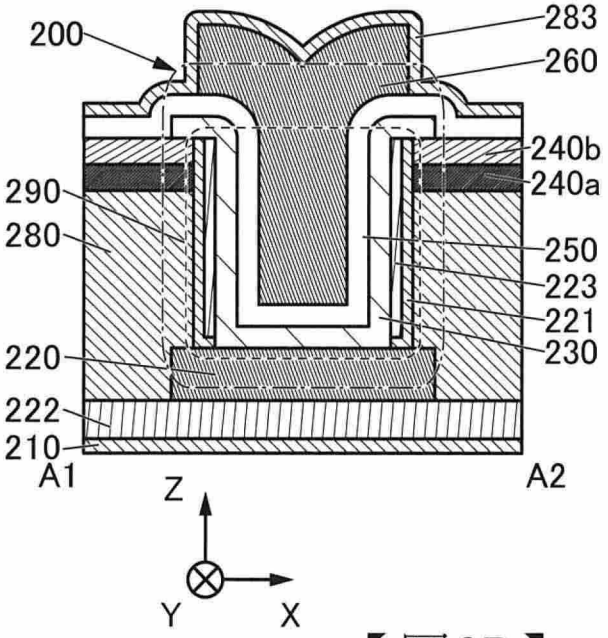




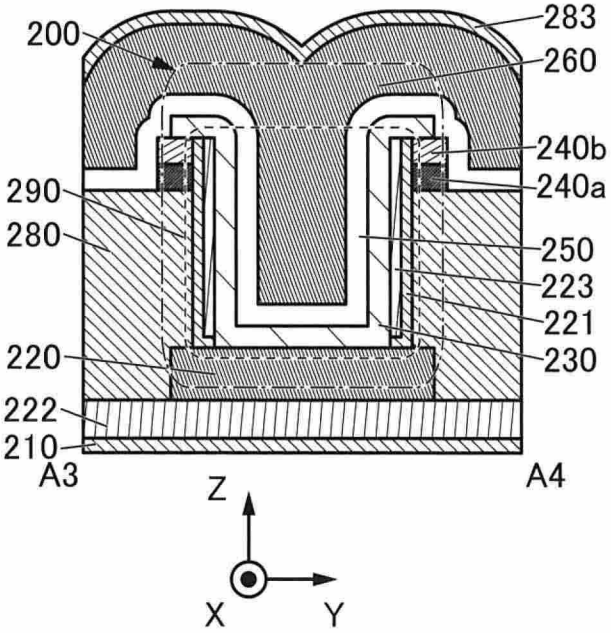
【圖8D】



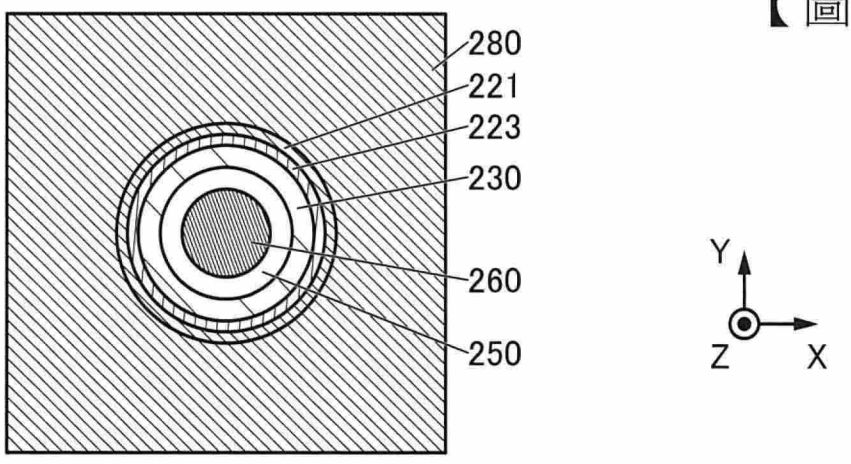
【圖9A】



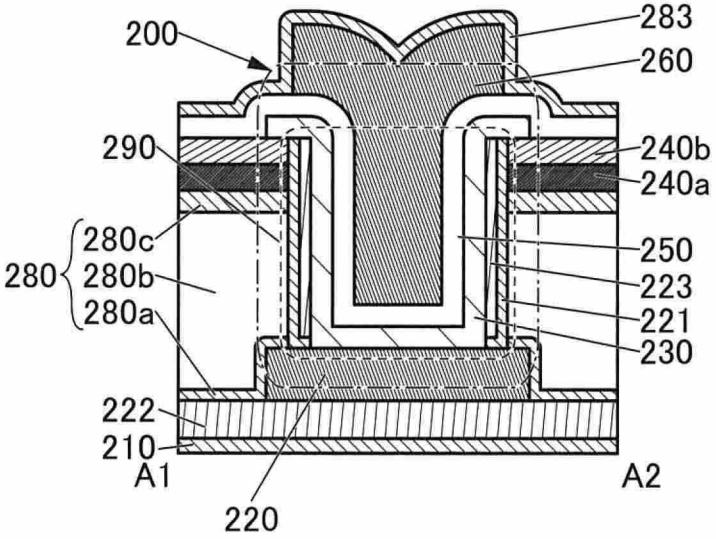
【圖9B】



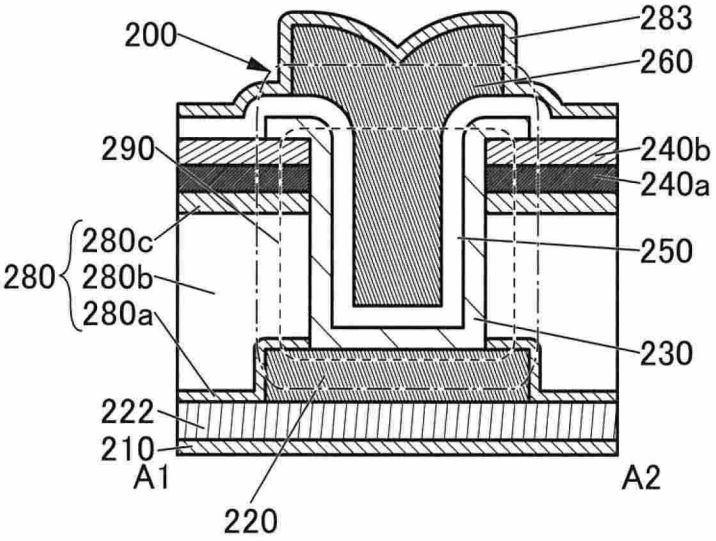
【圖9C】



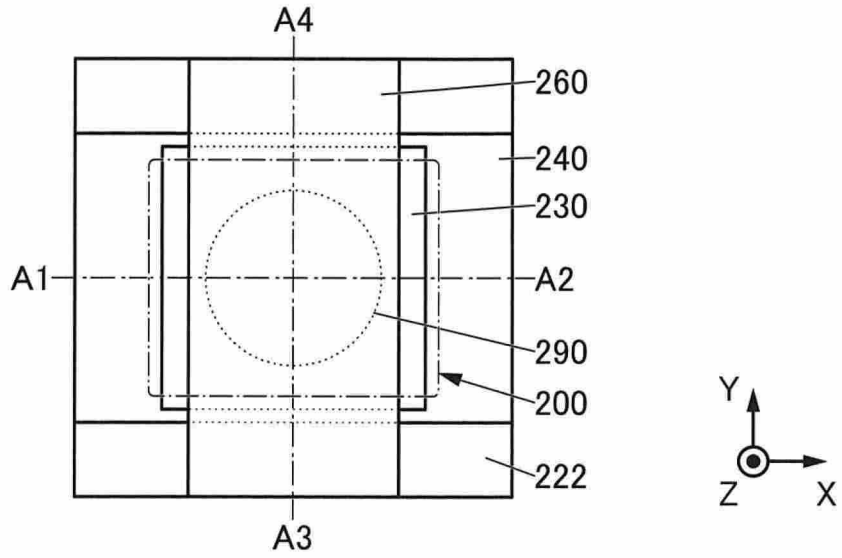
【圖9D】


200
283
260
290
240b
240a
280c
280
280b
280a
250
223
221
230
222
210
A1
A2
220

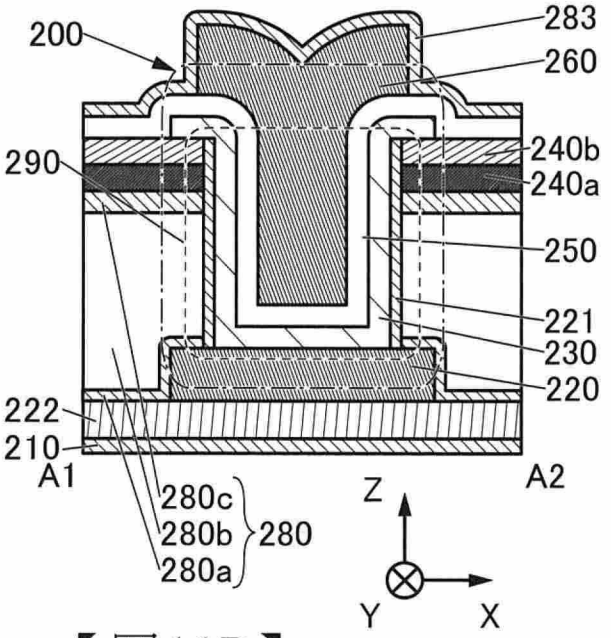
【圖10A】


200
283
260
290
240b
240a
280c
280
280b
280a
250
230
222
210
A1
A2
220

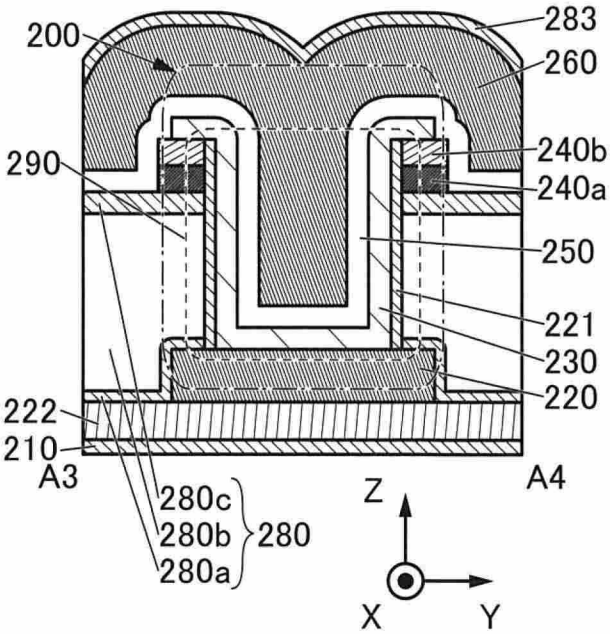
【圖10B】



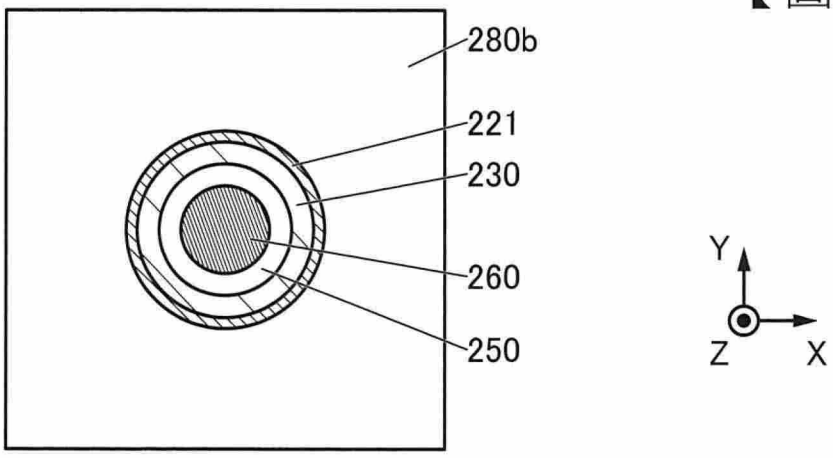
【圖11A】



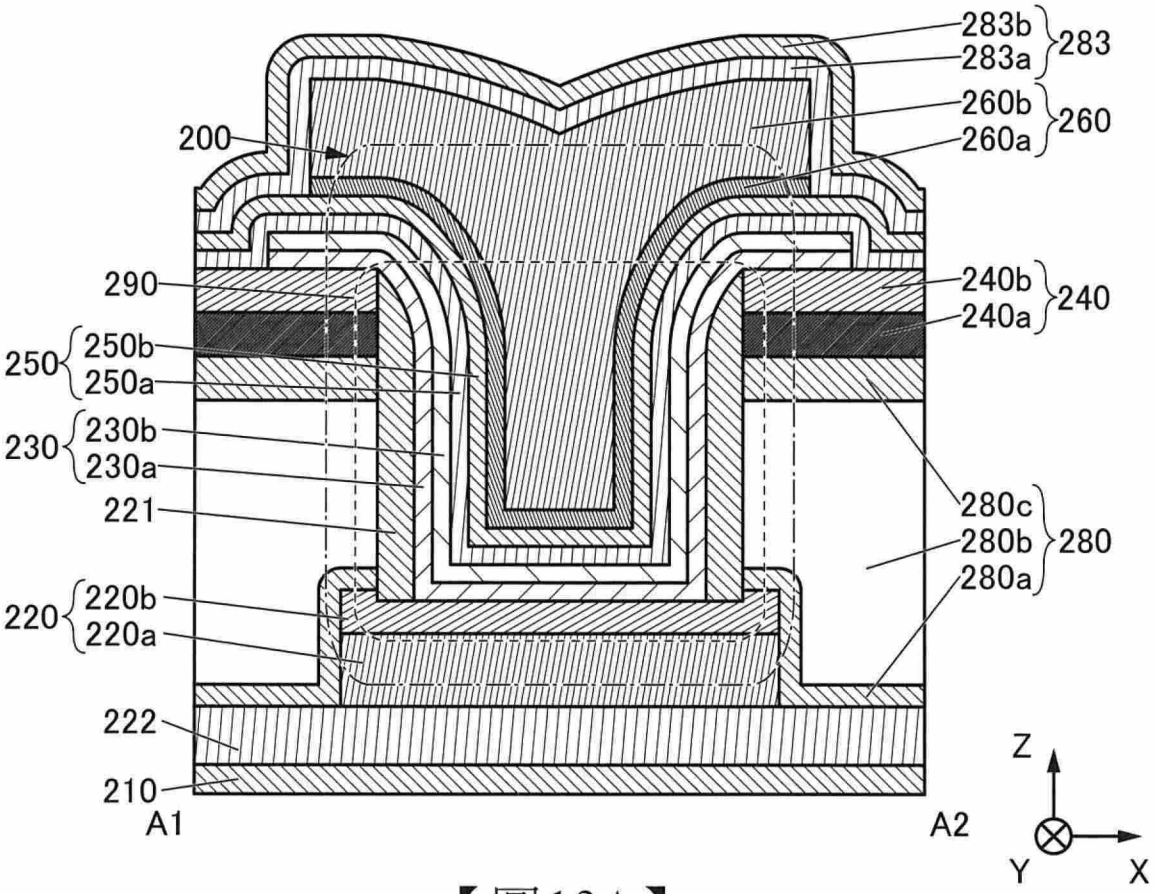
【圖11B】



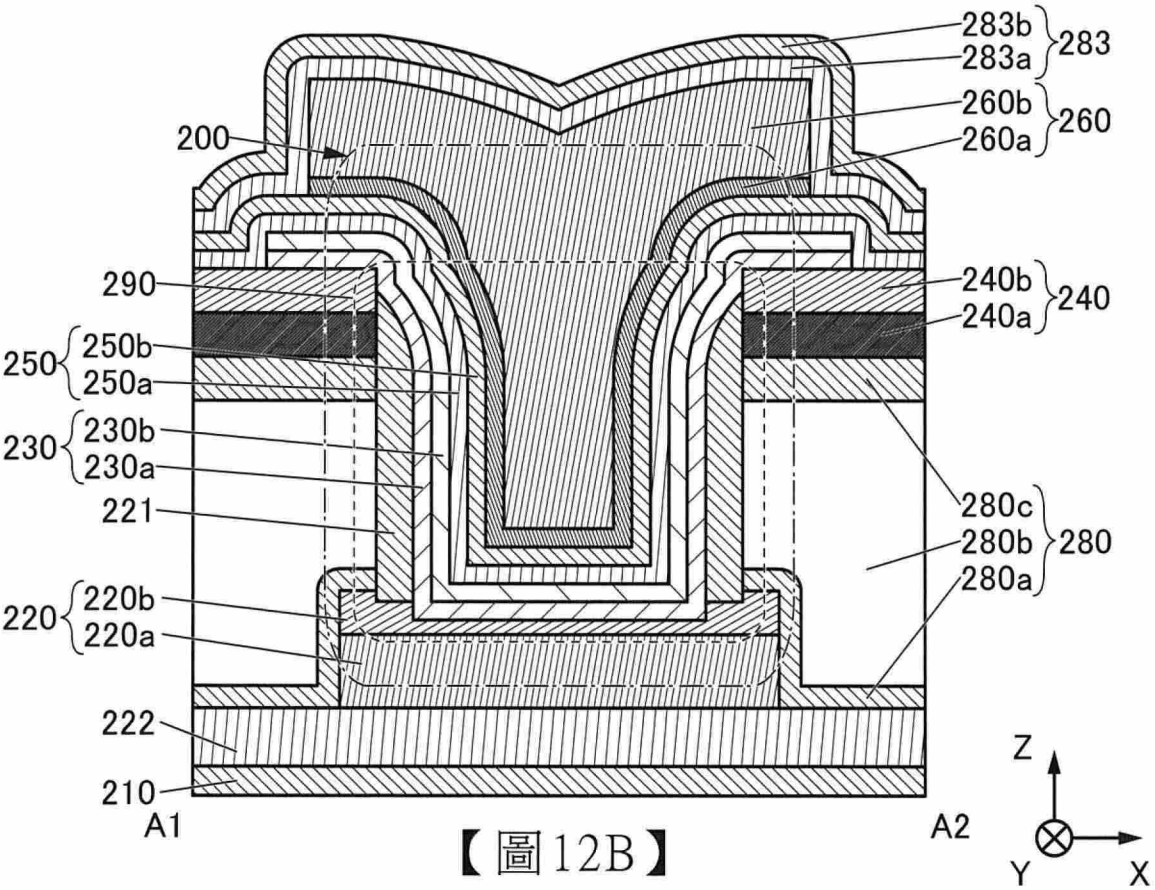
【圖11C】



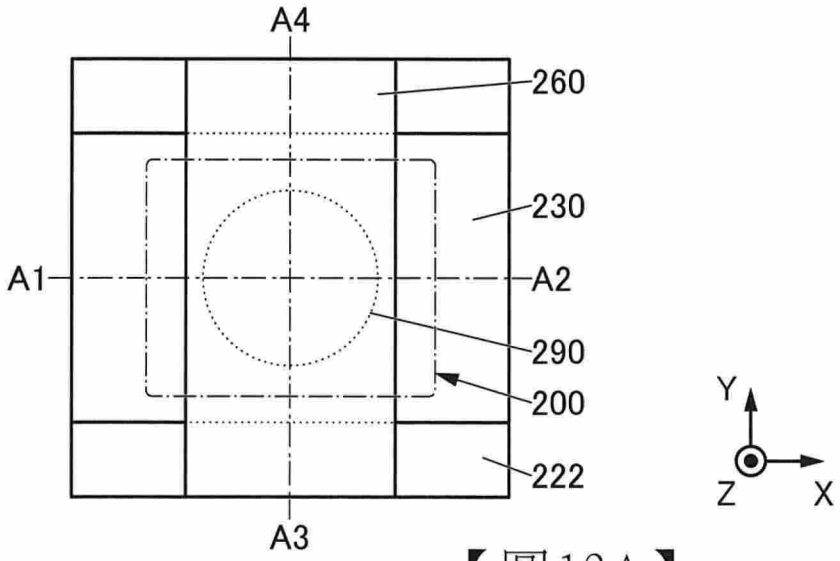
【圖11D】


283b
283a
283
260b
260a
260
200
290
240b
240a
240
250
250b
250a
230
230b
230a
221
280c
280b
280a
280
220
220b
220a
222
210
A1
A2
Z
Y
X

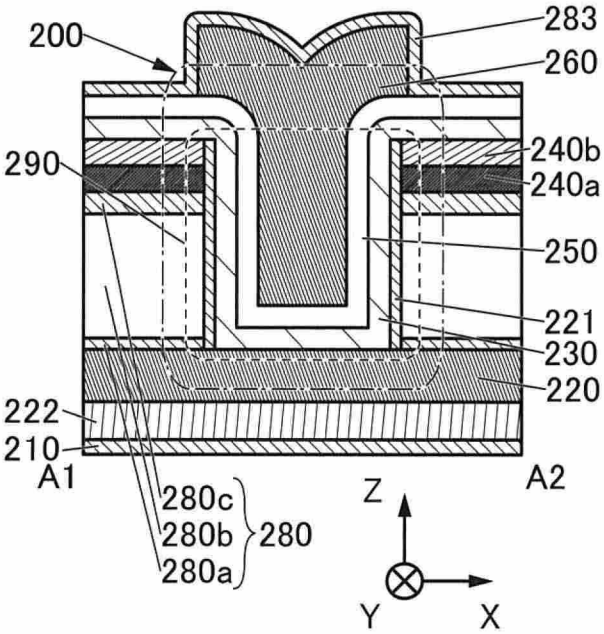
【圖12A】


283b
283a
283
260b
260a
260
200
290
240b
240a
240
250
250b
250a
230
230b
230a
221
280c
280b
280a
280
220
220b
220a
222
210
A1
A2
Z
Y
X

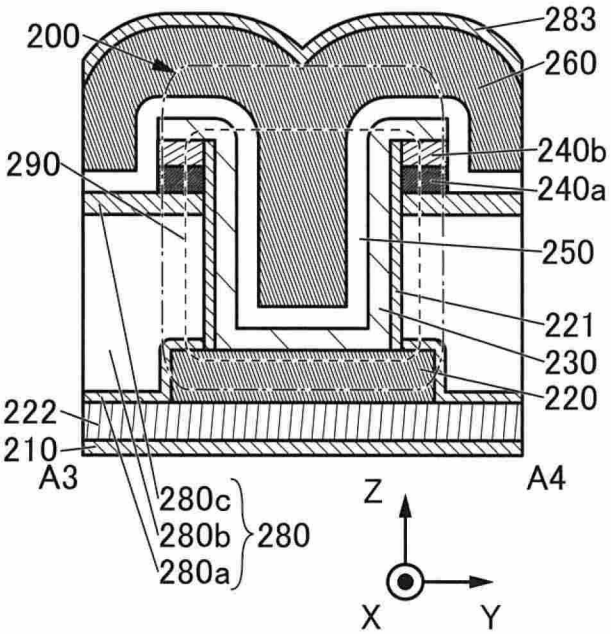
【圖12B】



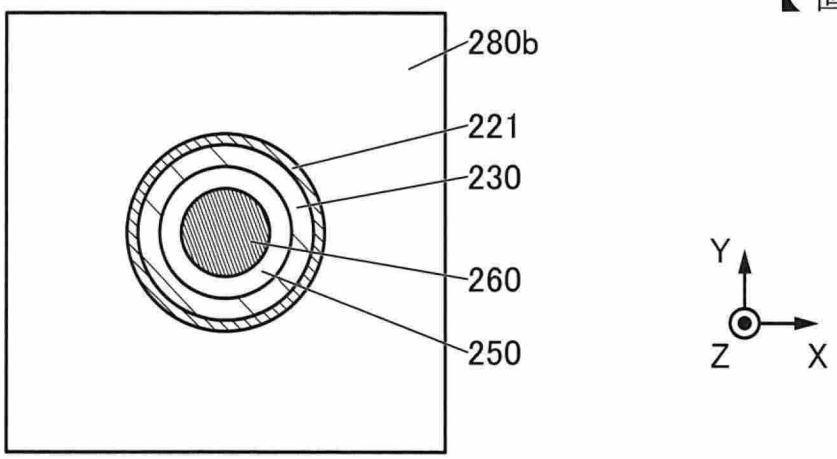
【圖13A】



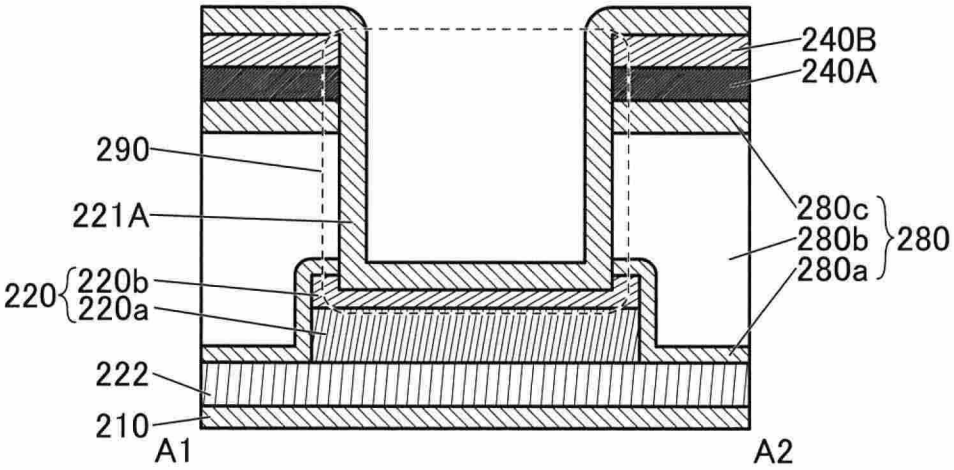
【圖13B】



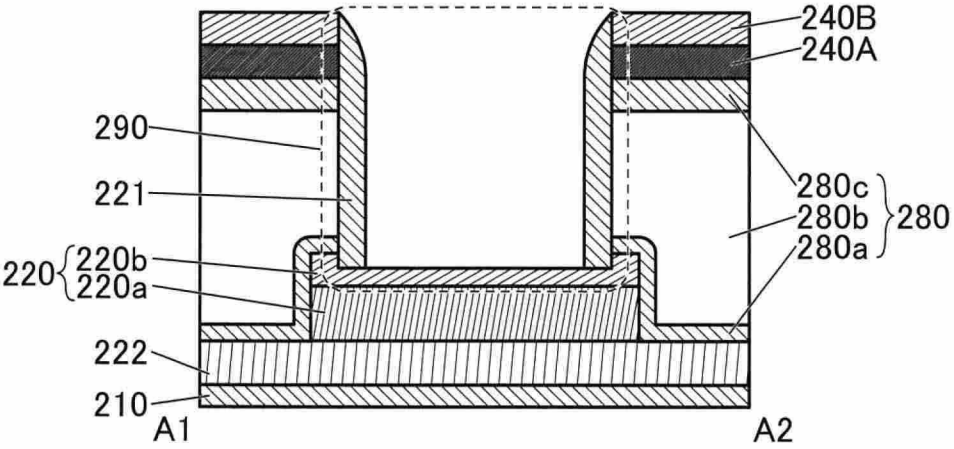
【圖13C】



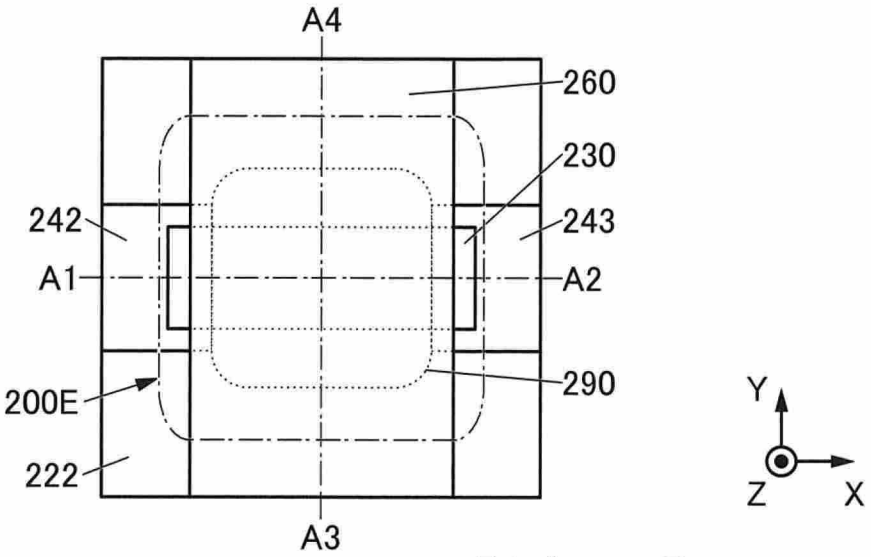
【圖13D】


240B
240A
290
221A
280c
280b
280
280a
220
220b
220a
222
210
A1
A2

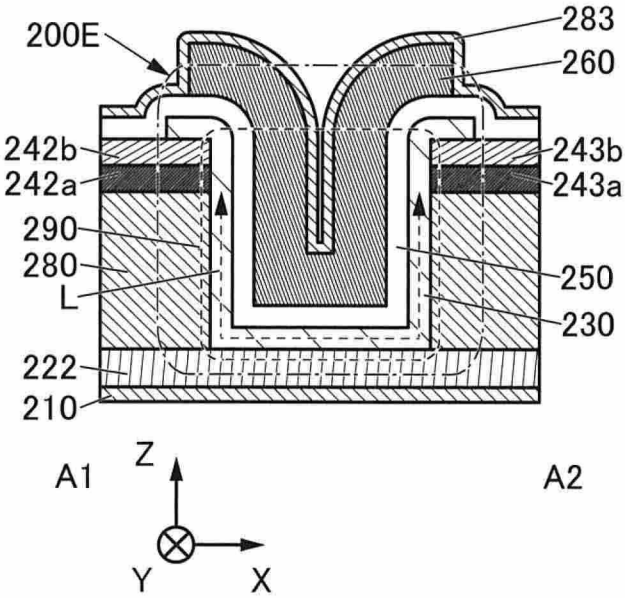
【圖14A】


240B
240A
290
221
280c
280b
280
280a
220
220b
220a
222
210
A1
A2

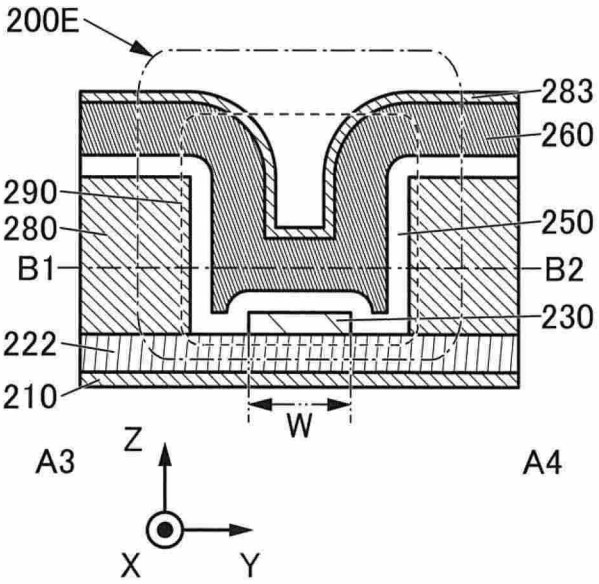
【圖14B】



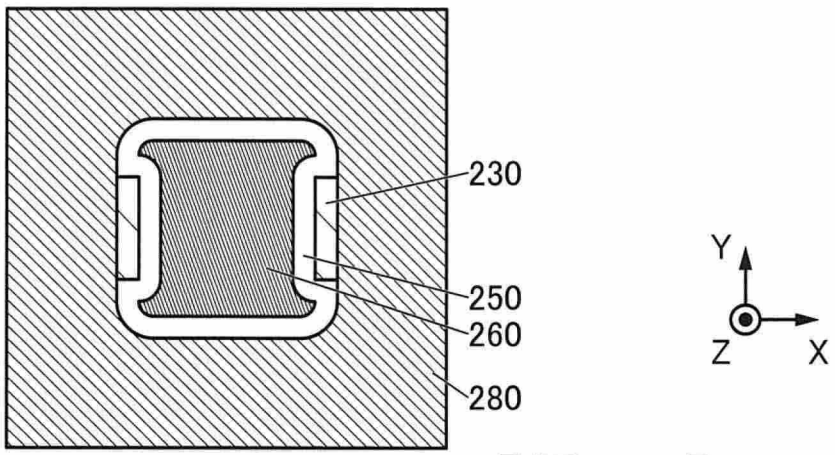
【圖15A】



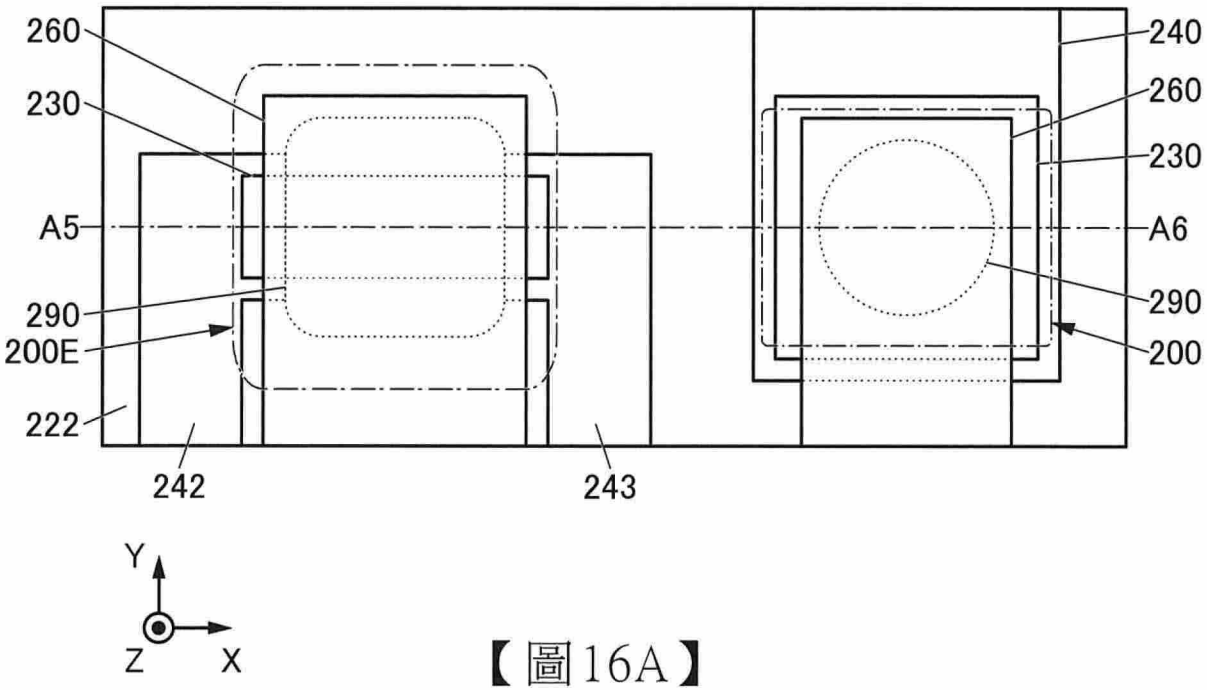
【圖15B】



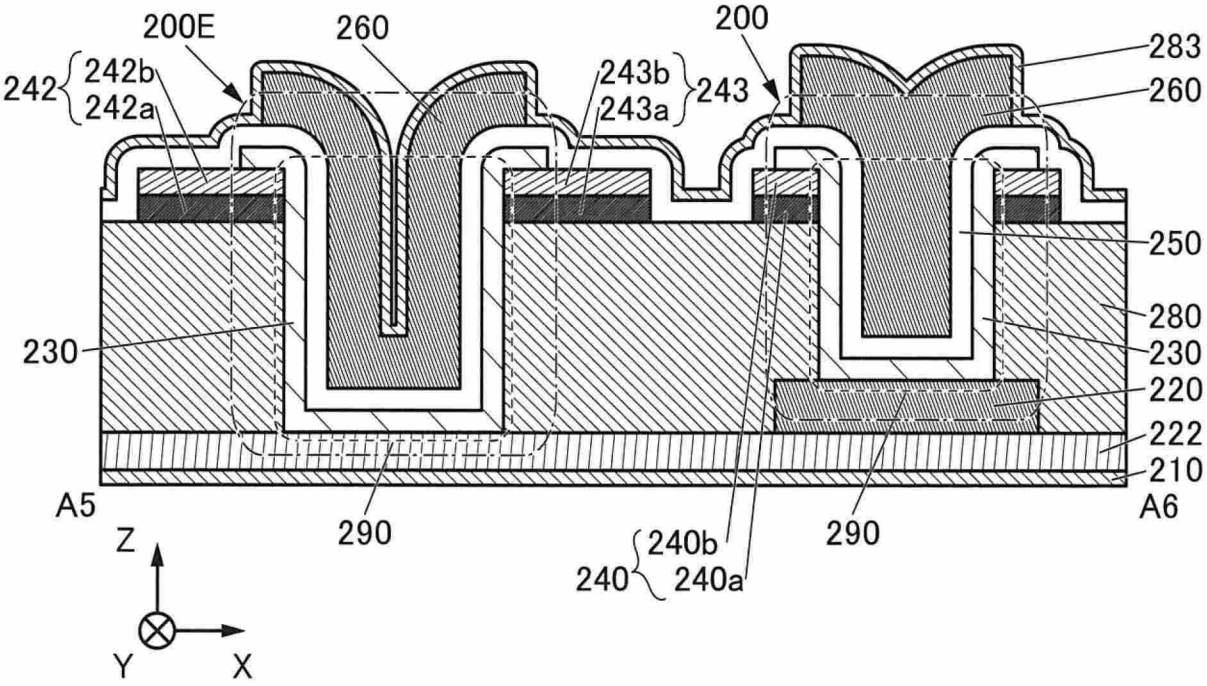
【圖15C】



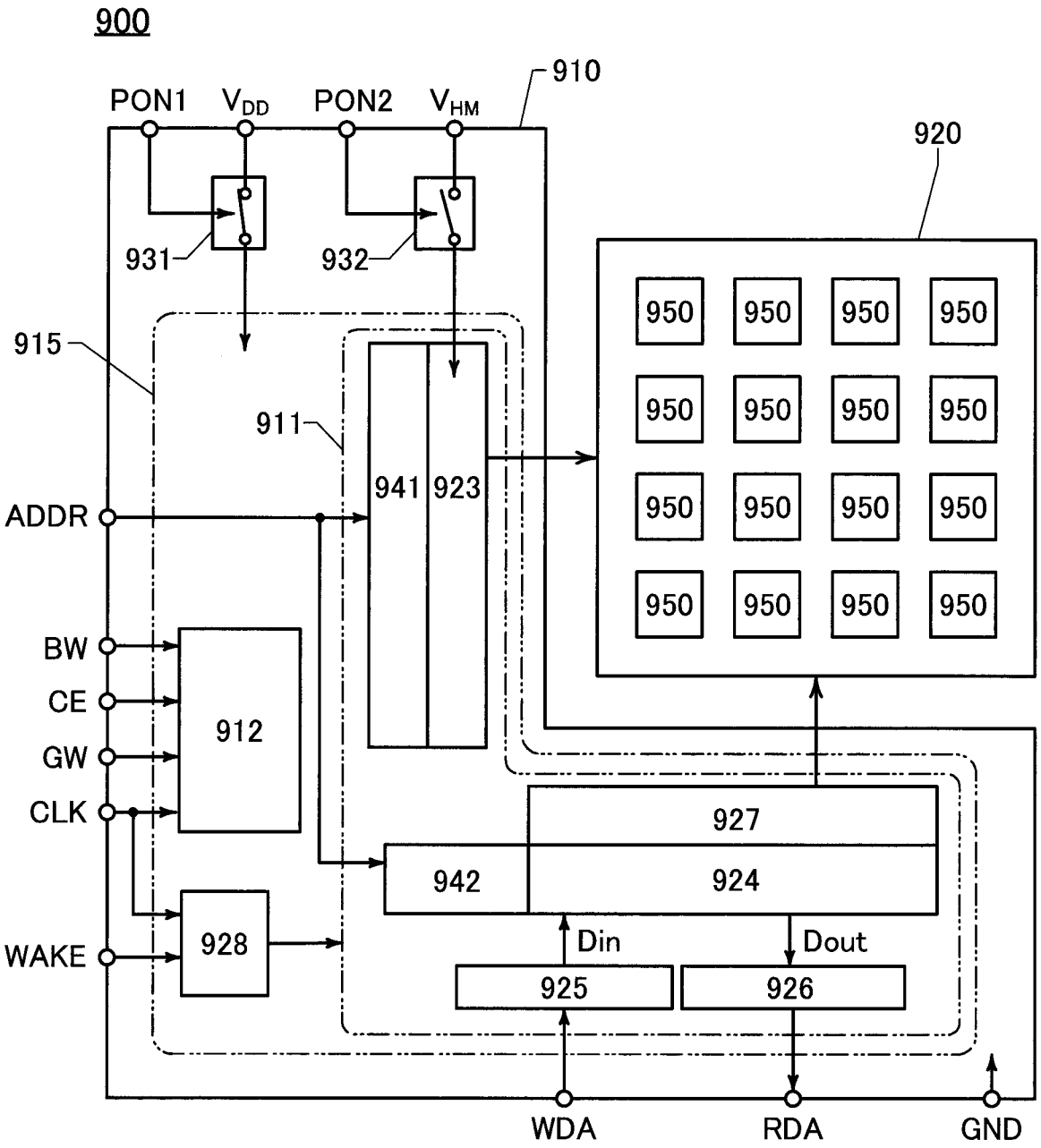
【圖15D】


260
230
A5
290
200E
222
242
243
240
260
230
A6
290
200
Y
Z
X

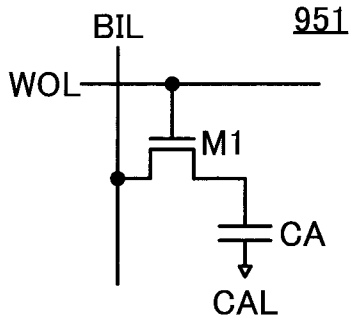
【圖16A】


200E
260
200
283
242
242b
242a
243b
243a
243
260
250
280
230
230
220
222
210
A5
290
290
A6
240b
240
240a
Z
Y
X

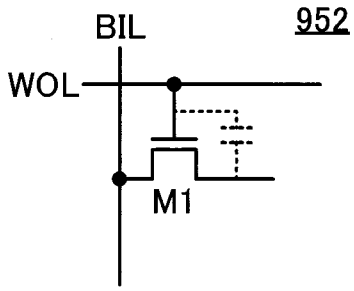
【圖16B】


900
910
PON1
V_{DD}
PON2
V_{HM}
920
931
932
915
911
941
923
950
ADDR
BW
CE
GW
CLK
912
927
942
924
WAKE
928
Din
Dout
925
926
WDA
RDA
GND

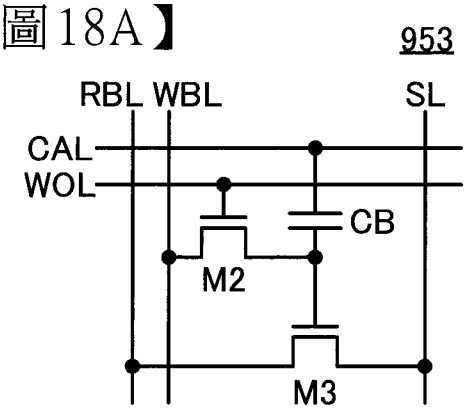
【圖17】



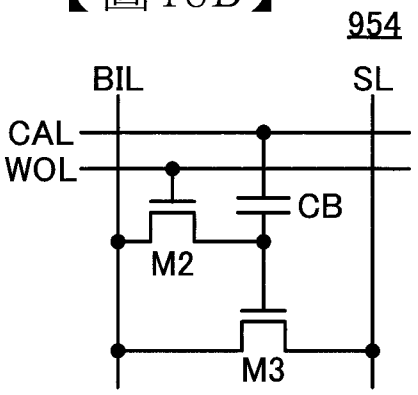
【圖18A】



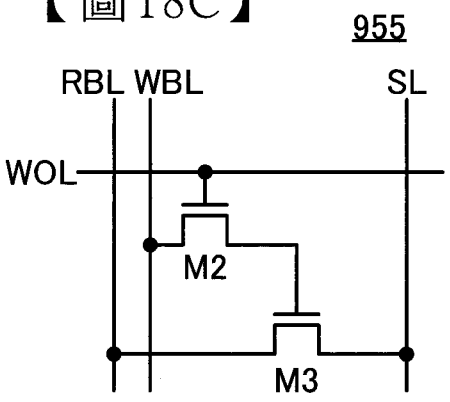
【圖18B】



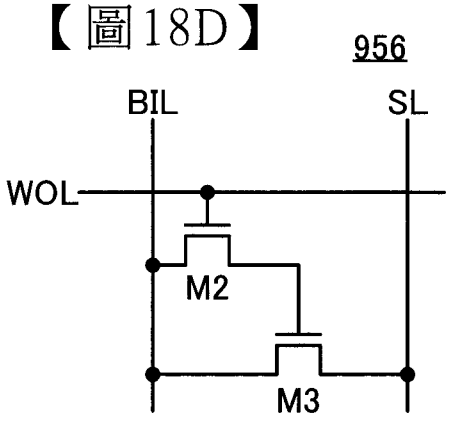
【圖18C】



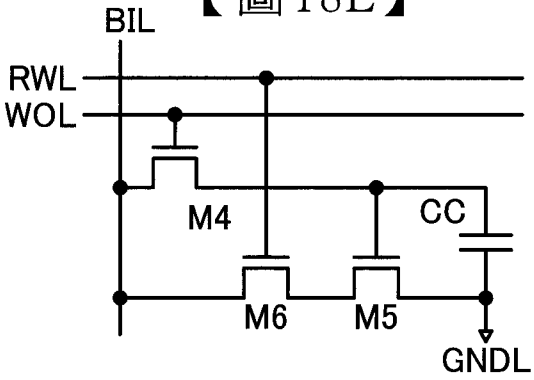
【圖18D】



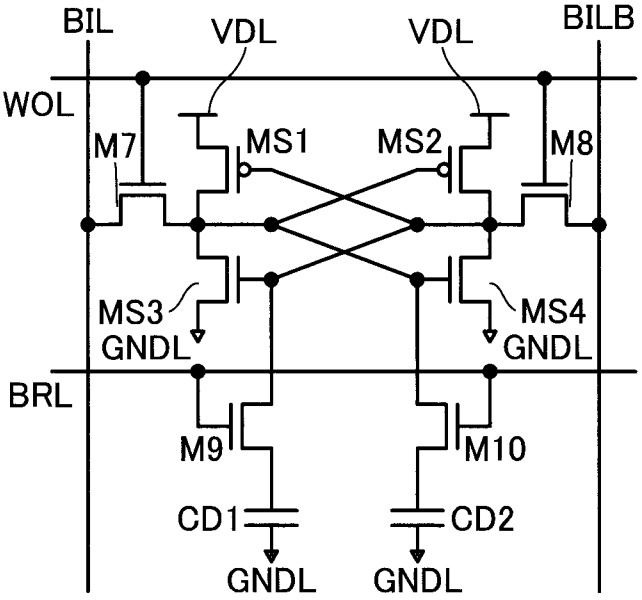
【圖18E】



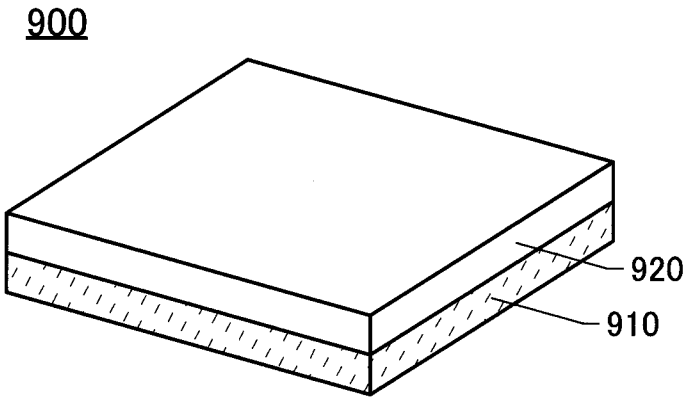
【圖18F】



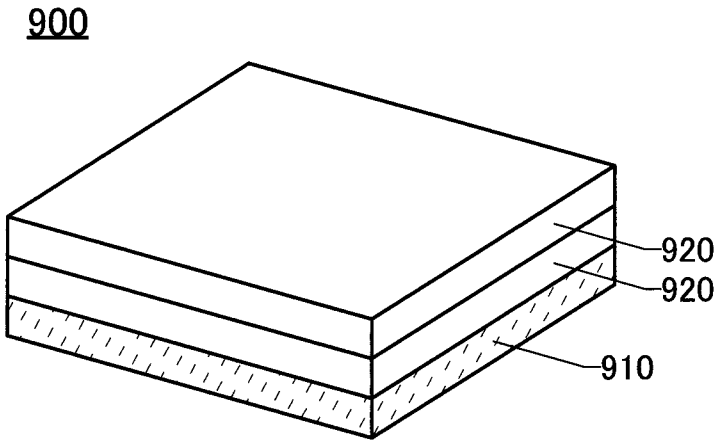
【圖18G】



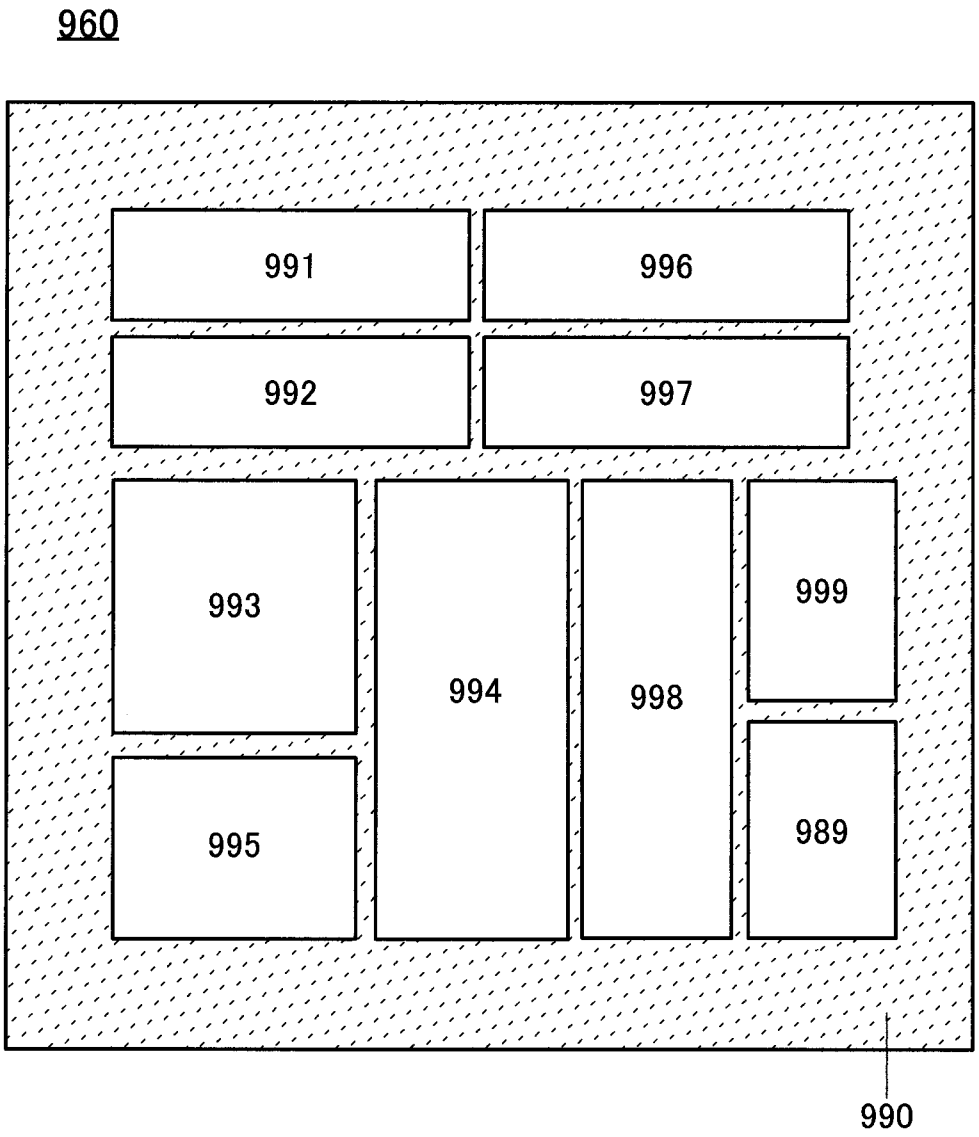
【圖18H】



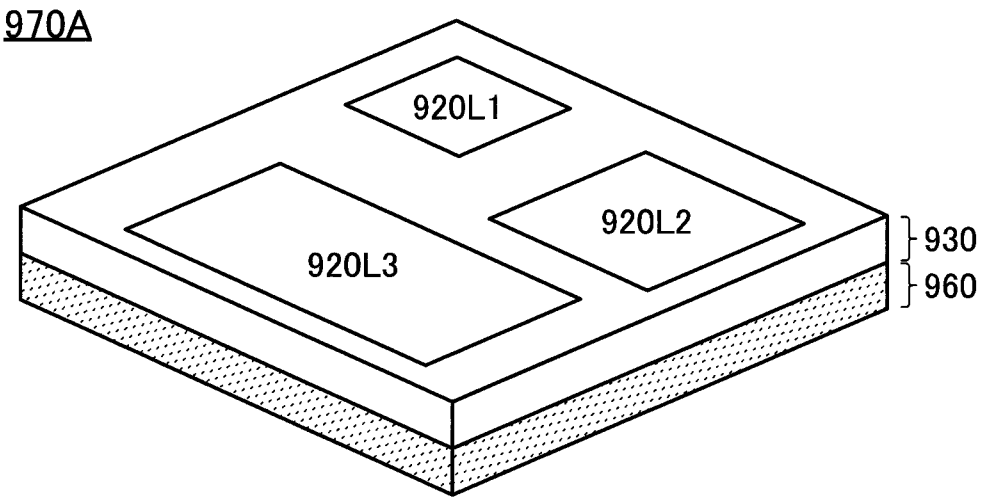
【圖19A】



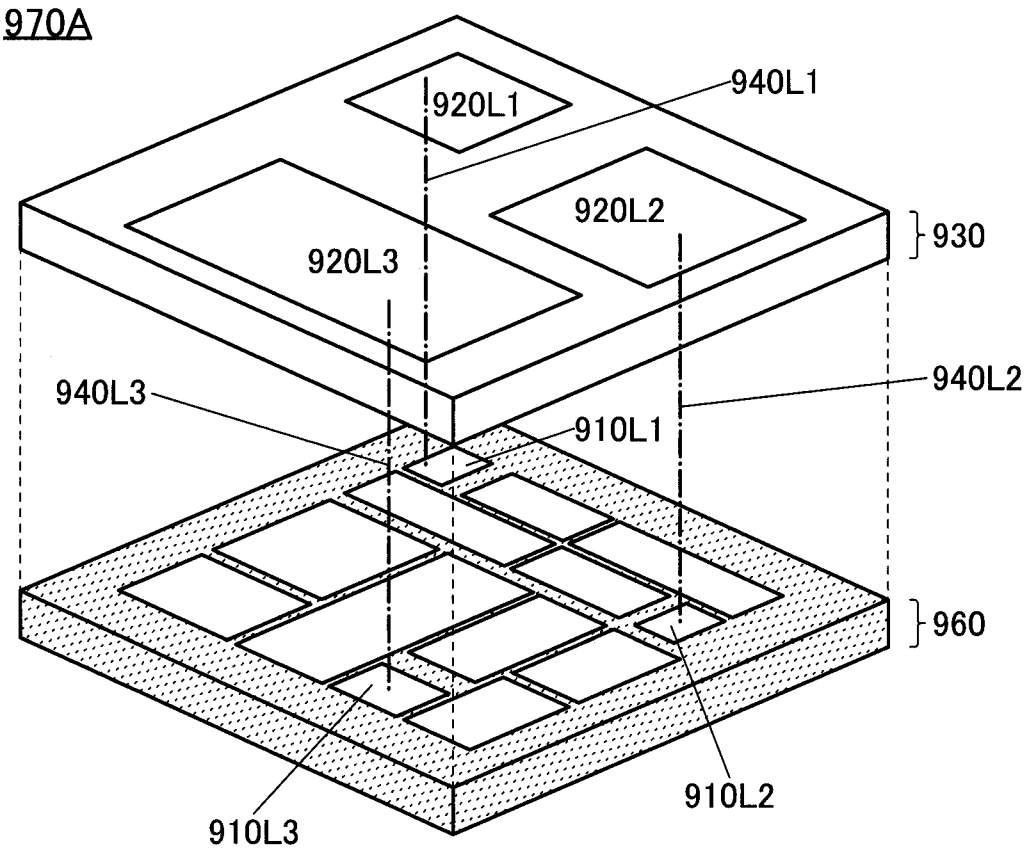
【圖19B】



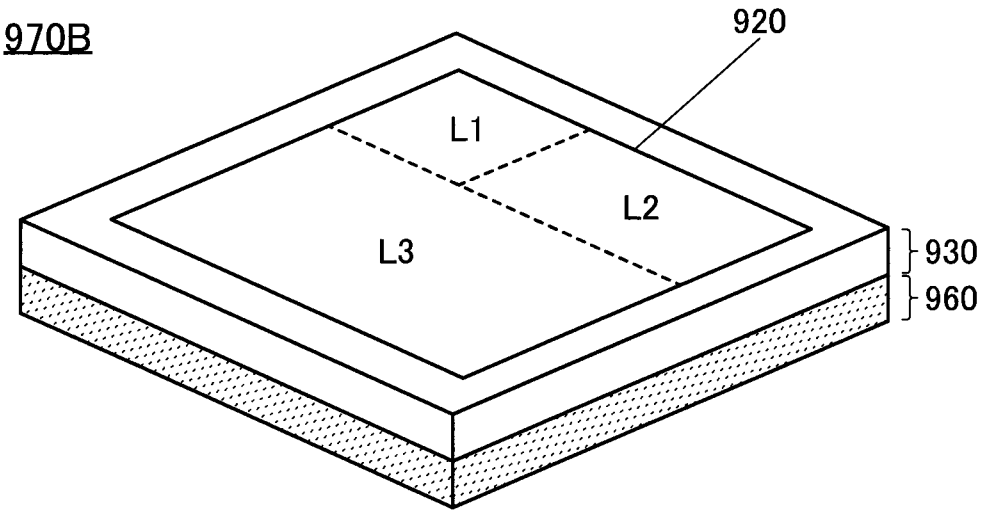
【圖20】


970A
920L1
920L2
920L3
930
960

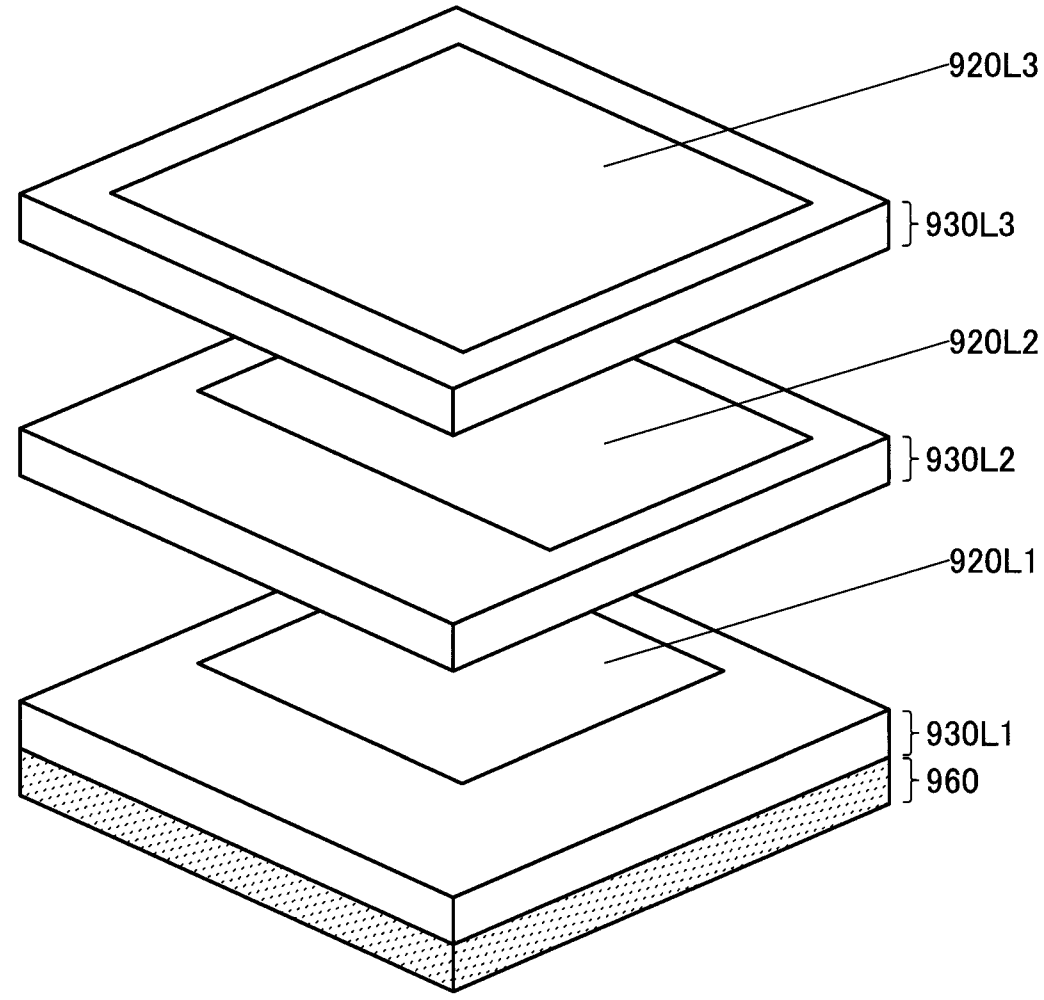
【圖21A】


970A
920L1
940L1
920L2
920L3
930
940L3
940L2
910L1
960
910L3
910L2

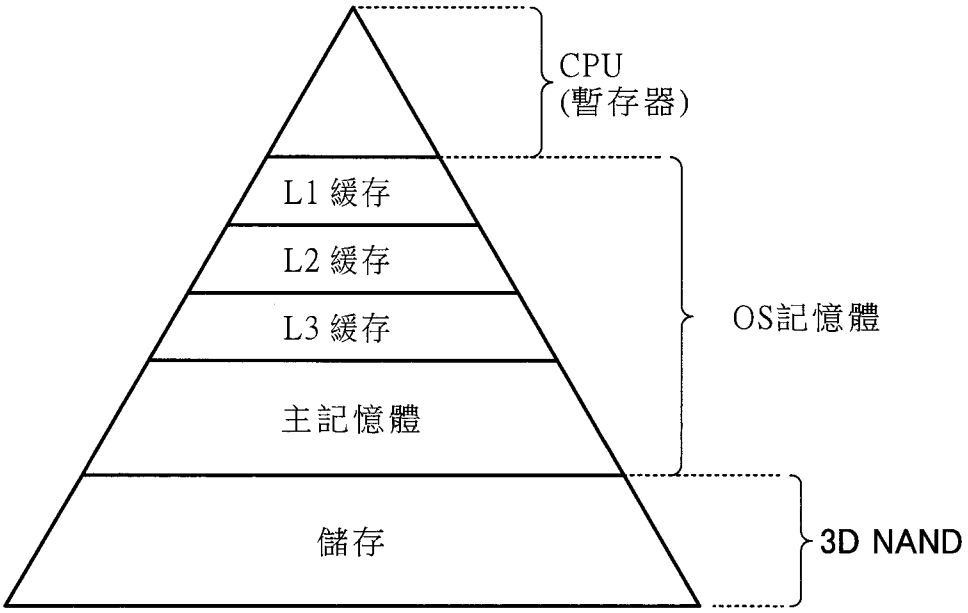
【圖21B】


970B
920
L1
L2
L3
930
960

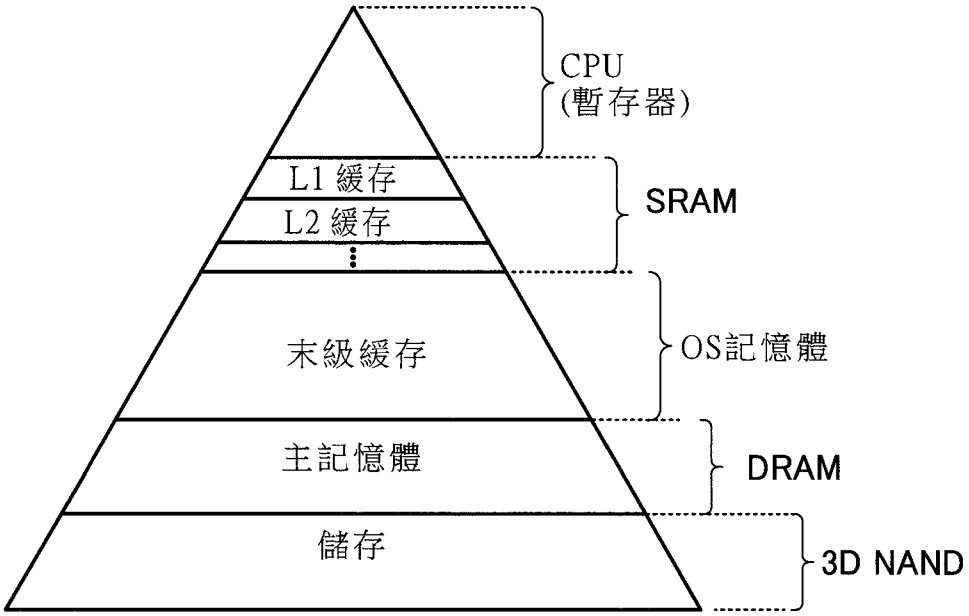
【圖22A】


970C
920L3
930L3
920L2
930L2
920L1
930L1
960

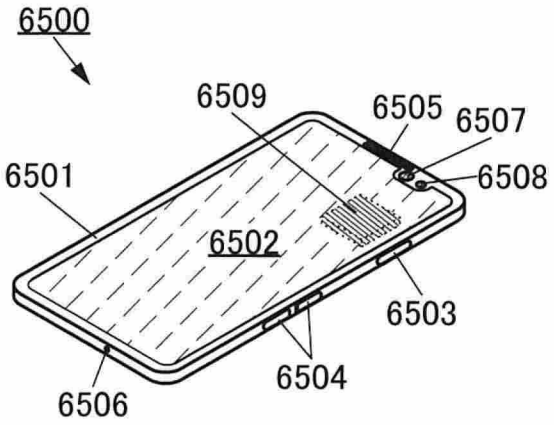
【圖22B】


CPU
(暫存器)
L1 緩存
L2 緩存
L3 緩存
主記憶體
儲存
OS記憶體
3D NAND

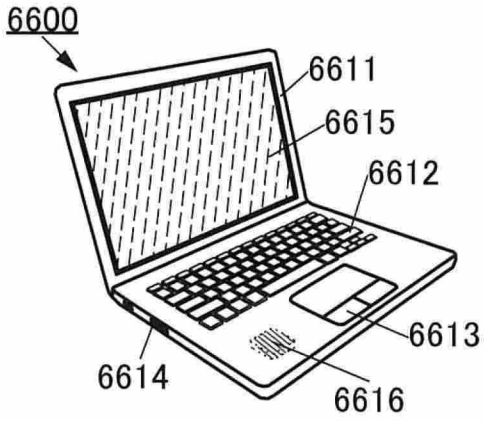
【圖23A】


CPU
(暫存器)
L1 緩存
L2 緩存
SRAM
末級緩存
OS記憶體
主記憶體
DRAM
儲存
3D NAND

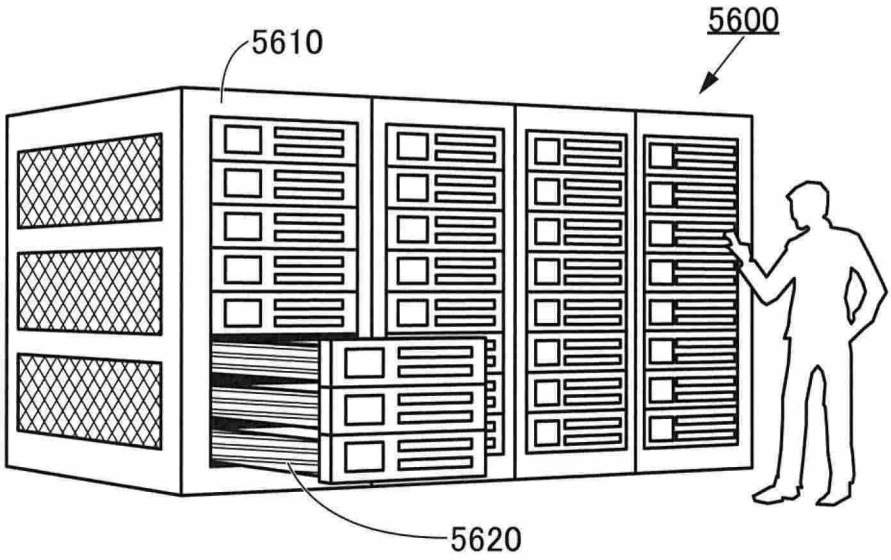
【圖23B】



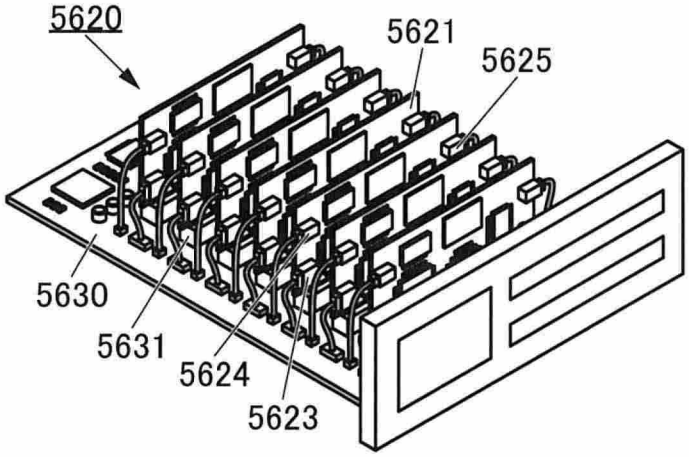
【圖24A】



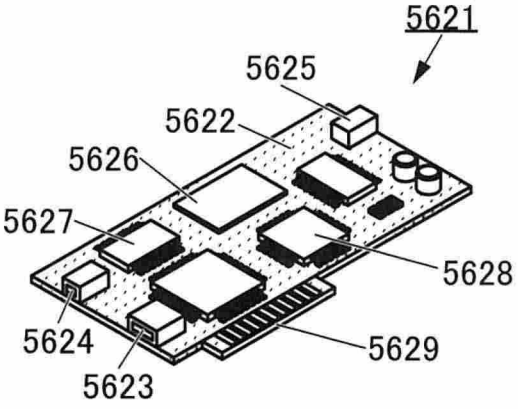
【圖24B】



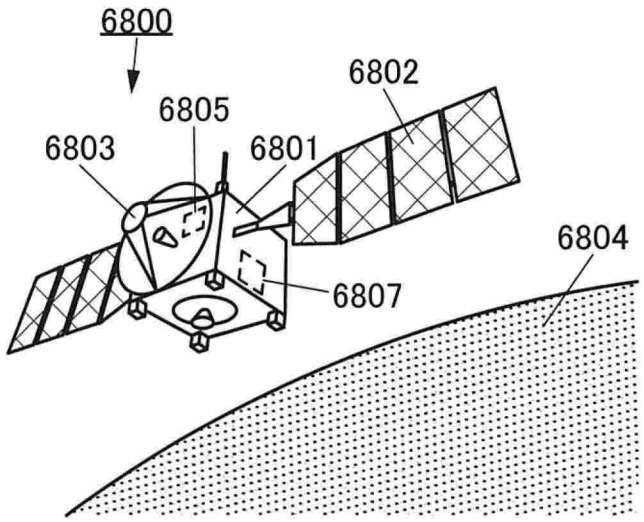
【圖24C】



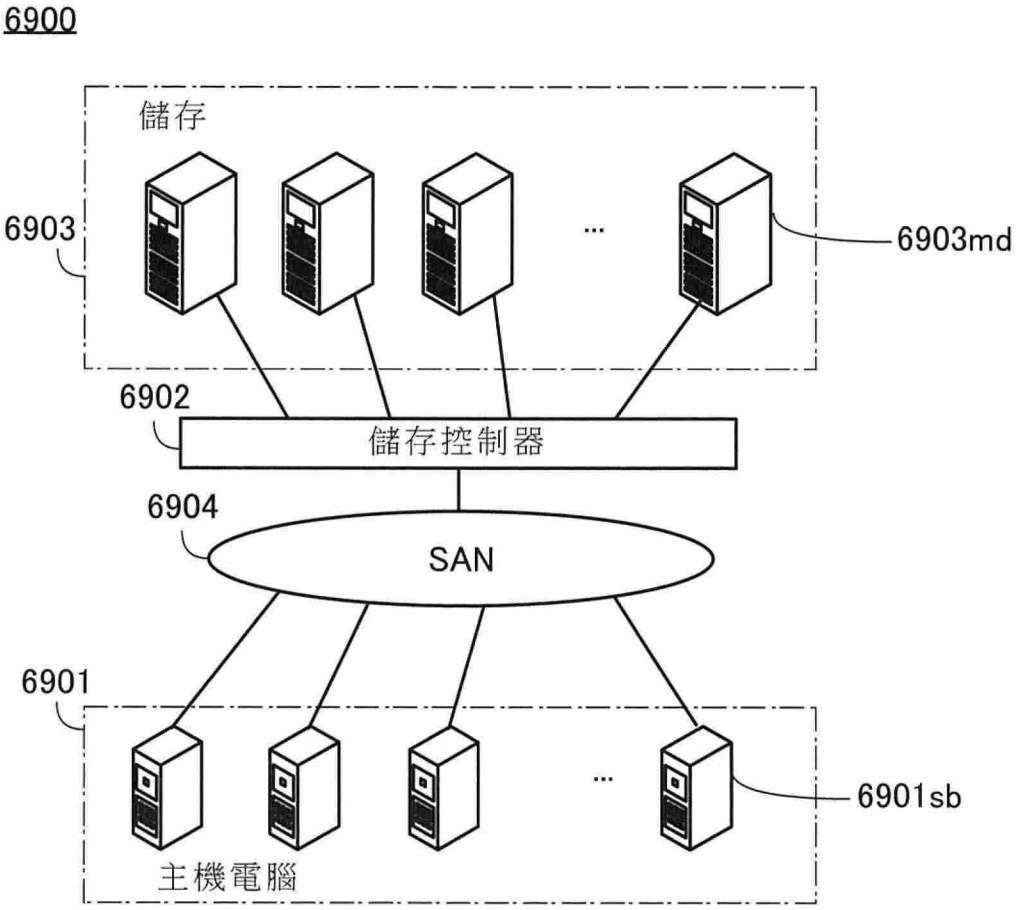
【圖24D】



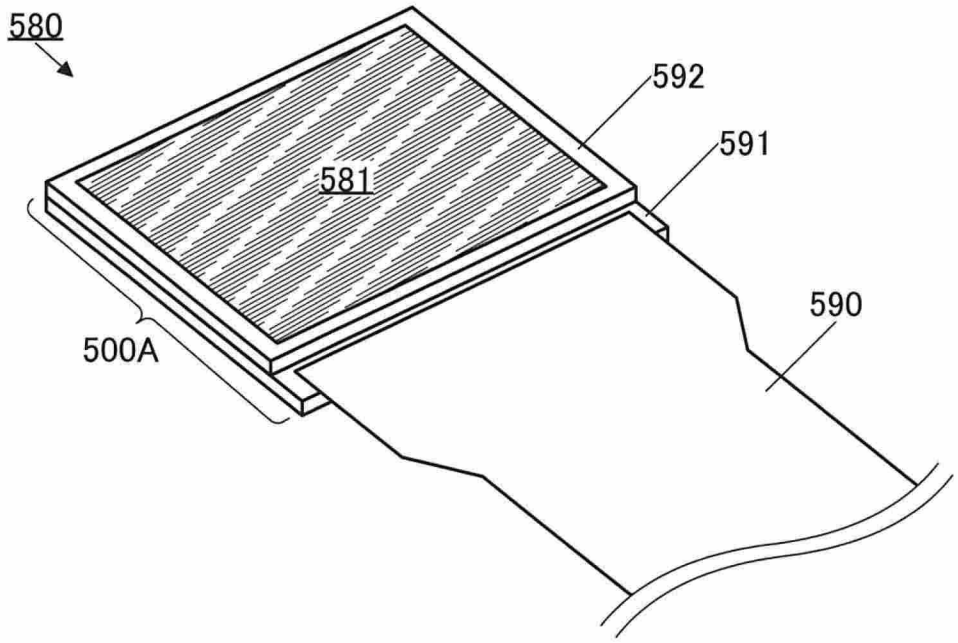
【圖24E】



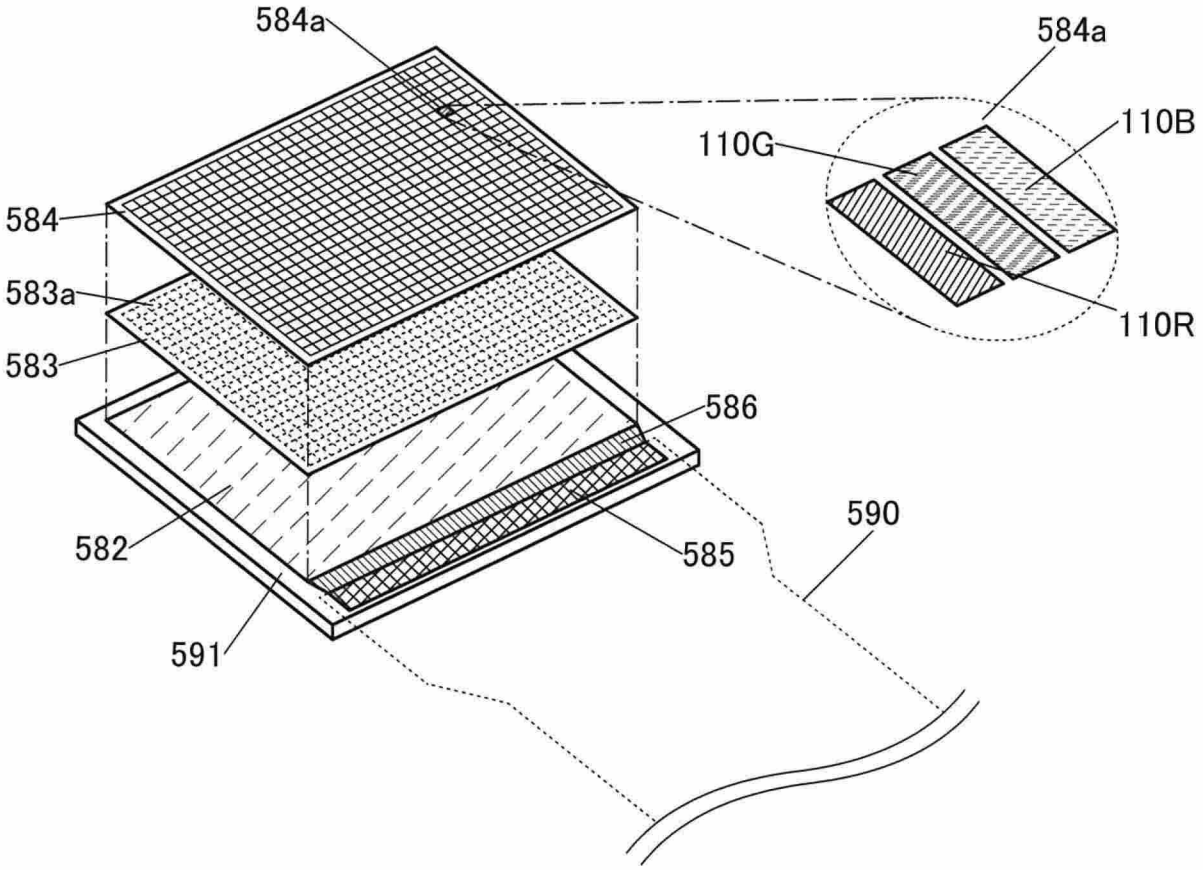
【圖25】



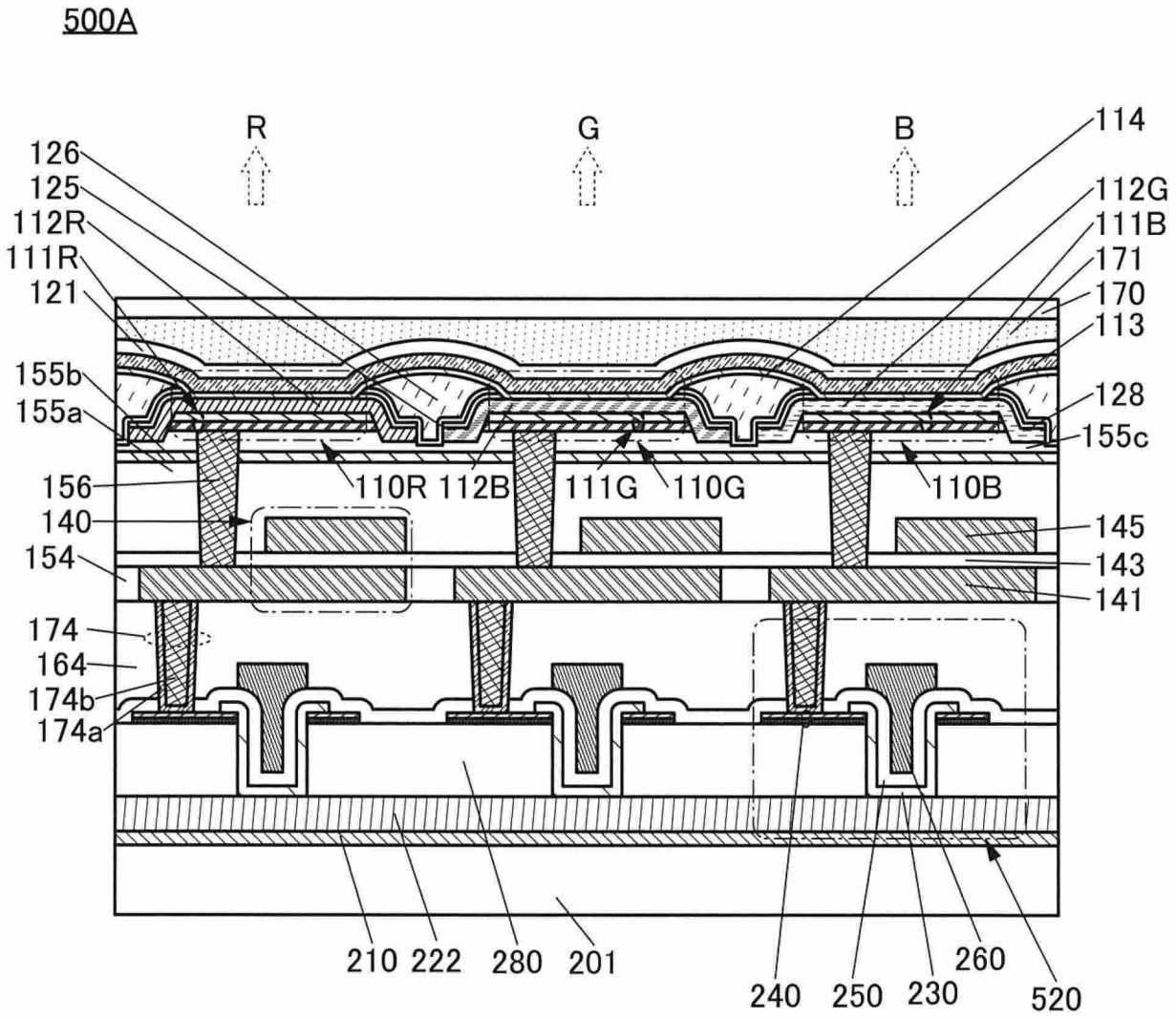
【圖26】


580
592
591
581
590
500A

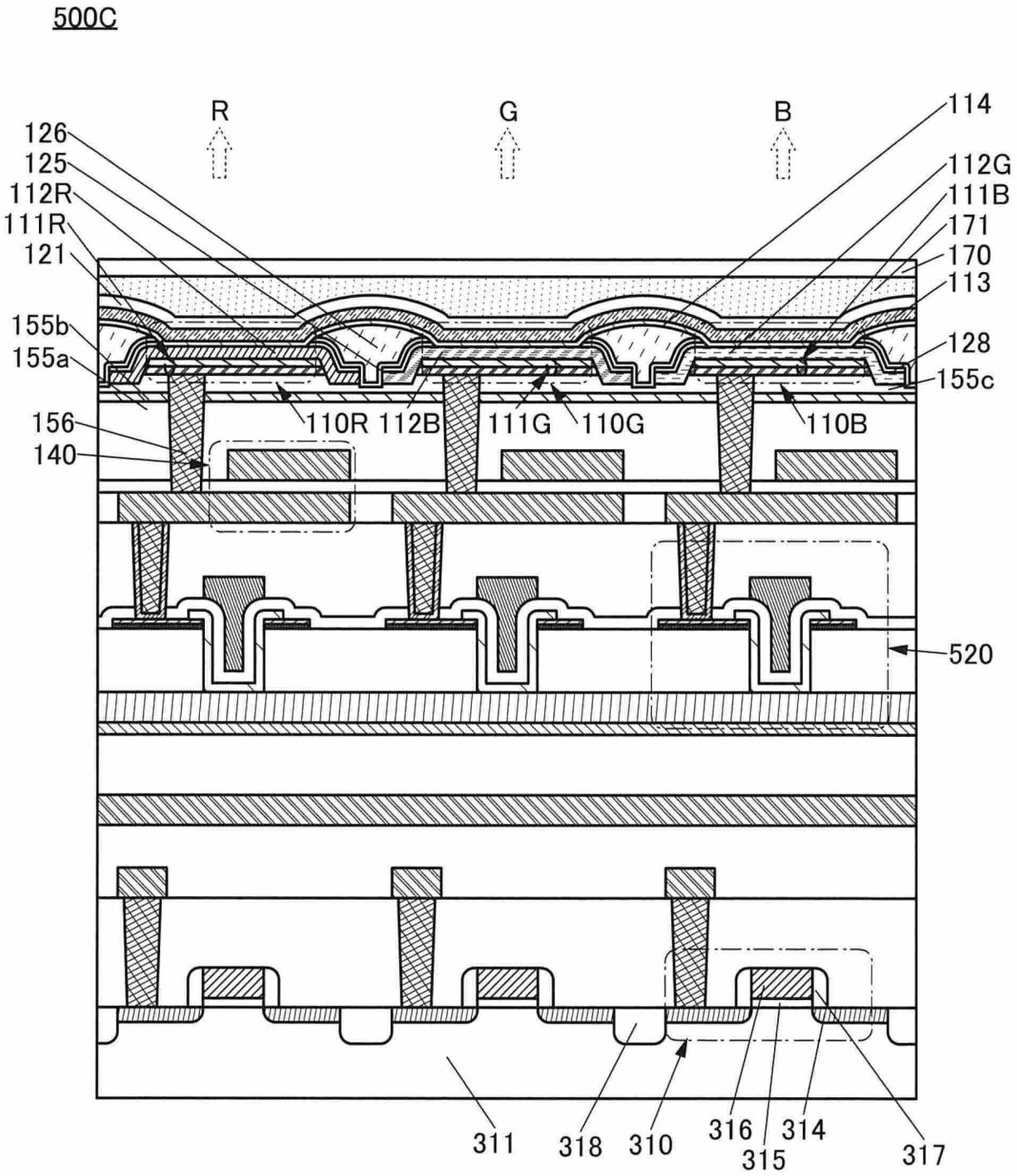
【圖27A】


584a
584a
110B
110G
584
583a
583
110R
586
590
582
585
591

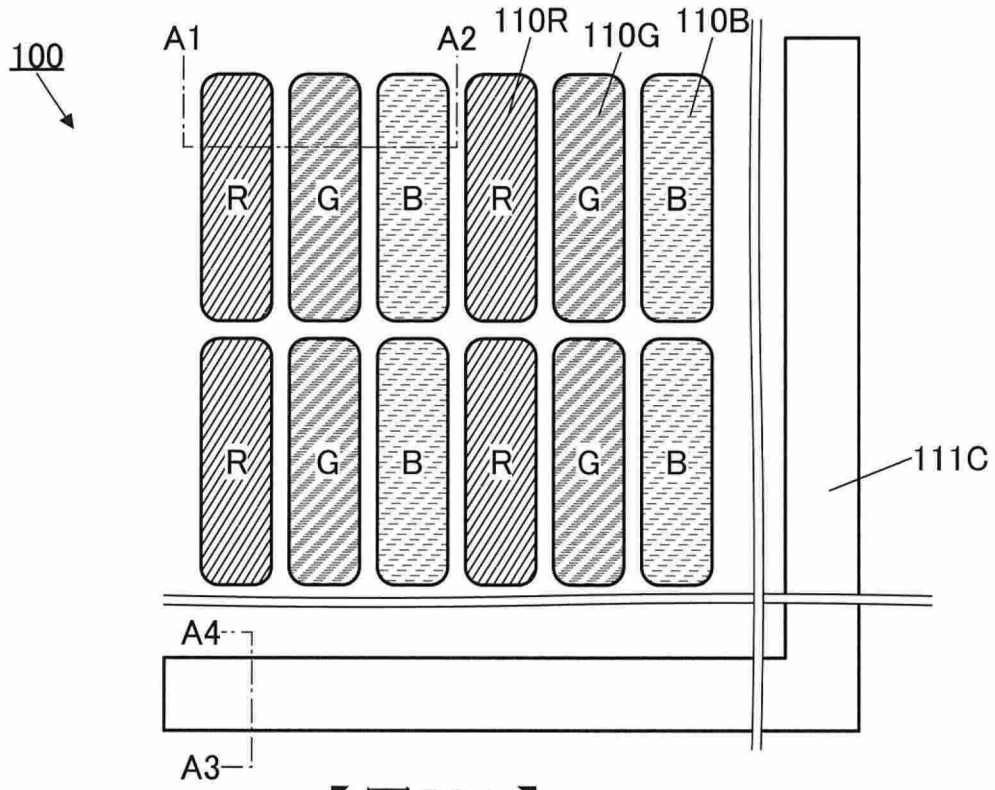
【圖27B】


500A
R
G
B
126
125
112R
111R
121
155b
155a
156
140
154
174
164
174b
174a
114
112G
111B
171
170
113
128
155c
110R
112B
111G
110G
110B
145
143
141
210
222
280
201
240
250
230
260
520

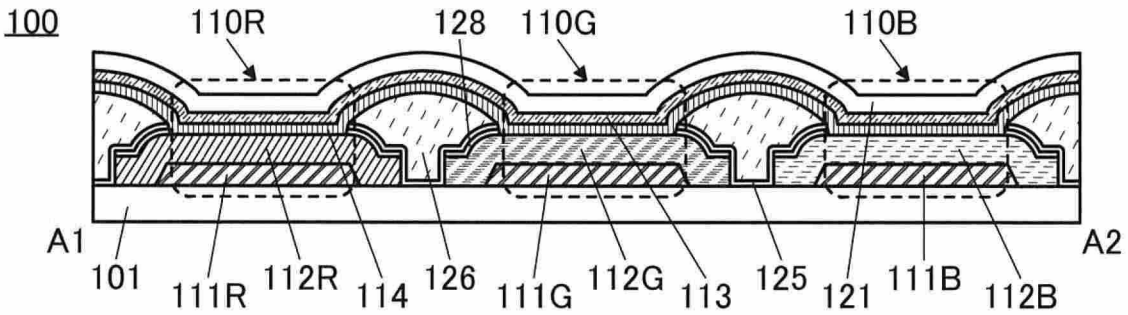
【圖28】


500C
R
G
B
126
125
112R
111R
121
155b
155a
156
140
110R
112B
111G
110G
110B
114
112G
111B
171
170
113
128
155c
520
311
318
310
316
315
314
317

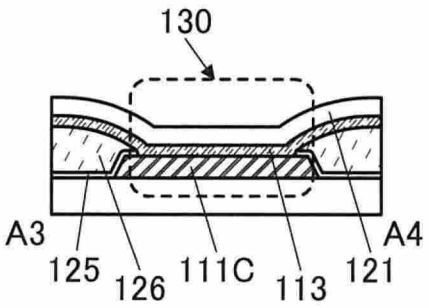
【圖29】



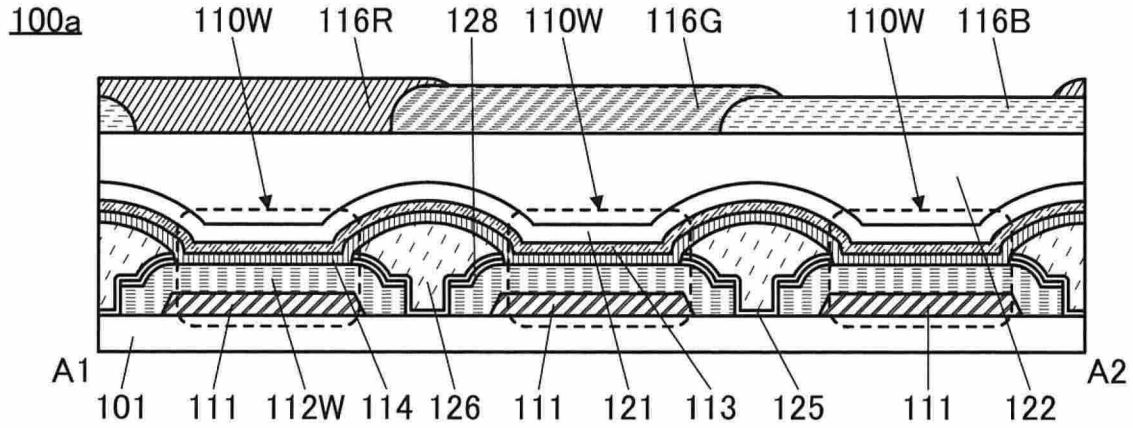
【圖30A】



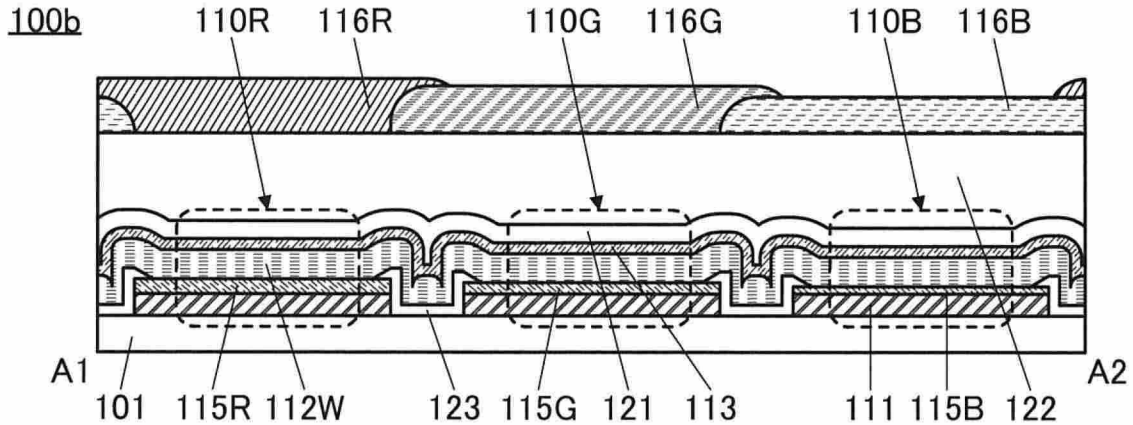
【圖30B】



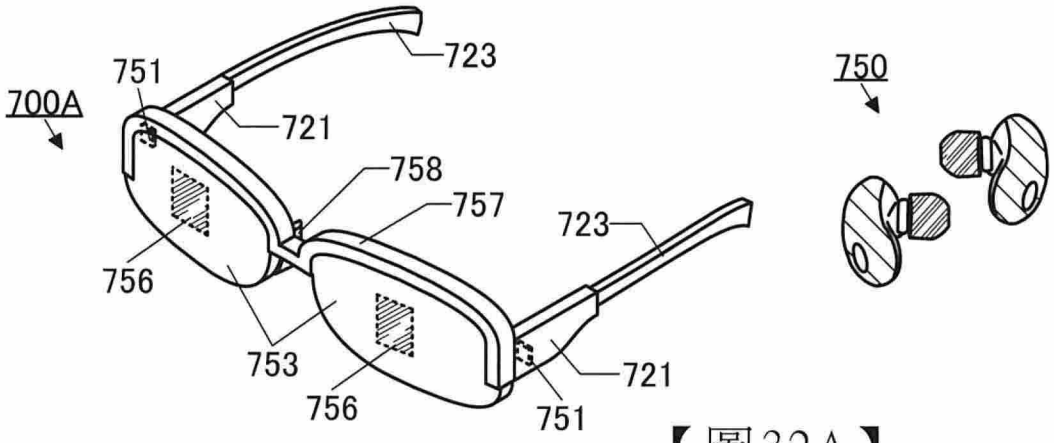
【圖30C】


100a
110W
116R
128
110W
116G
110W
116B
A1
A2
101
111
112W
114
126
111
121
113
125
111
122

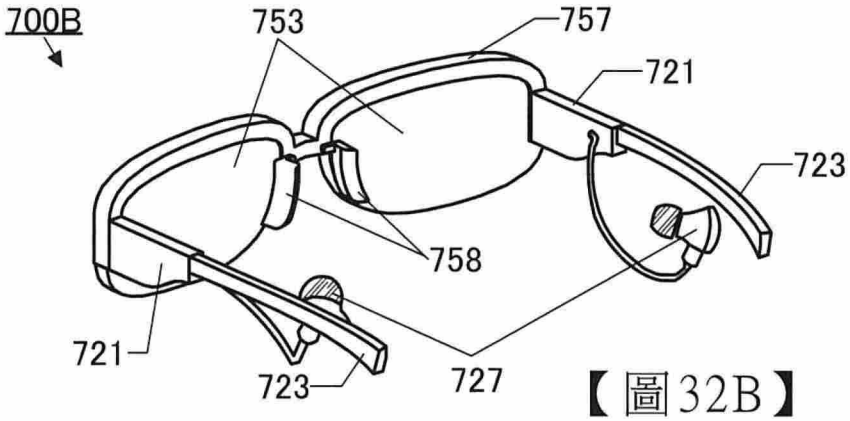
【圖31A】


100b
110R
116R
110G
116G
110B
116B
A1
A2
101
115R
112W
123
115G
121
113
111
115B
122

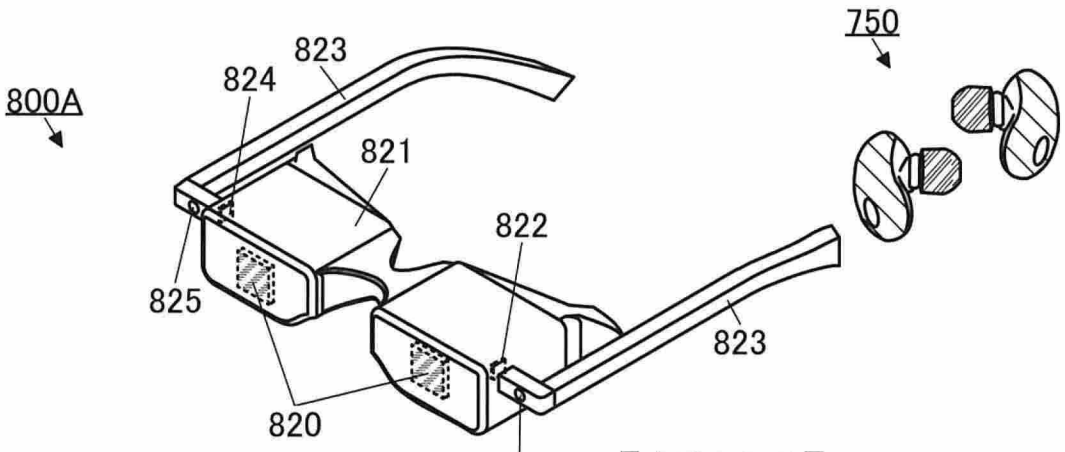
【圖31B】



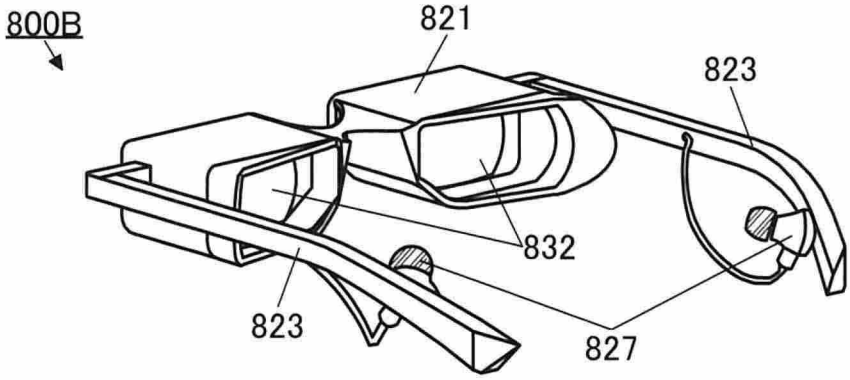
【圖32A】



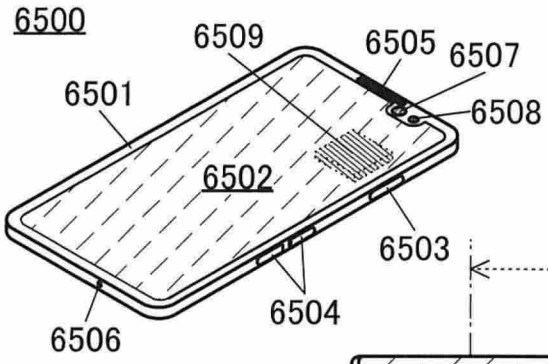
【圖32B】



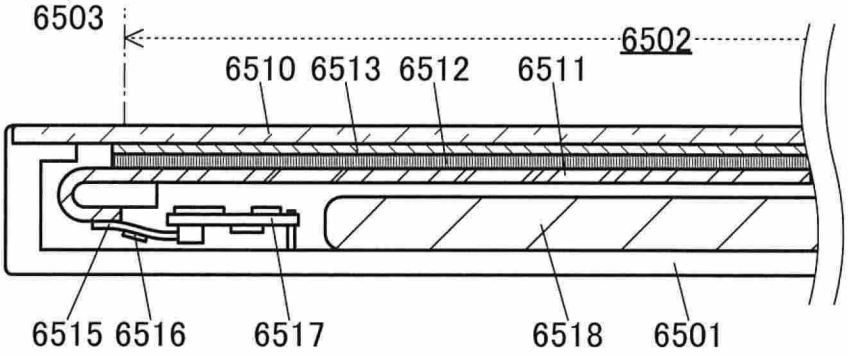
【圖32C】



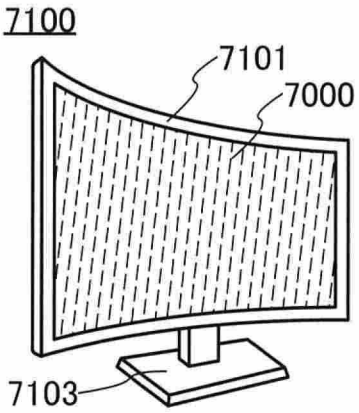
【圖32D】



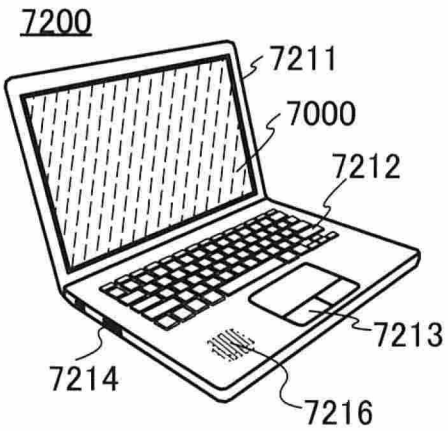
【圖33A】



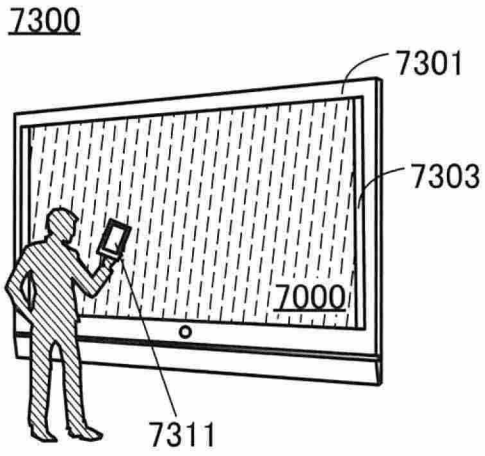
【圖33B】



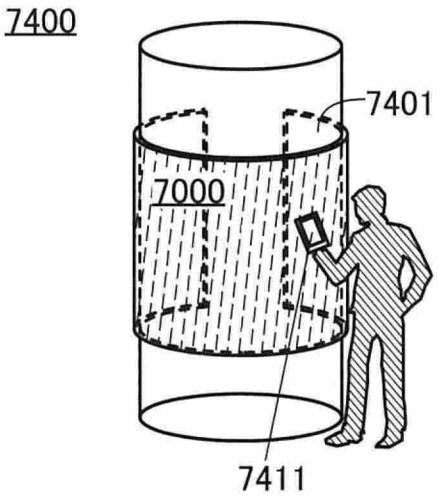
【圖33C】



【圖33D】

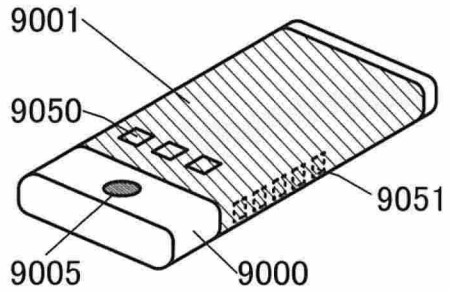


【圖33E】



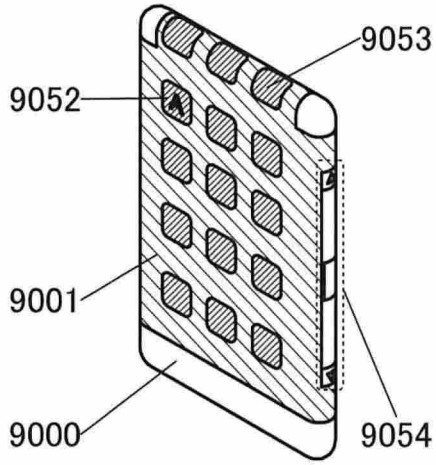
【圖33F】

9101



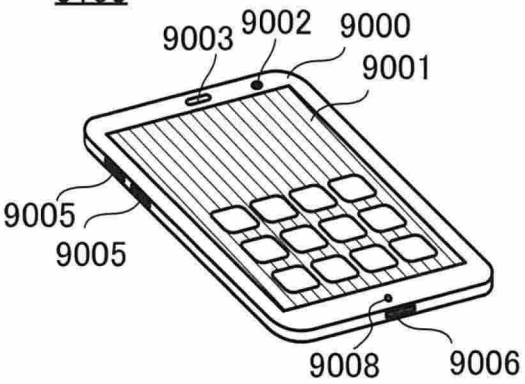
【圖34A】

9102



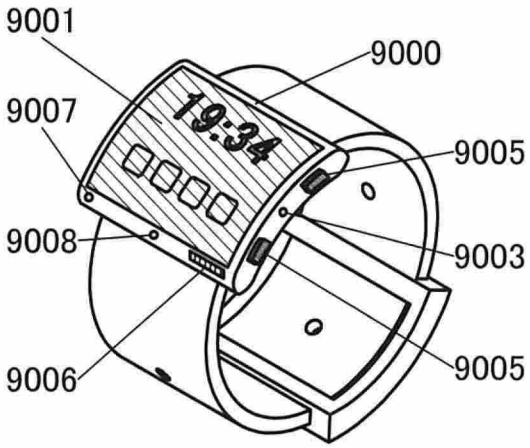
【圖34B】

9103



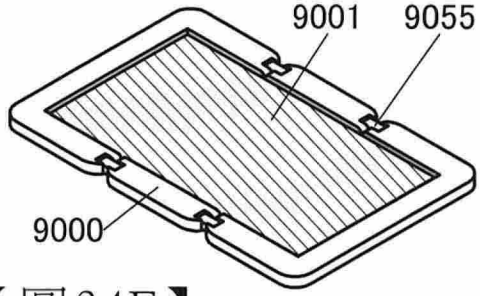
【圖34C】

9200



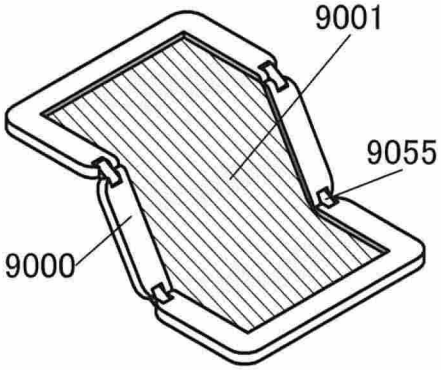
【圖34D】

9201



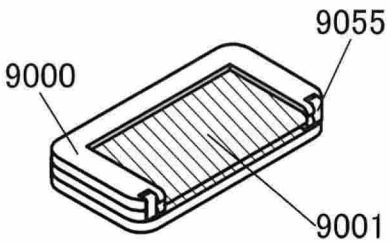
【圖34E】

9201

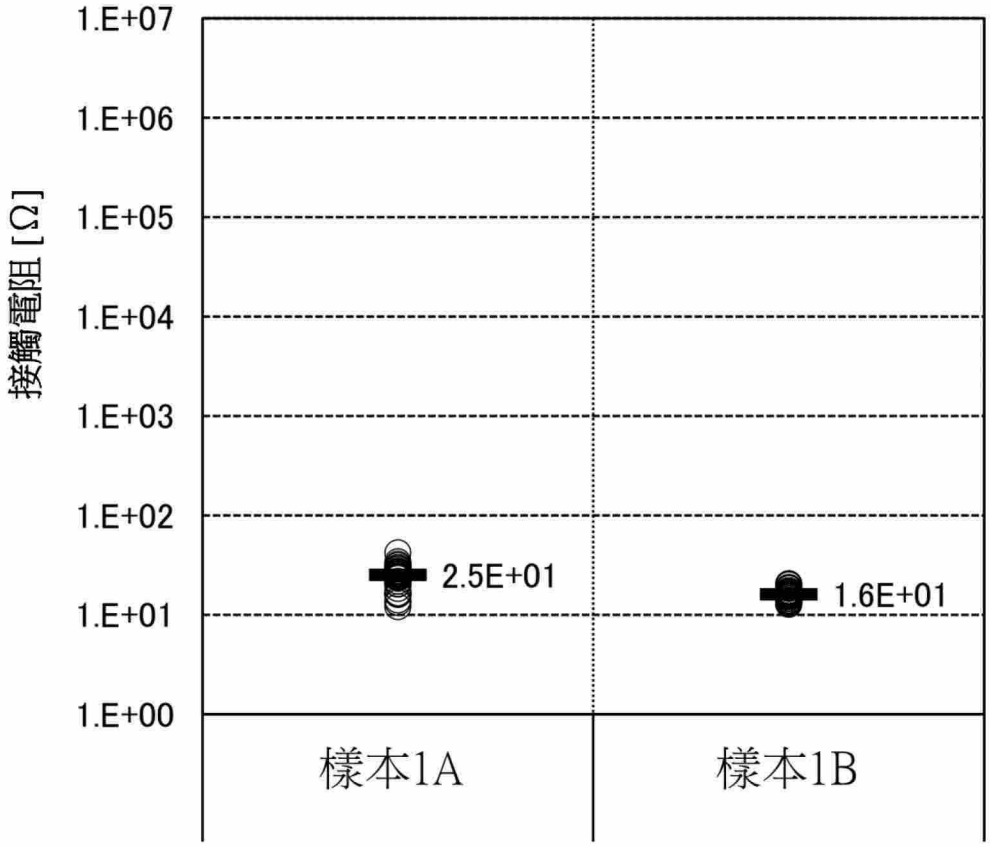


【圖34F】

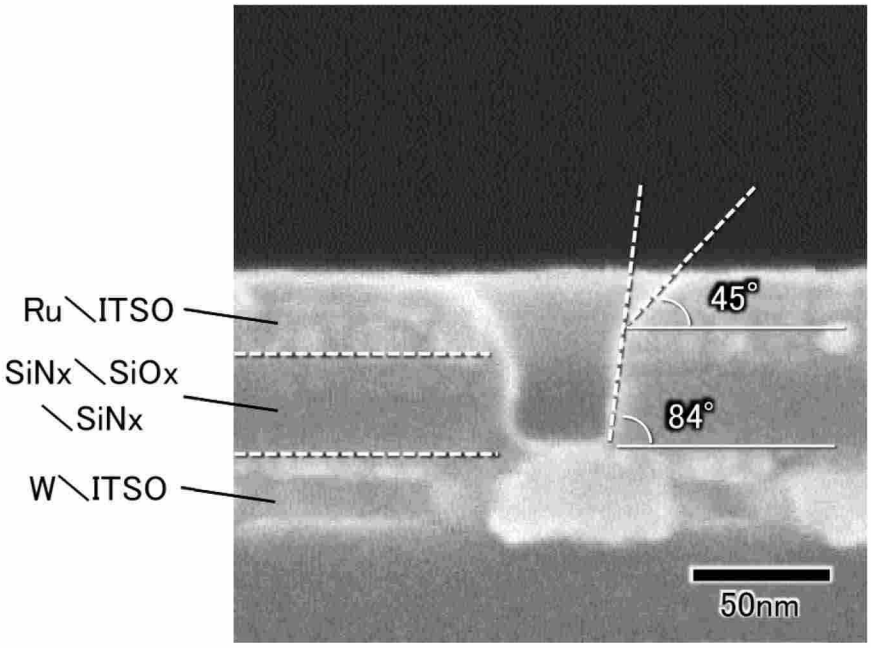
9201



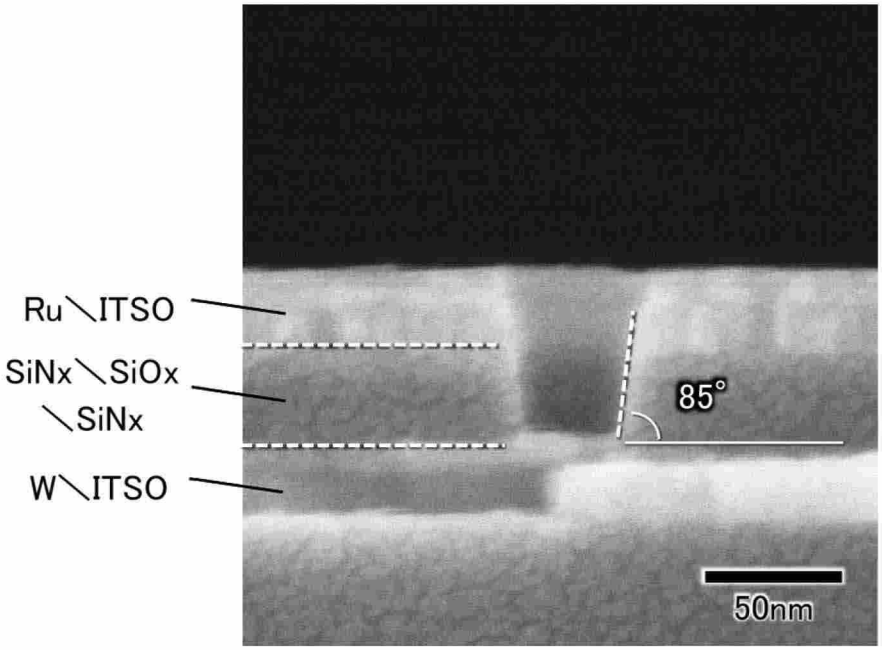
【圖34G】


1.E+07
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
接觸電阻 [Ω]
2.5E+01
1.6E+01
樣本1A
樣本1B

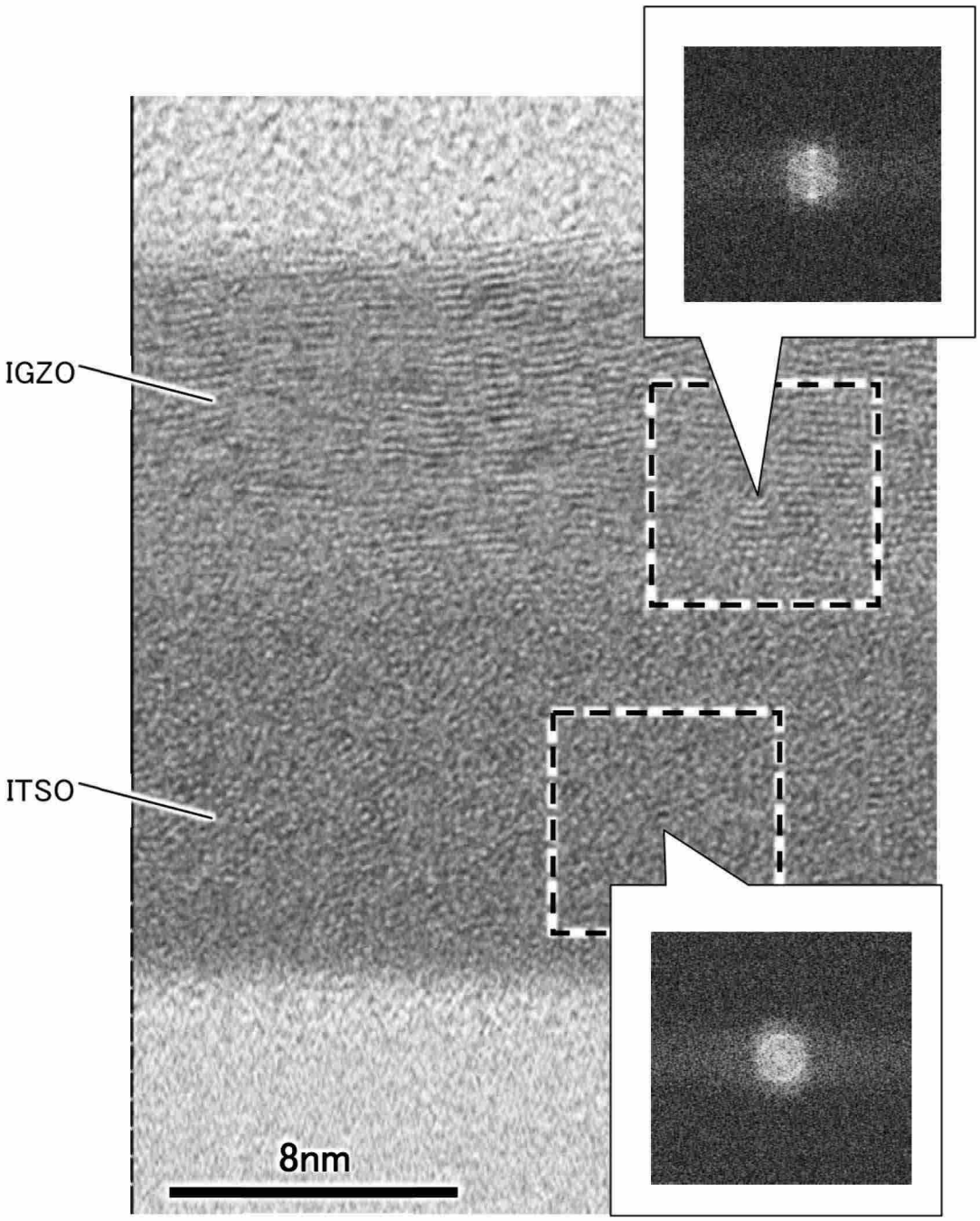
【圖35】


Ru＼ITSO
SiNx＼SiOx
＼SiNx
W＼ITSO
45°
84°
50nm

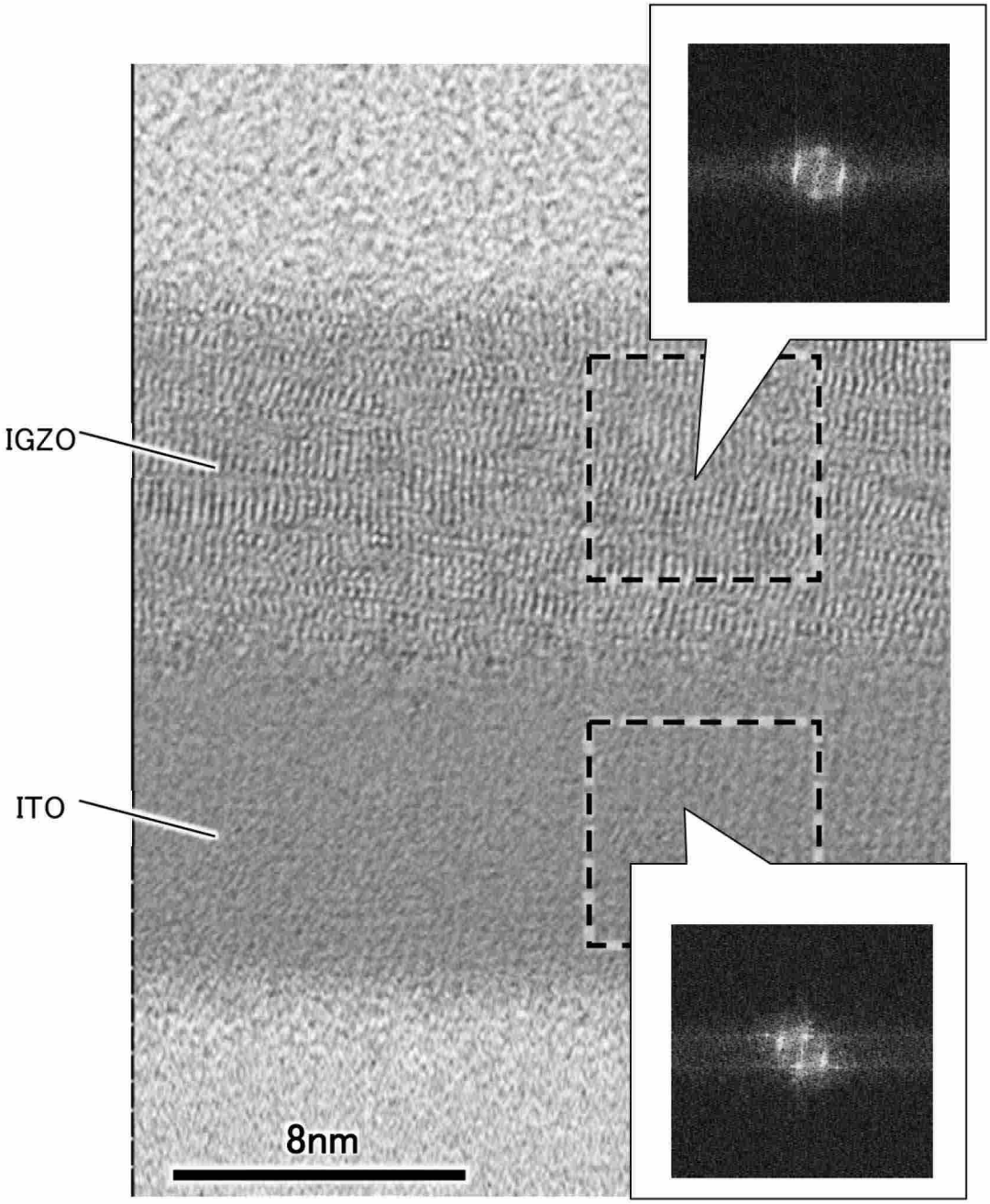
【圖36A】


Ru＼ITSO
SiNx＼SiOx
＼SiNx
W＼ITSO
85°
50nm

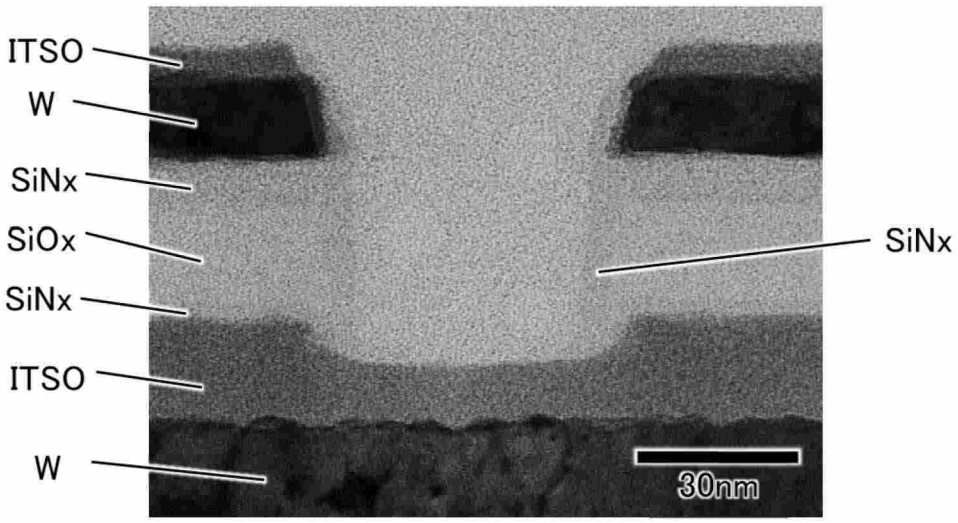
【圖36B】



【圖37】



【圖38】



【圖39】